(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116825840 A
(43)申请公布日 2023.09.29

(21)申请号 202210811219.4

(22)申请日 2022.07.11

(30)优先权数据
2022-045801 2022.03.22 JP

(71)申请人 东芝电子元件及存储装置株式会社
地址 日本东京
申请人 株式会社东芝

(72)发明人 朝羽俊介 河野洋志

(74)专利代理机构 永新专利商标代理有限公司 72002
专利代理师 刘英华

(51)Int.Cl.
H01L 29/78(2006.01)
H01L 29/16(2006.01)

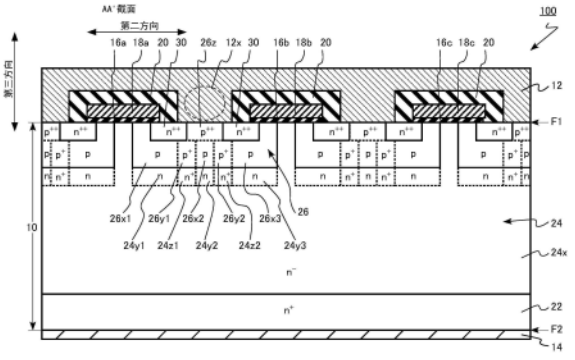
权利要求书2页 说明书11页 附图10页

(54)发明名称

半导体装置

(57)摘要

实施方式的半导体装置具备:具有第一面和第二面的碳化硅层;第一导电型的第一碳化硅区域,包括第一区域、位于第一区域与第一面之间的第二区域以及第三区域,第二区域的第一导电型杂质浓度高于或等于第一区域,第三区域的第一导电型杂质浓度高于第二区域;第二导电型的第二碳化硅区域,包括第四区域,位于第一碳化硅区域与第一面之间,与第二区域相接;第五区域,与第三区域接触且第二导电型杂质浓度比第四区域高;第二碳化硅区域与第一面之间的第一导电型的第三碳化硅区域;第一栅极电极,与第二碳化硅区域对置;第一栅极绝缘层;第一电极,包括与第二碳化硅区域以及第三碳化硅区域接触的第一部分;以及第二电极。



CN 116825840 A

1.一种半导体装置,具备:

碳化硅层,具有第一面和与所述第一面对置的第二面;

第一导电型的第一碳化硅区域,设置于所述碳化硅层中,包括第一区域、第二区域和第三区域,所述第二区域位于所述第一区域与所述第一面之间,所述第三区域位于所述第一区域与所述第一面之间,所述第二区域的第一导电型杂质浓度等于或高于所述第一区域的第一导电型杂质浓度,所述第三区域的第一导电型杂质浓度高于所述第二区域的第一导电型杂质浓度;

第二导电型的第二碳化硅区域,设置于所述碳化硅层中,位于所述第一碳化硅区域与所述第一面之间,包括第四区域和第五区域,所述第四区域与所述第二区域接触,所述第五区域与所述第三区域接触,所述第五区域的第二导电型杂质浓度高于所述第四区域的第二导电型杂质浓度;

第一导电型的第三碳化硅区域,设置于所述碳化硅层中,位于所述第二碳化硅区域与所述第一面之间;

第一栅极电极,相对于所述碳化硅层设置于所述第一面侧,在与所述第一面平行的第一方向上延伸,在所述第一面上与所述第二碳化硅区域对置;

第二栅极电极,相对于所述碳化硅层设置于所述第一面侧,在所述第一方向上延伸,相对于所述第一栅极电极在与所述第一面平行且与所述第一方向垂直的第二方向上设置,在所述第一面上与所述第二碳化硅区域对置;

第一栅极绝缘层,设置于所述第二碳化硅区域与所述第一栅极电极之间;

第二栅极绝缘层,设置于所述第二碳化硅区域与所述第二栅极电极之间;

第一电极,相对于所述碳化硅层设置于所述第一面侧,包括第一部分,该第一部分设置于所述第一栅极电极与所述第二栅极电极之间且与所述第二碳化硅区域及所述第三碳化硅区域接触;以及

第二电极,相对于所述碳化硅层设置于所述第二面侧。

2.根据权利要求1所述的半导体装置,

所述第一碳化硅区域还包括第六区域和第七区域,所述第六区域位于所述第一区域与所述第一面之间,所述第七区域位于所述第一区域与所述第一面之间,所述第六区域的第一导电型杂质浓度等于或高于所述第一区域的第一导电型杂质浓度,所述第七区域的第一导电型杂质浓度高于所述第二区域的第一导电型杂质浓度,所述第六区域位于所述第三区域与所述第七区域之间,

所述第二碳化硅区域还包括第八区域和第九区域,所述第八区域与所述第六区域接触,所述第九区域与所述第七区域接触,所述第九区域的第二导电型杂质浓度高于所述第八区域的第二导电型杂质浓度,所述第八区域位于所述第五区域与所述第九区域之间。

3.根据权利要求1所述的半导体装置,

所述第二区域的第一导电型杂质浓度高于所述第一区域的第一导电型杂质浓度。

4.根据权利要求1所述的半导体装置,

所述第五区域的第二导电型杂质浓度为所述第四区域的第二导电型杂质浓度的1.5倍以上且10倍以下。

5.根据权利要求1所述的半导体装置,

所述第五区域相对于所述第一部分位于从所述第一面朝向所述第二面的方向。

6.根据权利要求2所述的半导体装置，

所述第五区域相对于所述第一部分位于从所述第一面朝向所述第二面的第三方向，

所述第九区域相对于所述第一部分位于所述第三方向。

7.根据权利要求1所述的半导体装置，

所述第二碳化硅区域还包括第十区域，所述第十区域位于所述第五区域与所述第一部分之间，所述第十区域的第二导电型杂质浓度高于所述第五区域的第二导电型杂质浓度。

8.根据权利要求1所述的半导体装置，

所述第一碳化硅区域还包括与所述第一面接触的第十一区域，

所述第一电极还包括与所述第十一区域接触的第二部分。

9.根据权利要求8所述的半导体装置，

所述第二部分设置于所述第一栅极电极与所述第二栅极电极之间，所述第二部分位于所述第一部分的所述第一方向。

10.根据权利要求1所述的半导体装置，

所述第一碳化硅区域与所述第一栅极绝缘层及所述第二栅极绝缘层接触。

半导体装置

[0001] 相关申请

[0002] 本申请享受以日本专利申请2022－45801号(申请日:2022年3月22日)为基础申请的优先权。本申请通过参照此基础申请包括基础申请的全部内容。

技术领域

[0003] 实施方式主要涉及半导体装置。

背景技术

[0004] 作为下一代的半导体器件用的材料,碳化硅受到期待。与硅相比,碳化硅具有如下优异的物性:带隙约为3倍、击穿电场强度约为10倍、热导率约为3倍。如果利用该特性,则例如能够实现高耐压、低损耗且能够高温工作的金属氧化物半导体场效应晶体管(MOSFET:Metal Oxide Semiconductor Field Effect Transistor)。

[0005] 在使用了碳化硅的MOSFET中,期望提高雪崩耐量。

发明内容

[0006] 本发明提供一种提高了雪崩耐量的半导体装置。

[0007] 实施方式的半导体装置具备:碳化硅层,具有第一面和与所述第一面对置的第二面;第一导电型的第一碳化硅区域,设置于所述碳化硅层中,包括第一区域、第二区域和第三区域,所述第二区域位于所述第一区域与所述第一面之间,所述第三区域位于所述第一区域与所述第一面之间,所述第二区域的第一导电型杂质浓度等于或高于所述第一区域的第一导电型杂质浓度,所述第三区域的第一导电型杂质浓度高于所述第二区域的第一导电型杂质浓度;第二导电型的第二碳化硅区域,设置于所述碳化硅层中,位于所述第一碳化硅区域与所述第一面之间,包括第四区域和第五区域,所述第四区域与所述第二区域接触,所述第五区域与所述第三区域接触,所述第五区域的第二导电型杂质浓度高于所述第四区域的第二导电型杂质浓度;第一导电型的第三碳化硅区域,设置于所述碳化硅层中,位于所述第二碳化硅区域与所述第一面之间;第一栅极电极,相对于所述碳化硅层设置于所述第一面侧,在与所述第一面平行的第一方向上延伸,在所述第一面上与所述第二碳化硅区域对置;第二栅极电极,相对于所述碳化硅层设置于所述第一面侧,在所述第一方向上延伸,相对于所述第一栅极电极在与所述第一面平行且与所述第一方向垂直的第二方向上设置,在所述第一面上与所述第二碳化硅区域对置;第一栅极绝缘层,设置于所述第二碳化硅区域与所述第一栅极电极之间;第二栅极绝缘层,设置于所述第二碳化硅区域与所述第二栅极电极之间;第一电极,相对于所述碳化硅层设置于所述第一面侧,包括第一部分,该第一部分设置于所述第一栅极电极与所述第二栅极电极之间且与所述第二碳化硅区域及所述第三碳化硅区域接触;以及第二电极,相对于所述碳化硅层设置于所述第二面侧。

附图说明

[0008] 图1是第一实施方式的半导体装置的示意剖视图。

[0009] 图2是第一实施方式的半导体装置的示意俯视图。

[0010] 图3是第一实施方式的半导体装置的示意俯视图。

[0011] 图4是比较例的半导体装置的示意剖视图。

[0012] 图5是第一实施方式的变形例的半导体装置的示意剖视图。

[0013] 图6是第二实施方式的半导体装置的示意剖视图。

[0014] 图7是第二实施方式的半导体装置的示意剖视图。

[0015] 图8是第二实施方式的半导体装置的示意俯视图。

[0016] 图9是第二实施方式的半导体装置的示意俯视图。

[0017] 图10是第二实施方式的半导体装置的等效电路图。

具体实施方式

[0018] 以下,参照附图对本发明的实施方式进行说明。另外,在以下的说明中,有时对相同或类似的部件等标注相同的附图标记,对于已说明过一次的部件等适当地省略其说明。

[0019] 另外,在以下的说明中,在存在n^{++}、n^{+}、n、n^{-}和p^{++}、p^{+}、p、p-的标记的情况下,这些标记表示各导电型中的杂质浓度的相对高低。即,n^{++}表示与n^{+}相比n型杂质浓度相对高,n^{+}表示与n相比n型杂质浓度相对高,n^{-}表示与n相比n型杂质浓度相对低。另外,p^{++}表示与p^{+}相比p型杂质浓度相对高,p^{+}表示与p相比p型杂质浓度相对高,p^{-}表示与p相比p型杂质浓度相对低。另外,有时也将n^{+}型、n^{-}型简称为n型、将p^{+}型、p^{-}型简称为p型。

[0020] 杂质浓度例如能够通过次级离子质谱(Secondary Ion Mass Spectrometry,SIMS)测定。另外,杂质浓度的相对的高低例如也能够根据通过扫描电容显微镜(Scanning Capacitance Microscopy,SCM)求出的载流子浓度的高低进行判断。另外,杂质区域的宽度、深度等的距离例如能够通过SIMS求出。另外,杂质区域的宽度、深度等的距离例如能够根据SCM的图像、扫描电子显微镜(Scanning Electron Microscope,SEM)的图像而求出。另外,绝缘层的厚度等例如能够在SIMS、SEM或透射电子显微镜(Transmission Electron Microscope,TEM)的图像上进行测量。

[0021] 此外,在本说明书中,p型的碳化硅区域的“p型杂质浓度”是指从该区域的p型杂质浓度减去该区域的n型杂质浓度得到的净(net)的p型杂质浓度。另外,n型的碳化硅区域的“n型杂质浓度”是指从该区域的n型杂质浓度减去该区域的p型杂质浓度得到的净(net)的n型杂质浓度。

[0022] 另外,在说明书中只要没有特别的记述,特定的区域的杂质浓度以该区域的中央部的杂质浓度为代表。

[0023] (第一实施方式)

[0024] 第一实施方式的半导体装置具备:碳化硅层,具有第一面和与第一面对置的第二面;第一导电型的第一碳化硅区域,设置于碳化硅层中,包括第一区域、第二区域和第三区域,第二区域位于第一区域与第一面之间,第三区域位于第一区域与第一面之间,第二区域的第一导电型杂质浓度等于或高于第一区域的第一导电型杂质浓度,第三区域的第一导电型杂质浓度高于第二区域的第一导电型杂质浓度;第二导电型的第二碳化硅区域,设置于

碳化硅层中，位于第一碳化硅区域与第一面之间，包括第四区域和第五区域，第四区域与第二区域接触，第五区域与第三区域接触，第五区域的第二导电型杂质浓度高于第四区域的第二导电型杂质浓度；第一导电型的第三碳化硅区域，设置于碳化硅层中，位于第二碳化硅区域与第一面之间；第一栅极电极，相对于碳化硅层设置于第一面侧，在与第一面平行的第一方向上延伸，在第一面上与第二碳化硅区域对置；第二栅极电极，相对于碳化硅层设置于第一面侧，在第一方向上延伸，相对于第一栅极电极在与第一面平行且与第一方向垂直的第二方向上设置，在第一面上与第二碳化硅区域对置；第一栅极绝缘层，设置于第二碳化硅区域与第一栅极电极之间；第二栅极绝缘层，设置于第二碳化硅区域与第二栅极电极之间；第一电极，相对于碳化硅层设置于第一面侧，包括第一部分，该第一部分设置于第一栅极电极与第二栅极电极之间且与第二碳化硅区域及第三碳化硅区域接触；以及第二电极，相对于碳化硅层设置于第二面侧。

[0025] 第一实施方式的半导体装置是使用了碳化硅的平面栅极型的纵型MOSFET100。第一实施方式的MOSFET100例如是通过离子注入而形成体区域和源极区域的Double Implantation MOSFET(DIMOSFET)。

[0026] 以下，以第一导电型为n型、第二导电型为p型的情况为例进行说明。MOSFET100是以电子为载流子的纵型的n沟道型的MOSFET。

[0027] 图1是第一实施方式的半导体装置的示意剖视图。图2以及图3是第一实施方式的半导体装置的示意俯视图。图2是表示碳化硅层的上表面的、栅极电极和杂质区域的图案的示意图。图3是表示碳化硅层的上表面的从图2除去栅极电极后的杂质区域的图案的示意图。图1是图2及图3的AA’剖视图。

[0028] MOSFET100具备碳化硅层10、源极电极12(第一电极)、漏极电极14(第二电极)、第一栅极绝缘层16a、第二栅极绝缘层16b、第三栅极绝缘层16c、第一栅极电极18a、第二栅极电极18b、第三栅极电极18c、层间绝缘层20。源极电极12包括接触电极部分12x(第一部分)。

[0029] 在碳化硅层10中，设置n^+型的漏极区域22、n型的漂移区域24(第一碳化硅区域)、p型的体区域26(第二碳化硅区域)、n^{++}型的源极区域30(第三碳化硅区域)。

[0030] n型的漂移区域24包括n-型的下部区域24x(第一区域)、n型的第一低浓度n区域24y1(第二区域)、n型的第二低浓度n区域24y2(第六区域)、n型的第三低浓度n区域24y3、n^+型的第一高浓度n区域24z1(第三区域)、n^+型的第二高浓度n区域24z2(第七区域)。

[0031] p型的体区域26包括p型的第一低浓度p区域26x1(第四区域)、p型的第二低浓度p区域26x2(第八区域)、p型的第三低浓度p区域26x3、p^+型的第一高浓度p区域26y1(第五区域)、p^+型的第二高浓度p区域26y2(第九区域)、p^{++}型接触区域26z(第十区域)。

[0032] 碳化硅层10设置于源极电极12和漏极电极14之间。碳化硅层10是单晶SiC。碳化硅层10例如为4H-SiC。

[0033] 碳化硅层10包括第一面(图1中的“F1”)和第二面(图1中的“F2”)。以下，有时将第一面F1称为表面，将第二面F2称为背面。第一面F1位于碳化硅层10的源极电极12侧。另外，第二面F2位于碳化硅层10的漏极电极14侧。第一面F1与第二面F2对置。另外，以下，“深度”是指以第一面为基准而朝向第二面的方向的深度。

[0034] 第一方向以及第二方向与第一面F1平行。第二方向与第一方向垂直。从第一面F1朝向第二面F2的方向是第三方向。第三方向垂直于第一方向及第二方向。

[0035] 第一面F1例如是相对于(0001)面倾斜了0度以上且8度以下倾斜的面。另外，第二面F2例如是相对于(000-1)面倾斜了0度以上且8度以下的面。(0001)面被称为硅面。(000-1)表面被称为碳面。

[0036] n^+型的漏极区域22设置于碳化硅层10的背面侧。漏极区域22例如包含氮(N)作为n型杂质。漏极区域22的n型杂质浓度例如为$1\times10^{18}cm^{-3}$以上且$1\times10^{21}cm^{-3}$以下。

[0037] n型的漂移区域24设置于漏极区域22与第一面F1之间。n型的漂移区域24设置于源极电极12与漏极电极14之间。

[0038] n型的漂移区域24设置于漏极区域22上。漂移区域24例如包含氮(N)作为n型杂质。漂移区域24的n型杂质浓度比漏极区域22的n型杂质浓度低。漂移区域24的厚度例如为3μm以上且150μm以下。

[0039] 漂移区域24包括n-型的下部区域24x(第一区域)、n型的第一低浓度n区域24y1(第二区域)、n型的第二低浓度n区域24y2(第六区域)、n型的第三低浓度n区域24y3、n^+型的第一高浓度n区域24z1(第三区域)、n^+型的第二高浓度n区域24z2(第七区域)。

[0040] n-型的下部区域24x设置于漂移区域24的第二面F2侧。下部区域24x与漏极区域22接触。

[0041] 下部区域24x例如包含氮(N)作为n型杂质。下部区域24x的n型杂质浓度例如为$4\times10^{14}cm^{-3}$以上且$1\times10^{17}cm^{-3}$以下。

[0042] n型的第一低浓度n区域24y1、n型的第二低浓度n区域24y2、n型的第三低浓度n区域24y3位于下部区域24x与第一面F1之间。第一低浓度n区域24y1、第二低浓度n区域24y2、第三低浓度n区域24y3位于下部区域24x与体区域26之间。第一低浓度n区域24y1、第二低浓度n区域24y2、第三低浓度n区域24y3与体区域26接触。第一低浓度n区域24y1、第二低浓度n区域24y2、第三低浓度n区域24y3在第一方向上延伸。

[0043] 第一低浓度n区域24y1、第二低浓度n区域24y2、第三低浓度n区域24y3例如包含氮(N)作为n型杂质。第一低浓度n区域24y1、第二低浓度n区域24y2、第三低浓度n区域24y3的n型杂质浓度等于或高于下部区域24x的n型杂质浓度。第一低浓度n区域24y1、第二低浓度n区域24y2、第三低浓度n区域24y3的n型杂质浓度例如为$4\times10^{14}cm^{-3}$以上且$2\times10^{17}cm^{-3}$以下。

[0044] n^+型的第一高浓度n区域24z1、n^+型的第二高浓度n区域24z2位于下部区域24x与第一面F1之间。第一高浓度n区域24z1、第二高浓度n区域24z2位于下部区域24x与体区域26之间。第一高浓度n区域24z1、第二高浓度n区域24z2与体区域26接触。第一高浓度n区域24z1、第二高浓度n区域24z2例如在第一方向上延伸。

[0045] 第一高浓度n区域24z1位于第一低浓度n区域24y1与第二低浓度n区域24y2之间。第二高浓度n区域24z2位于第二低浓度n区域24y2与第三低浓度n区域24y3之间。

[0046] 第一高浓度n区域24z1、第二高浓度n区域24z2例如包含氮(N)作为n型杂质。第一高浓度n区域24z1、第二高浓度n区域24z2的n型杂质浓度高于第一低浓度n区域24y1、第二低浓度n区域24y2、第三低浓度n区域24y3的n型杂质浓度。

[0047] 第一高浓度n区域24z1、第二高浓度n区域24z2的n型杂质浓度例如为第一低浓度n区域24y1、第二低浓度n区域24y2、第三低浓度n区域24y3的n型杂质浓度的1.5倍以上且10倍以下。第一高浓度n区域24z1、第二高浓度n区域24z2的n型杂质浓度例如为$1\times10^{15}cm^{-3}$以上且$2\times10^{17}cm^{-3}$以下。

[0048] p型的体区域26设置于漂移区域24与第一面F1之间。体区域26在第一方向上延伸。体区域26作为MOSFET100的沟道区域发挥功能。

[0049] 体区域26的一部分与第一面F1接触。体区域26的一部分与第一栅极电极18a、第二栅极电极18b、第三栅极电极18c对置。体区域26的一部分成为MOSFET100的沟道区域。

[0050] 体区域26例如包括铝(Al)作为p型杂质。体区域26的深度例如为500nm以上且900nm以下。体区域26与源极电极12电连接。体区域26被固定于源极电极12的电位。

[0051] 体区域26包括p型的第一低浓度p区域26x1(第四区域)、p型的第二低浓度p区域26x2(第八区域)、p型的第三低浓度p区域26x3、p^+型的第一高浓度p区域26y1(第五区域)、p^+型的第二高浓度p区域26y2(第九区域)、p^{++}型的接触区域26z(第十区域)。

[0052] 第一低浓度p区域26x1与第一低浓度n区域24y1接触。第一低浓度p区域26x1位于第一低浓度n区域24y1的第三方向。

[0053] 第二低浓度p区域26x2与第二低浓度n区域24y2接触。第二低浓度p区域26x2位于第二低浓度n区域24y2的第三方向。

[0054] 第三低浓度p区域26x3与第三低浓度n区域24y3接触。第三低浓度p区域26x3位于第三低浓度n区域24y3的第三方向。

[0055] 第一低浓度p区域26x1、第二低浓度p区域26x2、p型的第三低浓度p区域26x3例如包括铝(Al)作为p型杂质。第一低浓度p区域26x1、第二低浓度p区域26x2、p型的第三低浓度p区域26x3的p型杂质浓度例如为$5\times10^{16}cm^{-3}$以上且$5\times10^{19}cm^{-3}$以下。

[0056] 第一高浓度p区域26y1与第一高浓度n区域24z1接触。第一高浓度p区域26y1位于第一高浓度n区域24z1的第三方向。第一高浓度p区域26y1位于第一低浓度p区域26x1与第二低浓度p区域26x2之间。

[0057] 第一高浓度p区域26y1例如位于接触电极部分12x的第三方向。第一高浓度p区域26y1例如位于接触电极部分12x的正下方。

[0058] 第一高浓度p区域26y1例如位于接触区域26z的第三方向。第一高浓度p区域26y1例如位于接触区域26z的正下方。第一高浓度p区域26y1例如与接触区域26z接触。

[0059] 第二高浓度p区域26y2与第二高浓度n区域24z2接触。第二高浓度p区域26y2位于第二高浓度n区域24z2的第三方向。第二高浓度p区域26y2位于第二低浓度p区域26x2与第三低浓度p区域26x3之间。

[0060] 第二高浓度p区域26y2例如位于接触电极部分12x的第三方向。第二高浓度p区域26y2例如位于接触电极部分12x的正下方。

[0061] 第二高浓度p区域26y2例如位于接触区域26z的第三方向。第二高浓度p区域26y2例如位于接触区域26z的正下方。第二高浓度p区域26y2例如与接触区域26z接触。

[0062] 第一高浓度p区域26y1、第二高浓度p区域26y2例如包括铝(Al)作为p型杂质。第一高浓度p区域26y1、第二高浓度p区域26y2的p型杂质浓度高于第一低浓度p区域26x1、第二低浓度p区域26x2、p型的第三低浓度p区域26x3的p型杂质浓度。

[0063] 第一高浓度p区域26y1、第二高浓度p区域26y2的p型杂质浓度例如为第一低浓度p区域26x1、第二低浓度p区域26x2、p型的第三低浓度p区域26x3的p型杂质浓度的1.5倍以上且10倍以下。第一高浓度p区域26y1、第二高浓度p区域26y2的p型杂质浓度例如为$5\times10^{16}cm^{-3}$以上且$1\times10^{20}cm^{-3}$以下。

[0064] p^{++}型的接触区域26z位于第一高浓度p区域26y1与第一面F1之间。接触区域26z位于第一高浓度p区域26y1与源极电极12之间。接触区域26z位于第一高浓度p区域26y1与源极电极12的接触电极部分12x之间。接触区域26z位于第一高浓度p区域26y1的第三方向。接触区域26z与第一高浓度p区域26y1接触。

[0065] 接触区域26z位于第二高浓度p区域26y2与第一面F1之间。接触区域26z位于第二高浓度p区域26y2与源极电极12之间。接触区域26z位于第二高浓度p区域26y2与源极电极12的接触电极部分12x之间。接触区域26z位于第二高浓度p区域26y2的第三方向。接触区域26z与第二高浓度p区域26y2接触。

[0066] 接触区域26z与源极电极12接触。接触区域26z与源极电极12电连接。接触区域26z与源极电极12之间的接触例如是欧姆接触。接触区域26z固定于源极电极12的电位。

[0067] 接触区域26z与源极电极12的接触电极部分12x接触。接触区域26z的深度例如为200nm以上且500nm以下。

[0068] 接触区域26z例如包括铝(Al)作为p型杂质。接触区域26z的p型杂质浓度高于第一高浓度p区域26y1、第二高浓度p区域26y2的p型杂质浓度。接触区域26z的p型杂质浓度例如为$1\times10^{19}cm^{-3}$以上且$5\times10^{21}cm^{-3}$以下。

[0069] n^{+}型的源极区域30设置于体区域26与第一面F1之间。源极区域30例如设置于第一低浓度p区域26x1与第一面F1之间。源极区域30例如设置于第一高浓度p区域26y1与第一面F1之间。

[0070] 源极区域30例如设置于第三低浓度p区域26x3与第一面F1之间。源极区域30例如设置于第二高浓度p区域26y2与第一面F1之间。

[0071] 源极区域30例如包括磷(P)或氮(N)作为n型杂质。源极区域30的n型杂质浓度高于漂移区域24的n型杂质浓度。

[0072] 源极区域30的n型杂质浓度例如为$1\times10^{19}cm^{-3}$以上且$5\times10^{21}cm^{-3}$以下。源极区域30的深度比体区域26的深度浅。源极区域30的深度例如为80nm以上且200nm以下。

[0073] 源极区域30与源极电极12接触。源极区域30与源极电极12电连接。源极区域30与源极电极12之间的接触例如是欧姆接触。源极区域30固定于源极电极12的电位。源极区域30与源极电极12的接触电极部分12x接触。

[0074] 第一栅极电极18a相对于碳化硅层10设置于第一面F1侧。第一栅极电极18a在第一方向上延伸。第一栅极电极18a在第一面F1与体区域26对置。

[0075] 第二栅极电极18b相对于碳化硅层10设置于第一面F1侧。第二栅极电极18b在第一方向上延伸。第二栅极电极18b相对于第一栅极电极18a在第二方向上设置。第二栅极电极18b在第一面F1上与体区域26对置。

[0076] 第三栅极电极18c相对于碳化硅层10设置于第一面F1侧。第三栅极电极18c在第一方向上延伸。第三栅极电极18c相对于第二栅极电极18b在第二方向上设置。在第一栅极电极18a与第三栅极电极18c之间设置有第二栅极电极18b。第三栅极电极18c在第一面F1与体区域26对置。

[0077] 第一栅极电极18a、第二栅极电极18b、第三栅极电极18c是导电层。第一栅极电极18a、第二栅极电极18b、第三栅极电极18c例如是包括p型杂质或n型杂质的多晶硅。

[0078] 第一栅极绝缘层16a设置于第一栅极电极18a与体区域26之间。第二栅极绝缘层

16b设置于第二栅极电极18b与体区域26之间。第三栅极绝缘层16c设置于第三栅极电极18c与体区域26之间。

[0079] 第一栅极绝缘层16a、第二栅极绝缘层16b、第三栅极绝缘层16c例如包括氧化硅。第一栅极绝缘层16a、第二栅极绝缘层16b、第三栅极绝缘层16c例如包括氧化硅层。第一栅极绝缘层16a、第二栅极绝缘层16b和第三栅极绝缘层16c例如能够应用高介电常数绝缘材料。另外，第一栅极绝缘层16a、第二栅极绝缘层16b、第三栅极绝缘层16c例如也能够应用氧化硅层与高介电常数绝缘层的层叠结构。

[0080] 第一栅极绝缘层16a、第二栅极绝缘层16b、第三栅极绝缘层16c的厚度例如为30nm以上且100nm以下。

[0081] 层间绝缘层20设置于第一栅极电极18a、第二栅极电极18b、第三栅极电极18c上。层间绝缘层20设置于第一栅极电极18a与源极电极12之间、第二栅极电极18b与源极电极12之间、第三栅极电极18c与源极电极12之间。

[0082] 层间绝缘层20将第一栅极电极18a与源极电极12、第二栅极电极18b与源极电极12、第三栅极电极18c与源极电极12电分离。层间绝缘层20例如包括氧化硅。层间绝缘层20例如是氧化硅层。

[0083] 源极电极12相对于碳化硅层10设置于第一面F1侧。源极电极12与碳化硅层10接触。源极电极12与接触区域26z及源极区域30接触。

[0084] 源极电极12包括接触电极部分12x。接触电极部分12x设置于第一栅极电极18a与第二栅极电极18b之间。接触电极部分12x与接触区域26z及源极区域30接触。

[0085] 源极电极12包括金属。源极电极12例如具备阻挡金属膜与金属膜的层叠结构。

[0086] 阻挡金属膜例如包括钛(Ti)、钨(W)或钽(Ta)。阻挡金属膜例如是钛膜、氮化钛膜、氮化钨膜或者氮化钽膜。

[0087] 金属膜例如包括铝(Al)。金属膜例如为铝膜。

[0088] 源极电极12的接触电极部分12x例如包括金属硅化物层。金属硅化物层例如与接触区域26z接触。金属硅化物层例如与源极区域30接触。

[0089] 金属硅化物层例如包括镍(Ni)、钛(Ti)或钴(Co)。金属硅化物层例如是硅化镍层、硅化钛层或硅化钴层。

[0090] 漏极电极14相对于碳化硅层10而设置于第二面F2侧。漏极电极14设置于碳化硅层10的第二面F2上。漏极电极14与第二面F2接触。

[0091] 漏极电极14例如包括金属或金属半导体化合物。漏极电极14例如包括硅化镍层、钛层、镍层、银层或金层。

[0092] 漏极电极14与漏极区域22电连接。漏极电极14例如与漏极区域22接触。

[0093] 接着，对第一实施方式的MOSFET100的作用及效果进行说明。

[0094] 图4是比较例的半导体装置的示意剖视图。图4是与第一实施方式的图1对应的图。

[0095] 比较例的半导体装置是使用了碳化硅的平面栅极型的纵型MOSFET900。

[0096] MOSFET900在n型的漂移区域24不包括n^+型的第一高浓度n区域24z1、n^+型的第二高浓度n区域24z2这一点上与第一实施方式的MOSFET100不同。另外，MOSFET900在p型的体区域26不包括p^+型的第一高浓度p区域26y1、p^+型的第二高浓度p区域26y2这一点上与第一实施方式的MOSFET100不同。

[0097] 若对MOSFET施加超过耐压的反向偏置电压，则在pn结部产生雪崩击穿，雪崩电流流过。当雪崩电流流过时，例如，有时由于MOSFET的温度上升而导致MOSFET破坏。在发生雪崩击穿时，MOSFET能够容许的电流或能量被称为雪崩耐量。

[0098] 在MOSFET900中，例如，设置于单元(cell)部的p型的体区域26与n型的漂移区域24之间的pn结的耐压变得过高，从而产生雪崩击穿的反向偏置电压变大，雪崩耐量有可能降低。特别是，在MOSFET900的包围单元部的末端区域(未图示)的pn结中，若在单元部先产生雪崩击穿，则雪崩耐量降低。这是因为，由于末端区域的面积小于单元部的面积，所以MOSFET900流过的电流受到限制。

[0099] 在第一实施方式的MOSFET100中，n型的漂移区域24包括n^+型的第一高浓度n区域24z1、n^+型的第二高浓度n区域24z2。另外，p型的体区域26包括p^+型的第一高浓度p区域26y1、p^+型的第二高浓度p区域26y2。

[0100] MOSFET100具备由n^+型的第一高浓度n区域24z1和p^+型的第一高浓度p区域26y1形成的pn结、以及由n^+型的第二高浓度n区域24z2和p^+型的第二高浓度p区域26y2形成的pn结。MOSFET100通过在单元部局部地具备杂质浓度高的pn结，容易在单元部产生雪崩击穿。因此，MOSFET100的雪崩耐量提高。

[0101] 从提高雪崩耐量的观点出发，优选相对于1个接触电极部分12x，设置由第一高浓度n区域24z1和第一高浓度p区域26y1形成的pn结、以及由第二高浓度n区域24z2和第二高浓度p区域26y2形成的pn结这2个pn结。通过设置2个pn结，流入1个接触电极部分12x的雪崩电流的路径被分散，接触电极部分12x的发热被抑制。因此，雪崩耐量提高。

[0102] 从提高雪崩耐量的观点出发，第一高浓度p区域26y1优选位于接触区域26z的第三方向。换言之，第一高浓度p区域26y1优选位于接触区域26z的正下方。另外，第一高浓度p区域26y1优选与接触区域26z接触。根据上述结构，雪崩电流流过的路径的电阻降低。因此，接触电极部分12x的发热得到抑制，雪崩耐量提高。

[0103] 同样地，从提高雪崩耐量的观点出发，第二高浓度p区域26y2优选位于接触区域26z的第三方向。换言之，第二高浓度p区域26y2优选位于接触区域26z的正下方。另外，第二高浓度p区域26y2优选与接触区域26z接触。根据上述结构，雪崩电流流过的路径的电阻降低。因此，接触电极部分12x的发热得到抑制，雪崩耐量提高。

[0104] 从提高雪崩耐量的观点出发，第一高浓度p区域26y1、第二高浓度p区域26y2的p型杂质浓度优选为第一低浓度p区域26x1、第二低浓度p区域26x2、p型的第三低浓度p区域26x3的p型杂质浓度的1.5倍以上，更优选为2倍以上。

[0105] (变形例)

[0106] 图5是第一实施方式的变形例的半导体装置的示意剖视图。图5是与第一实施方式的图1对应的图。

[0107] 变形例的半导体装置是使用了碳化硅的平面栅极型的纵型MOSFET101。

[0108] MOSFET101在n型的漂移区域24不包括n型的第二低浓度n区域24y2、n^+型的第二高浓度n区域24z2这点上与第一实施方式的MOSFET100不同。另外，MOSFET900在p型的体区域26不包括p型的第二低浓度p区域26x2、p^+型的第二高浓度p区域26y2这一点上与第一实施方式的MOSFET100不同。

[0109] 通过与第一实施方式的MOSFET100同样的作用，MOSFET101的雪崩耐量提高。

[0110] 以上,根据第一实施方式以及变形例,能够实现雪崩耐量提高的MOSFET。

[0111] (第二实施方式)

[0112] 第二实施方式的半导体装置与第一实施方式的半导体装置的不同点在于,第一碳化硅区域还包括与第一面接触的第十一区域,第一电极还包括与第十一区域接触的第二部分,第二部分设置于第一栅极电极与第二栅极电极之间,第二部分位于第一部分的第一方向。以下,对于与第一实施方式重复的内容,有时省略一部分记述。

[0113] 第二实施方式的半导体装置是使用了碳化硅的平面栅极型的纵型MOSFET200。第二实施方式的MOSFET200是DIMOSFET。另外,第二实施方式的MOSFET200具备肖特基势垒二极管(SBD:Schottky Barrier Diode)作为内置二极管。

[0114] 以下,以第一导电型为n型、第二导电型为p型的情况为例进行说明。MOSFET200是以电子为载流子的纵型的n沟道型的MOSFET。

[0115] 图6以及图7是第二实施方式的半导体装置的示意剖视图。图8以及图9是第二实施方式的半导体装置的示意俯视图。图8是表示碳化硅层的上表面的、栅极电极和杂质区域的图案的示意图。图9是表示碳化硅层的上表面的从图8中除去栅极电极后的杂质区域的图案的示意图。图6是图8及图9的BB'剖视图。图7是图8及图9的BB'剖视图。

[0116] MOSFET200具备碳化硅层10、源极电极12(第一电极)、漏极电极14(第二电极)、第一栅极绝缘层16a、第二栅极绝缘层16b、第三栅极绝缘层16c、第一栅极电极18a、第二栅极电极18b、第三栅极电极18c、层间绝缘层20。源极电极12包括接触电极部分12x(第一部分)及二极管电极部分12y(第二部分)。

[0117] 在碳化硅层10中,设置n^+型的漏极区域22、n型的漂移区域24(第一碳化硅区域)、p型的体区域26(第二碳化硅区域)、n^{++}型的源极区域30(第三碳化硅区域)。

[0118] n型的漂移区域24包括n-型的下部区域24x(第一区域)、n型的第一低浓度n区域24y1(第二区域)、n型的第二低浓度n区域24y2(第六区域)、n型的第三低浓度n区域24y3、n^+型的第一高浓度n区域24z1(第三区域)、n^+型的第二高浓度n区域24z2(第七区域)、JBS区域24s(第十一区域)。

[0119] p型的体区域26包括p型的第一低浓度p区域26x1(第四区域)、p型的第二低浓度p区域26x2(第八区域)、p型的第三低浓度p区域26x3、p^+型的第一高浓度p区域26y1(第五区域)、p^+型的第二高浓度p区域26y2(第九区域)、p^{++}型接触区域26z(第十区域)。

[0120] 源极电极12包括接触电极部分12x和二极管电极部分12y。接触电极部分12x和二极管电极部分12y设置于第一栅极电极18a和第二栅极电极18b之间。接触电极部分12x以及二极管电极部分12y设置于第二栅极电极18b与第三栅极电极18c之间。

[0121] 二极管电极部分12y位于接触电极部分12x的第一方向。

[0122] n-型的漂移区域24包括JBS区域24s。JBS区域24s与第一面F1接触。JBS区域24s被体区域26包围。

[0123] JBS区域24s与源极电极12的二极管电极部分12y接触。JBS区域24s作为SBD的阴极区域发挥功能。

[0124] 在包围JBS区域24s的漂移区域24中不存在n^+型的第一高浓度n区域24z1、n^+型的第二高浓度n区域24z2。另外,在包围JBS区域24s的体区域26中不存在p^+型的第一高浓度p区域26y1、p^+型的第二高浓度p区域26y2。

[0125] 接着,对第二实施方式的MOSFET200的作用及效果进行说明。

[0126] 图10是第二实施方式的半导体装置的等效电路图。在MOSFET200中,在源极电极12与漏极电极14之间,与晶体管并联地连接pn结二极管和SBD作为内置二极管。体区域26是pn结二极管的阳极区,漂移区域24是pn结二极管的阴极区。另外,源极电极12是SBD的阳极电极,JBS区域24s是SBD的阴极区域。

[0127] 例如,考虑MOSFET200被用作与感应性负载连接的开关元件的情况。在MOSFET200截止时,有时通过由感应性负载引起的感应电流,对源极电极12施加相对于漏极电极14为正的电压。在该情况下,正向电流流过内置二极管。该状态也被称为反向导通状态。

[0128] 假设在MOSFET不具备SBD的情况下,正向电流流过pn结二极管。pn结二极管进行双极动作。若使用双极动作的pn结二极管流过回流电流,则由于载流子的再结合能量而在碳化硅层中生长出层叠缺陷。当在碳化硅层中生长层叠缺陷时,会产生MOSFET的导通电阻增大的问题。MOSFET的导通电阻的增大导致MOSFET的可靠性的降低。

[0129] MOSFET200具备SBD。正向电流开始流过SBD的正向电压(Vf)低于pn结二极管的正向电压(Vf)。因此,在pn结二极管之前,正向电流流过SBD。

[0130] SBD的正向电压(Vf)例如为1.0V以上且小于2.0V。pn结二极管的正向电压(Vf)例如为2.0V以上且3.0V以下。

[0131] SBD进行单极动作。因此,即使流过正向电流,层叠缺陷也不会因载流子的再结合能量而在碳化硅层10中生长。因此,MOSFET200的导通电阻的增大被抑制。因此,MOSFET200的可靠性提高。

[0132] 另外,MOSFET200与第一实施方式的MOSFET100同样,具备由n^+型的第一高浓度n区域24z1和p^+型的第一高浓度p区域26y1形成的pn结、以及由n^+型的第二高浓度n区域24z2和p^+型的第二高浓度p区域26y2形成的pn结。因此,通过与MOSFET100同样的作用,MOSFET200的雪崩耐量提高。

[0133] 另外,MOSFET200在包围JBS区域24s的漂移区域24中不存在n^+型的第一高浓度n区域24z1、n^+型的第二高浓度n区域24z2。另外,在包围JBS区域24s的体区域26中不存在p^+型的第一高浓度p区域26y1、p^+型的第二高浓度p区域26y2。

[0134] 因此,在JBS区域24s的附近,产生雪崩击穿,抑制雪崩电流流过。因此,能够抑制由发热引起的SBD的肖特基结的特性劣化。

[0135] 在第一以及第二实施方式中,以4H-SiC作为SiC的晶体结构的情况为例进行了说明,但本发明也能够应用于使用6H-SiC、3C-SiC等其他晶体结构的SiC的器件。另外,也可以在碳化硅层10的表面应用(0001)面以外的面。

[0136] 在第一以及第二实施方式中,以第一导电型为n型、第二导电型为p型的情况为例进行了说明,但也能够将第一导电型设为p型,将第二导电型设为n型。

[0137] 在第一以及第二实施方式中,作为p型杂质,例示了铝(Al),但也可以使用硼(B)。另外,作为n型杂质,例示了氮(N)及磷(P),但也可以应用砷(As)、锑(Sb)等。

[0138] 另外,也能够将本发明应用于绝缘栅双极型晶体管(IGBT:Insulated Gate Bipolar Transistor)。

[0139] 对本发明的几个实施方式进行了说明,但这些实施方式是作为例子而提出的,并不意图限定发明的范围。这些新的实施方式能够以其他各种方式实施,在不脱离发明的主

旨的范围内，能够进行各种省略、置换、变更。例如，也可以将一个实施方式的构成要素与其他实施方式的构成要素进行置换或变更。这些实施方式及其变形包括在发明的范围或主旨内，并且包括在权利要求书所记载的发明及其等同的范围内。

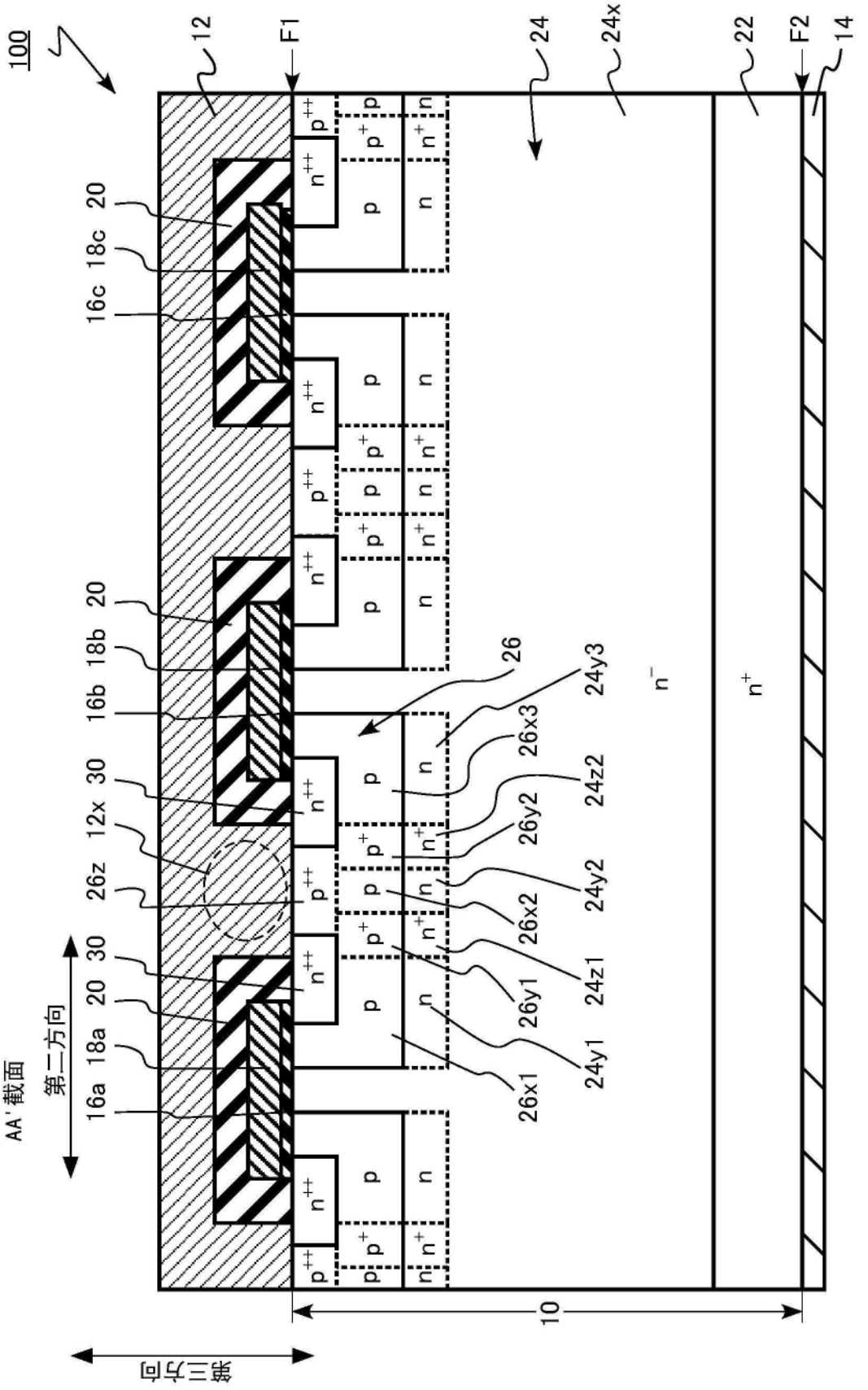

100
12
F1
24
24x
22
F2
14
20
18c
16c
20
18b
16b
30
12x
26z
30
20
18a
16a
26
24y3
26x3
24z2
26y2
24y2
26x2
24z1
26y1
24y1
26x1
n⁻
n⁺
AA'截面
第二方向
第三方向
10

图1

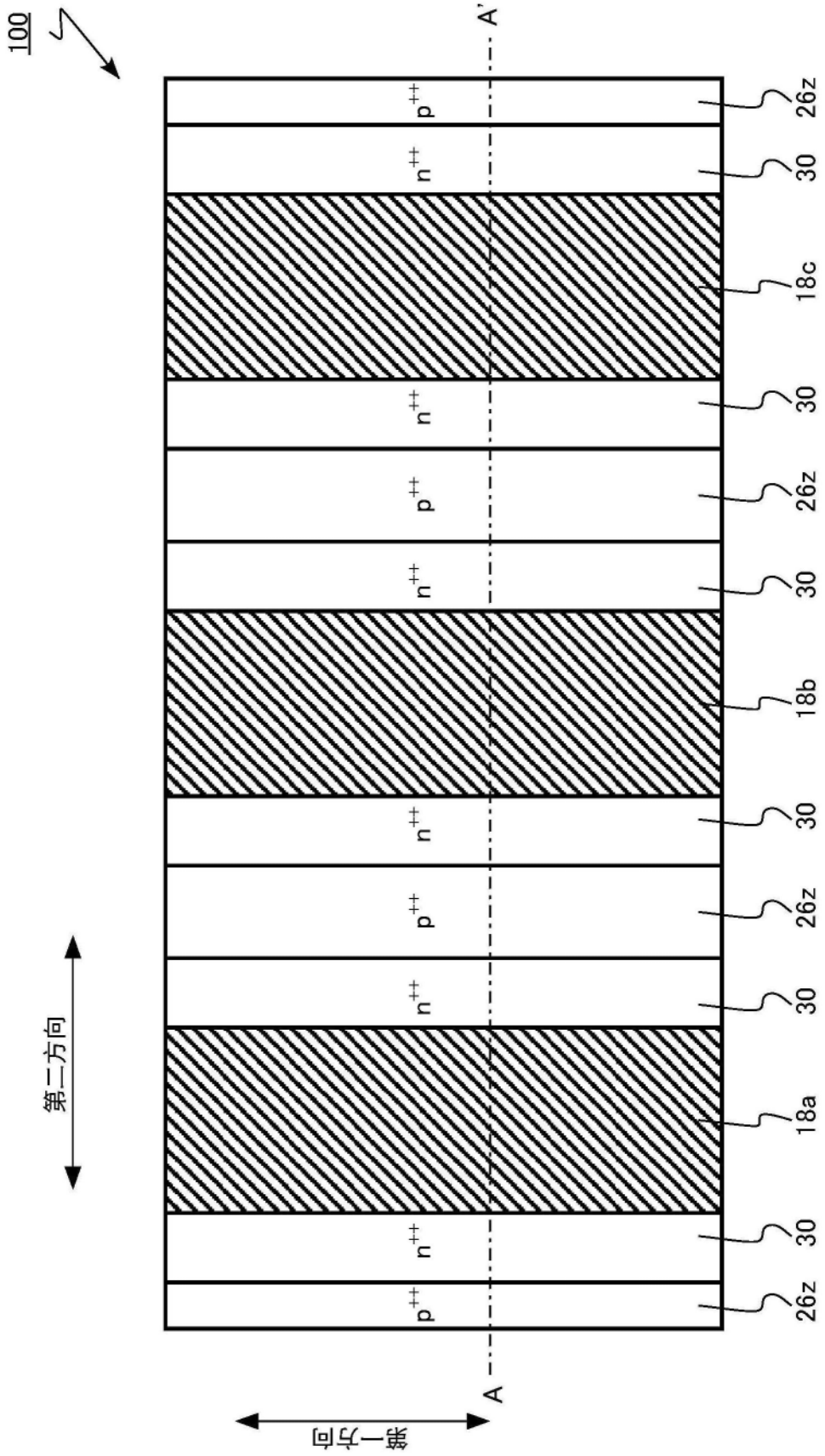


图2

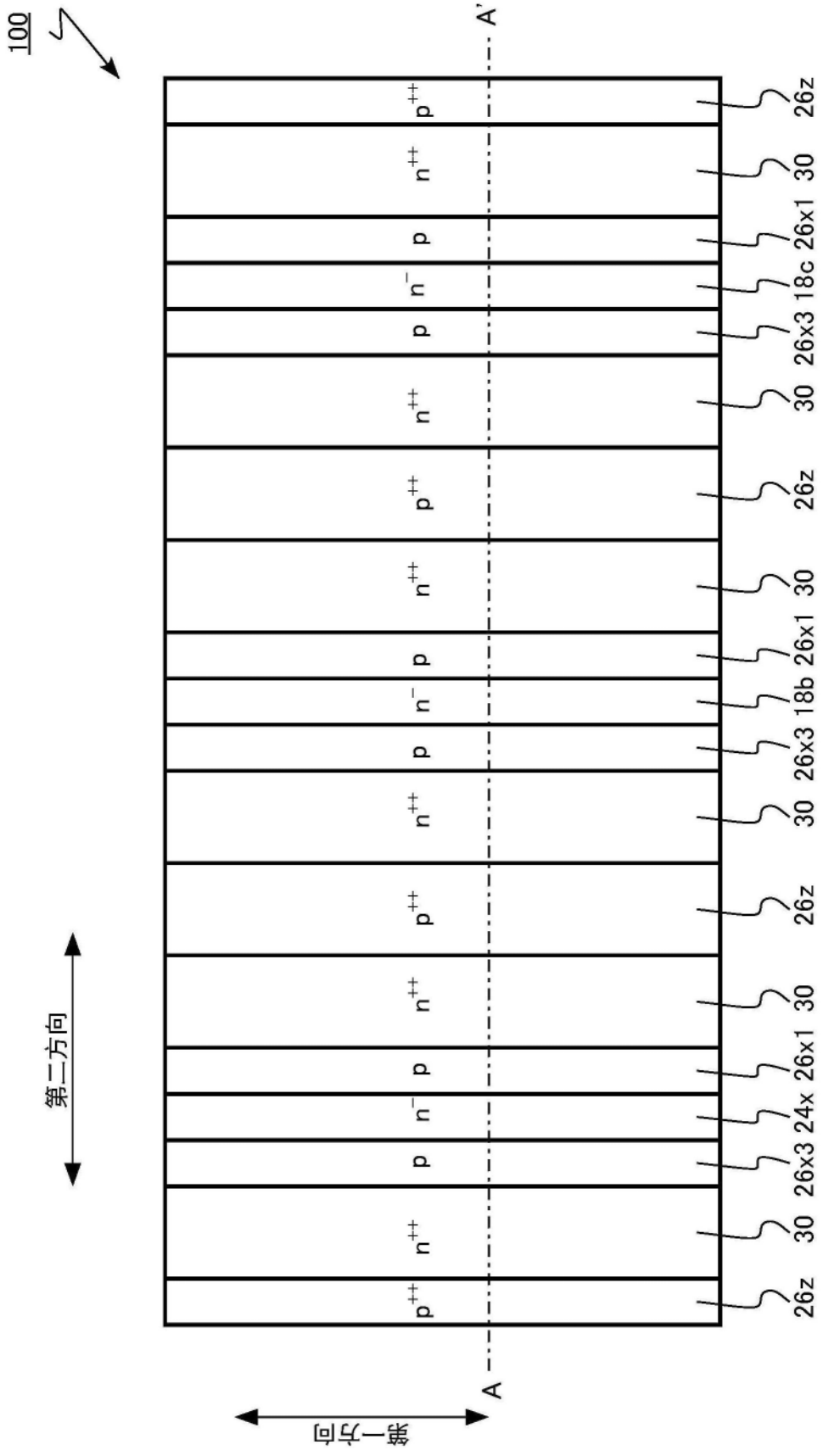


图3

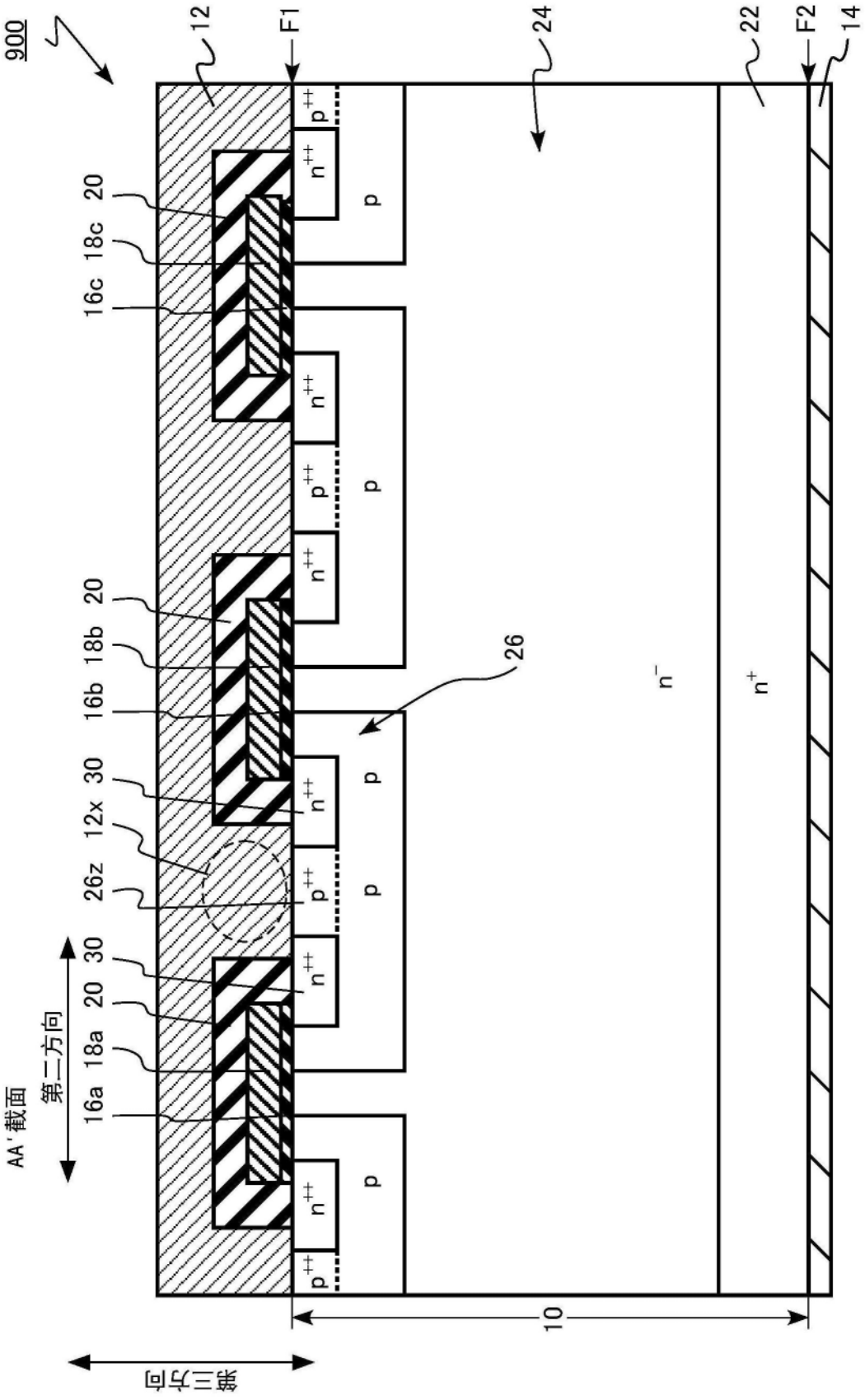

900
12
F1
24
22
F2
14
20
18c
16c
20
18b
16b
26
30
12x
26z
30
20
18a
16a
AA'截面
第二方向
第三方向
10
p
n++
n-
n+

图4

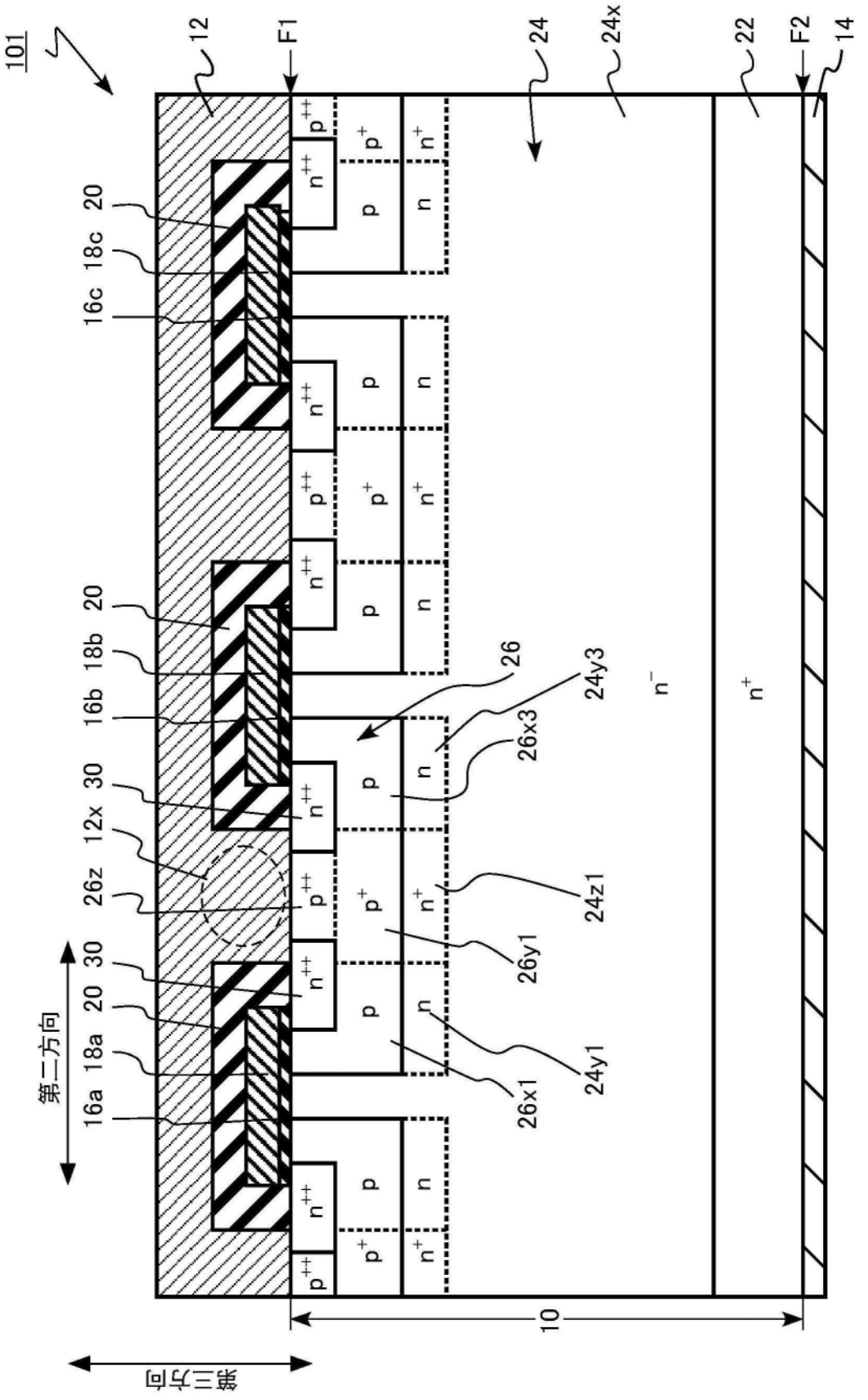

101
12
F1
24
24x
22
F2
14
20
18c
16c
20
18b
16b
30
12x
26z
30
20
18a
16a
26
24y3
26x3
24z1
26y1
24y1
26x1
n⁻
n⁺
10
第二方向
第三方向

图5

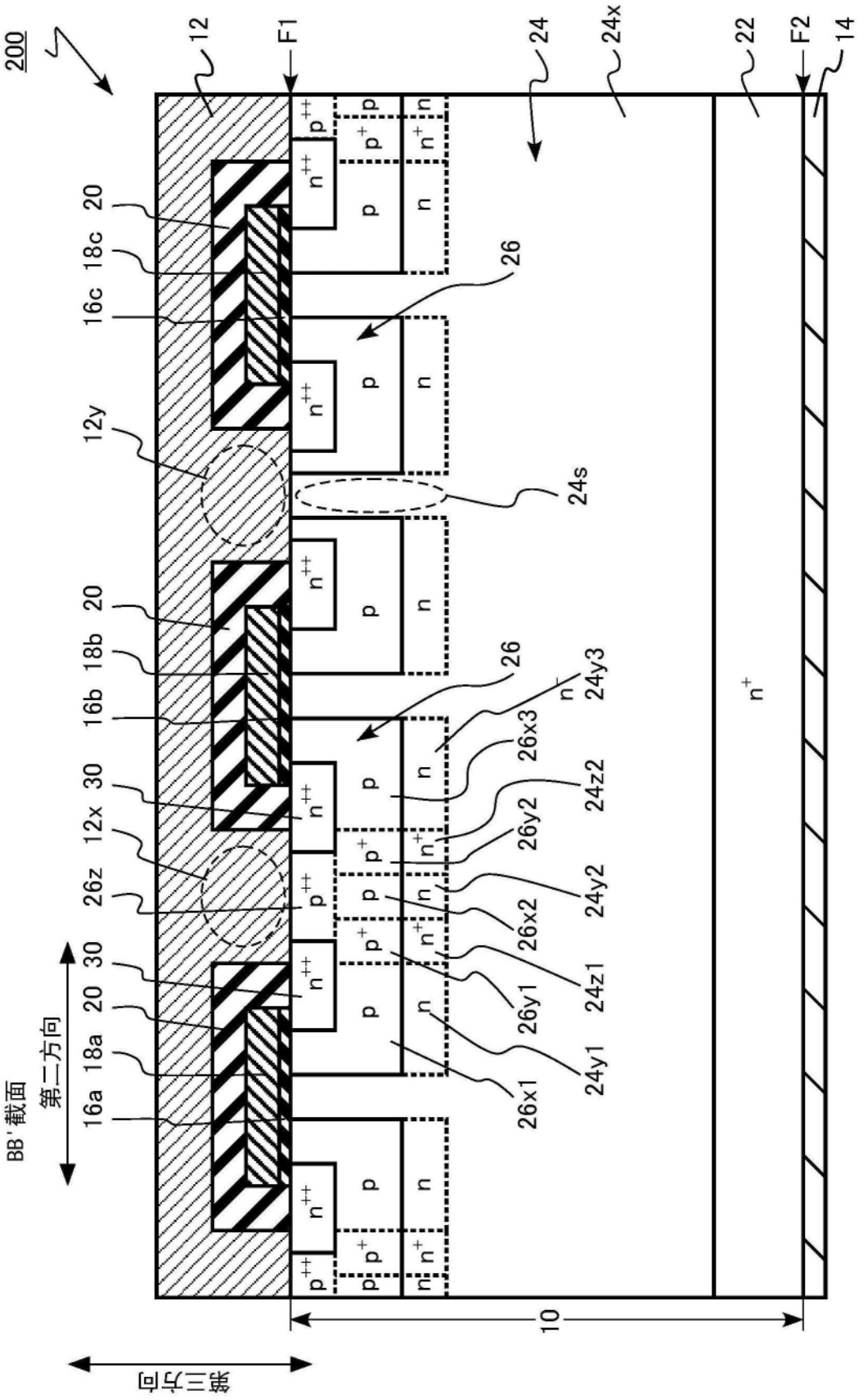

200
12
F1
24
24x
22
F2
14
20
18c
16c
12y
26
24s
20
18b
16b
30
12x
26z
30
20
18a
16a
BB'截面
第二方向
第三方向
10
24y3
26x3
24z2
26y2
24y2
26x2
24z1
26y1
24y1
26x1

图6

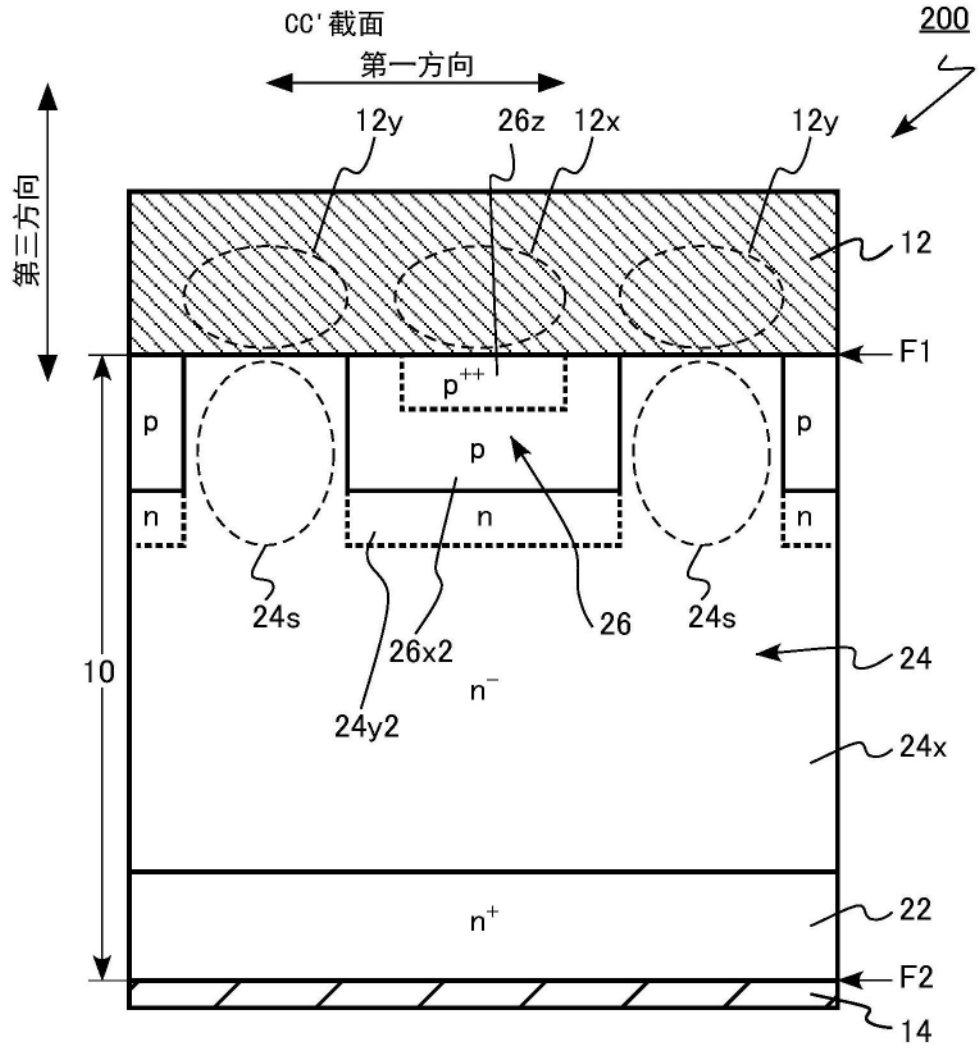

CC'截面
第一方向
第三方向
200
12y
26z
12x
12y
12
F1
p++
p
p
n
n
n
24s
26x2
26
24s
24
10
n−
24y2
24x
n+
22
F2
14

图7

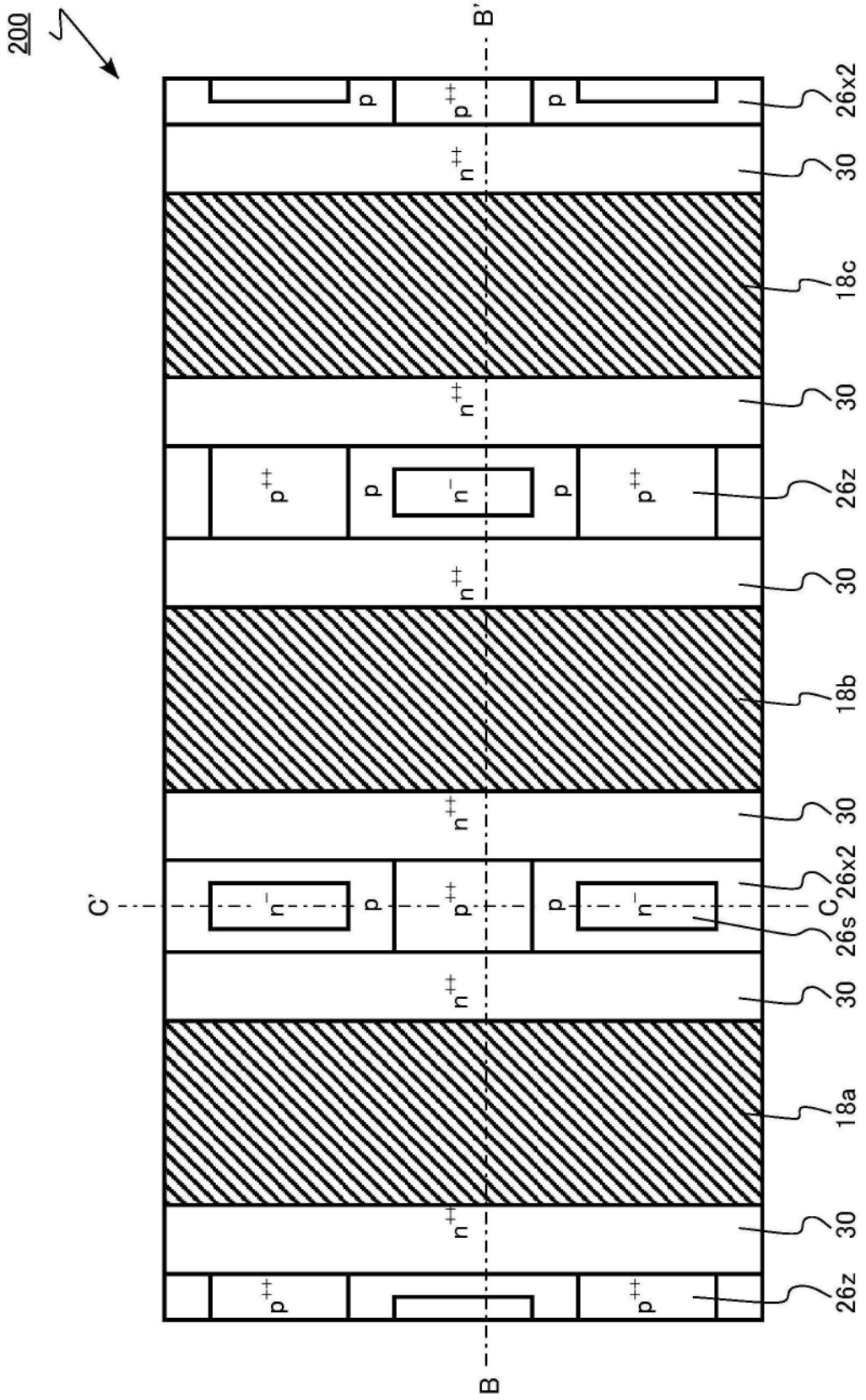


图8

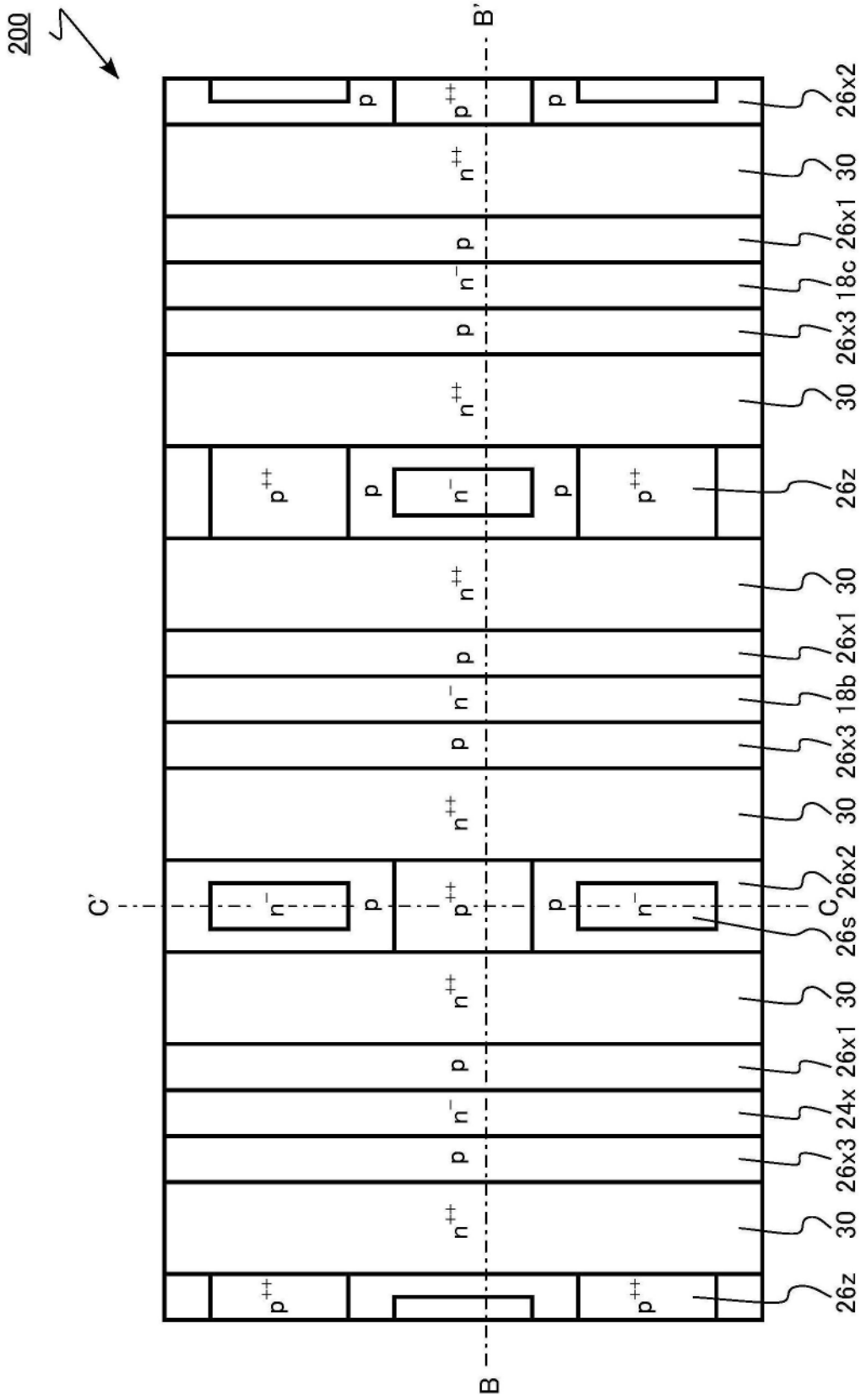


图9

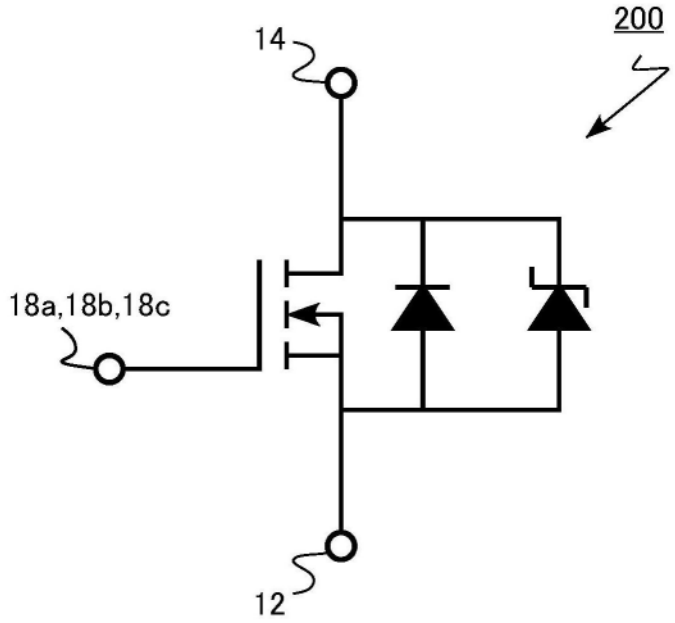


图10