

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2009年7月9日 (09.07.2009)

PCT

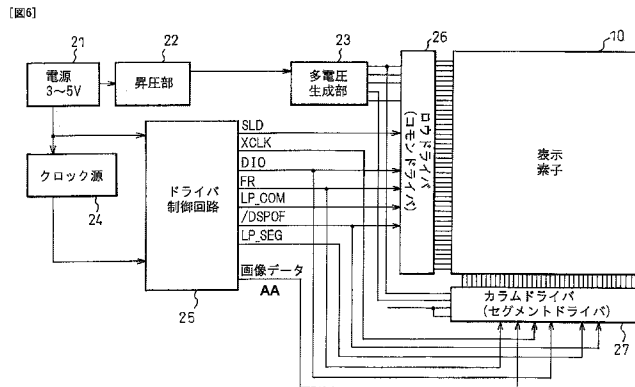
(10) 国際公開番号  
WO 2009/084075 A1

- (51) 国際特許分類: *G09G 3/36* (2006.01) *G09G 3/20* (2006.01) *G02F 1/133* (2006.01) 1776番地 富士通フロンテック株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2007/001500 (74) 代理人: 大菅義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町8番地20二番町ビル3F Tokyo (JP).
- (22) 国際出願日: 2007年12月28日 (28.12.2007) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通フロンテック株式会社 (FUJITSU FRONTECH LIMITED) [JP/JP]; 〒2068555 東京都稲城市矢野口 1776番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 上野裕史 (UENO, Yuji) [JP/JP]; 〒2068555 東京都稲城市矢野口 (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[ 続葉有 ]

(54) Title: DISPLAY APPARATUS INCLUDING SIMPLE MATRIX DISPLAY DEVICE

(54) 発明の名称: 単純マトリクス型の表示素子を有する表示装置



21 POWER SOURCE  
 22 BOOSTER UNIT  
 23 MULTIVOLTAGE GENERATION UNIT  
 26 ROW DRIVER (COMMON DRIVER)  
 10 DISPLAY DEVICE  
 27 COLUMN DRIVER (SEGMENT DRIVER)  
 24 CLOCK SOURCE  
 25 DRIVER CONTROL CIRCUIT  
 AA IMAGE DATA

(57) Abstract: A display apparatus includes a simple matrix display device and is capable of full-color display. The apparatus includes the simple matrix display device (10) including a display material with memory capability, a row driver (26) for driving a scan electrode of the display device, and a column driver (27) for driving a data electrode of the display device. A switching signal (S/C) is set to a segment mode even during the falling period of a display-apparatus driving signal (/DSPOF) for preventing rush current that occurs at the falling edge of a frame signal (FR). During this period, the former half of line data is transferred and is output. Consequently, the falling period of the display-apparatus driving signal (/DSPOF) (i.e., time during which liquid crystal does not operate) is shortened, thus improving the response characteristics of liquid crystal.

[ 続葉有 ]



WO 2009/084075 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

---

(57) 要約: 単純マトリクス型の表示素子を有し、フルカラー対応が可能な表示装置であって、メモリ性の表示材料を有する単純マトリクス型の表示素子10と、表示素子のスキャン電極を駆動するロウドライバ26と、表示素子のデータ電極を駆動するカラムドライバ27とを備え、フレーム信号FRの立ち下がり時に発生する突入電流を防止するための表示装置駆動信号/DSPOFの立ち下がり期間においても切替え信号S/Cをセグメントモードにし、この期間にラインデータの前半分を転送して出力させる。これにより、表示装置駆動信号/DSPOFの立ち下がり期間(即ち液晶が動作しない時間)が短縮されるので、液晶の応答特性を向上させることができる。

## 明 細 書

### 単純マトリクス型の表示素子を有する表示装置

#### 技術分野

[0001] 本発明は、単純マトリクス型の表示素子を有する表示装置に関し、特にコレステリック液晶などのメモリ性の表示材料を有し、電子ペーパー等に使用される単純マトリクス型の表示素子を有する表示装置に関する。

#### 背景技術

[0002] 近年、産業界や学校法人等において、電子ペーパーの開発が活発になされている。電子ペーパーの利用が可能な応用分野としては、電子書籍、モバイル端末機器等のモニタ表示装置やICカード等の表示部などがあり、各分野で多様な応用形態が提案され、開発されている。さらに、近年は、新聞情報がインターネット網に配信される時代となり、電子ペーパーは、従来の新聞紙に代わる情報媒体としても注目されている。

[0003] 電子ペーパーの有効な方式の1つは、コレステリック液晶を使用する方式であり、これはコレステリック液晶が有する優れた特徴、即ち、半永久的な表示保持（メモリ性）、鮮やかなカラー表示、高コントラスト、及び高解像度であるといった特性を利用するものである。

[0004] なお、ネマティック液晶にキラル性の添加剤（カイラル材）を比較的多く（数晶十％）添加することにより、ネマティック液晶の分子が螺旋状のコレステリック相を形成する液晶となることから、このようなコレステリック液晶は、カイラルネマティック液晶とも称されている。

[0005] 図1A及び図1Bは、コレステリック液晶の状態を示す説明図である。同図に示すように、コレステリック液晶を利用した表示素子10は、上側基板11と、コレステリック液晶層12と、及び下側基板13と、を備えて構成されている。コレステリック液晶の動作状態には、図1Aに示すように入射光を反射することができるプレーナ状態と、図1Bに示すように入射光を透過させることができるフォーカルコニック状態とがあるが、これらの状態

は、いずれも、電圧が印加されない状態、即ち無電界下においても維持される。よって、コレステリック液晶では、安定した表示状態を保持することができる。

[0006] コレステリック液晶の動作状態がプレーナ状態の時には、液晶分子の螺旋ピッチに対応した波長の光を反射するが、この反射が大となる波長 $\lambda$ は、液晶の平均屈折率を $n$ 、螺旋ピッチを $p$ として、 $\lambda = n \cdot p$ で表される。

[0007] 一方、コレステリック液晶の反射帯域 $\Delta\lambda$ は、液晶の屈折率異方性 $\Delta n$ により大きく異なっているという特徴がある。

コレステリック液晶の動作状態がプレーナ状態の時には、入射光が反射するので「明」状態となり、即ち白を表示することができる状態となる。他方、コレステリック液晶の動作状態がフォーカルコニック状態の時には、下側基板13の下に光吸収層が設置されている場合には、光が液晶層を透過すると共に、当該光吸収層によって吸収されるので、「暗」状態となり、即ち黒を表示することができる状態となる。

[0008] 以下、コレステリック液晶を利用した従来の一般的な表示素子の駆動方法を説明する。

図2は、従来の一般的なコレステリック液晶の電圧－反射率特性を示すグラフ図である。

同図に示すグラフ図において、グラフの縦軸はコレステリック液晶の反射率（％）を表し、横軸は、コレステリック液晶を挟む電極間に所定のパルス幅で印加されるパルス電圧の電圧値（V）を表している。

また、実線で示す曲線Pは、初期状態がプレーナ状態となっているコレステリック液晶の電圧－反射率特性を示しており、また、破線で示す曲線FCは、初期状態が、入射光を透過するフォーカルコニック状態となっているコレステリック液晶の電圧－反射率特性を示すものである。

[0009] 図2において、コレステリック液晶を挟む電極間に所定の高電圧 $V_{P100}$ （例えば $\pm 36V$ ）を印加することにより、コレステリック液晶中に相対的に強い電界を発生させると、液晶分子の螺旋構造は完全に解けて、全ての

分子が電界の方向に従うホメオトロピック状態への転移を示す。

[0010] また、液晶分子がホメオトロピック状態の時に、印加電圧を  $V_{P100}$  から所定の低電圧（例えば、 $V_{F0} = \pm 4 \text{ V}$ ）に急激に低下させることにより、液晶中の電界を急激にほぼゼロにすると、液晶の螺旋軸は電極に垂直になり、螺旋ピッチに応じた光を選択的に反射するプレーナ状態に遷移する。

[0011] 一方、電極間に所定の低電圧  $V_{F100b}$ （例えば、 $\pm 24 \text{ V}$ ）を印加し、コレステリック液晶中の相対的に弱い電界を発生させると、液晶分子の螺旋構造が完全には解けていない状態となる。この状態において、印加電圧を  $V_{F100b}$  から低電圧  $V_{F0}$  に急激に低下させて、液晶中の電界を急激にほぼゼロにするか、若しくは強い電界を印加して緩やかに電界を除去した場合は、液晶分子の螺旋軸が電極に平行になり、即ち、前述の入射光を透過させるフォーカルコニック状態になる。

[0012] また、中間的な強さの電界を印加し、急激に電界を除去すると、前述の入射光を反射させるプレーナ状態と、前述の入射光を透過させるフォーカルコニック状態とが混在するので、中間調の表示が可能となる。従来、液晶表示装置は、前記の入射光に対する反射作用と吸収作用を利用することで画像の表示を行うものである。

[0013] 以下、上記の電圧応答特性に基づく駆動方法の原理を、図3Aから図3Cを参照して更に詳細に説明する。

図3Aは、コレステリック液晶において、電圧パルスのパルス幅が数十msの場合のパルス応答特性を示し、図3Bは電圧パルスのパルス幅が2msの場合のパルス応答特性を示し、図3Cは電圧パルスのパルス幅が1msの場合のパルス応答特性を示すグラフ図である。各図の上側にはコレステリック液晶に印加される電圧パルスを示し、下側には電圧－反射率特性を示している、また、グラフ図の縦軸は反射率（%）を表し、横軸は電圧（V）を表している。コレステリック液晶の駆動パルスには正極性と負極性のパルスを組み合わせて使用している。周知のように、コレステリック液晶は、極性が反転しない固定的な電圧パルスを印加し続けると、分極による液晶の劣化

を招くが、正極性と負極性のパルスを組み合わせて使用することにより、このような劣化を防止することができる。

[0014] 図3Aでは、コレステリック液晶に印加される電圧パルスのパルス幅が数十msと大きいと、実線で示すように、初期状態がプレーナ状態の場合は、電圧を或る範囲に上げた時にフォーカルコニック状態となり、さらに電圧を上げると、再度プレーナ状態に戻ることを示している。しかしながら、破線で示すように、初期状態がフォーカルコニック状態の場合には、パルス電圧を上げるに連れて次第にプレーナ状態に遷移することが示されている。

[0015] コレステリック液晶に印加される電圧パルスのパルス幅が大きい場合、初期状態がプレーナ状態とフォーカルコニック状態のいずれであっても、必ずプレーナ状態になるパルス電圧は、図3Aでは±36Vとなっている。また、この中間のパルス電圧を印加した場合、コレステリック液晶は、プレーナ状態とフォーカルコニック状態が混在した状態になるので、画像には中間調の表示が得られる。

[0016] 一方、図3Bに示すように、コレステリック液晶に印加される電圧パルスのパルス幅が2msと小さいと、初期状態がプレーナ状態の場合、パルス電圧が10Vでは反射率は変化せず、また、パルス電圧が10V以上になってプレーナ状態とフォーカルコニック状態が混在した状態になるので反射率が低下する。この反射率の低下量は印加電圧が大きくなるに連れて大きくなるが、印加電圧が36V以上になると、反射率の低下量は一定となることが示される。コレステリック液晶におけるこのような特性は、初期状態がプレーナ状態とフォーカルコニック状態が混在した状態であっても同様である。従って、初期状態がプレーナ状態である場合に、パルス幅が2msでパルス電圧が20Vの電圧パルスを1回印加すると、反射率は或る程度低下することになる。よって、プレーナ状態とフォーカルコニック状態が混在した状態（即ち反射率が少し低下した状態）では、電圧パルスのパルス幅が2msであり、かつパルス電圧が20Vの電圧パルスを、更にコレステリック液晶に印加することにより、コレステリック液晶の反射率を更に低下させることがで

きる。上記の一連の操作を繰り返すことにより、反射率を所定値まで低下させることができる。

[0017] 図3Cに示すように、パルス幅が更に小さくなって1msの場合には、パルス幅が2msの場合と同様に、コレステリック液晶に電圧パルスを印加することによりコレステリック液晶の反射率を低下させることができるが、この場合の反射率の低下割合はパルス幅が2msの場合よりも小さいものとなる。

[0018] 以上のことから、コレステリック液晶にあつては、数十msのパルス幅で36Vのパルスを印加すればプレーナ状態になり、2msのパルス幅で十数Vから20V程度のパルスを印加すればプレーナ状態とフォーカルコニック状態が混在した状態になって反射率が低下することになるが、この反射率の低下量は、パルスの累積時間に関係することになる。

[0019] 現在、コレステリック液晶を使用して多階調表示を実現するために各種の駆動方法が提案され、開発されているが、これらを大別するとダイナミック駆動方法（例えば、文献1参照）と、コンベンショナル駆動方法（非特許文献1参照）の2つに分けられる。

[0020] ダイナミック駆動法は、駆動波形が複雑であるため、複雑な制御回路及びドライバICを必要とし、パネルの透明電極も低抵抗のものが必要となるので、製造コストが高くなるという問題点がある。また、消費電力も大きいという問題点がある。

[0021] 非特許文献1は、液晶特有の累積時間を利用し、短い電圧パルスを印加する回数を調整することで、徐々にプレーナ状態からフォーカルコニック状態へ、若しくはフォーカルコニックからプレーナ状態へと、準動画レートの比較的高速で駆動するコンベンショナル駆動方法を開示している。

[0022] 非特許文献1に開示された駆動方法では、駆動速度が準動画レートの高速であるため、駆動電圧は50~70Vと高くしているため、回路のコストが高くなるという問題点がある。さらに、非特許文献1に記載された“Two phase cumulative drive scheme”では、“preparation phase”と、“selection pha

se”との2つのステージを用いることで、プレーナ状態への累積時間と、フォーカルコニック状態への累積時間との2方向の累積時間を使用するため、表示画像の表示品質が向上しないという問題点がある。また、細かい電圧パルスを何度も印加するため、ドライバ回路の消費電力が大きくなるという問題点も有している。

[0023] 特許文献2及び特許文献3は、フォーカルコニック状態へのリセットを応用した早送りモードの駆動方法を開示している。この駆動方法は、上記の駆動方法に比べて、比較的高いコントラストが得られるという利点を有するが、リセット後の書込みには汎用STNドライバICの場合、供給困難な高電圧を必要とし、更には、プレーナ状態の方向へ遷移させた累積書込みになるため、半選択・非選択画素へのクロストークが問題になる。他に、この駆動方法も、細かいパルスを何度も印加するため、消費電力が大きくなるという問題点がある。

[0024] なお、コンベンショナル駆動方法で累積時間を利用して階調を設定する場合、上記のように、短いパルスの印加回数を調整する方法に加えて、パルス幅に差異を設ける方法も可能である。このように、パルス幅に差異を設ける方法の方が、短いパルスの印加回数を調整する方法よりも、消費電力を抑制するには有利である。以下の説明では、パルス幅に差異を設けて累積時間を変化させることにより階調を設定する方法のことをPWM(Pulse Width Modulation)法と称する。

[0025] 特許文献4は、コレステリック液晶は使用していないが、液晶表示装置に印加するパルス電圧としてパルス幅の異なる正極パルス及び負極パルスを印加する方法の回路構成を開示している。

[0026] 図4Aから図4Cは、特許文献4に開示されたパルス幅の異なる電圧パルスの1例を示しており、ここでは、パルス幅を、図4A、図4B、図4Cの順で、長く示している。

図4Aから図4Cに示す電圧パルスは、1単位のパルスの長さが等しく、パルス幅の異なる正極パルスと負極パルスを有しており、コレステリック液



晶の分極に起因する劣化は、このような極性変換電圧パルスを印加することにより、防止することができる。

[0027] 上記のように、コレステリック液晶に印加する電圧パルスの印加累積時間に差異を付けることによって階調に差異を付与する方法には、短い電圧パルスを印加する回数に差異を設ける方法と、印加する電圧パルスのパルス幅に差異を付ける方法（PWM法）とが周知である。

[0028] コレステリック液晶に印加する電圧パルスの印加累積時間に差異を付けることにより階調に差異を付与する方法では、図3B、図3Cに示すような電圧を印加し、また、短い電圧パルスを印加する回数に差異を設ける方法では、図5に示すような電圧を画素に印加する。

[0029] コレステリック液晶では、印加電圧の極性に関わらず大きな電圧が印加されると状態が変化する。コレステリック液晶を利用した液晶表示装置では、横方向に伸びる1スキャンラインずつ書込みを行い、書き込むスキャンラインをシフトする動作を繰り返す。このため、選択したスキャンラインをグラウンドレベルに、他の非選択スキャンラインに中程度の電圧（例えば15V）を印加している。一方、縦方向に伸びるデータラインには、大きな電圧（20V）のパルスを印加するが、この場合、パルス幅以外の部分の電位をグラウンド（GND）電位にすると、非選択スキャンラインの画素で逆極性の大きな電圧（-15V）が印加されることになり、液晶の状態が変化する。

[0030] このような液晶の状態変化を防止するため、コレステリック液晶を利用した液晶表示装置の場合、図5に示すように、正極フェーズでは、ベース電圧が+10Vで、パルス電圧が+20V、負極フェーズでは、ベース電圧が-10Vで、パルス電圧が-20Vの電圧パルスを使用している。これにより、非選択スキャンラインの画素には+5Vまたは-5Vが印加されることになり、液晶の状態が変化することはない。選択スキャンラインでは、パルス部分では+20Vまたは-20Vが印加され、それ以外のベース部分では+10Vまたは-10Vが印加される。

[0031] さらに、特許文献5には、多種多様な形状の液晶表示パネルに対応可能な

液晶表示回路の実現を意図し、1つのパルスをシフトしていくことで、コモン信号に設定するスタート信号と、コモン或いはセグメントのいずれか一方に切替えるための記憶データとを、コモン設定信号に応じて切替える第1の切替回路と、この第1の切替回路の出力、リセットパルス信号、及びコモンクロックにより動作するフリップフロップ回路と、このフリップフロップ回路の出力を前記コモン設定信号により切替える第2の切替回路と、を備えて構成される複数のセグメント／コモン切替え回路を備える液晶表示回路が開示されている。

特許文献1：特開2001-228459号公報

特許文献2：特開2000-147466号公報

特許文献3：特開2000-171837号公報

特許文献4：特開平4-62516号公報

特許文献5：特開平11-38941号公報

非特許文献1：Y.-M. Zhu, D-K. Yang, Cumulative Drive Schemes for Bistable Reflective Cholesteric LCDs, SID 98 DIGEST, pp798-801, 1998

## 発明の開示

- [0032] ところで、前述の単純マトリクス型の表示素子を有する表示装置は、ドライバの動作モードがセグメントモードである時にデータを転送し、出力させる。その後、ドライバの動作モードを瞬時にコモンモードに変更することで、セグメントモード時に転送されたデータをコモンモード時において出力している。また、ドライバの動作モードがセグメントモードである時にデータが転送され、この間はコモンモード時におけるようなデータ出力がなされないため、セグメントモード時にはドライバの出力をOFFにしている。このような駆動方法では、セグメントモードにおけるデータ転送時にはデータ転送のみが行われて、液晶が駆動されないため、液晶の応答速度に悪影響を与えるという問題点があった。
- [0033] そこで、本発明に際しては、このデータ転送時間を短縮して液晶の応答速度を高めることが課題であった。

以下、この問題点について、さらに詳しく説明する。

[0034] 図12は、一般的な単純マトリクスドライバが出力する制御信号のシーケンスを示すタイムチャート図である。

同図において、パルス信号XCLKはデータの取り込み用のクロックを示す(図6参照)。また、パルス信号LPはデータ確定用のラッチパルスを示し、周期的な立ち上がりと立ち下がりとを反復するフレーム信号FRは印加電圧の極性を反転させて液晶に特有の経時劣化を回復させるパルス極性制御信号を示し、切替信号S/Cは、セグメントモードとコモンモードとの切替えを行う信号を示し、表示装置駆動信号/DSPOF(DSPOFバー)は液晶表示装置の駆動信号であり、より具体的には印加電圧の強制オフ信号(印加電圧をオフにする信号、即ち図6に示す信号DSPOFの反転信号を示している)。さらに、OUT電圧は、ラインデータを出力(表示)するために液晶に印加する電圧である。

[0035] 従来の液晶表示装置(単純マトリクス型の表示素子を有する表示装置)は、図12に示すように、切替信号S/Cがセグメント側になって、ドライバの動作モードがセグメントモードとなった時にデータを転送し、出力させる。その後、切替信号S/Cをコモン側に切替え、ドライバの動作モードを瞬時にコモンモードに変更することで、セグメントモード時に液晶に転送されたデータを、コモンモード時において出力(表示)している。この出力(表示)は、液晶にOUT電圧を印加することにより行われる。また、ドライバの動作モードがセグメントモードである時にデータが転送され、この間はコモンモード時におけるようなデータ出力がなされないため、セグメントモード時には表示装置駆動信号/DSPOF(DSPOFバー)をOFFにすることでドライバの出力を強制的に停止させている。前述のとおり、このような駆動方法では、セグメントモードにおけるデータ転送時にはデータ転送のみが行われて、液晶が駆動されないため、液晶の応答速度に悪影響を与えるという問題点があった。なお、表示装置駆動信号/DSPOF(DSPOFバー)をOFFにすることでドライバの出力を強制的に停止させる制御は、

上記の場合以外に、印加電圧の極性を反転させるフレーム信号FRの立ち下がり時についても同様であり、この時には大電流を伴うため、ドライバの出力を強制的に停止させて突入電流を防止し、電圧降下を抑制している。

[0036] 本発明は、単純マトリクスのコレステリック液晶表示素子の駆動制御装置における前記の問題点に鑑み、ドライバ回路が出力する制御信号のシーケンスを変更することでデータ転送時間を短縮することを可能にして、液晶の応答性能を高めた単純マトリクス型の表示素子を有する表示装置を提供することを目的とする。

[0037] 上記目的を実現するため、本発明の表示装置は、マトリクス型の表示素子と、前記表示素子のスキャン電極を駆動するロウドライバと、前記表示素子のデータ電極を駆動するコラムドライバと、を備える表示装置であって、データ取り込み用のクロックであるパルス信号XCLK、データ確定用のラッチパルスであるパルス信号LP、液晶の劣化を防止するためのパルス極性制御信号であるフレーム信号FR、及び表示装置駆動停止期間を指示する/DISPOF信号、から成る制御信号をそれぞれ出力する手段と、表示データの転送を行うことが可能なセグメントモードであるか、それとも液晶に電圧を印加して前記転送された表示データの出力を行うコモンモードであるかの、いずれか1つのモードを指定する切替え信号S/Cを出力する手段と、前記フレーム信号FRの立ち下がり時に生じる液晶への突入電流を防止するために前記/DISPOF信号によって設定される表示装置駆動停止期間については、表示データの転送が可能な前記セグメントモードにする手段と、前記セグメントモードに切替えられた前記期間に、前記表示データの一部を転送する手段と、を備えたことを特徴とする表示装置を提供するものである。

[0038] このように構成することにより、従来のデータ転送期間における表示装置駆動信号/DISPOF（DISPOFバー）の立ち下がり期間（即ち表示装置駆動停止期間）を、従来よりも短縮することが可能となり、これにより、液晶が動作しない時間が低減されるので、液晶の応答特性を向上させた表示装置を実現することができる。

[0039] また、前記表示装置において、前記セグメントモードに切替えられた期間に転送される前記表示データの一部は、前記表示データの前半分のデータであることを特徴とする。

このように構成することにより、従来のデータ転送期間における表示装置駆動信号／DSPOF（DSPOFバー）の立ち下がり期間（即ち表示装置駆動停止期間）を、従来の半分程度に短縮することが可能となり、これにより、液晶が動作しない時間が低減されるので、液晶の応答特性を向上させた表示装置を実現することができる。

[0040] また、前記表示装置において、前記制御信号、切替え信号S/C、及び前記表示データの出力信号は、いずれもフルカラー表示が可能な液晶表示パネルに入力されることを特徴とする。

[0041] さらに、前記表示装置において、前記フルカラー表示が可能な液晶表示パネルは、赤、緑、青、の光色にそれぞれ対応した3層の液晶表示パネルで構成されていることを特徴とする。

### 図面の簡単な説明

[0042] [図1A]は、コレステリック液晶のプレーナ状態を示す説明図である。

[図1B]は、コレステリック液晶のフォーカルコニック状態を示す説明図である。

[図2]は、従来の一般的なコレステリック液晶の電圧－反射率特性を示すグラフ図である。

[図3A]は、コレステリック液晶に印加する大きな電圧と広いパルス幅のパルスによる反射率の変化を示す説明図である。

[図3B]は、コレステリック液晶に印加する中間電圧と狭いパルス幅のパルスによる反射率の変化を示す説明図である。

[図3C]は、コレステリック液晶に印加する中間電圧とより狭いパルス幅のパルスによる反射率の変化を示す説明図である。

[図4A]は、液晶に印加する対称パルスのパルス幅が狭い場合の1例を示す波形図である。

[図4B]は、液晶に印加する対称パルスのパルス幅が中位の場合の1例を示す波形図である。

[図4C]は、液晶に印加する対称パルスのパルス幅が広い場合の1例を示す波形図である。

[図5]は、コレステリック液晶に印加する対称パルスの1例を示す波形図である。

[図6]は、本発明の実施形態に係る表示装置の概略構成を示す構成図である。

[図7]は、本発明の実施形態に係る表示装置の駆動シーケンスの1例を示すタイムチャート図である。

[図8A]は、表示装置における汎用セグメントドライバと汎用コモンドドライバの出力パルスのシーケンスの1例を示すタイムチャート図である。

[図8B]は、図8Aの出力パルスによる液晶への印加電圧を示す説明図である。

[図9]は、汎用の単純マトリクスドライバの構成を示す構成図である。

[図10A]は、汎用の単純マトリクスドライバのセグメントモード時の出力電圧を示す説明図である。

[図10B]は、汎用の単純マトリクスドライバのコモンモード時の出力電圧を示す説明図である。

[図11]は、汎用の単純マトリクスドライバを使用した従来の表示装置の概略構成を示す構成図である。

[図12]は、一般的な単純マトリクスドライバの出力信号のシーケンスを示すタイムチャート図である。

[図13]は、本発明の実施形態に係る表示装置が備える単純マトリクスドライバの出力信号のシーケンスを示すタイムチャート図である。

[図14]は、本発明の実施形態に係る表示装置の単純マトリクスドライバのデータ転送期間における出力信号のシーケンスを示すタイムチャート図である。

[図15]は、本発明の実施形態に係る表示装置が備えるドライバ制御回路25

の機能面から見たブロック構成を示すブロック構成図である。である。

### 符号の説明

[0043]	10	表示素子
	21	電源
	22	昇圧部
	25	ドライバ制御回路
	26	ロウドライバ（単純マトリクスドライバ）
	27	カラムドライバ（単純マトリクスドライバ）
	100	単純マトリクスドライバの制御部
	101	CLK（クロック）生成部
	110	共用カウンタ
	111	S/C切替用カウンタ
	112	R/W回路
	121	FR信号生成部
	122	/DISPOF信号生成部
	123	S/C信号生成部
	124	XCLK信号生成部
	125	OUT電圧生成部

### 発明を実施するための最良の形態

[0044] 以下、図面を参照して本発明の実施形態を説明する。

図6は、本発明の実施形態に係る表示装置の概略構成を示す構成図である。

本実施形態に係る表示装置は、コレステリック液晶等のメモリ性の表示材料で構成される単純マトリクス型の表示素子10と、回路に電力を供給する電源21と、電源21の出力電圧を昇圧する昇圧部22と、昇圧部22の出力電圧を複数の電圧値にそれぞれ分岐する多電圧生成部23と、回路にクロックを供給するクロック源24と、複数の制御信号及び画像データを生成するドライバ制御回路25と、スキャンラインを駆動するロウドライバ26（コ

モンドライバ) と、表示ラインを駆動するカラムドライバ27 (セグメントドライバ) と、を備えて構成される。

[0045] 以下、本実施形態に係る表示装置の動作を説明する。

表示素子10は、例えば、A4判XGA仕様で、1024×768画素を有するものであってよい。電源21は、例えば3V~5Vの電圧を出力するものでよい。昇圧部22は、DC-DCコンバータなどのレギュレータにより、電源21からの入力電圧を36V~40Vに昇圧するものである。多電圧生成部23は、昇圧された電圧からロウドライバ(コモンドライバ)26及びカラムドライバ(セグメントドライバ)27に供給する複数の電圧を生成する。

[0046] クロック源24は、本表示装置の各部の制御に使用するクロックを出力する。ドライバ制御回路25は、複数種類の制御信号を出力してロウドライバ26及びカラムドライバ27の制御を行う。

[0047] 走査(スキャン)ラインデータSLDは、ロウドライバ26がラッチして順にシフトさせるデータである。データ取り込みクロックCLKは、カラムドライバ27が内部で画像データを転送するためのクロックである。

[0048] フレーム開始信号DIOは表示ラインの更新を指示する信号である。パルス極性制御信号FRは、印加電圧の極性反転信号である。

スキャンシフト信号LP\_COMはロウドライバ26において表示ラインの更新を指示する信号である。

[0049] 信号/DSPOF(DSPOFバー)は、液晶表示装置の駆動信号を示すものであり、より具体的には印加電圧の強制オフ信号(印加電圧をオフにする信号、即ち信号DSPOF)の反転信号である。カラムデータラッチ信号LP\_SEGは、カラムドライバ27において表示ラインの更新を指示する信号である。カラムドライバ27には、画像データが入力される。

[0050] ロウドライバ(コモンドライバ)26は、768本のスキャンラインを駆動し、他方、カラムドライバ(セグメントドライバ)27は、1024本のデータラインを駆動する。RGBの各画素に与える画像データが異なるため



、カラムドライバ27は各データラインを独立して駆動する。ロウドライバ26は、RGBのラインを共通に駆動する。ロウドライバ（コモンドライバ）26及びカラムドライバ（セグメントドライバ）27は、それぞれ2値出力の汎用の単純マトリクスドライバが使用される。広く使用されているドライバICには、コモンドライバ用IC及びセグメントドライバ用ICがあり、さらにモード切替端子に印加する電圧に応じて、コモンドライバとしてもセグメントドライバとしても使用可能なICがある。

[0051] 図7は、本発明の実施形態に係る表示装置の駆動シーケンスの1例を示すタイムチャート図である。

同図に示すように、制御信号LP\_COM及び制御信号LP\_SEGを液晶に印加して表示ラインを更新した後、データ取り込みクロックCLKに応じて1ライン分のデータをカラムドライバ27に供給し、1024個の画素データをシフトして1ライン分の画素データが揃った時点で再び液晶に制御信号LP\_COM及び制御信号LP\_SEGを印加すると、ロウドライバ26は1スキャンラインに、正極フェーズの電圧パルスを出力する。また、カラムドライバ27は、1024本のデータラインに、1ライン分の画像データに対応した正極フェーズの電圧パルスを出力する。

[0052] 正極フェーズのパルスの印加が終了すると、液晶には負極フェーズの電圧パルスの印加を行う。これと並行して、上記と同様に次の1ライン分の画素データを供給する。

以下、同様の処理を繰り返して、全画面に表示データに応じた正極及び負極フェーズの電圧パルスの印加を行う。階調レベルに対応したパルスの累積印加時間を、液晶に印加する電圧パルスのパルス数で調整する場合は、各データライン毎に印加する電圧パルスの回数を変化させ、パルス長で調整する場合は、各データライン毎に液晶に印加する電圧パルスのパルス幅を変化させる。

[0053] なお、全画素をプレーナ状態にするリセット処理の場合は、液晶の全画素に、高電圧（例えば36V）でパルス幅の広い正極及び負極フェーズで対称

の電圧パルスの印加を行う。

- [0054] コレステリック液晶を利用した表示装置では、プレーナ状態から中間調レベルに変化させるために印加する階調パルスとして、カラムドライバ（セグメントドライバ）及びロウドライバ（コモンドライバ）は、例えば図8Aに示すようなパルスを出力する。このようなパルスを印加することにより、画素には図8Bに示すような電圧が印加される。
- [0055] カラムドライバには、 $V_0$ として20Vが、 $V_{21S}$ 及び $V_{34S}$ として10Vが、供給され、図8Aに示すように、正極フェーズ（ $FR=1$ ）では正パルスが、負極フェーズ（ $FR=0$ ）では負パルスが、それぞれ出力される。
- [0056] ロウドライバには、 $V_0$ として20Vが、 $V_{21C}$ として15Vが、 $V_{341C}$ として5Vが、それぞれ供給され、図8Aに示すように、正極フェーズ（ $FR=1$ ）では、負パルスが、負極フェーズ（ $FR=0$ ）では正パルスが、それぞれ出力される。
- [0057] 図8Aのようなパルスが印加されることにより、スキャンラインが選択状態（コモンがオン）で、データラインも選択状態（セグメントがオン）では、正極フェーズ（ $FR=1$ ）においては20Vが、負極フェーズ（ $FR=0$ ）では-20Vが印加される。スキャンラインが選択状態（コモンがオン）で、データラインが非選択状態（セグメントがオフ）では、正極フェーズ（ $FR=1$ ）においては10Vが、負極フェーズ（ $FR=0$ ）では-10Vが印加される。スキャンラインが非選択状態（コモンがオフ）で、データラインが選択状態（セグメントがオン）では、正極フェーズ（ $FR=1$ ）においては5Vが、負極フェーズ（ $FR=0$ ）では-5Vが印加される。スキャンラインが非選択状態（コモンがオフ）で、データラインが非選択状態（セグメントがオフ）では、正極フェーズ（ $FR=1$ ）においては-5Vが、負極フェーズ（ $FR=0$ ）では5Vが印加される。本表示装置のロウドライバ（図6）及びコモンドライバは、汎用の単純マトリクスドライバICで構成することができる。汎用ドライバICには、セグメントドライバ用IC及

びコモンドライバ用 I C の他に、端子に印加する電圧レベルによりセグメントドライバとして使用するか、それともコモンドライバとして使用するのかが選択できる I C も開発されている（例えば、セイコーエプソン社製 S T N 液晶ドライバ S1D17A03/S1D17A04）。

[0058] 図 9 は、セグメントドライバとして使用するかコモンドライバとして使用するかが選択可能なモード選択機能付き単純マトリクスドライバ I C のブロック構成及び入出力信号を示す図である。

[0059] このドライバ I C は、セグメントドライバと、コモンドライバとの両方で使用するため、シフトレジスタ、データレジスタ及びラッチを有している。

図 10 A は、図 9 のモード選択機能付き単純マトリクスドライバ I C のセグメントモード時の入力信号と出力電圧の関係を示す説明図である。

[0060] 同図に示すように、セグメントモード時のドライバは、表示装置駆動信号 / D S P O F が「高 ( H I G H : 1 ) 」の時にデータラッチ信号に応じた出力を行い、表示装置駆動信号 / D S P O F が「低 ( L O W : 0 ) 」の時には出力は所定値  $V_5$ （例えば G N D）になる。データラッチ信号が“ 1 ”で、極性制御信号 F R が“ 1 ”の時には  $V_0$ （20 V）を出力し、極性制御信号 F R が“ 0 ”の時にはグラウンドレベル  $V_5$ （G N D）を出力し、データ信号が“ 0 ”で、極性制御信号 F R が“ 1 ”の時には  $V_{21}$ （10 V）を、極性制御信号 F R “ 0 ”の時には  $V_{34}$ （10 V）を出力する。

[0061] ここで、 $V_0$ 、 $V_{21}$ 、 $V_{34}$  は、外部からドライバに供給される電圧であり、 $V_0 \geq V_{21} \geq V_{34} \geq G N D$  の制限条件を満たす必要がある。

図 10 B は、図 9 のモード選択機能付き単純マトリクスドライバ I C のコモンモード時の入力信号と出力電圧の関係を示す説明図である。

同図に示すように、コモンモード時のドライバは、表示装置駆動信号 / D S P O F が「高 ( H I G H : 1 ) 」の時にデータラッチ信号に応じた出力を行い、 / D S P O F が「低 ( L O W : 0 ) 」の時には出力は所定値  $V_5$ （例えば G N D）になる。データ信号が“ 1 ”で、極性制御信号 F R が“ 1 ”の時には  $V_5$ （G N D）を出力し、極性制御信号 F R が“ 0 ”の時には  $V_0$ （20 V）

を出力し、データ信号が“0”で、極性制御信号FRが“1”の時にはV21（15V）を、極性制御信号FR“0”の時にはV34（5V）を出力する。V0、V21、V34は、外部からドライバに供給される電圧であり、 $V0 \geq V21 \geq V34 \geq GND$ の制限条件を満たす必要がある。

[0062] 図11は、図9に示すモード選択機能付き単純マトリクスドライバを使用して構成した表示装置の構成を示すブロック図である。但し、図11では、表示素子10、ドライバ制御回路25、単純マトリクスドライバで構成されたロウドライバ26及び単純マトリクスドライバで構成されたコラムドライバ27のみを示しており、他の部分は図示を省略している。

[0063] 図11に示すように、ロウドライバ26のモード選択端子S/Cは、GNDに接続され、かつコモンモードに設定される。コラムドライバ27のモード選択端子S/CはHIGH端子に接続され、セグメントモードに設定される。パルス極性制御信号FR及び表示装置駆動信号/DSPOFは、2つのドライバに共通に入力される。コラムドライバ27のXSC L端子には画像データのシフトクロックが入力され、LP端子にはデータ確定用のラッチパルスが入力される。このデータ確定用のラッチパルスはロウドライバ26のLP端子にも入力され、ラインシフトクロックとして作用する。コラムドライバ27のデータ入力端子（8ビット入力であればD0-D7）には画像データが入力される。ロウドライバ26のイネーブル端子EIO1には、スキャンラインデータSLDが入力される。SLDは、通常のスキャン動作であれば、開始時に1になり、以後0の状態に維持される（他の端子についての説明は省略する）。また、各制御信号は、基本的には図7と同じなので、詳しい説明は省略する。

[0064] 図13は、本発明の実施形態に係る表示装置が備える単純マトリクスドライバの出力信号のシーケンスを示すタイムチャート図である。

同図において、パルス信号XCLKはデータの取り込み用のクロックを示す（図6、12参照）。また、パルス信号LPはデータ確定用のラッチパルスを示し、ラインデータ転送時に立ち上がる切替え信号S/Cはセグメント

モードとコモンモードとの切替えを指示する制御信号を示し、周期的な立ち上がり立ち下がりとを反復するフレーム信号FRは印加電圧の極性を反転させて液晶に特有の経時劣化を回復させるパルス極性制御信号を示し、表示装置駆動信号／DSPOF（DSPOFバー、図6に示す／DSPOFと同じ信号）は液晶表示装置の駆動信号であり、より具体的には印加電圧の強制オフ信号（印加電圧をオフにする信号、即ち信号DSPOF）の反転信号を示している（図12参照）。さらに、OUT電圧は、ラインデータを表示（表示）させるために液晶に印加する電圧である。

[0065] 図13に示すように、本実施形態に係る表示装置が備える単純マトリクスドライバの出力信号のシーケンスは、データ確定用のラッチパルスを示すパルス信号LP、パルス極性制御信号を示すフレーム信号FR、表示装置駆動信号／DSPOF（DSPOFバー）、及びラインデータを表示（出力）させるために液晶に印加するOUT電圧のシーケンスは、図12に示す一般的な単純マトリクスドライバの出力信号のシーケンスと同じである。

[0066] しかし、図13に示す本実施形態に係る単純マトリクスドライバの出力信号のシーケンスにおいては、セグメントモードとコモンモードとの切替えを指示する切替え信号S/Cが、印加電圧の極性を反転させるフレーム信号FRの立ち下がり時に発生する突入電流を防止するための表示装置駆動信号／DSPOF（DSPOFバー）の立ち下がり時にも、コモンモードに切替えられて、1つのラインデータの前半を転送している。また、この時点では、パルス信号XCLKを出力して当該データの取り込みを行っている。この印加電圧の極性を反転させるフレーム信号FRの立ち下がり時に発生する突入電流を防止するための表示装置駆動信号／DSPOF（DSPOFバー）の立ち下がり期間は、従来の制御シーケンスにおいては切替え信号S/Cがコモンモードになっていた期間であり、即ち、コモンモードであるためにドライバのデータ出力を強制的に停止させていた期間であった。しかしながら、この期間は、表示装置駆動信号／DSPOF（DSPOFバー）の立ち下げて、ドライバのデータ出力を強制的に停止させているため、切替え信号S/C

Cをセグメントモードにすることが可能であり、従来はコモンモードとしてデータ転送には使用されていなかった前記期間において、ラインデータの前半分を転送して出力させることができる。よって、従来のラインデータ転送期間（本来のラインデータ転送期間）においては、ラインデータの残り半分だけを転送して出力させることができる。本発明は、この点に着目したものであり、これにより、表示装置駆動信号／DSPOF（DSPOFバー）の立ち下がり期間も従来の半分に短縮され、液晶が動作しない時間が短縮されるので、液晶の応答特性を向上させることができる。

[0067] 図14は、本発明の実施形態に係る表示装置の単純マトリクスドライバのデータ転送期間における出力信号のシーケンスを示すタイムチャート図である。

同図に示すように、本実施形態に係る表示装置の単純マトリクスドライバは、データ転送期間において、図13に示す表示装置駆動信号／DSPOF（DSPOFバー）を立ち下げ、その後、切替え信号S/Cを切替えて立ち上げ、セグメントモード側にする。また、これと同時に、データの取り込み用のクロックとしてパルス信号CLKを出力し、表示データであるDataを出力する。これらの出力が完了すると、パルス信号LPがデータ確定用のラッチパルスを出力して表示データ（Data）の取り込みがなされ、最後に、ラインデータを出力（表示）させるためのOUT電圧（図13）が液晶に印加されて、データが表示される。

[0068] 図15は、本発明の実施形態に係る表示装置が備えるドライバ制御回路25の機能面から見たブロック構成を示すブロック構成図である。

同図において、制御部100は、本実施形態に係る表示装置が備えるドライバ制御回路25の機能ブロックである。

[0069] 制御部100は、パルス信号CLKを生成するCLK（クロック）生成部101と、パルス信号CLKを分周する分周部102と、共用カウンタ110、及びS/C切替え用カウンタ111を有すると共に分周部102の出力パルスに基づいてシーケンス制御のタイミングを計数するカウンタ109と

、を備えて構成される。

- [0070] また、制御部 100 のカウンタ 109 は、制御シーケンスに必要なタイミングを計数する共用カウンタ 110 と、S/C 信号 (図 13) を切替える S/C 切替用カウンタ 111 と、を備える。
- [0071] さらに、制御部 100 は、XCLK 信号 (図 13) の生成タイミングを示す信号を出力すると共に、OUT 電圧 (図 13) の印加タイミングを示す信号を出力する R/W 回路 112 と、FR 信号 (図 13) を生成する FR 信号生成部 121 と、/DISPOF 信号 ( (図 13 に示す /DSPOF 信号と同じ信号) を生成する /DISPOF 信号生成部 122 と、S/C 信号 (図 13) を生成する S/C 信号生成部 123 と、XCLK 信号 (図 13) を出力する XCLK 信号生成部 124 と、OUT 電圧 (図 13) を生成する OUT 電圧生成部 125 と、を備える。
- [0072] 以下、制御部 100 の動作を説明する。
- CLK (クロック) 生成部 101 は、外部入力によって周期の設定が可能なパルス信号 CLK (図 13) を生成する。また、分周部 102 は、CLK (クロック) 生成部 101 からのクロックを受けて、シーケンス制御に必要なクロックに分周する。分周部 102 が出力するクロックはシーケンス制御に必要な制御信号の生成タイミングを出力するカウンタ 109 に送られる。
- [0073] カウンタ 109 の共用カウンタ 110 は、分周部 102 のクロックを受けて制御シーケンスに必要なタイミングを計数し、このタイミングを知らせる信号を FR 信号 (図 13) を生成する FR 信号生成部 121 と、/DISPOFF 信号 (図 13) を生成する /DISPOFF 信号生成部 122 に送る。なお、上記タイミングを知らせる信号は、S/C 切替え用カウンタ 111 にも送られる。S/C 切替え用カウンタ 111 は、/DISPOFF 信号が立ち下がる期間にセグメントモードとなり、/DISPOFF 信号が立ち上がる期間にコメントモードとなるように切替え信号 S/C (図 13) を指示する信号を出力し、S/C 信号生成部 123 に送る。
- [0074] R/W 回路 112 は、外部入力されたデータ信号を入力し、このデータ信

号からOUT電圧（図13）の印加タイミング及び停止タイミングを検出し、OUT電圧生成部125に送出する。また、このデータ信号からXCLK信号の基となるクロックパルスを検出し、XCLK信号生成部124及びS/C信号生成部123に送出する。

[0075] FR信号生成部121は、共用カウンタ110の出力（タイミング）を入力して、FR信号（図13）を生成し、表示パネル（より具体的には、R用表示パネル131、G用表示パネル132、及びB用表示パネル133）に送出する。

[0076] /DISPOFF信号生成部122は、同じく共用カウンタ110の出力（タイミング）を入力して、/DISPOFF信号（図13に示す/DSPOF信号と同じ信号）を生成し、前記表示パネルに送出する。

[0077] S/C信号生成部123は、S/C切替え用カウンタ111及びR/W回路112の各出力を入力して、S/C信号（図13）を生成し、前記表示パネルに送出する。また、XCLK信号生成部124は、R/W回路112が検出したXCLK信号（図13）の基となる信号を入力してXCLK信号を出力し、前記表示パネルに送出する。さらに、OUT電圧生成部125は、R/W回路112からのOUT電圧（図13）の印加タイミングを入力してOUT電圧を生成し、前記表示パネルに印加する。

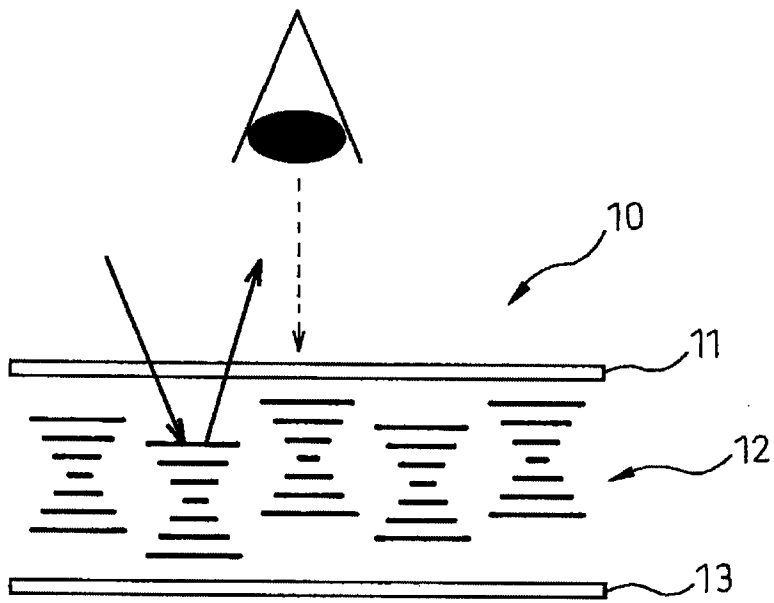
[0078] 本実施形態は、このように構成したので、従来のデータ転送期間における表示装置駆動信号/DSPOF（DSPOFバー）の立ち下がり期間（即ち表示装置駆動停止期間）を、従来の半分程度に短縮することが可能となり、これにより、液晶が動作しない時間が低減されるので、液晶の応答特性を確実に向上させる効果がある。



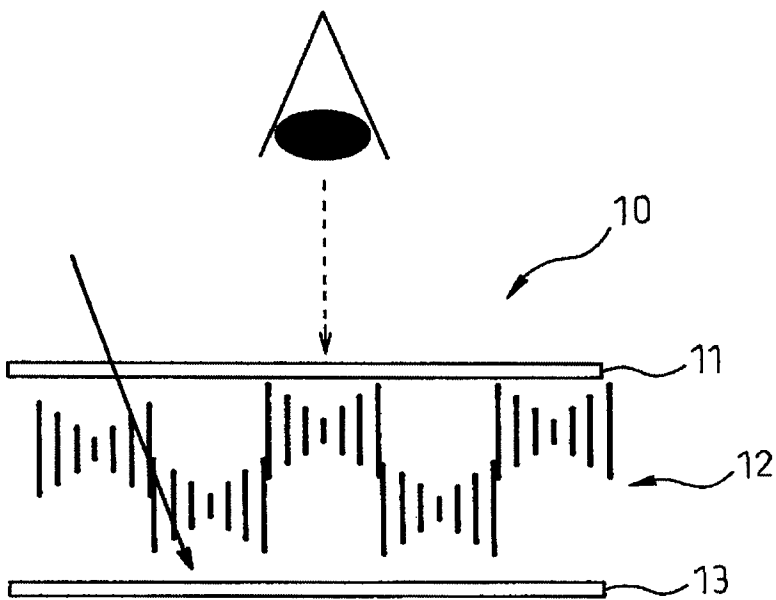
## 請求の範囲

- [1] マトリクス型の表示素子と、前記表示素子のスキャン電極を駆動するロウドライバと、前記表示素子のデータ電極を駆動するコラムドライバと、を備える表示装置であって、
- データ取り込み用のクロックであるパルス信号XCLK、データ確定用のラッチパルスであるパルス信号LP、液晶の劣化を防止するためのパルス極性制御信号であるフレーム信号FR、及び表示装置駆動停止期間を指示するDSPOF信号、から成る制御信号をそれぞれ出力する手段と、
- 表示データの転送を行うことが可能なセグメントモードであるか、それとも液晶に電圧を印加して前記転送された表示データの出力を行うコモンモードであるかの、いずれか1つのモードを指定する切替え信号S/Cを出力する手段と、
- 前記フレーム信号FRの立ち下がり時に生じる液晶への突入電流を防止するために前記DSPOF信号によって設定される表示装置駆動停止期間については、表示データの転送が可能な前記セグメントモードにする手段と、
- 前記セグメントモードに切替えられた前記期間に、前記表示データの一部を転送する手段と、
- を備えたことを特徴とする表示装置。
- [2] 前記セグメントモードに切替えられた期間に転送される前記表示データの一部は、前記表示データの前半分のデータであることを特徴とする請求項1記載の表示装置。
- [3] 前記制御信号、切替え信号S/C、及び前記表示データの出力信号は、いずれもフルカラー表示が可能な液晶表示パネルに入力されることを特徴とする請求項1または請求項2に記載の表示装置。
- [4] 前記フルカラー表示が可能な液晶表示パネルは、赤、緑、青、の光色にそれぞれ対応した3層の液晶表示パネルで構成されていることを特徴とする請求項3記載の表示装置。

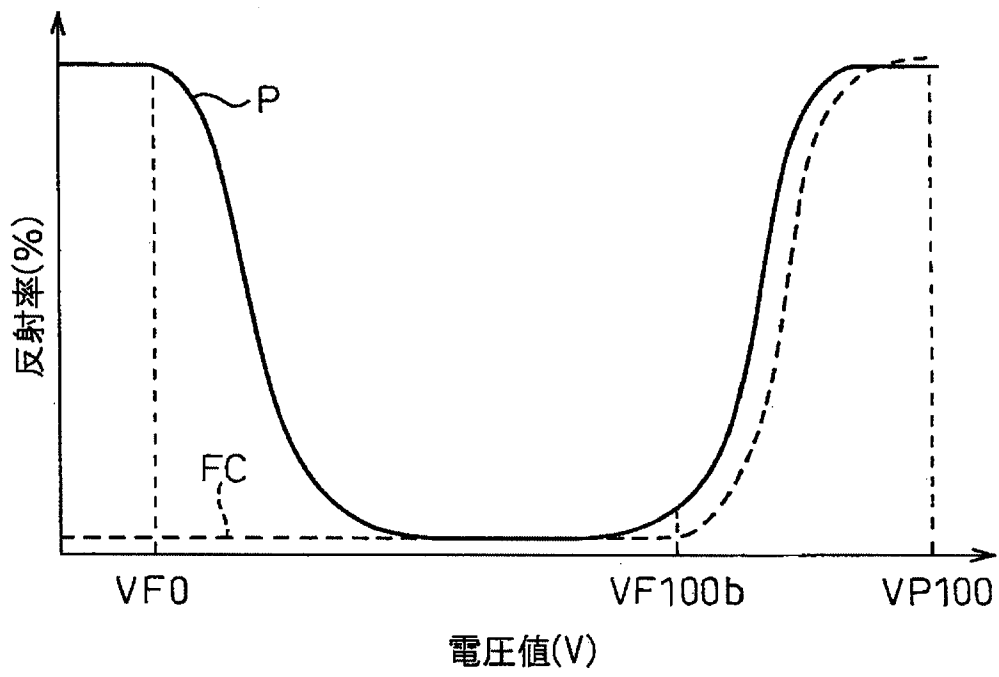
[図1A]



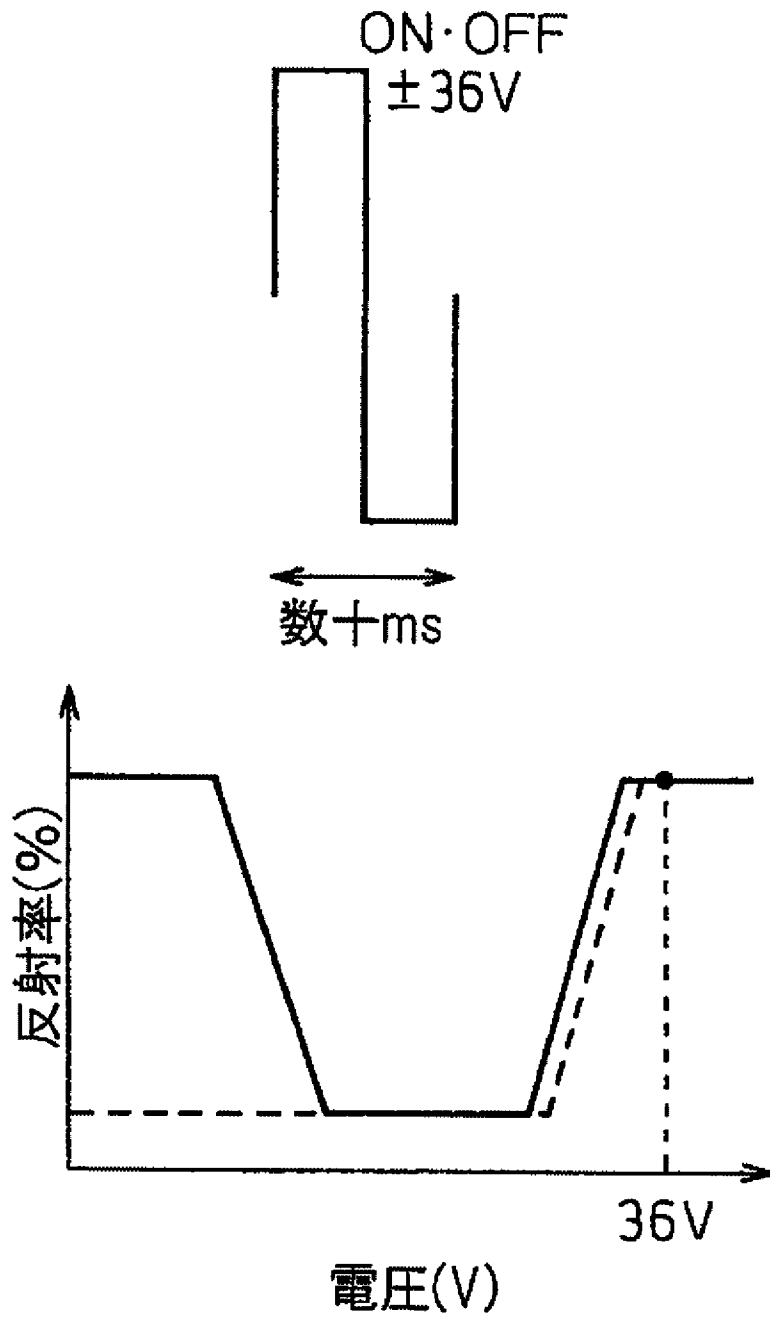
[図1B]



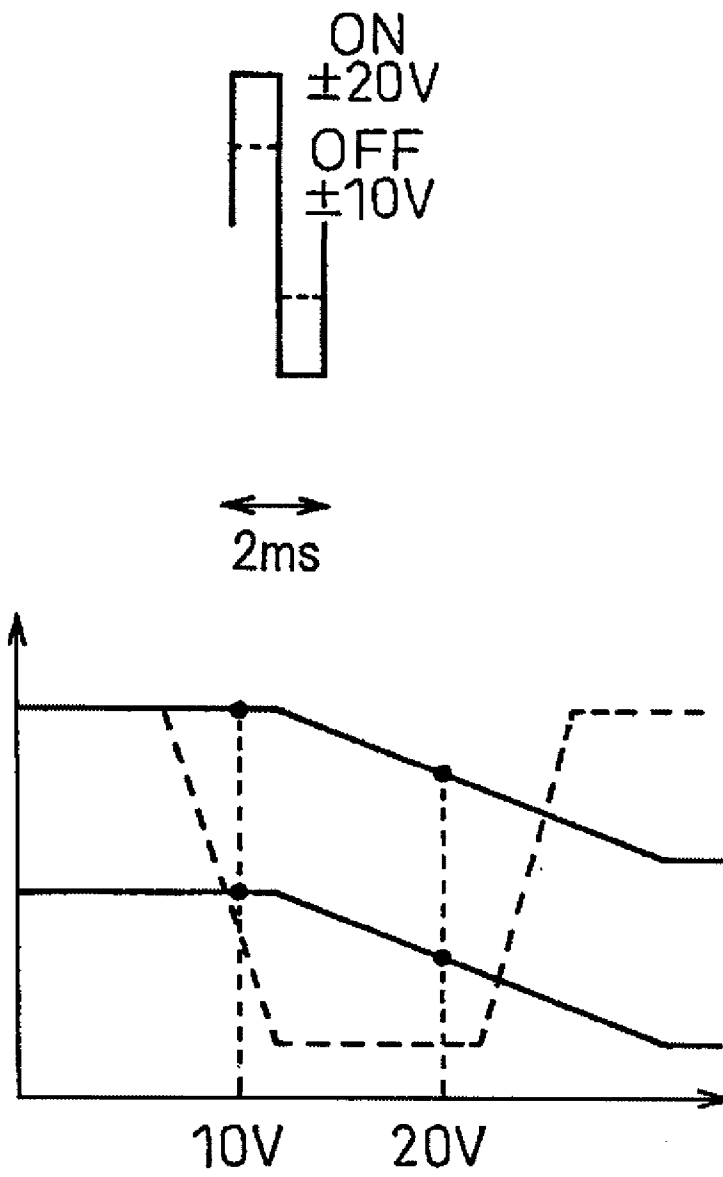
[図2]



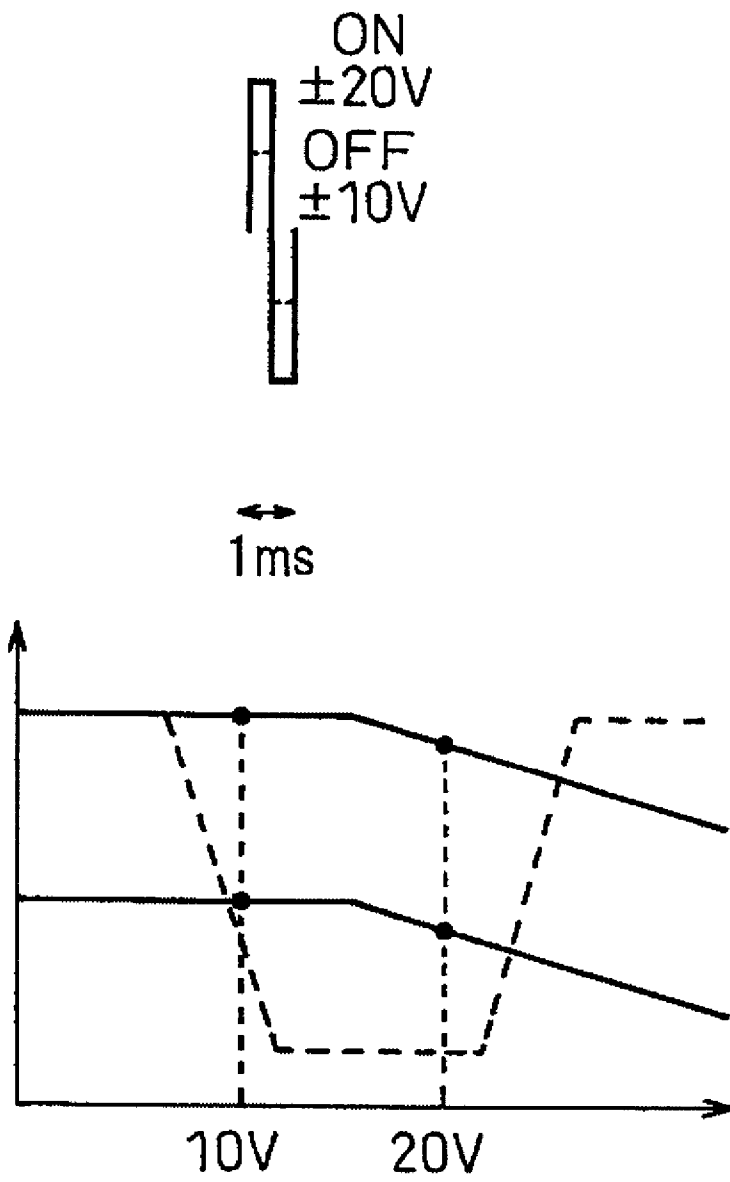
[図3A]



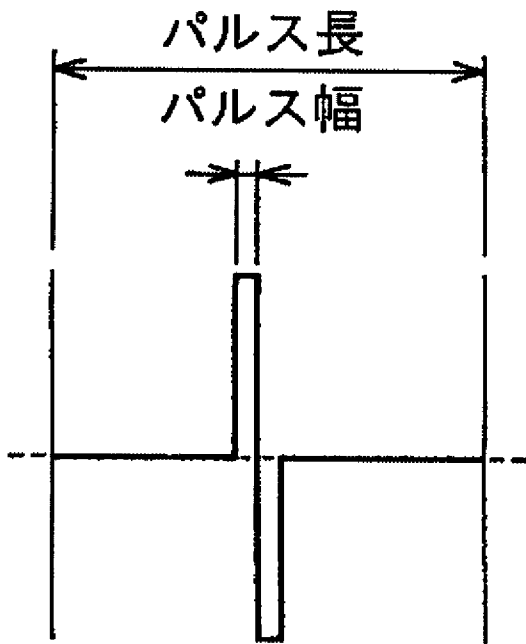
[図3B]



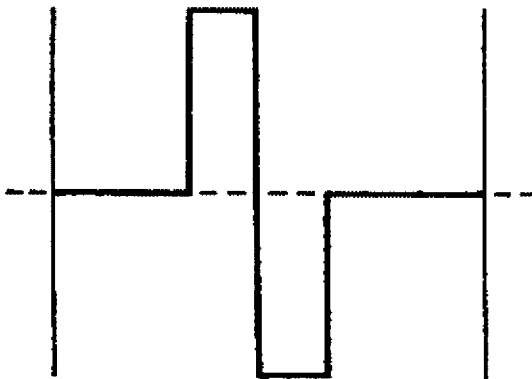
[図3C]



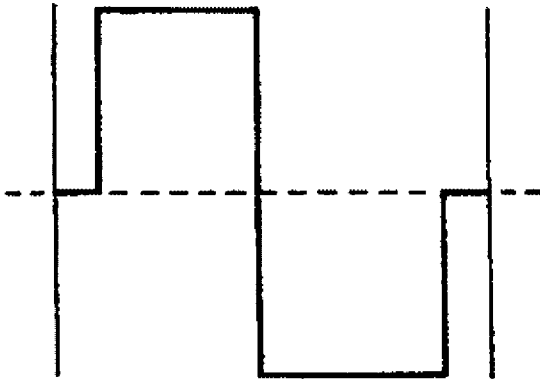
[図4A]



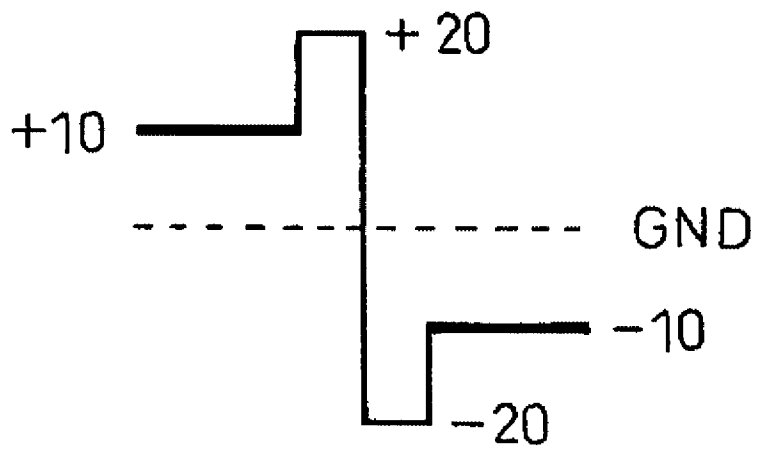
[図4B]



[図4C]

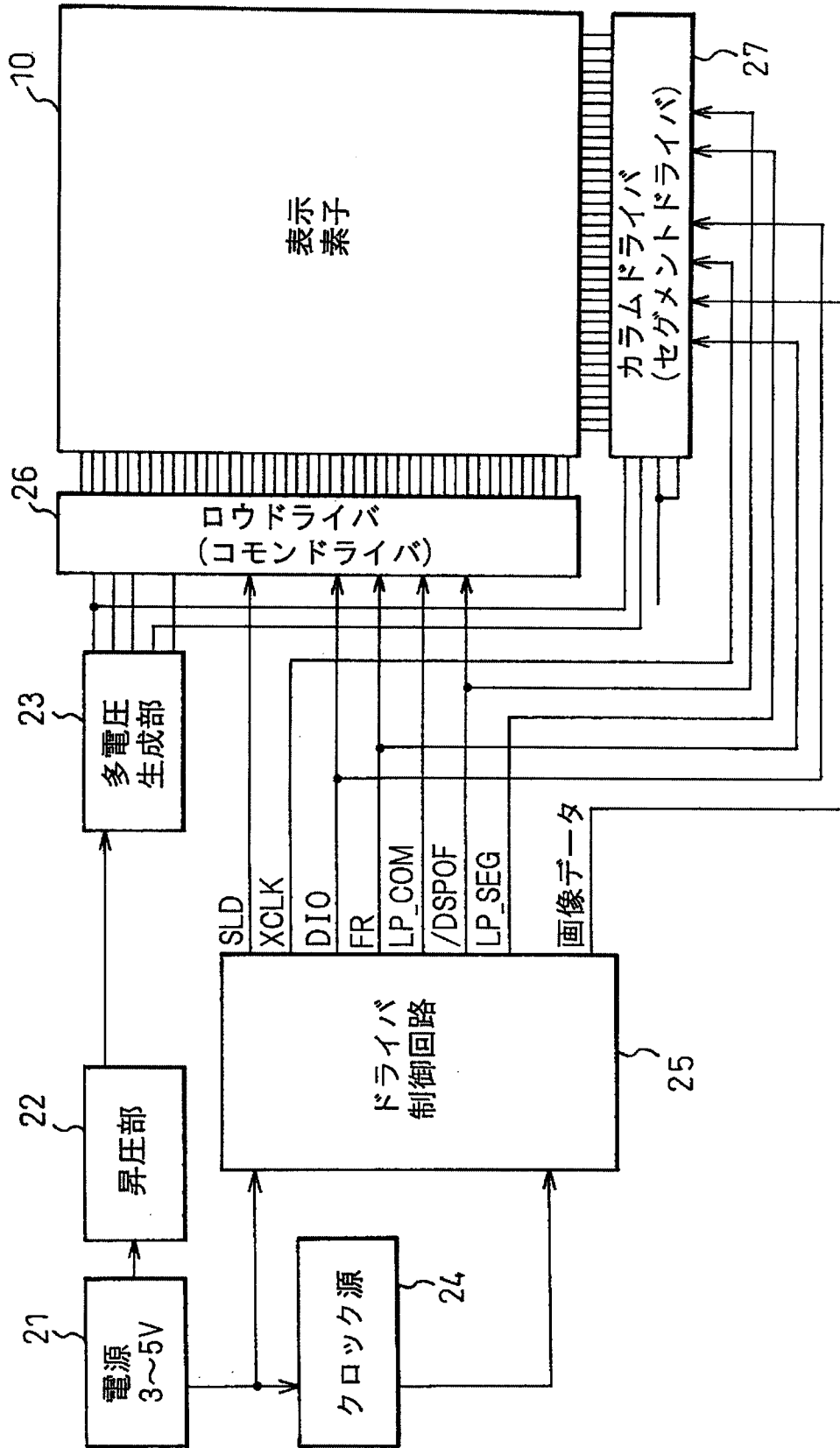


[図5]

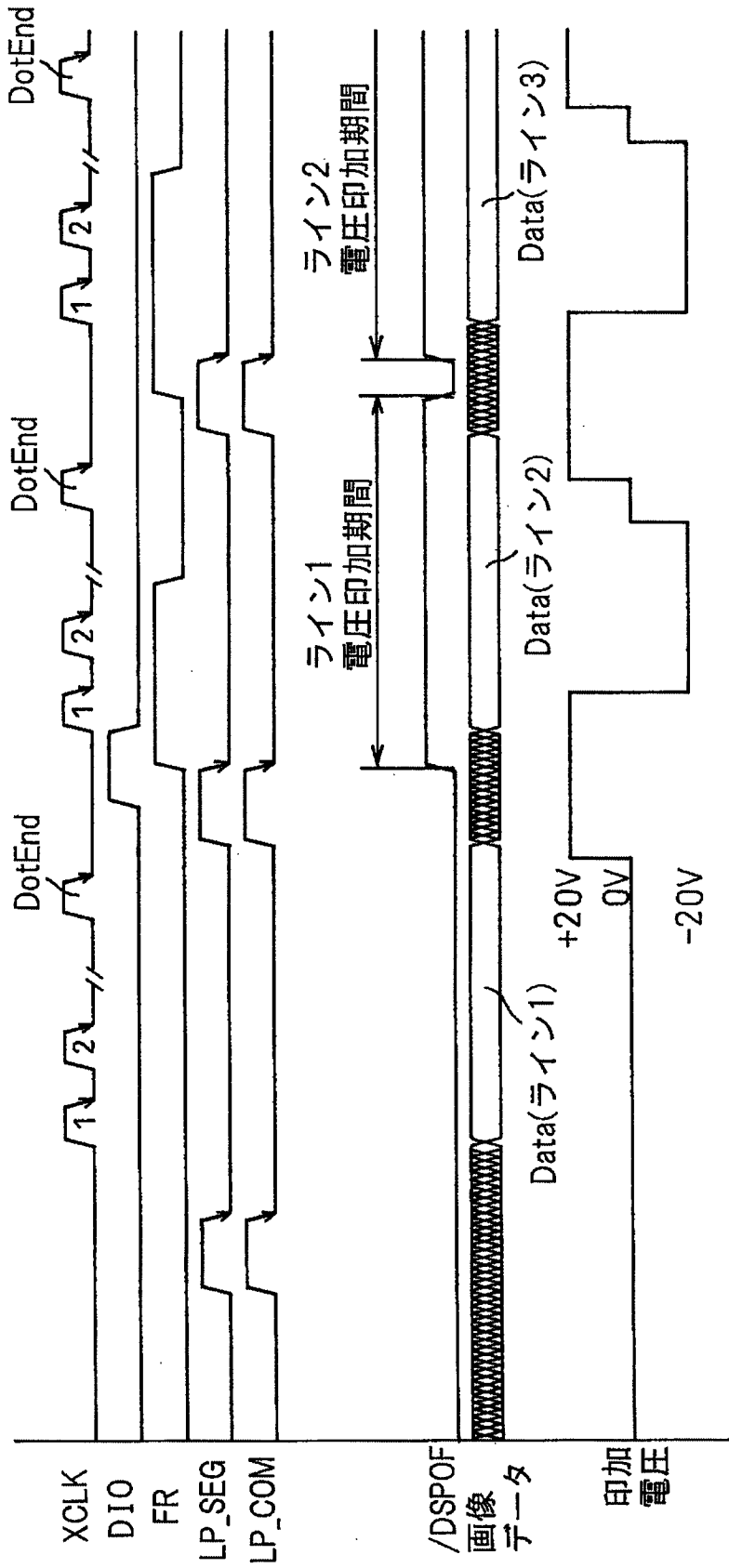




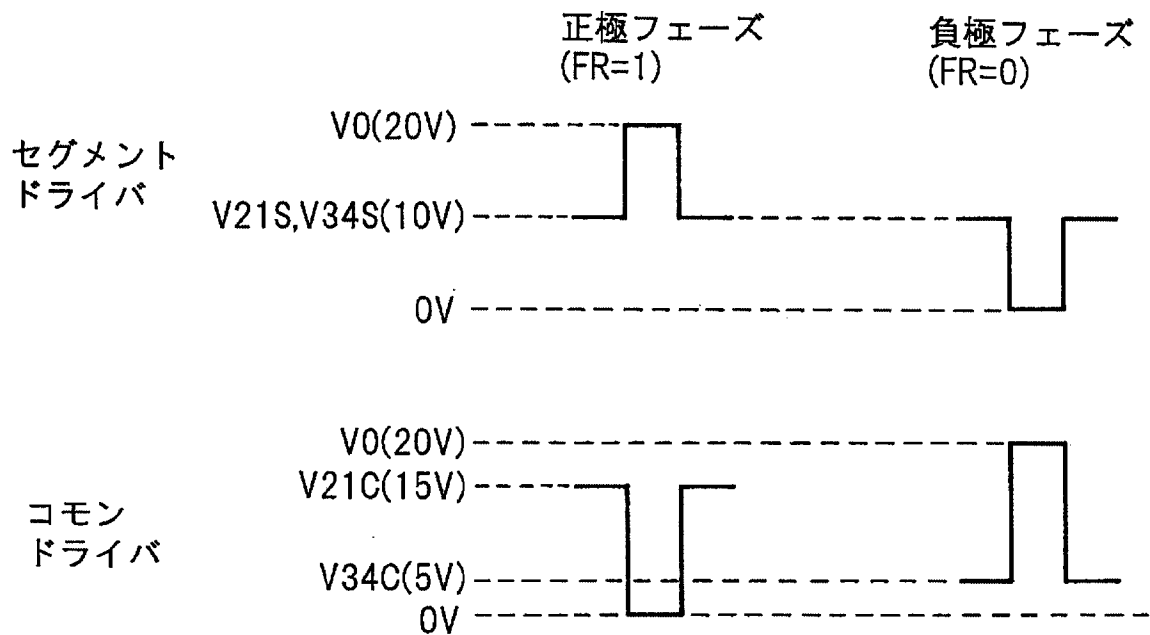
[図6]



[図7]



[図8A]

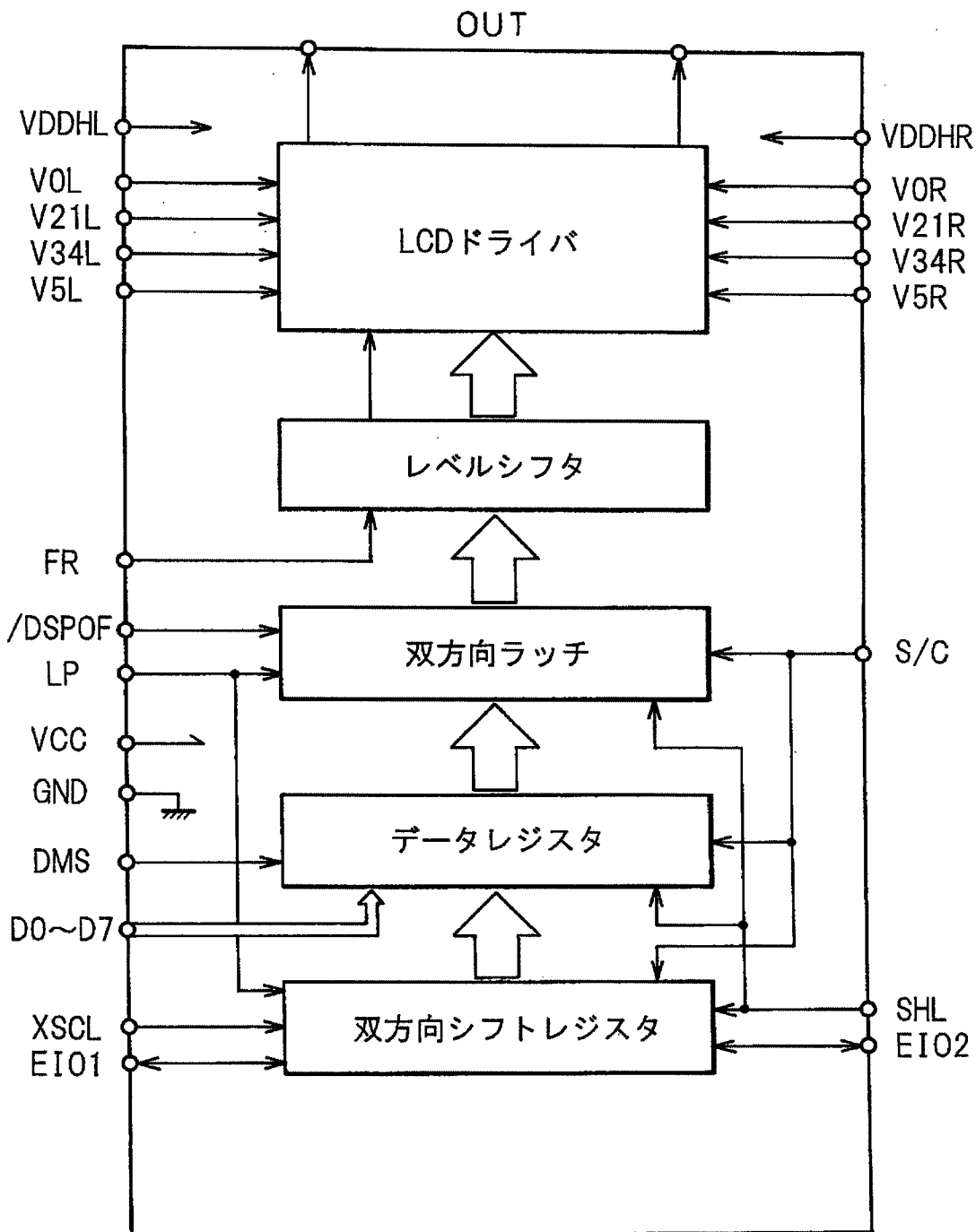


[図8B]

コモン	セグメント	正極性	負極性
ON	ON	20	-20
	OFF	10	-10
OFF	ON	5	-5
	OFF	-5	5

(V)

[図9]



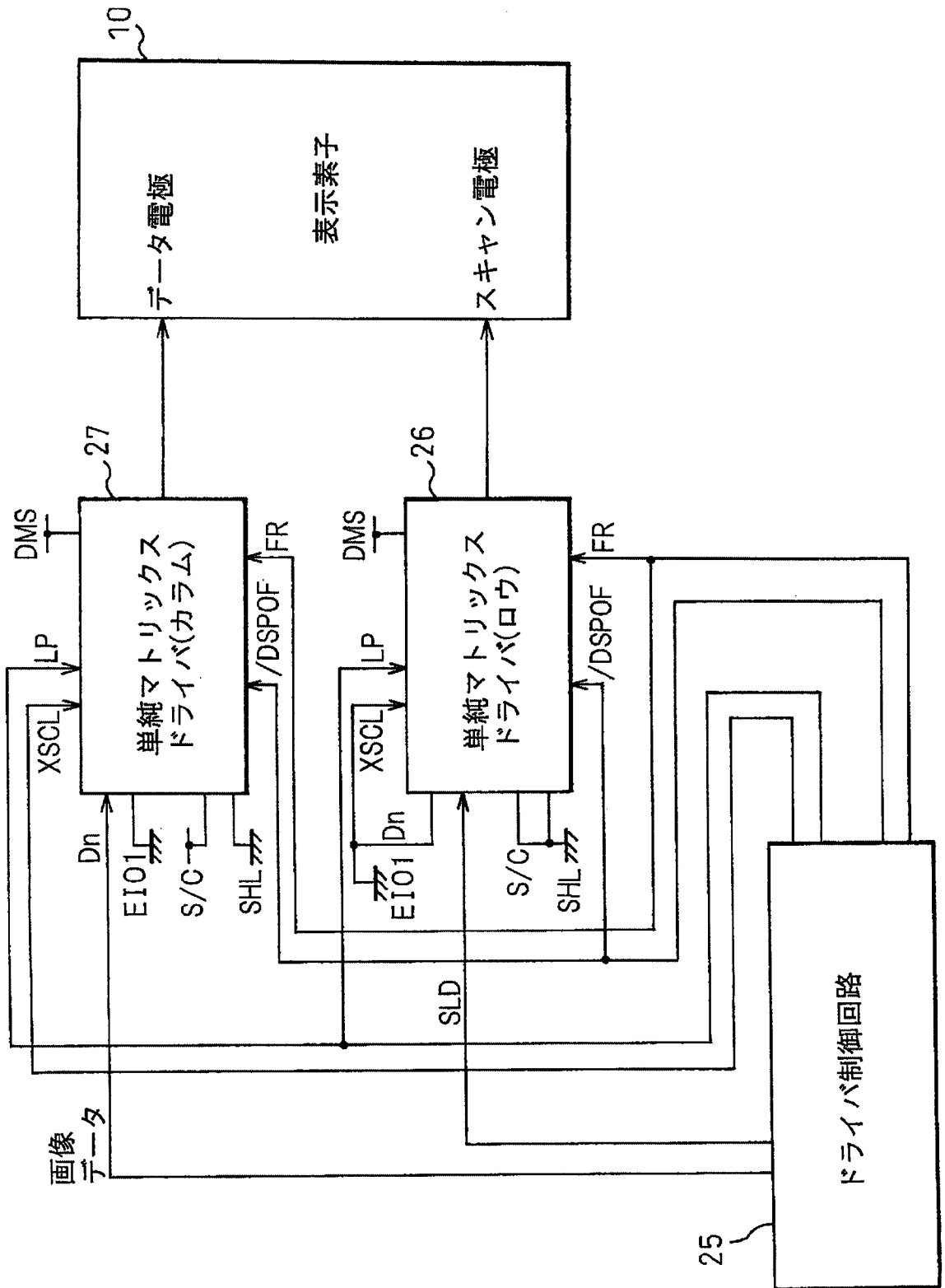
[図10A]

/DSPOF	データラッチ信号	FR	ドライバ出力電圧	
HIGH	HIGH	HIGH	V0	(選択レベル)
		LOW	V5	
	LOW	HIGH	V21	(非選択レベル)
		LOW	V34	
LOW	-	-	V5	-

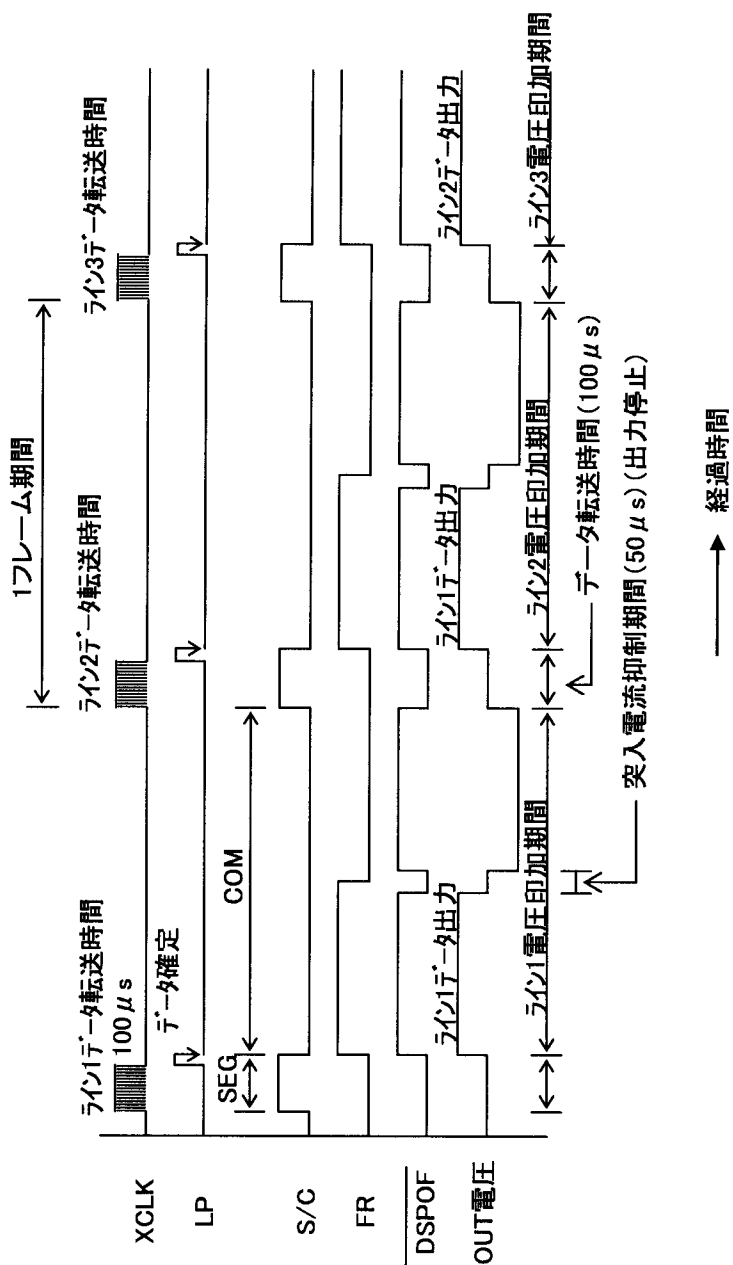
[図10B]

/DSPOF	データラッチ信号	FR	ドライバ出力電圧	
HIGH	HIGH	HIGH	V5	(選択レベル)
		LOW	V0	
	LOW	HIGH	V21	(非選択レベル)
		LOW	V34	
LOW	-	-	V5	-

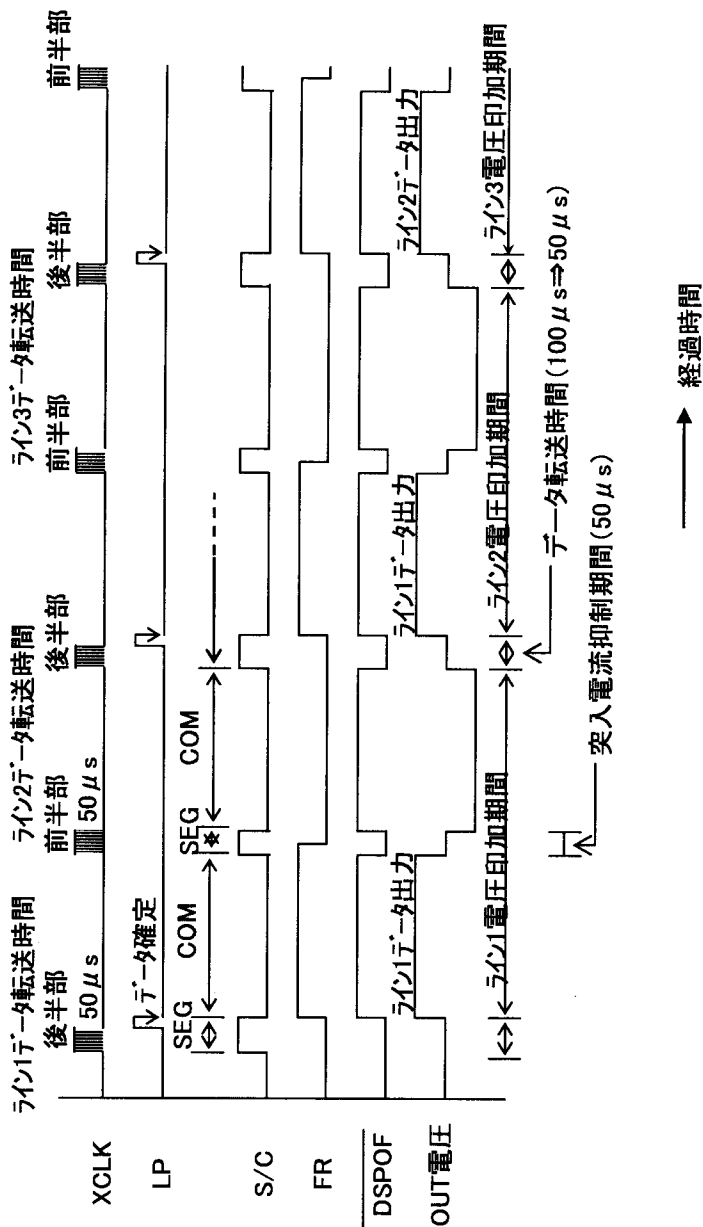
[図11]



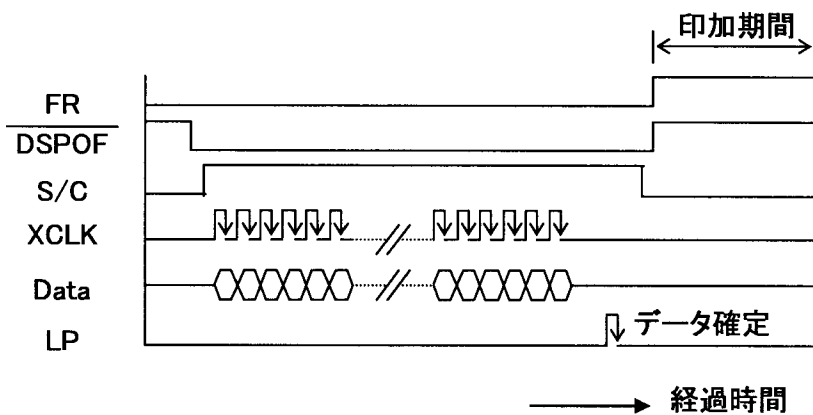
[図12]



[図13]

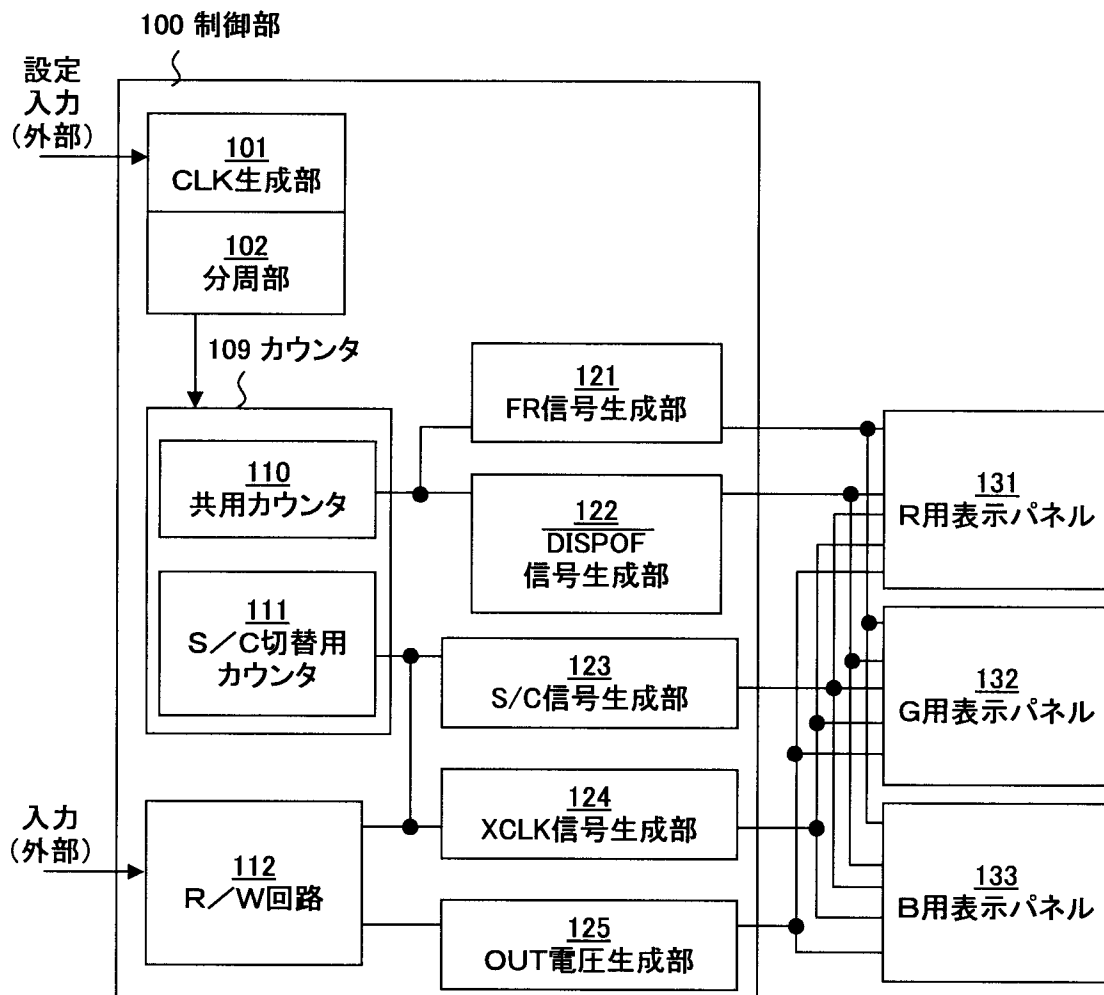


[図14]





[図15]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2007/001500

**A. CLASSIFICATION OF SUBJECT MATTER**  
G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-304527 A (Fujitsu Frontech Ltd.), 22 January, 2007 (22.01.07), Par. Nos. [0029] to [0048]; Figs. 1 to 4 (Family: none)	1-4
A	JP 7-159755 A (Casio Computer Co., Ltd.), 23 June, 1995 (23.06.95), Par. Nos. [0022] to [0025]; Fig. 4 (Family: none)	1-4
A	JP 1-213695 A (Fujitsu General Ltd.), 28 August, 1989 (28.08.89), Page 1, lower right column, line 9 to page 2, upper left column, line 20; Figs. 3 to 4 (Family: none)	1-4

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 January, 2008 (23.01.08)	Date of mailing of the international search report 05 February, 2008 (05.02.08)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2008年  
 日本国実用新案登録公報 1996-2008年  
 日本国登録実用新案公報 1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 7 - 3 0 4 5 2 7 A (富士通フロンテック株式会社) 2007. 1. 22, 段落【0029】 - 【0048】, 【図1】 - 【図4】 (ファミリーなし)	1 - 4
A	J P 7 - 1 5 9 7 5 5 A (カシオ計算機株式会社) 1995. 06. 23, 段落【0022】 - 【0025】, 【図4】 (ファミリーなし)	1 - 4

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー                  「A」特に関連のある文献ではなく、一般的な技術水準を示すもの                  「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                  「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)                  「O」口頭による開示、使用、展示等に言及する文献                  「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献                  「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの                  「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                  「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの                  「&amp;」同一パテントファミリー文献</p>
--	---

国際調査を完了した日 23. 01. 2008	国際調査報告の発送日 05. 02. 2008
----------------------------	----------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏	2G	9308
	電話番号 03-3581-1101 内線 3226		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 1 - 2 1 3 6 9 5 A (株式会社富士通ゼネラル) 1 9 8 9 . 0 8 . 2 8 , 第 1 頁 右 下 欄 第 9 行 - 第 2 頁 左 上 欄 第 2 0 行 , 第 3 図 - 第 4 図 (ファミリーなし)	1 - 4