

(21)申請案號：098105829

(22)申請日：中華民國 98 (2009) 年 02 月 24 日

(51)Int. Cl. : H01L23/495 (2006.01)

H01L23/28 (2006.01)

(30)優先權：2008/04/28 美國 12/099,446

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國

(72)發明人：胡柏 史蒂芬 R HOOPER, STEPHEN R. (US)；麥當諾 詹姆斯 D MACDONALD,
JAMES D. (US)；尚威 羅素 S SHUMWAY, RUSSELL S. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：5 共 24 頁

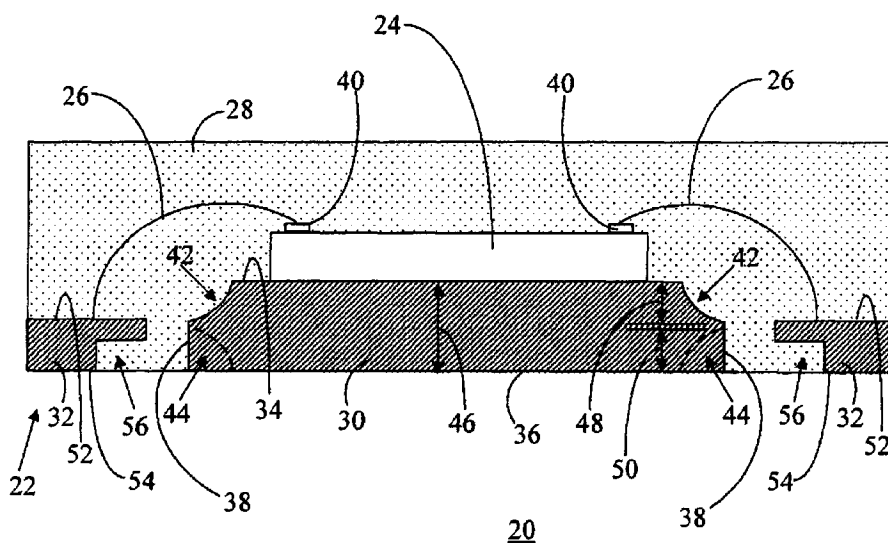
(54)名稱

用於封裝電子裝置之具有增進模鎖能力的引線框架

LEADFRAME FOR PACKAGED ELECTRONIC DEVICE WITH ENHANCED MOLD LOCKING CAPABILITY

(57)摘要

一種封裝電子裝置(20)包括：一晶粒鋅墊(30)；若干引線(32)，其配置於晶粒鋅墊(30)周圍；及一晶粒(24)，其附接至晶粒鋅墊(30)之一上表面(34)且電連接至引線(32)。一封裝材料(28)囊封晶粒鋅墊(30)、晶粒(24)及引線(32)。晶粒鋅墊(30)包括沿該晶粒鋅墊(30)之一側壁(38)形成於上表面(34)中之若干凹槽(42)。晶粒鋅墊(30)進一步包括沿側壁(38)形成於晶粒鋅墊(30)之一下表面(36)中之若干凹槽(44)。封裝材料(28)填充凹槽(42、44)從而促進晶粒鋅墊(30)與封裝材料(28)之間的黏合，因此晶粒鋅墊(30)及封裝材料(28)不能輕易脫離。



20：封裝電子裝置

22：無引線引線框架

24：晶粒

26：結合線

28：封裝材料

30：晶粒鋅墊

32：引線

34：上表面

36：下表面

38：側壁

40：鋅墊

42：第一凹槽

44：第二凹槽

46：厚度

48：深度

50：深度

52：頂部表面

54：底部表面

56：半蝕刻部分

(21)申請案號：098105829

(22)申請日：中華民國 98 (2009) 年 02 月 24 日

(51)Int. Cl. : H01L23/495 (2006.01)

H01L23/28 (2006.01)

(30)優先權：2008/04/28 美國 12/099,446

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國

(72)發明人：胡柏 史蒂芬 R HOOPER, STEPHEN R. (US)；麥當諾 詹姆斯 D MACDONALD,
JAMES D. (US)；尚威 羅素 S SHUMWAY, RUSSELL S. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：5 共 24 頁

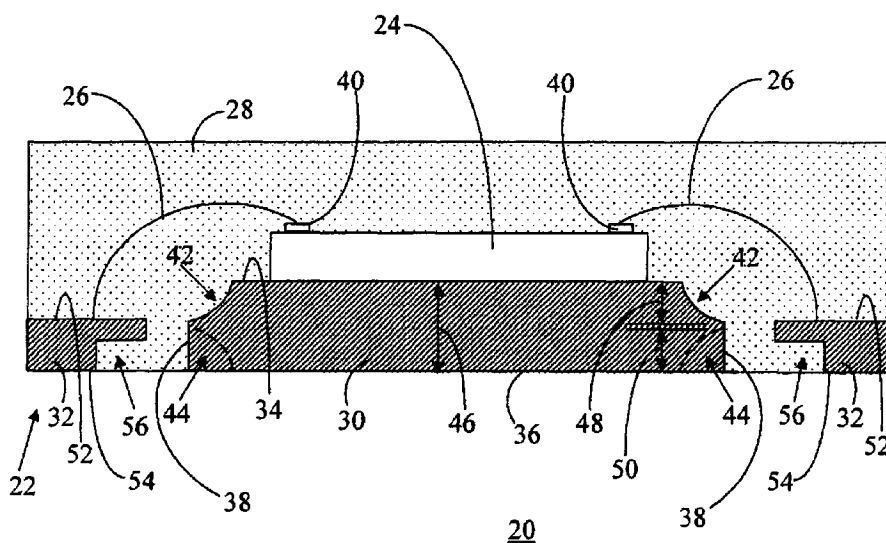
(54)名稱

用於封裝電子裝置之具有增進模鎖能力的引線框架

LEADFRAME FOR PACKAGED ELECTRONIC DEVICE WITH ENHANCED MOLD LOCKING CAPABILITY

(57)摘要

一種封裝電子裝置(20)包括：一晶粒鋅墊(30)；若干引線(32)，其配置於晶粒鋅墊(30)周圍；及一晶粒(24)，其附接至晶粒鋅墊(30)之一上表面(34)且電連接至引線(32)。一封裝材料(28)囊封晶粒鋅墊(30)、晶粒(24)及引線(32)。晶粒鋅墊(30)包括沿該晶粒鋅墊(30)之一側壁(38)形成於上表面(34)中之若干凹槽(42)。晶粒鋅墊(30)進一步包括沿側壁(38)形成於晶粒鋅墊(30)之一下表面(36)中之若干凹槽(44)。封裝材料(28)填充凹槽(42、44)從而促進晶粒鋅墊(30)與封裝材料(28)之間的黏合，因此晶粒鋅墊(30)及封裝材料(28)不能輕易脫離。



20：封裝電子裝置

22：無引線引線框架

24：晶粒

26：結合線

28：封裝材料

30：晶粒鋅墊

32：引線

34：上表面

36：下表面

38：側壁

40：鋅墊

42：第一凹槽

44：第二凹槽

46：厚度

48：深度

六、發明說明：

【發明所屬之技術領域】

本申請案作為第12/099,446號專利申請案已於2008年4月8日在美國提出申請。

本發明通常係關於一用於一封裝電子裝置之引線框架。更具體而言，本發明係關於一具有一晶粒鉑墊之引線框架，該引線框架具有增進模鎖能力。

【先前技術】

電路(例如積體電路)可實施在封裝電子裝置中。一封裝電子裝置之元件通常包括：一個或多個金屬引線框架；一個或多個積體電路晶粒；用以將積體電路晶粒附接至引線框架之一晶粒鉑墊之焊接材料；將晶粒上之鉑墊電連接至引線框架之單獨引線之結合線；及一硬塑膠封裝材料，或囊封劑，其覆蓋其他組件且形成封裝電子裝置之外表。封裝材料，或囊封劑，提供對不良環境的防範且能對晶粒與一印刷電路板之間的電互連提供結構支撐。

引線框架係此一封裝之核心支撐結構。引線框架之一部分係在封裝之內部，即由封裝材料完全包圍。引線框架之引線之部分可自封裝向外部延伸且用於在外部連接封裝。一四方扁平無導線(QFN)封裝係一具有表面安裝式印刷電路板的積體電路封裝。在此類型積體電路封裝中，引線不自封裝向外部延伸。更確切地說，引線框架之引線接點暴露於封裝電子裝置底部表面外以用於連接至外部組件。如此，用於一QFN積體電路裝置中之引線框架有時稱為一無

引線引線框架。一無引線引線框架可因尺寸較小，且因電路徑比習用引線框架短而以較低的製作成本實施於一積體電路封裝中。

回流焊接係一用於將表面安裝式組件(例如一封裝電子裝置)附接至一電路板之常用製程。回流焊接期間，一封裝電子裝置可經受一高達例如 260°C 之高溫。溫度變化，例如在一回流製程期間遇到的彼等溫度變化，可導致封裝晶粒在製作期間受到應力。此應力係由於積體電路之封裝中所用不同材料(例如，金屬、封裝材料等等)之熱膨脹係數差異及其他材料性質所致。此應力可致使晶粒鐸墊及/或一無引線引線框架之引線自封裝材料上脫離。具體而言，晶粒鐸墊之側壁在水平方向上可遇到導致自封裝材料脫離之高熱應力。

一些先前技術無引線引線框架設計要求一金屬層被鍍覆至無引線引線框架之頂部表面。此金屬層可包括一開口，該開口暴露晶粒鐸墊之晶粒附接區域以用於附接一積體電路晶粒。該金屬層可用於增進積體電路鐸墊與引線之間的結合線之線結合連接。遺憾的是，由於鐸墊、封裝材料及增加的金屬層之材料的進一步之熱膨脹係數差異及其他材料性質差異，此金屬層可加劇晶粒鐸墊及引線自封裝材料上之脫離。

製作期間及/正常運行狀態下無引線引線框架自封裝材料上之脫離可對封裝電子裝置之操作產生不利影響。

【發明內容】

【實施方式】

圖1顯示一根據本發明之一實施例之封裝電子裝置20之剖面側視圖。封裝電子裝置20包括一無引線引線框架22、一積體電路晶粒24、結合線26，及一囊封引線框架22、晶粒24及結合線26之封裝材料28。無引線引線框架22包括一晶粒鐳墊30及若干配置於晶粒鐳墊30周圍之引線32(最佳展示於圖2及圖3中)。晶粒鐳墊30，有時稱為一旗結構，具有一上表面34、一下表面36，及一界定晶粒鐳墊30且在上表面34與下表面36之間延伸的側壁38。晶粒24係附接至晶粒鐳墊30之上表面34。結合線26將積體電路晶粒24之鐳墊40連接至引線32。如在下文中將更詳細討論，封裝電子裝置20之無引線引線框架22具有增進之模鎖能力，因此引線框架22不能輕易地自封裝材料28上脫離。

凹槽42沿側壁38形成於晶粒鐳墊30之上表面34中。類似地，凹槽44沿側壁38形成於晶粒鐳墊30之下表面36中。在一實施例中，凹槽42及44係在晶粒鐳墊30之拐角處，在上表面34及下表面36分別與側壁38相交之處。自上表面34延伸至晶粒鐳墊30內之凹槽42相對於自下表面36延伸至晶粒鐳墊30內之凹槽44係沿側壁38偏移。因此，圖1中將凹槽42顯示為上表面34中之半圓形槽口。然而，因為凹槽44之偏移，在圖1中實際上看不到凹槽44。更確切地說，凹槽44係由圖1中之半圓形虛線來描述以圖解說明其自下表面36延伸至晶粒鐳墊30內。下文將詳細地討論凹槽42及44。

晶粒鐳墊30呈現一厚度46。凹槽42自上表面34延伸至晶

粒鐳墊30內一小於厚度46之深度48。類似地，凹槽44亦自下表面36延伸至晶粒鐳墊30內一小於厚度46之深度50。在一實施例中，深度48及深度50可大致上相等。例如，深度48及50之每一者可約為晶粒鐳墊30之厚度46之一半。然而，因為其定位於上表面34及下表面36上之偏移，凹槽42及44不相交。

凹槽42及44係半圓形且大致分別自上表面34及下表面36垂直地延伸。在替代實施例中，凹槽42及凹槽44可係其他形狀，諸如一Z字形或鋸齒形、矩形，或其某一組合。封裝材料28填充凹槽42及44。如此，晶粒鐳墊30之上表面34及下表面36兩者上之凹槽42及44之組合增進晶粒鐳墊30之模鎖能力，使得封裝材料28較不易自晶粒鐳墊30上脫離。術語「模鎖能力」在本文中係用於指晶粒鐳墊30之結構特徵，該等特徵促進封裝材料28與晶粒鐳墊之黏附性，使得不容易發生封裝材料28自晶粒鐳墊30上之脫離。

引線32包括一頂部表面52及一底部表面54。結合線26連接至頂部表面52，底部表面54係用作每個引線32之一引線接觸區。應注意：晶粒鐳墊30之下表面36及每一引線32之底部表面54係暴露於封裝材料28外。由此，當安裝至另一結構(例如一印刷電路板)時，晶粒鐳墊30之下表面36可附接至(例如)一接地平面。此外，每一引線32之底部表面54可附接至下部跡線(未顯示)以形成引線32與封裝電子裝置20外部之組件之間的電互連。

封裝電子裝置20被顯示為包括連接積體電路晶粒24與引

線32的結合線26。在一替代實施例中，可利用無引線引線框架22來封裝一覆晶片或另一類型之封裝。在一覆晶封裝中，晶粒24可係一覆晶(flip-chip)安裝至晶粒鐳墊30上的覆晶片(flip chip)。例如，凸塊可附接至覆晶晶粒上。當覆晶片被固定至晶粒鐳墊30上時，該等凸塊直接接觸且附接至引線32。

引線32包括底部表面54上一半蝕刻部分56。即，半蝕刻部分56係引線框架22之一移除材料區域。由此，每一引線32之頂部表面52之一面積係大於底部表面54之面積。封裝材料28填充半蝕刻部分56，藉此促進引線32之模鎖使得引線32係較不容易自封裝材料28上脫離。

應注意，在缺乏一中間金屬層之情況下，封裝材料28囊封晶粒鐳墊30及引線框架22之引線32。即，封裝電子裝置20之引線框架22未鍍覆有一金屬層，因此防止引線框架22自封裝材料28上脫離，該情況可發生在包括鍍覆金屬層之先前技術裝置中。

參照圖2，圖2顯示封裝電子裝置20(圖1)之引線框架22之一俯視圖58，且圖3顯示引線框架22之一仰視圖60。引線框架22係使用若干形成製程中之任一者由一適宜引線框架材料(例如，銅)之一薄片(未顯示)形成。在形成一引線框架之一實施例中，引線框架材料之薄片經以一圖案衝壓及/或化學蝕刻，該圖案包括用於多個引線框架(例如，引線框架22)之若干圖案。在一些實施例中，該等引線框架圖案係在薄片佈置成行及列。

俯視圖 58 顯示晶粒鐳墊 30 之上表面 34 及引線 32 之頂部表面 52。可以看到凹槽 42 自上表面 34 延伸至晶粒鐳墊 30 內。因為凹槽 42 未延伸穿過晶粒鐳墊 30 之全部厚度 46 (圖 1)，透過凹槽 42 可看到晶粒鐳墊 30 之一下部材料部分 62，如交叉陰影線所表示。引線 32 可另外在其頂部表面 52 中具有一模鎖孔 64。模鎖孔 64 係填充有封裝材料 28，此同樣為增進引線 32 之模鎖能力之目的。

仰視圖 60 顯示晶粒鐳墊 30 之下表面 36 及引線 32 之底部表面 54。可以看到凹槽 44 自下表面 36 延伸至晶粒鐳墊 30 內。因為凹槽 44 未延伸穿過晶粒鐳墊 30 之全部厚度 46 (圖 1)，透過凹槽 44 可以看到晶粒鐳墊 30 之下部材料部分 62，如側剖視圖所表示。在仰視圖 60 中亦可看到半蝕刻部分 56。可以看到每一引線 32 周圍之半蝕刻部分 56 自下表面 36 延伸至晶粒鐳墊 30 內。因為半蝕刻部分 56 未延伸穿過晶粒鐳墊 30 之全部厚度 46，透過半蝕刻部分 56 可以看到晶粒鐳墊 30 之下部材料部分 62，如交叉陰影線所表示。

俯視圖 58 及仰視圖 60 顯露出凹槽 42 及 44 之偏移配置。一垂直中心線 66 及一水平中心線 68 顯示於俯視圖 58 及仰視圖 60 中。如圖所示，晶粒鐳墊 30 之上表面 34 內具有奇數數量的幾乎等距的凹槽 42，其中沿每一個側壁 38 之凹槽 42 中最中心凹槽對準於垂直中心線 66 及水平中心線 68。相反地，晶粒鐳墊 30 之下表面 36 內具有偶數數量的幾乎等距的凹槽 44。如此，凹槽 44 中沒有一個以對應垂直中心線 66 及水平中心線 68 為中心。相反，凹槽 44 係自中心線 66 及 68 偏

移，其中在中心線66及68之兩側具有偶數數量之凹槽44。配置之一例外情況係在位置70，在此位置處引線32中之一者之一凸耳72部分與晶粒鐳墊30互連。

圖4顯示一引線框架22(圖2)之晶粒鐳墊30之側壁38之一局部側視圖74。具體而言，局部側視圖74顯露凹槽44相對於凹槽42之偏移排列。凹槽42自上表面34延伸至晶粒鐳墊30內且凹槽44自下表面36延伸至晶粒鐳墊30內。晶粒鐳墊30之材料部分62之突起部76自上表面34延伸穿過晶粒鐳墊30之厚度46之約一半。同樣，晶粒鐳墊30之材料部分62之突起部78自下表面36延伸穿過晶粒鐳墊30之厚度46之約一半。由此，材料部分62以突起部78之形式在凹槽42與晶粒鐳墊30之下表面36之間延伸。同樣，材料部分62以突起部76之形式在凹槽44與晶粒鐳墊30之上表面34之間延伸。如此，引線框架22(圖1)包括具有交替凹槽42及半蝕刻至上表面34中之突起部76且具有交替凹槽44及半蝕刻至下表面36中之突起部78的晶粒鐳墊30。突起部76與突起部78交替，且凹槽42與凹槽44交替以沿側壁38形成一「交替正弦波」結構。

圖5顯示晶粒鐳墊30之側壁38之局部側視圖，其中封裝材料28已填充凹槽42及44。凹槽42及44之「交替正弦波」結構使沿側壁38之表面面積最大化以促進晶粒鐳墊30與封裝材料28之黏合，使得晶粒鐳墊30不能輕易垂直移動或側向移動。此外，凹槽42與44及突起部76與78之「交替正弦波」結構使得沿一側壁38自封裝電子裝置20之外部至積體

電路晶粒24(圖1)之一濕氣侵入路徑最大化。希望限制可到達積體電路24之濕氣之量以延長積體電路晶粒24之可操作性。藉由使濕氣侵入路徑最大化，即，藉由使濕氣侵入路徑更長，濕氣相對於先前技術可花費更長時間到達積體電路晶粒24，因此延長晶粒24之可操作性。

一本文中所闡述之實施例包含一用於一封裝電子裝置之引線框，其包括沿晶粒鐳墊之一側壁形成於一晶粒鐳墊之上表面中之凹槽及形成於一晶粒鐳墊之下表面中之凹槽。凹槽與晶粒鐳墊之材料部分之突起部交替。一在晶粒鐳墊其頂部及底部上具有凹槽之一模鎖特徵之晶粒鐳墊使表面面積最大化以促進晶粒鐳墊與封裝材料之黏合。此黏合增進晶粒鐳墊之模鎖能力，使得晶粒鐳墊之垂直及水平活動顯著受到限制，且因此不能輕易脫離。

儘管已經詳細地圖解說明及闡述本發明之較佳實施例，對彼等熟悉此項技術者將明顯看出，在不脫離本發明之精神或隨附申請專利範圍之範疇之情況下可在本文中做各種修改。

【圖式簡單說明】

當結合圖式考量時，藉由參考詳細說明及申請專利範圍可導出對本發明之一更全面理解，其中在所有圖式中相同之數字代表相同之物項，及

圖1顯示一根據本發明一實施例之封裝電子裝置之剖面側視圖；

圖2顯示圖1之封裝電子裝置之一引線框架之俯視圖；

圖3顯示引線框架之一仰視圖；

圖4顯示圖2之引線框架之一晶粒鐸墊之一側壁之一局部側視圖；及

圖5顯示晶粒鐸墊之側壁之一局部側視圖，其中封裝材料已填充晶粒鐸墊之凹槽。

【主要元件符號說明】

20	封裝電子裝置
22	無引線引線框架
24	晶粒
26	結合線
28	封裝材料
30	晶粒鐸墊
32	引線
34	上表面
36	下表面
38	側壁
40	鐸墊
42	第一凹槽
44	第二凹槽
46	厚度
48	深度
50	深度
52	頂部表面
54	底部表面

56	半蝕刻部分
58	俯視圖
64	模鎖孔
66	垂直中心線
68	水平中心線
70	位置
60	仰視圖
62	下部材料部分
72	凸耳
74	局部側視圖
76	突起部
78	突起部

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P810582P

※ 申請日：P8.1.24

※IPC 分類：H01L 23/495 (2006.01)
H01L 23/28 (2006.01)

一、發明名稱：(中文/英文)

用於封裝電子裝置之具有增進模鎖能力的引線框架

LEADFRAME FOR PACKAGED ELECTRONIC DEVICE WITH
ENHANCED MOLD LOCKING CAPABILITY

二、中文發明摘要：

一種封裝電子裝置(20)包括：一晶粒鐳墊(30)；若干引線(32)，其配置於晶粒鐳墊(30)周圍；及一晶粒(24)，其附接至晶粒鐳墊(30)之一上表面(34)且電連接至引線(32)。一封裝材料(28)囊封晶粒鐳墊(30)、晶粒(24)及引線(32)。晶粒鐳墊(30)包括沿該晶粒鐳墊(30)之一側壁(38)形成於上表面(34)中之若干凹槽(42)。晶粒鐳墊(30)進一步包括沿側壁(38)形成於晶粒鐳墊(30)之一下表面(36)中之若干凹槽(44)。封裝材料(28)填充凹槽(42、44)從而促進晶粒鐳墊(30)與封裝材料(28)之間的黏合，因此晶粒鐳墊(30)及封裝材料(28)不能輕易脫離。

三、英文發明摘要：

A packaged electronic device (20) includes a die pad (30), leads (32) arranged around the die pad (30), and a die (24) attached to an upper surface (34) of the die pad (30) and electrically connected to the leads (32). A packaging material (28) encapsulates the die pad (30), the die (24), and the leads (32). The die pad (30) includes indentations (42) formed in the upper surface (34) along a sidewall (38) of the die pad (30). The die pad (30) further includes indentations (44) formed in a lower surface (36) of the die pad (30) along the sidewall. The packaging material (28) fills the indentations (42, 44) thereby promoting adhesion between the die pad (30) and the packaging material (28) so that the die pad (30) and packaging material (28) cannot readily delaminate.

七、申請專利範圍：

1. 一種用於一封裝電子裝置之引線框架，其包含：

一晶粒鐳墊，其具有一上表面、一下表面，及一側壁，該晶粒鐳墊包括沿該側壁形成於該上表面中之若干第一凹槽及沿該側壁形成於該下表面中之若干第二凹槽；及

若干引線，其配置於該晶粒鐳墊周圍。

2. 如請求項1之引線框架，其中：

該晶粒鐳墊呈現一厚度；

該等第一凹槽自該上表面延伸至該晶粒鐳墊內一小於該厚度之第一深度；及

該等第二凹槽自該下表面延伸至該晶粒鐳墊內一小於該厚度之第二深度。

3. 如請求項2之引線框架，其中該等第一凹槽之該第一深度與該等第二凹槽之該第二深度係大致上相等。

4. 如請求項2之引線框架，其中該第一深度與該第二深度各自約為該厚度之一半。

5. 如請求項1之引線框架，其中該等第一與第二凹槽係呈一半圓形。

6. 如請求項1之引線框架，其中該等第一及第二凹槽係位於相應上及下表面與該側壁交叉處該晶粒鐳墊之拐角處。

7. 如請求項1之引線框架，其中相對於自該上表面延伸至該晶粒鐳墊內之該等第一凹槽，自該下表面延伸至該晶

粒銲墊內之該等第二凹槽沿該側壁偏移。

8. 如請求項7之引線框架，其中該晶粒銲墊之一材料部分在該等第一凹槽與該下表面之間延伸，及該晶粒銲墊之該材料部分在該等第二凹槽與該上表面之間延伸。
9. 如請求項1之引線框架，其中該晶粒銲墊之一材料部分在該等第一凹槽之每一者之間延伸，且該晶粒銲墊之該材料部分在該等第二凹槽之每一者之間延伸。
10. 一種封裝電子裝置，其包括：

一晶粒銲墊，其具有一上表面、一下表面，及一側壁，該晶粒銲墊包括沿該側壁成形於該上表面中之若干第一凹槽及沿該側壁成形於該下表面中之若干第二凹槽；

若干引線，其配置於該晶粒銲墊周圍；

一晶粒，其附接至該晶粒銲墊之該上表面且電連接至該等引線；及

一封裝材料，其囊封該晶粒銲墊、該晶粒及該等引線，該封裝材料填充該等第一與第二凹槽。

11. 如請求項10之封裝電子裝置，其中：

該晶粒銲墊呈現一厚度；

該等第一凹槽自該上表面延伸至該晶粒銲墊內一小於該厚度之第一深度；及

該等第二凹槽自該下表面延伸至該晶粒銲墊內一小於該厚度之第二深度。

12. 如請求項10之封裝電子裝置，其中相對於自該上表面延伸至該晶粒銲墊內之該等第一凹槽，自該下表面延伸至

該晶粒鐳墊內之該等第二凹槽沿該側壁偏移。

13. 如請求項12之封裝電子裝置，其中該晶粒鐳墊之一材料部分在該等第一凹槽與該下表面之間延伸，及該晶粒鐳墊之該材料部分在該等第二凹槽與該上表面之間延伸。
14. 如請求項10之封裝電子裝置，其中該封裝材料在缺乏一中間金屬層之情況下囊封該晶粒鐳墊及該等引線。
15. 如請求項10之封裝電子裝置，其中該封裝電子裝置之該下表面暴露於該封裝材料外。

16. 一種用於一封裝電子裝置之引線框架，其包括：

一晶粒鐳墊，其具有一上表面、一下表面，及一側壁，該晶粒鐳墊呈現一厚度，該晶粒鐳墊包括若干第一凹槽及若干第二凹槽，該等第一凹槽沿該側壁形成於該上表面上且自該上表面延伸至該晶粒鐳墊內一小於該厚度之第一深度，第二凹槽沿該側壁形成於該下表面上且自該下表面延伸至該晶粒鐳墊內一小於該厚度之第二深度，該等第二凹槽相對於該等第一凹槽沿該側壁偏移；及

若干引線，其配置於該晶粒鐳墊周圍。

17. 如請求項16之引線框架，其中該等第一及第二凹槽呈一半圓形。
18. 如請求項16之引線框架，其中該第一深度及該第二深度各自約為該厚度之一半。
19. 如請求項16之引線框架，其中該晶粒鐳墊之一材料部分在該等第一凹槽與該下表面之間延伸，且該晶粒鐳墊之該材料部分在該等第二凹槽與該上表面之間延伸。

20. 如請求項16之引線框架，其中該晶粒鐳墊之一材料部分在該等第一凹槽之每一者之間延伸，及該晶粒鐳墊之該材料部分在該等第二凹槽之每一者之間延伸。

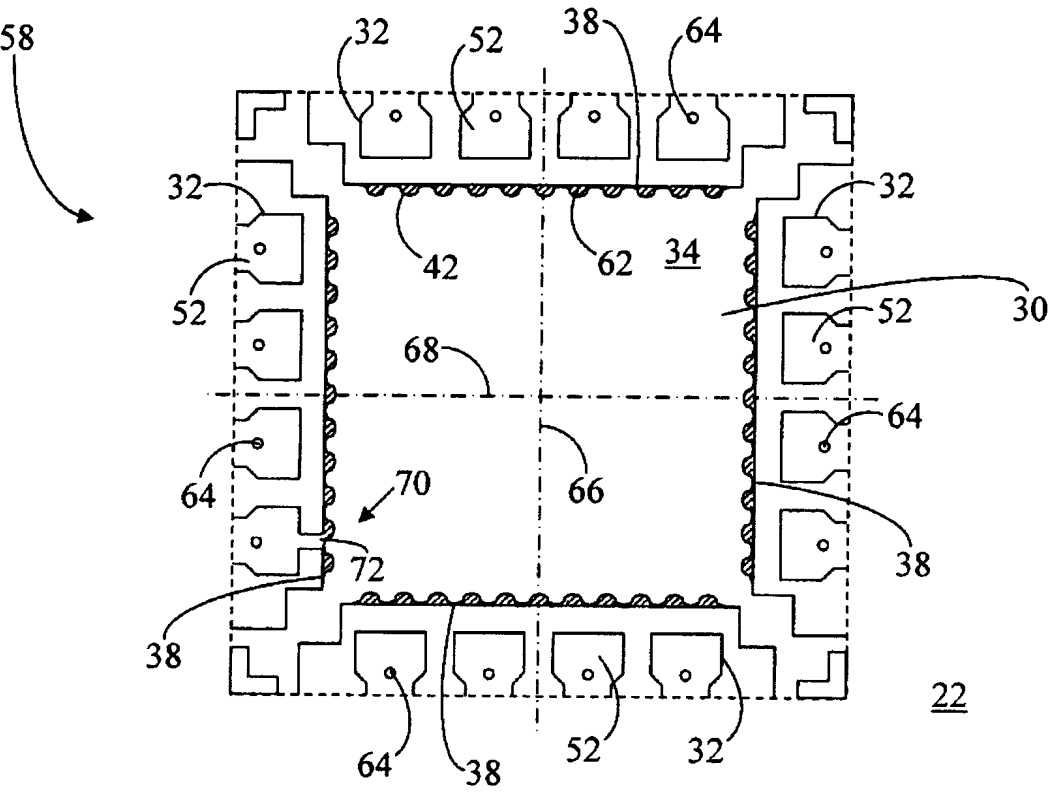


圖 2

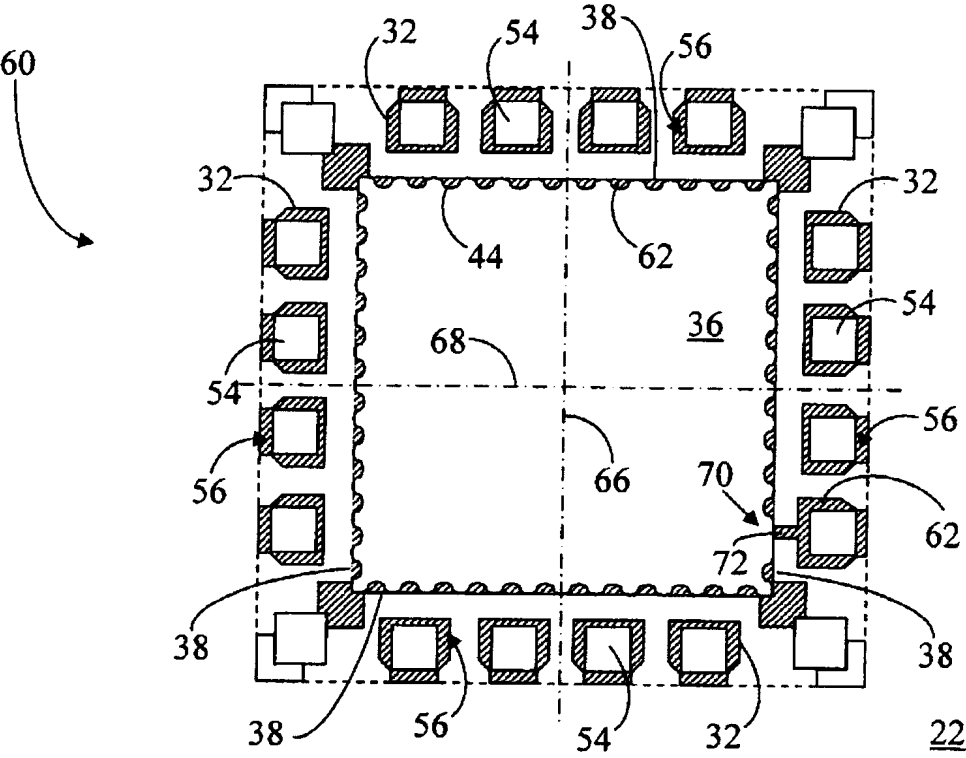


圖 3

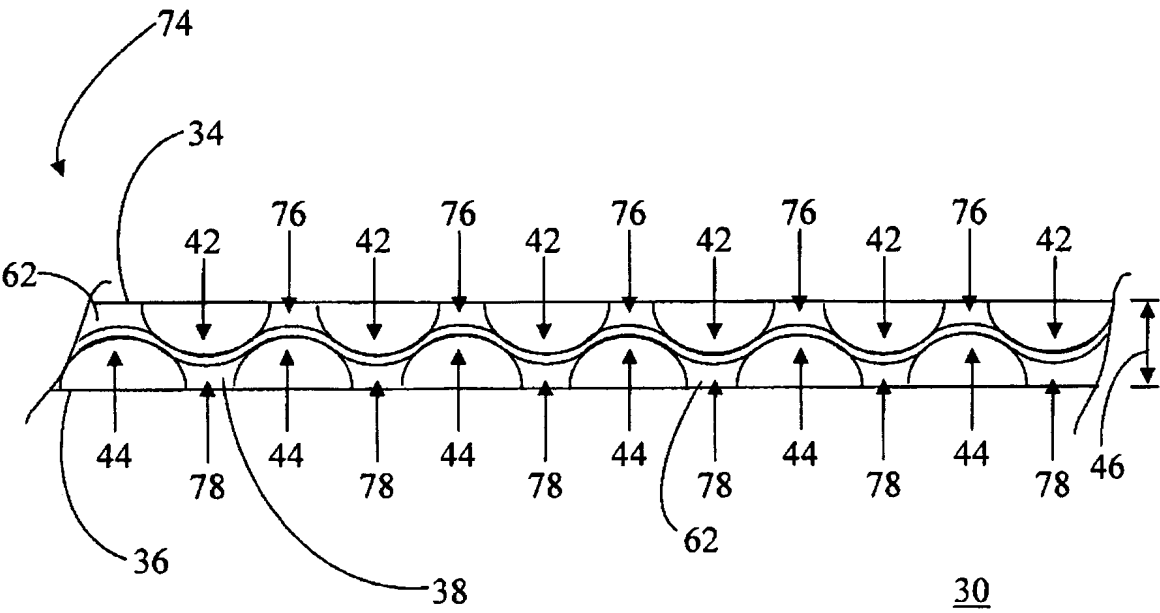


圖 4

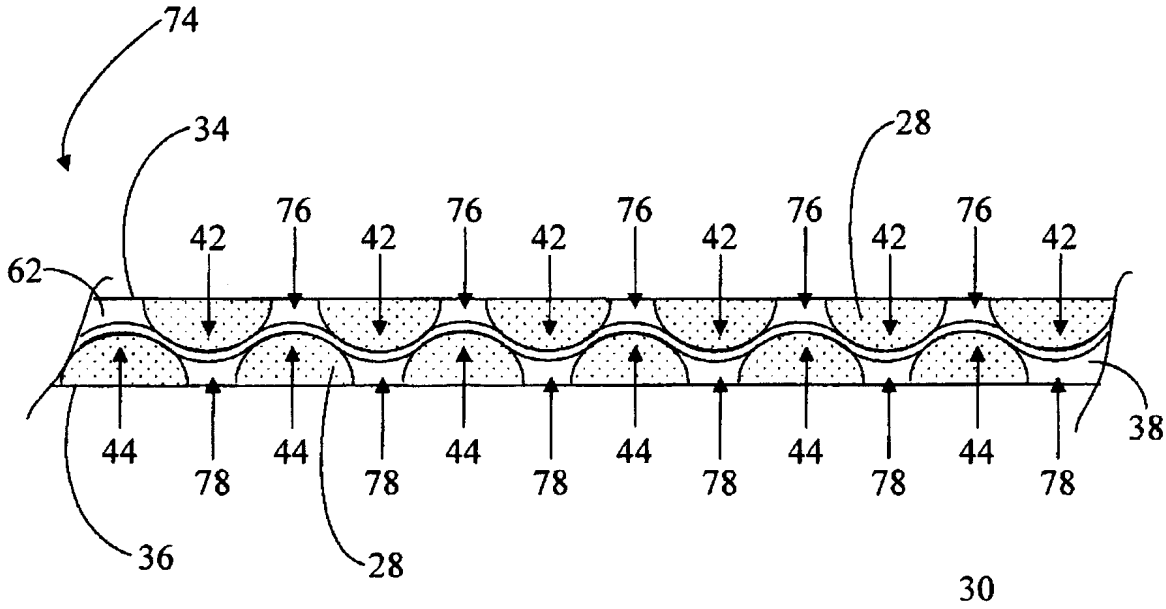


圖 5

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

20	封裝電子裝置
22	無引線引線框架
24	晶粒
26	結合線
28	封裝材料
30	晶粒鐳墊
32	引線
34	上表面
36	下表面
38	側壁
40	鐳墊
42	第一凹槽
44	第二凹槽
46	厚度
48	深度
50	深度
52	頂部表面
54	底部表面
56	半蝕刻部分

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)