

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4686830号
(P4686830)

(45) 発行日 平成23年5月25日 (2011.5.25)

(24) 登録日 平成23年2月25日 (2011.2.25)

(51) Int. Cl.

F I

H O 1 L 27/148 (2006.01)

H O 1 L 27/14 B

H O 4 N 5/372 (2011.01)

H O 4 N 5/335 7 2 O

請求項の数 2 (全 11 頁)

(21) 出願番号 特願2000-257463 (P2000-257463)
 (22) 出願日 平成12年8月28日 (2000.8.28)
 (65) 公開番号 特開2002-76318 (P2002-76318A)
 (43) 公開日 平成14年3月15日 (2002.3.15)
 審査請求日 平成19年1月19日 (2007.1.19)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100122884
 弁理士 角田 芳末
 (74) 代理人 100113516
 弁理士 磯山 弘信
 (74) 代理人 100080883
 弁理士 松隈 秀盛
 (72) 発明者 吉原 賢
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

審査官 安田 雅彦

最終頁に続く

(54) 【発明の名称】 固体撮像素子及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設けられ、

上記転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、

上記オーバーフローコントロールゲートは、ゲート電極と、該ゲート電極の下にN⁻領域とにより構成され、

上記オーバーフロードレインは、N⁺領域により構成され、

上記オーバーフローコントロールゲートの上記ゲート電極が、上記転送レジスタの上記第2層の転送電極と一体化して形成され、

上記オーバーフローコントロールゲートと、上記オーバーフロードレインとの間に、ゲートが設けられ、該ゲートは上記第1層の転送電極と同じ層により形成され、該ゲートの下にN⁺領域が形成され、

上記オーバーフローコントロールゲートの上記ゲート電極が、上記転送レジスタ側及び上記オーバーフロードレイン側において、それぞれ下層の上記第1層の転送電極上及び上記ゲート上に重ねて形成されている

固体撮像素子。

【請求項 2】

転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設け

10

20

られ、

上記転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、上記オーバーフローコントロールゲートは、ゲート電極と、該ゲート電極の下にN⁻領域とにより構成され、上記オーバーフロードレインは、N⁺⁺領域により構成され、上記オーバーフローコントロールゲートの上記ゲート電極が、上記転送レジスタの上記第2層の転送電極と一体化して形成され、上記オーバーフローコントロールゲートと、上記オーバーフロードレインとの間に、ゲートが設けられ、該ゲートは上記第1層の転送電極と同じ層により形成され、該ゲートの下にN⁺領域が形成され、

上記オーバーフローコントロールゲートの上記ゲート電極が、上記転送レジスタ側及び上記オーバーフロードレイン側において、それぞれ下層の上記第1層の転送電極上及び上記ゲート上に重ねて形成されている固体撮像素子に対して、

10

上記オーバーフローコントロールゲートのゲート電極には、上記転送レジスタの電極に印加される駆動パルス印加し、

上記オーバーフロードレイン側の上記ゲートには、常にオン状態とする駆動パルスを印加する

固体撮像素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、転送レジスタに対してオーバーフロードレインが設けられた固体撮像素子及びその駆動方法に係わる。

20

【0002】

【従来の技術】

従来、CCD固体撮像素子の転送レジスタにおいてオーバーフロー制御を行う場合には、転送レジスタのストレージ電極を形成する下層の多結晶シリコン層の横に上層の多結晶シリコン層とバリア用インプラによって、オーバーフローバリアを形成していた。

【0003】

この従来のオーバーフロー制御を行う構造の概略構成図(平面図)を図5に示す。

転送レジスタ50の上に、第1層の転送電極51と第2層の転送電極52とが交互に配置されている。

30

第1層の転送電極51はストレージ電極St1, St2となり、第2層の転送電極52はトランスファー電極Tr1, Tr2となる。

ストレージ電極St1及びトランスファー電極Tr1には、それぞれの駆動パルスSt1, Tr1として第1相の駆動パルス1が印加される。

ストレージ電極St2及びトランスファー電極Tr2には、それぞれの駆動パルスSt2, Tr2として第2相の駆動パルス2が印加される。

【0004】

そして、図5のほぼ中央の第1相のストレージ電極St1の側方に、オーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDが設けられている。

【0005】

40

また、図5のY-Y'における断面図を図6に示す。

オーバーフローコントロールゲートOFCGは、図5及び図6に示すように、ゲート電極54とN⁻領域56とから構成されている。

ゲート電極54は、トランスファー電極Tr1, Tr2を構成する第2層の転送電極52と同じ第2層の多結晶シリコン層により形成されている。このゲート電極54には、駆動パルスOFCGが印加される。

N⁻領域56は、半導体基板1のP型ウエル領域2内に、N型不純物をイオン注入して形成されている。

オーバーフロードレインOFDは、半導体基板1のP型ウエル領域2内に高濃度N型不純物をイオン注入して形成されたN⁺⁺領域55により構成される。

50

尚、図中 3 は、ストレージ電極 S_{t1} , S_{t2} の下に形成された N^+ 領域を示し、この領域 3 に転送中の電荷が蓄積される。

【 0 0 0 6 】

さらに、図 5 の $Y - Y'$ におけるポテンシャル断面図を図 7 に示す。

図 7 に示すように、ゲート電極 5 4 及び N^+ 領域 5 6 によるオーバーフローコントロールゲート $OFCG$ がバリアとなっており、このバリアを越えた電荷をオーバーフロイドレイン OFD に捨てている。

【 0 0 0 7 】

この構成において、オーバーフローコントロールゲート $OFCG$ のバリアの高さに影響する因子としては、オーバーフローコントロールゲート $OFCG$ のゲート電極 5 4 の第 1 相のストレージ電極 S_{t1} と重なっていない部分の長さ L_1 即ちオーバーフローコントロールゲート $OFCG$ の実効長と、 N^+ 領域 5 6 の不純物濃度とが挙げられる。

【 0 0 0 8 】

また、図 5 の構成における駆動パルスのタイミングチャートを図 8 に示す。

第 1 相のストレージ電極 S_{t1} の駆動パルス S_{t1} 及び第 1 相のトランスファー電極 T_{r1} の駆動パルス T_{r1} は、共に同じ駆動パルス (第 1 相の駆動パルス 1) が印加される。

一方、第 2 相のストレージ電極 S_{t2} の駆動パルス S_{t2} 及び第 2 相のトランスファー電極 T_{r2} の駆動パルス T_{r2} は、共に同じ駆動パルス (第 2 相の駆動パルス 2) が印加される。

第 1 相の駆動パルス 1 と第 2 相の駆動パルス 2 とは互いに逆相である。

【 0 0 0 9 】

そして、オーバーフローコントロールゲート $OFCG$ の駆動パルス $OFCG$ は、第 1 相の駆動パルス 1 と同相の駆動パルスとなっている。

【 0 0 1 0 】

これにより、次のように電荷の転送及びオーバーフローの動作がなされる。

第 1 相の駆動パルス 1 がハイレベル H_i で第 1 相のストレージ電極 S_{t1} に電荷があるときには、オーバーフローコントロールゲート $OFCG$ の駆動パルス $OFCG$ もハイレベル H_i であり、オーバーフローバリアの高さが低くなり所定量でオーバーフローさせることが可能になる。

一方、第 1 相の駆動パルス 1 がローレベル L_o で第 1 相のストレージ電極 S_{t1} から隣の第 2 相の電極 T_{r2} , S_{t2} へ電荷が転送されるときには、オーバーフローコントロールゲート $OFCG$ の駆動パルス $OFCG$ もローレベル L_o であり、オーバーフローバリアの高さが高くなって、転送中の電荷がバリアを越えないようにすることができる。

【 0 0 1 1 】

【発明が解決しようとする課題】

しかしながら、この従来の構成の場合、下層の第 1 層の多結晶シリコン層から成る第 1 相のストレージ電極 S_{t1} と、上層の第 2 層の多結晶シリコン層から成るオーバーフローコントロール $OFCG$ ゲートのゲート電極 5 4 との間に合わせずれが生じると、オーバーフローコントロールゲート $OFCG$ の実効長 L_1 が変化してしまう。

この実効長 L_1 が変化するとオーバーフローコントロールゲート $OFCG$ によるバリアの高さも変化してしまう。また、転送チャネル 5 0 のバリアの高さを規定するトランスファー電極 T_{r1} の実効長 L との関係も変化する。

【 0 0 1 2 】

また、 N^+ 領域 5 6 とゲート電極 5 4 との合わせズレや、下層の多結晶シリコン層 5 1 や上層の多結晶シリコン層 5 2 , 5 4 の線幅のばらつき等によっても、オーバーフローコントロールゲート $OFCG$ によるバリアの高さが変化する。

【 0 0 1 3 】

そして、合わせズレ等のばらつきが大きいと、オーバーフローコントロールゲート $OFCG$ のバリア高さとトランスファー電極 T_{r1} のバリア高さの差が、小さくなったり大きく

10

20

30

40

50

なり過ぎたりして、適切なオーバーフロー制御ができない場合があった。
このことが、細かな制御を行う場合や固体撮像素子を微細化する際に問題となっていた。

【 0 0 1 4 】

上述した問題の解決のために、本発明においては、適切なオーバーフロー制御を行うことができる固体撮像素子及びその駆動方法を提供するものである。

【 0 0 1 5 】

【課題を解決するための手段】

本発明の固体撮像素子は、転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設けられ、転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、オーバーフローコントロールゲートは、ゲート電極と、このゲート電極の下にN⁻領域とにより構成され、オーバーフロードレインは、N⁺⁺領域により構成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタの第2層の転送電極と一体化して形成され、オーバーフローコントロールゲートとオーバーフロードレインとの間にゲートが設けられ、このゲートは第1層の転送電極と同じ層により形成され、このゲートの下にN⁺領域が形成され、オーバーフローコントロールゲートのゲート電極が転送レジスタ側及びオーバーフロードレイン側においてそれぞれ下層の第1層の転送電極上及びゲート上に重ねて形成されているものである。

本発明の固体撮像素子の駆動方法は、転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設けられ、転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、オーバーフローコントロールゲートは、ゲート電極と、このゲート電極の下にN⁻領域とにより構成され、オーバーフロードレインは、N⁺⁺領域により構成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタの第2層の転送電極と一体化して形成され、オーバーフローコントロールゲートとオーバーフロードレインとの間にゲートが設けられ、このゲートは第1層の転送電極と同じ層により形成され、このゲートの下にN⁺領域が形成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタ側及びオーバーフロードレイン側においてそれぞれ下層の第1層の転送電極上及びゲート上に重ねて形成されている固体撮像素子に対して、オーバーフローコントロールゲートのゲート電極には、転送レジスタの電極に印加される駆動パルス印加し、オーバーフロードレイン側のゲートには、常にオン状態とする駆動パルスを印加するものである。

【 0 0 1 6 】

上述の本発明の固体撮像素子の構成によれば、オーバーフローコントロールゲートのゲート電極が転送レジスタ側及びオーバーフロードレイン側においてそれぞれ下層の第1層の転送電極上及びゲート上に重ねて形成されていることにより、オーバーフローコントロールゲートの実効長が、転送レジスタ側及びオーバーフロードレイン側の下層の第1層の転送電極及びゲートの間隔により規定される。

上述の本発明の固体撮像素子の駆動方法によれば、オーバーフローコントロールゲートのゲート電極には、転送レジスタの電極に印加される駆動パルスを印加し、オーバーフロードレイン側のゲートには、常にオン状態とする駆動パルスを印加することにより、オーバーフロードレイン側のゲートが常にオン状態となっていて、オーバーフローコントロールゲートによるバリアを超えた電荷を妨げることなくオーバーフロードレインに排出することができる。

【 0 0 1 7 】

【発明の実施の形態】

本発明は、転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設けられ、転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、オーバーフローコントロールゲートは、ゲート電極と、このゲート電極の下にN⁻領域とにより構成され、オーバーフロードレインは、N⁺⁺領域により構成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタの第2層の転送電極と一体化して形成され、オーバーフローコントロールゲートとオーバーフロードレインと

の間にゲートが設けられ、このゲートは第 1 層の転送電極と同じ層により形成され、このゲートの下に N^+ 領域が形成され、オーバーフローコントロールゲートのゲート電極が転送レジスタ側及びオーバーフロードレイン側においてそれぞれ下層の第 1 層の転送電極上及びゲート上に重ねて形成されている固体撮像素子である。

本発明は、転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設けられ、転送レジスタにおいては、第 1 層の転送電極と第 2 層の転送電極とが交互に配置され、オーバーフローコントロールゲートは、ゲート電極と、このゲート電極の下に N^- 領域とにより構成され、オーバーフロードレインは、 N^{++} 領域により構成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタの第 2 層の転送電極と一体化して形成され、オーバーフローコントロールゲートとオーバーフロードレインとの間にゲートが設けられ、このゲートは第 1 層の転送電極と同じ層により形成され、このゲートの下に N^+ 領域が形成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタ側及びオーバーフロードレイン側においてそれぞれ下層の第 1 層の転送電極上及びゲート上に重ねて形成されている固体撮像素子に対して、オーバーフローコントロールゲートのゲート電極には、転送レジスタの電極に印加される駆動パルス印加し、オーバーフロードレイン側のゲートには、常にオン状態とする駆動パルスを印加する固体撮像素子の駆動方法である。

【0018】

図 1 は本発明の一実施の形態として、CCD 固体撮像素子の転送レジスタの要部の拡大平面図を示す。

転送レジスタ 10 の上に、第 1 層の転送電極 11 と第 2 層の転送電極 12 とが交互に配置されている。

第 1 層の転送電極 11 はストレージ電極 S_t1 、 S_t2 となり、第 2 層の転送電極 12 はトランスファー電極 T_r1 、 T_r2 となる。

ストレージ電極 S_t1 及びトランスファー電極 T_r1 には、それぞれの駆動パルス S_t1 、 T_r1 として第 1 相の駆動パルス 1 が印加される。

ストレージ電極 S_t2 及びトランスファー電極 T_r2 には、それぞれの駆動パルス S_t2 、 T_r2 として第 2 相の駆動パルス 2 が印加される。

【0019】

本実施の形態では、特に図 1 のほぼ中央の第 1 相のストレージ電極 S_t1 の側方に、オーバーフローコントロールゲート OFCG 及びオーバーフロードレイン OFD が設けられ、さらにこれらオーバーフローコントロールゲート OFCG 及びオーバーフロードレイン OFD の間にゲート 13 が設けられている。

【0020】

また、図 1 の A-A' における断面図を図 2 に示す。尚、図 2 において、半導体基板 1、P 型ウエル領域 2、並びにストレージ電極 S_t1 、 S_t2 用の N^+ 領域 3 は、図 6 と同様であるので同一符号を付している。

オーバーフローコントロールゲート OFCG は、図 1 及び図 2 に示すように、第 1 相のトランスファー電極 T_r1 を構成している第 2 層の転送電極 12 を L 字状に延長した部分 12A から成るゲート電極と N^- 領域 14 とから構成されている。

ゲート電極 12A が第 1 相のトランスファー電極 T_r1 と導通しているため、このゲート電極 12A には第 1 相のトランスファー電極 T_r1 の駆動パルス T_r1 が印加される。 N^- 領域 14 は、半導体基板 1 の P 型ウエル領域 2 内に、N 型不純物をイオン注入して形成されている。

オーバーフロードレイン OFD は、半導体基板 1 の P 型ウエル領域 2 内に高濃度 N 型不純物をイオン注入して形成された N^{++} 領域 15 により構成される。

【0021】

また、オーバーフローコントロールゲート OFCG 及びオーバーフロードレイン OFD の間のゲート 13 は、第 1 相のストレージ電極 S_t1 と同じ第 1 層の多結晶シリコン層により形成される。

このゲート 1 3 には駆動パルス G が印加される。

【 0 0 2 2 】

そして、オーバーフローコントロールゲート O F C G のゲート電極 1 2 A は、転送レジスタ 1 0 側において第 1 層の多結晶シリコン層によるストレージ電極 $S t 1$ 上にある。この点は図 5 の構成と同様である。

さらに、オーバーフローコントロールゲート O F C G のゲート電極 1 2 A は、オーバーフロードレイン O F D 側においても、第 1 層の多結晶シリコン層によるゲート 1 3 上にある。この点が図 5 の構成とは異なっている。

【 0 0 2 3 】

これにより、それぞれ第 1 層の多結晶シリコン層により形成されるゲート 1 3 及び第 1 相のストレージ電極 $S t 1$ の間隔によって、その上の第 2 層の多結晶シリコン層により形成されるオーバーフローコントロールゲート O F C G の実効長 $L 2$ が規定される。

【 0 0 2 4 】

さらに、図 1 の A - A ' におけるポテンシャル断面図を図 3 に示す。

図 3 に示すように、ゲート電極 1 2 A 及び N^+ 領域 1 4 によるオーバーフローコントロールゲート O F C G がバリアとなっており、このバリアを越えた電荷をオーバーフロードレイン O F D に捨てることができる。

【 0 0 2 5 】

この構成において、オーバーフローバリアの高さに影響する因子としては、オーバーフローコントロールゲート O F C G のゲート電極 1 2 A の下層の電極 $S t 1$ 及び 1 3 と重なっていない部分の長さ $L 2$ 即ちオーバーフローコントロールゲート O F C G の実効長と、 N^+ 領域 1 4 の不純物濃度とが挙げられる。

【 0 0 2 6 】

図 1 の構成における駆動パルスのタイミングチャートを図 4 に示す。

第 1 相のストレージ電極 $S t 1$ の駆動パルス $S t 1$ 及び第 1 相のトランスファー電極 $T r 1$ の駆動パルス $T r 1$ は、共に同じ駆動パルス (第 1 相の駆動パルス 1) が印加される。

そして、第 1 相のトランスファー電極 $T r 1$ と導通されたオーバーフローコントロールゲート O F C G のゲート電極 1 2 A も、同じ駆動パルス $T r 1$ (1) により動作する。

【 0 0 2 7 】

また、ゲート電極 1 3 の駆動パルス G は、常にハイレベル $H i$ とされる。

従って、ゲート 1 3 は常にオン状態となっていて、オーバーフローコントロールゲート O F C G によるバリアを超えた電荷を妨げることなくオーバーフロードレイン O F D に排出することができる。

尚、第 2 相の駆動パルス 2 は、図 8 と同様であるので、この図 4 では省略している。

【 0 0 2 8 】

これにより、次のように電荷の転送及びオーバーフローの動作がなされる。

第 1 相の駆動パルス 1 がハイレベル $H i$ であるときには、第 1 相のストレージ電極 $S t 1$ に電荷があり、かつオーバーフローコントロールゲート O F C G のゲート電極 1 2 A もハイレベル $H i$ であり、オーバーフローバリアの高さが低くなり所定量でオーバーフローさせることが可能になる。

一方、第 1 相の駆動パルス 1 がローレベル $L o$ であるときには、第 1 相のストレージ電極 $S t 1$ から隣の第 2 相の電極 $T r 2$, $S t 2$ へ電荷が転送され、オーバーフローコントロールゲート O F C G のゲート電極 1 2 A もローレベル $L o$ であり、オーバーフローバリアの高さが高くなって、転送中の電荷がバリアを越えないようにすることができる。

【 0 0 2 9 】

そして、オーバーフローコントロールゲート O F C G の実効長 $L 2$ となる両側の第 1 層の電極 $S t 1$, 1 3 の間隔 $L 2$ を、第 1 相のトランスファー電極 $T r 1$ の実効長 $L 3$ 即ちストレージ電極 $S t 1$, $S t 2$ の間隔よりも狭くすることにより、トランスファー電極 $T r 1$ のバリア高さよりもオーバーフローコントロールゲート O F C G のバリア高さを低く設

10

20

30

40

50

定することができる。

【0030】

本実施の形態の構成では、オーバーフローコントロールゲートOFCGのバリアの高さを規定する実効長L2のばらつき要因としては、両側の第1層の電極13, St1の間隔だけである。

そして、オーバーフローコントロールゲートOFCGも、トランスファー電極Tr1も、いずれも両側の第1層の電極の間隔及び不純物濃度でバリアの高さが設定される。

従って、オーバーフローコントロールゲートOFCGの両側の第1層の電極13及びSt1の間隔やN⁻領域14の不純物濃度がばらついても、オーバーフローコントロールゲートOFCG及びトランスファー電極Tr1が等しくバリアが高くなる(低くなる)方向に動く。即ち例えば一方の間隔が狭くなったときは、他方の間隔も同様に狭くなる。

これにより、第1層の電極の間隔や不純物濃度にかかわらず、両者のバリアの関係が、ほぼ所定の差に保たれることになる。

【0031】

これにより、オーバーフローバリアの制御を非常に高い精度で行うことができる。

【0032】

上述の構成のオーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDは、固体撮像素子において電荷転送を行う転送レジスタ10の途中に設ける。

例えばラインセンサでは、各転送レジスタにおいて、センサ(画素)のある部分と出力部との間の1カ所にオーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDを設ける。尚、センサの両側で読み出して、出力部の手前で合流させる構成の場合には、合流する前に設けるようにする。

また、例えばエリアセンサでは、垂直転送レジスタから水平転送レジスタへの接続部や、水平転送レジスタの途中にオーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDを設けることができる。

【0033】

上述の本実施の形態によれば、オーバーフローコントロールゲートOFCGの実効長L2が、両側の第1層の電極13, St1の間隔で規定されるので、オーバーフローコントロールゲートOFCGのバリア高さのばらつき要因を少なくすることができる。

そして、両側の第1層の電極13, St1の間隔がばらついても、トランスファー電極Tr1の実効長L3も連動して変化するため、オーバーフローコントロールゲートOFCGによるバリアの高さとトランスファー電極Tr1によるバリアの高さとの関係が所定の関係にほぼ保たれる。

【0034】

即ち本実施の形態の構成により、適切なオーバーフロー制御を行うことができる。

従って、細かい制御を行うことや、固体撮像素子の微細化を図ることが可能になる。

【0035】

また、上述の実施の形態では、オーバーフローコントロールゲートOFCGのゲート電極12Aと第1相のトランスファー電極Tr1とをL字状の一体化したパターンで形成しているため、コンタクト部を1つ設けるだけでオーバーフローコントロールゲートOFCG及びトランスファー電極Tr1を両方駆動させることが可能になる。

【0036】

従って、コンタクト部をそれぞれに設ける必要がなくなり、従来より電極の微細化を図ることが可能になる。そして、例えばL字の角部にコンタクト部を設ければ、コンタクト部オーバーフローコントロールゲートOFCG及びトランスファー電極Tr1の実効長L2及びL3をコンタクト部に係わらず自由に設定することが可能になる。

【0037】

尚、上述の実施の形態では、オーバーフローコントロールゲートOFCGのゲート電極12Aと第1相のトランスファー電極Tr1とを一体化したパターンで形成しているが、これらを図5の従来例のように別々に形成してもよい。この場合は、それぞれにコンタクト

10

20

30

40

50

部を設けた上で、共に同じ第 1 相の駆動パルス 1 を印加するように構成する。

【 0 0 3 8 】

上述の実施の形態は、2 層 2 相駆動の場合であるが、3 相や 4 相等他の駆動方式の転送レジスタに関しても同様に本発明を適用することができる。

そして、いずれの駆動方式の場合も、オーバーフローバリアの高さを下層の多結晶シリコン層の間隔によって規定することができる。

【 0 0 3 9 】

本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【 0 0 4 0 】

【発明の効果】

上述の本発明によれば、オーバーフローコントロールゲートのバリア高さのばらつき要因を少なくすることができ、適切なオーバーフロー制御を行うことができる。

従って本発明により、細かい制御を行うことや、固体撮像素子の微細化を図ることが可能になる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態の C C D 固体撮像素子の転送レジスタの要部の拡大平面図である。

【図 2】図 1 の A - A ' における断面図である。

【図 3】図 1 の A - A ' におけるポテンシャル断面図である。

【図 4】図 1 の構成における駆動パルスのタイミングチャートである。

【図 5】従来の C C D 固体撮像素子の転送レジスタの要部の拡大平面図である。

【図 6】図 5 の Y - Y ' における断面図である。

【図 7】図 5 の Y - Y ' におけるポテンシャル断面図である。

【図 8】図 8 の構成における駆動パルスのタイミングチャートである。

【符号の説明】

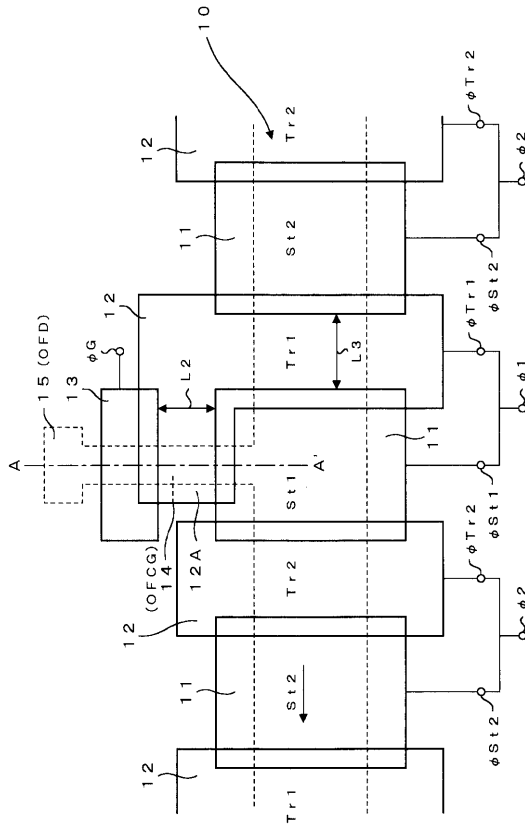
1 N 型基板、2 P 型ウエル領域、10 転送レジスタ、11 第 1 層の転送電極、12 第 2 層の転送電極、13 ゲート、O F C G オーバーフローコントロールゲート、O F D オーバーフロードレイン、S t 1 , S t 2 ストレージ電極、T r 1 , T r 2 トランスファー電極

10

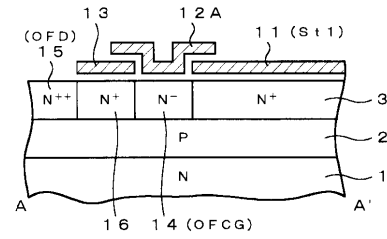
20

30

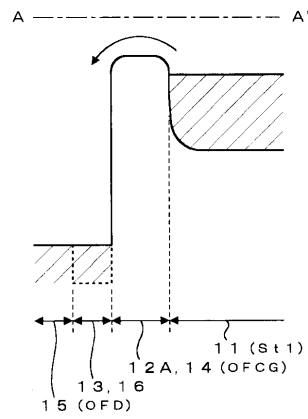
【図 1】



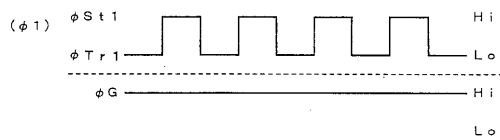
【図 2】



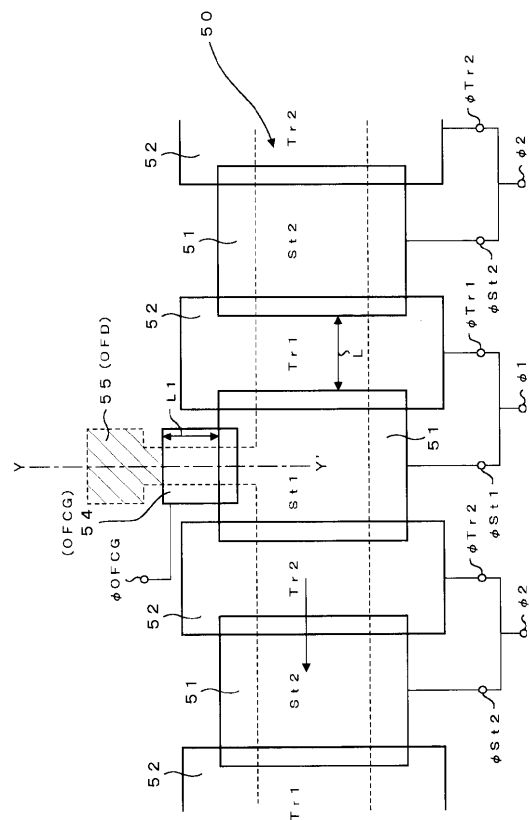
【図 3】



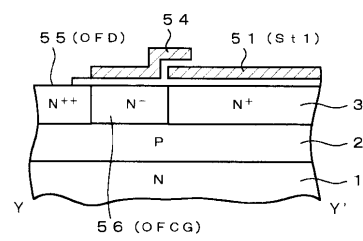
【図 4】



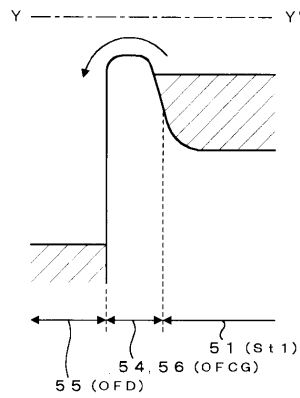
【図 5】



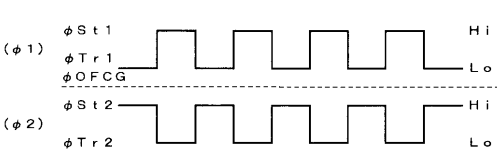
【図 6】



【図 7】



【図 8】



フロントページの続き

(56)参考文献 特開平 0 6 - 3 0 3 5 2 7 (J P , A)
特開昭 6 3 - 2 9 6 2 6 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 27/14

H04N 5/372

H04N 1/024