

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4686830号
(P4686830)

(45) 発行日 平成23年5月25日(2011.5.25)

(24) 登録日 平成23年2月25日(2011.2.25)

(51) Int.Cl.

H01L 27/148 (2006.01)
H04N 5/372 (2011.01)

F 1

H01L 27/14
H04N 5/335 720

請求項の数 2 (全 11 頁)

(21) 出願番号 特願2000-257463 (P2000-257463)
 (22) 出願日 平成12年8月28日 (2000.8.28)
 (65) 公開番号 特開2002-76318 (P2002-76318A)
 (43) 公開日 平成14年3月15日 (2002.3.15)
 審査請求日 平成19年1月19日 (2007.1.19)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100122884
 弁理士 角田 芳末
 (74) 代理人 100113516
 弁理士 磯山 弘信
 (74) 代理人 100080883
 弁理士 松隈 秀盛
 (72) 発明者 吉原 賢
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 審査官 安田 雅彦

最終頁に続く

(54) 【発明の名称】 固体撮像素子及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設けられ、

上記転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、

上記オーバーフローコントロールゲートは、ゲート電極と、該ゲート電極の下のN⁺領域とにより構成され、

上記オーバーフロードレインは、N⁺⁺領域により構成され、

上記オーバーフローコントロールゲートの上記ゲート電極が、上記転送レジスタの上記第2層の転送電極と一体化して形成され、

上記オーバーフローコントロールゲートと、上記オーバーフロードレインとの間に、ゲートが設けられ、該ゲートは上記第1層の転送電極と同じ層により形成され、該ゲートの下にN⁺領域が形成され、

上記オーバーフローコントロールゲートの上記ゲート電極が、上記転送レジスタ側及び上記オーバーフロードレイン側において、それぞれ下層の上記第1層の転送電極上及び上記ゲート上に重ねて形成されている

固体撮像素子。

【請求項 2】

転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設け

10

20

られ、

上記転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、上記オーバーフローコントロールゲートは、ゲート電極と、該ゲート電極の下のN⁻領域とにより構成され、上記オーバーフロードレインは、N⁺⁺領域により構成され、上記オーバーフローコントロールゲートの上記ゲート電極が、上記転送レジスタの上記第2層の転送電極と一体化して形成され、上記オーバーフローコントロールゲートと、上記オーバーフロードレインとの間に、ゲートが設けられ、該ゲートは上記第1層の転送電極と同じ層により形成され、該ゲートの下にN⁺領域が形成され、

上記オーバーフローコントロールゲートの上記ゲート電極が、上記転送レジスタ側及び上記オーバーフロードレイン側において、それぞれ下層の上記第1層の転送電極上及び上記ゲート上に重ねて形成されている固体撮像素子に対して、

上記オーバーフローコントロールゲートのゲート電極には、上記転送レジスタの電極に印加される駆動パルスを印加し、

上記オーバーフロードレイン側の上記ゲートには、常にオン状態とする駆動パルスを印加する

固体撮像素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、転送レジスタに対してオーバーフロードレインが設けられた固体撮像素子及びその駆動方法に係わる。

【0002】

【従来の技術】

従来、CCD固体撮像素子の転送レジスタにおいてオーバーフロー制御を行う場合には、転送レジスタのストレージ電極を形成する下層の多結晶シリコン層の横に上層の多結晶シリコン層とバリア用インプラによって、オーバーフローバリアを形成していた。

【0003】

この従来のオーバーフロー制御を行う構造の概略構成図（平面図）を図5に示す。

転送レジスタ50の上に、第1層の転送電極51と第2層の転送電極52とが交互に配置されている。

第1層の転送電極51はストレージ電極S_t1, S_t2となり、第2層の転送電極52はトランスマスター電極T_r1, T_r2となる。

ストレージ電極S_t1及びトランスマスター電極T_r1には、それぞれの駆動パルスS_t1, T_r1として第1相の駆動パルス1が印加される。

ストレージ電極S_t2及びトランスマスター電極T_r2には、それぞれの駆動パルスS_t2, T_r2として第2相の駆動パルス2が印加される。

【0004】

そして、図5のほぼ中央の第1相のストレージ電極S_t1の側方に、オーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDが設けられている。

【0005】

また、図5のY-Y'における断面図を図6に示す。

オーバーフローコントロールゲートOFCGは、図5及び図6に示すように、ゲート電極54とN⁻領域56とから構成されている。

ゲート電極54は、トランスマスター電極T_r1, T_r2を構成する第2層の転送電極52と同じ第2層の多結晶シリコン層により形成されている。このゲート電極54には、駆動パルスOFCGが印加される。

N⁻領域56は、半導体基板1のP型ウエル領域2内に、N型不純物をイオン注入して形成されている。

オーバーフロードレインOFDは、半導体基板1のP型ウエル領域2内に高濃度N型不純物をイオン注入して形成されたN⁺⁺領域55により構成される。

10

20

30

40

50

尚、図中3は、ストレージ電極S_t1, S_t2の下に形成されたN⁺領域を示し、この領域3に転送中の電荷が蓄積される。

【0006】

さらに、図5のY-Y'におけるポテンシャル断面図を図7に示す。

図7に示すように、ゲート電極54及びN⁻領域56によるオーバーフローコントロールゲートOFCGがバリアとなっており、このバリアを越えた電荷をオーバーフロードラインOFDに捨てている。

【0007】

この構成において、オーバーフローコントロールゲートOFCGのバリアの高さに影響する因子としては、オーバーフローコントロールゲートOFCGのゲート電極54の第1相のストレージ電極S_t1と重なっていない部分の長さL1即ちオーバーフローコントロールゲートOFCGの実効長と、N⁻領域56の不純物濃度とが挙げられる。
10

【0008】

また、図5の構成における駆動パルスのタイミングチャートを図8に示す。

第1相のストレージ電極S_t1の駆動パルス S_t1及び第1相のトランスマスター電極Tr1の駆動パルス Tr1は、共に同じ駆動パルス(第1相の駆動パルス 1)が印加される。

一方、第2相のストレージ電極S_t2の駆動パルス S_t2及び第2相のトランスマスター電極Tr2の駆動パルス Tr2は、共に同じ駆動パルス(第2相の駆動パルス 2)が印加される。
20

第1相の駆動パルス 1と第2相の駆動パルス 2とは互いに逆相である。

【0009】

そして、オーバーフローコントロールゲートOFCGの駆動パルス OFCGは、第1相の駆動パルス 1と同相の駆動パルスとなっている。

【0010】

これにより、次のように電荷の転送及びオーバーフローの動作がなされる。

第1相の駆動パルス 1がハイレベルHiで第1相のストレージ電極S_t1に電荷があるときには、オーバーフローコントロールゲートOFCGの駆動パルス OFCGもハイレベルHiであり、オーバーフローバリアの高さが低くなり所定量でオーバーフローさせることが可能になる。
30

一方、第1相の駆動パルス 1がローレベルLoで第1相のストレージ電極S_t1から隣の第2相の電極Tr2, S_t2へ電荷が転送されるときには、オーバーフローコントロールゲートOFCGの駆動パルス OFCGもローレベルLoであり、オーバーフローバリアの高さが高くなっている、転送中の電荷がバリアを越えないようにすることができる。

【0011】

【発明が解決しようとする課題】

しかしながら、この従来の構成の場合、下層の第1層の多結晶シリコン層から成る第1相のストレージ電極S_t1と、上層の第2層の多結晶シリコン層から成るオーバーフローコントロールOFCGゲートのゲート電極54との間に合わせずれが生じると、オーバーフローコントロールゲートOFCGの実効長L1が変化してしまう。
40

この実効長L1が変化するとオーバーフローコントロールゲートOFCGによるバリアの高さも変化してしまう。また、転送チャネル50のバリアの高さを規定するトランスマスター電極Tr1の実効長Lとの関係も変化する。

【0012】

また、N⁻領域56とゲート電極54との合わせズレや、下層の多結晶シリコン層51や上層の多結晶シリコン層52, 54の線幅のばらつき等によっても、オーバーフローコントロールゲートOFCGによるバリアの高さが変化する。

【0013】

そして、合わせズレ等のばらつきが大きいと、オーバーフローコントロールゲートOFCGのバリア高さとトランスマスター電極Tr1のバリア高さの差が、小さくなったり大きくなったりする。

10

20

30

40

50

なり過ぎたりして、適切なオーバーフロー制御ができない場合があった。

このことが、細かな制御を行う場合や固体撮像素子を微細化する際に問題となっていた。

【0014】

上述した問題の解決のために、本発明においては、適切なオーバーフロー制御を行うことができる固体撮像素子及びその駆動方法を提供するものである。

【0015】

【課題を解決するための手段】

本発明の固体撮像素子は、転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設けられ、転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、オーバーフローコントロールゲートは、ゲート電極と、このゲート電極の下のN⁻領域とにより構成され、オーバーフロードレインは、N⁺⁺領域により構成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタの第2層の転送電極と一体化して形成され、オーバーフローコントロールゲートとオーバーフロードレインとの間にゲートが設けられ、このゲートは第1層の転送電極と同じ層により形成され、このゲートの下にN⁺領域が形成され、オーバーフローコントロールゲートのゲート電極が転送レジスタ側及びオーバーフロードレイン側においてそれぞれ下層の第1層の転送電極上及びゲート上に重ねて形成されているものである。

本発明の固体撮像素子の駆動方法は、転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設けられ、転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、オーバーフローコントロールゲートは、ゲート電極と、このゲート電極の下のN⁻領域とにより構成され、オーバーフロードレインは、N⁺⁺領域により構成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタの第2層の転送電極と一体化して形成され、オーバーフローコントロールゲートとオーバーフロードレインとの間にゲートが設けられ、このゲートは第1層の転送電極と同じ層により形成され、このゲートの下にN⁺領域が形成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタ側及びオーバーフロードレイン側においてそれぞれ下層の第1層の転送電極上及びゲート上に重ねて形成されている固体撮像素子に対して、オーバーフローコントロールゲートのゲート電極には、転送レジスタの電極に印加される駆動パルスを印加し、オーバーフロードレイン側のゲートには、常にオン状態とする駆動パルスを印加するものである。

【0016】

上述の本発明の固体撮像素子の構成によれば、オーバーフローコントロールゲートのゲート電極が転送レジスタ側及びオーバーフロードレイン側においてそれぞれ下層の第1層の転送電極上及びゲート上に重ねて形成されていることにより、オーバーフローコントロールゲートの実効長が、転送レジスタ側及びオーバーフロードレイン側の下層の第1層の転送電極及びゲートの間隔により規定される。

上述の本発明の固体撮像素子の駆動方法によれば、オーバーフローコントロールゲートのゲート電極には、転送レジスタの電極に印加される駆動パルスを印加し、オーバーフロードレイン側のゲートには、常にオン状態とする駆動パルスを印加することにより、オーバーフロードレイン側のゲートが常にオン状態となっていて、オーバーフローコントロールゲートによるバリアを超えた電荷を妨げることなくオーバーフロードレインに排出することができる。

【0017】

【発明の実施の形態】

本発明は、転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設けられ、転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、オーバーフローコントロールゲートは、ゲート電極と、このゲート電極の下のN⁻領域とにより構成され、オーバーフロードレインは、N⁺⁺領域により構成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタの第2層の転送電極と一体化して形成され、オーバーフローコントロールゲートとオーバーフロードレインと

10

20

30

40

50

の間にゲートが設けられ、このゲートは第1層の転送電極と同じ層により形成され、このゲートの下にN⁺領域が形成され、オーバーフローコントロールゲートのゲート電極が転送レジスタ側及びオーバーフロードレイン側においてそれぞれ下層の第1層の転送電極上及びゲート上に重ねて形成されている固体撮像素子である。

本発明は、転送レジスタにオーバーフローコントロールゲート及びオーバーフロードレインが設けられ、転送レジスタにおいては、第1層の転送電極と第2層の転送電極とが交互に配置され、オーバーフローコントロールゲートは、ゲート電極と、このゲート電極の下のN⁻領域とにより構成され、オーバーフロードレインは、N⁺⁺領域により構成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタの第2層の転送電極と一体化して形成され、オーバーフローコントロールゲートとオーバーフロードレインとの間にゲートが設けられ、このゲートは第1層の転送電極と同じ層により形成され、このゲートの下にN⁺領域が形成され、オーバーフローコントロールゲートのゲート電極が、転送レジスタ側及びオーバーフロードレイン側においてそれぞれ下層の第1層の転送電極上及びゲート上に重ねて形成されている固体撮像素子に対して、オーバーフローコントロールゲートのゲート電極には、転送レジスタの電極に印加される駆動パルスS_t1, S_t2を印加し、オーバーフロードレイン側のゲートには、常にオン状態とする駆動パルスT_r1, T_r2を印加する固体撮像素子の駆動方法である。

【0018】

図1は本発明の一実施の形態として、CCD固体撮像素子の転送レジスタの要部の拡大平面図を示す。

転送レジスタ10の上に、第1層の転送電極11と第2層の転送電極12とが交互に配置されている。

第1層の転送電極11はストレージ電極S_t1, S_t2となり、第2層の転送電極12はトランスマスター電極T_r1, T_r2となる。

ストレージ電極S_t1及びトランスマスター電極T_r1には、それぞれの駆動パルスS_t1, T_r1として第1相の駆動パルス1が印加される。

ストレージ電極S_t2及びトランスマスター電極T_r2には、それぞれの駆動パルスS_t2, T_r2として第2相の駆動パルス2が印加される。

【0019】

本実施の形態では、特に図1のほぼ中央の第1相のストレージ電極S_t1の側方に、オーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDが設けられ、さらにこれらオーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDの間にゲート13が設けられている。

【0020】

また、図1のA-A'における断面図を図2に示す。尚、図2において、半導体基板1、P型ウエル領域2、並びにストレージ電極S_t1, S_t2用のN⁺領域3は、図6と同様であるので同一符号を付している。

オーバーフローコントロールゲートOFCGは、図1及び図2に示すように、第1相のトランスマスター電極T_r1を構成している第2層の転送電極12をL字状に延長した部分12Aから成るゲート電極とN⁻領域14とから構成されている。

ゲート電極12Aが第1相のトランスマスター電極T_r1と導通しているため、このゲート電極12Aには第1相のトランスマスター電極T_r1の駆動パルスT_r1が印加される。N⁻領域14は、半導体基板1のP型ウエル領域2内に、N型不純物をイオン注入して形成されている。

オーバーフロードレインOFDは、半導体基板1のP型ウエル領域2内に高濃度N型不純物をイオン注入して形成されたN⁺⁺領域15により構成される。

【0021】

また、オーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDの間のゲート13は、第1相のストレージ電極S_t1と同じ第1層の多結晶シリコン層により形成される。

10

20

30

40

50

このゲート 13 には駆動パルス G が印加される。

【0022】

そして、オーバーフローコントロールゲート O F C G のゲート電極 12A は、転送レジスタ 10 側において第 1 層の多結晶シリコン層によるストレージ電極 S t 1 上にある。この点は図 5 の構成と同様である。

さらに、オーバーフローコントロールゲート O F C G のゲート電極 12A は、オーバーフロードレイン O F D 側においても、第 1 層の多結晶シリコン層によるゲート 13 上にある。この点が図 5 の構成とは異なっている。

【0023】

これにより、それぞれ第 1 層の多結晶シリコン層により形成されるゲート 13 及び第 1 相のストレージ電極 S t 1 の間隔によって、その上の第 2 層の多結晶シリコン層により形成されるオーバーフローコントロールゲート O F C G の実効長 L 2 が規定される。10

【0024】

さらに、図 1 の A - A' におけるポテンシャル断面図を図 3 に示す。

図 3 に示すように、ゲート電極 12A 及び N- 領域 14 によるオーバーフローコントロールゲート O F C G がバリアとなっており、このバリアを越えた電荷をオーバーフロードレイン O F D に捨てることができる。

【0025】

この構成において、オーバーフローバリアの高さに影響する因子としては、オーバーフローコントロールゲート O F C G のゲート電極 12A の下層の電極 S t 1 及び 13 と重なっていない部分の長さ L 2 即ちオーバーフローコントロールゲート O F C G の実効長と、N- 領域 14 の不純物濃度などが挙げられる。20

【0026】

図 1 の構成における駆動パルスのタイミングチャートを図 4 に示す。

第 1 相のストレージ電極 S t 1 の駆動パルス S t 1 及び第 1 相のトランスマスター電極 T r 1 の駆動パルス T r 1 は、共に同じ駆動パルス（第 1 相の駆動パルス 1）が印加される。

そして、第 1 相のトランスマスター電極 T r 1 と導通されたオーバーフローコントロールゲート O F C G のゲート電極 12A も、同じ駆動パルス T r 1 (1) により動作する。30

【0027】

また、ゲート電極 13 の駆動パルス G は、常にハイレベル H i とされる。

従って、ゲート 13 は常にオン状態となっていて、オーバーフローコントロールゲート O F C G によるバリアを超えた電荷を妨げることなくオーバーフロードレイン O F D に排出することができる。

尚、第 2 相の駆動パルス 2 は、図 8 と同様であるので、この図 4 では省略している。

【0028】

これにより、次のように電荷の転送及びオーバーフローの動作がなされる。

第 1 相の駆動パルス 1 がハイレベル H i であるときには、第 1 相のストレージ電極 S t 1 に電荷があり、かつオーバーフローコントロールゲート O F C G のゲート電極 12A もハイレベル H i であり、オーバーフローバリアの高さが低くなり所定量でオーバーフローさせることが可能になる。40

一方、第 1 相の駆動パルス 1 がローレベル L o であるときには、第 1 相のストレージ電極 S t 1 から隣の第 2 相の電極 T r 2 , S t 2 へ電荷が転送され、オーバーフローコントロールゲート O F C G のゲート電極 12A もローレベル L o であり、オーバーフローバリアの高さが高くなつて、転送中の電荷がバリアを越えないようにすることができる。

【0029】

そして、オーバーフローコントロールゲート O F C G の実効長 L 2 となる両側の第 1 層の電極 S t 1 , 13 の間隔 L 2 を、第 1 相のトランスマスター電極 T r 1 の実効長 L 3 即ちストレージ電極 S t 1 , S t 2 の間隔よりも狭くすることにより、トランスマスター電極 T r 1 のバリア高さよりもオーバーフローコントロールゲート O F C G のバリア高さを低く設50

定することができる。

【0030】

本実施の形態の構成では、オーバーフローコントロールゲートOFCGのバリアの高さを規定する実効長L2のばらつき要因としては、両側の第1層の電極13, St1の間隔だけである。

そして、オーバーフローコントロールゲートOFCGも、トランスファー電極Tr1も、いずれも両側の第1層の電極の間隔及び不純物濃度でバリアの高さが設定される。

従って、オーバーフローコントロールゲートOFCGの両側の第1層の電極13及びSt1の間隔やN-領域14の不純物濃度がばらついても、オーバーフローコントロールゲートOFCG及びトランスファー電極Tr1が等しくバリアが高くなる(低くなる)方向に動く。即ち例えば一方の間隔が狭くなったときは、他方の間隔も同様に狭くなる。10

これにより、第1層の電極の間隔や不純物濃度にかかわらず、両者のバリアの関係が、ほぼ所定の差に保たれることになる。

【0031】

これにより、オーバーフローバリアの制御を非常に高い精度で行うことができる。

【0032】

上述の構成のオーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDは、固体撮像素子において電荷転送を行う転送レジスタ10の途中に設ける。

例えばラインセンサでは、各転送レジスタにおいて、センサ(画素)のある部分と出力部との間の1カ所にオーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDを設ける。尚、センサの両側で読み出して、出力部の手前で合流させる構成の場合には、合流する前に設けるようとする。20

また、例えばエリアセンサでは、垂直転送レジスタから水平転送レジスタへの接続部や、水平転送レジスタの途中にオーバーフローコントロールゲートOFCG及びオーバーフロードレインOFDを設けることができる。

【0033】

上述の本実施の形態によれば、オーバーフローコントロールゲートOFCGの実効長L2が、両側の第1層の電極13, St1の間隔で規定されるので、オーバーフローコントロールゲートOFCGのバリア高さのばらつき要因を少なくすることができる。

そして、両側の第1層の電極13, St1の間隔がばらついても、トランスファー電極Tr1の実効長L3も連動して変化するため、オーバーフローコントロールゲートOFCGによるバリアの高さとトランスファー電極Tr1によるバリアの高さとの関係が所定の関係にほぼ保たれる。30

【0034】

即ち本実施の形態の構成により、適切なオーバーフロー制御を行うことができる。

従って、細かい制御を行うことや、固体撮像素子の微細化を図ることが可能になる。

【0035】

また、上述の実施の形態では、オーバーフローコントロールゲートOFCGのゲート電極12Aと第1相のトランスファー電極Tr1とをL字状の一体化したパターンで形成しているため、コンタクト部を1つ設けるだけでオーバーフローコントロールゲートOFCG及びトランスファー電極Tr1を両方駆動させることができる。40

【0036】

従って、コンタクト部をそれぞれに設ける必要がなくなり、従来より電極の微細化を図ることが可能になる。そして、例えばL字の角部にコンタクト部を設ければ、コンタクト部オーバーフローコントロールゲートOFCG及びトランスファー電極Tr1の実効長L2及びL3をコンタクト部に係わらず自由に設定することが可能になる。

【0037】

尚、上述の実施の形態では、オーバーフローコントロールゲートOFCGのゲート電極12Aと第1相のトランスファー電極Tr1とを一体化したパターンで形成しているが、これらを図5の従来例のように別々に形成してもよい。この場合は、それぞれにコンタクト50

部を設けた上で、共に同じ第1相の駆動パルス 1を印加するように構成する。

【0038】

上述の実施の形態は、2層2相駆動の場合であるが、3相や4相等他の駆動方式の転送レジスタに関しても同様に本発明を適用することができる。

そして、いずれの駆動方式の場合も、オーバーフローバリアの高さを下層の多結晶シリコン層の間隔によって規定することができる。

【0039】

本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【0040】

10

【発明の効果】

上述の本発明によれば、オーバーフローコントロールゲートのバリア高さのばらつき要因を少なくすることができ、適切なオーバーフロー制御を行うことができる。

従って本発明により、細かい制御を行うことや、固体撮像素子の微細化を図ることが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施の形態のCCD固体撮像素子の転送レジスタの要部の拡大平面図である。

【図2】図1のA-A'における断面図である。

【図3】図1のA-A'におけるポテンシャル断面図である。

20

【図4】図1の構成における駆動パルスのタイミングチャートである。

【図5】従来のCCD固体撮像素子の転送レジスタの要部の拡大平面図である。

【図6】図5のY-Y'における断面図である。

【図7】図5のY-Y'におけるポテンシャル断面図である。

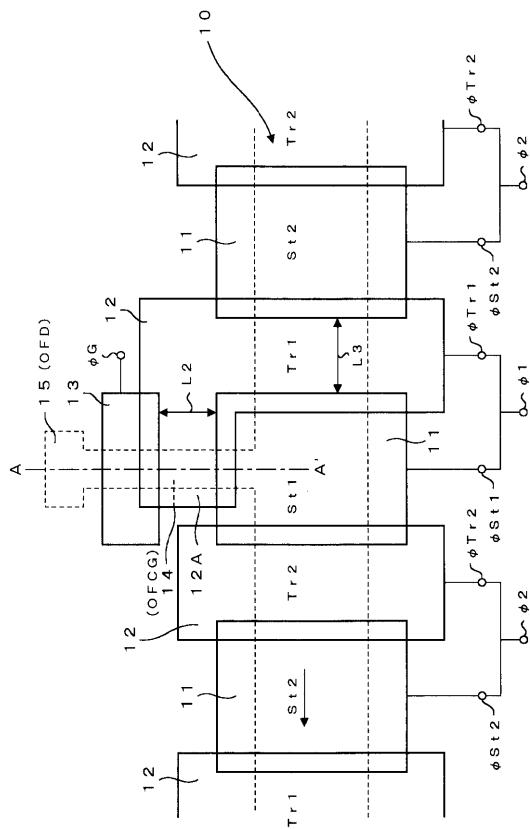
【図8】図8の構成における駆動パルスのタイミングチャートである。

【符号の説明】

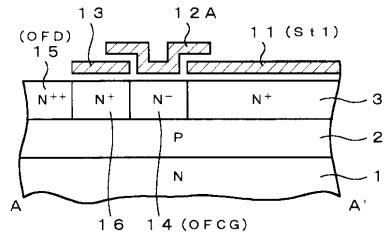
1 N型基板、2 P型ウエル領域、10 転送レジスタ、11 第1層の転送電極、12 第2層の転送電極、13 ゲート、OFCG オーバーフローコントロールゲート、OFD オーバーフロードレイン、St1, St2 ストレージ電極、Tr1, Tr2 トランスファー電極

30

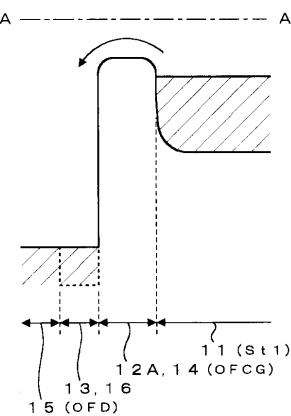
【図1】



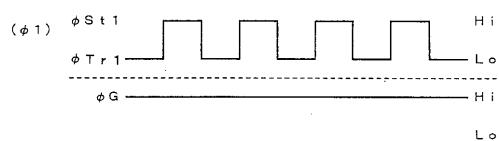
【図2】



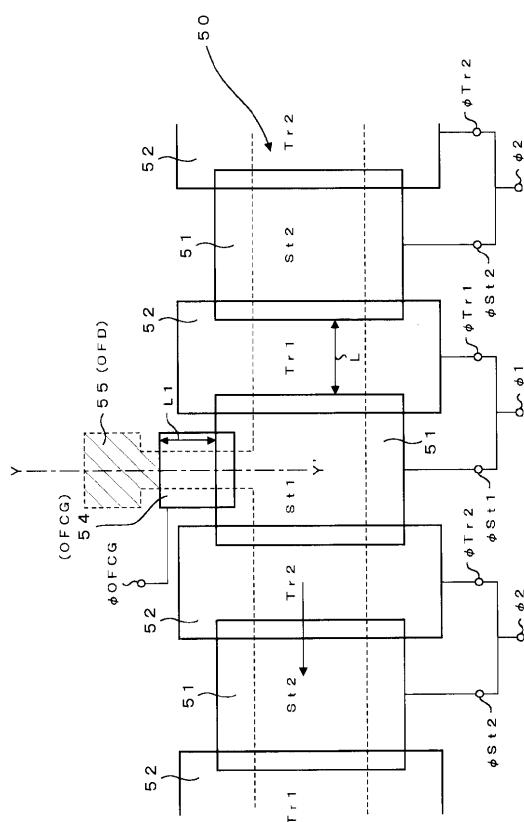
【図3】



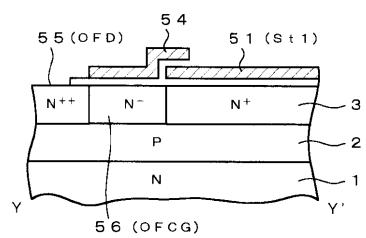
【図4】



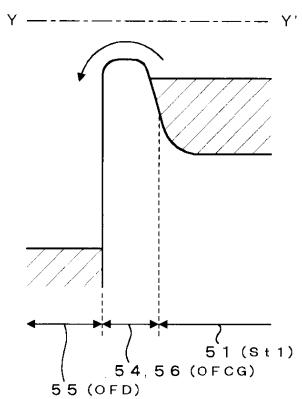
【図5】



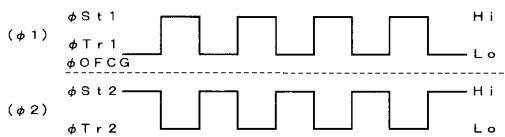
【図6】



【図7】



【図8】



フロントページの続き

(56)参考文献 特開平06-303527(JP,A)
特開昭63-296267(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14

H04N 5/372

H04N 1/024