



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년04월07일

(11) 등록번호 10-1508669

(24) 등록일자 2015년03월30일

(51) 국제특허분류(Int. Cl.)

H01L 23/485 (2006.01)

(21) 출원번호 10-2013-7025186

(22) 출원일자(국제) 2012년03월03일

심사청구일자 2014년12월24일

(85) 번역문제출일자 2013년09월24일

(86) 국제출원번호 PCT/US2012/027631

(87) 국제공개번호 WO 2012/134710

국제공개일자 2012년10월04일

(30) 우선권주장

13/072,554 2011년03월25일 미국(US)

(56) 선행기술조사문헌

JP2007088478 A

US6118180 A

US7098540 B1

US5912505 A

(73) 특허권자

에이티아이 테크놀로지스 유엘씨

캐나다 온타리오 엘3티 7엑스6 마크햄 커머스 벨리 드라이브 이스트 1

어드밴스드 마이크로 디바이시즈, 인코포레이티드

미국 캘리포니아 94088-3453 서니베일 피.오.박스 3453 원 에이엠디 플레이스

(72) 발명자

토파키오 로렌 알.

캐나다 엘3알 4에스8 온타리오 마크햄 카르마 로드 7

수 마이클 지.

미국 텍사스 78681 라운드 락 락 스프링 코브 909

맥릴런 네일

미국 텍사스 78737 오스틴 영 엘엔. 8800

(74) 대리인

박장원

전체 청구항 수 : 총 24 항

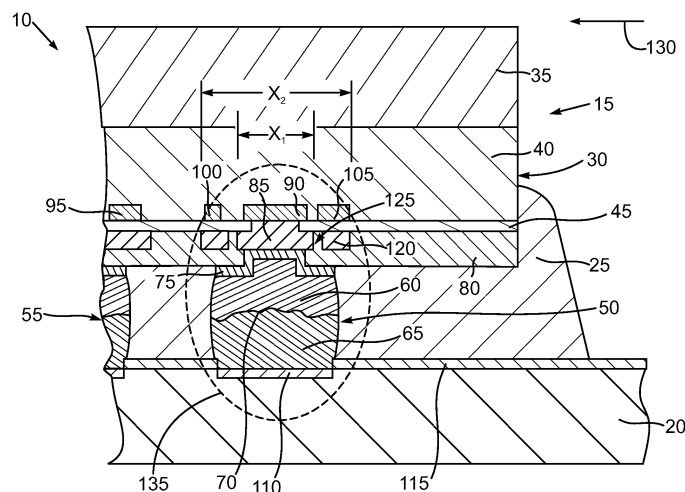
심사관 : 배진용

(54) 발명의 명칭 지지 터미널 패드를 갖는 반도체 칩

(57) 요약

다양한 반도체 칩 입/출력 구조 및 그 제조 방법이 개시된다. 일 태양에 있어서, 제1 도체 패드(85) 및 패시베이션 구조물(45)을 갖는 반도체 칩(15)을 제공하는 것을 포함하는 제조 방법이 제공된다. 겹(125)을 남기도록 제1 도체 패드(85) 둘레에 물리적으로 접촉하고 있지는 않는 제2 도체 패드(120)가 제조된다. 제2 도체 패드(120)는 패시베이션 구조물(45)의 일부를 보호하도록 적응되어 있다.

대표도 - 도2



명세서

청구범위

청구항 1

제조 방법으로서,

제 1 도체 패드(conductor pad)를 갖는 반도체 칩(semiconductor chip)을 제공하는 단계와, 여기서 상기 제 1 도체 패드는 패시베이션 구조물(passivation structure) 아래에 형성되며;

상기 제 1 도체 패드 둘레에 상기 제 1 도체 패드와는 물리적으로 접촉하지 않도록 하여 갭(gap)이 생기도록 상기 패시베이션 구조물 상에 제 2 도체 패드를 제조하는 단계와; 그리고

상기 제 1 도체 패드와 전기적으로 접촉하는 언더범프 금속화 구조물(underbump metallization structure)을 제조하는 단계를 포함하여 구성되며,

상기 언더범프 금속화 구조물은 상기 제 2 도체 패드와 수직방향에서 오버랩(overlap)하는 부분을 포함하고 상기 제 2 도체 패드는 상기 오버랩하는 부분에 의해 부과되는 스트레스(stress)로부터 상기 패시베이션 구조물의 일부분을 보호하도록 동작가능한 것을 특징으로 하는 제조 방법.

청구항 2

제1항에 있어서,

상기 제 2 도체 패드는 상기 제 1 도체 패드 둘레에 완전히 연장되어 있는 것을 특징으로 하는 제조 방법.

청구항 3

제1항에 있어서,

상기 언더범프 금속화 구조물은 팔각형 풋프린트(octagonal footprint)를 갖는 것을 특징으로 하는 제조 방법.

청구항 4

제1항에 있어서,

상기 언더범프 금속화 구조물에 솔더 구조물(solder structure)을 결합시키는 단계를 포함하는 것을 특징으로 하는 제조 방법.

청구항 5

제4항에 있어서,

상기 솔더 구조물은 솔더 범프(solder bump)와 솔더 조인트(solder joint) 중 하나를 포함하는 것을 특징으로 하는 제조 방법.

청구항 6

제4항에 있어서,

상기 솔더 구조물에 회로 기판(circuit board)을 전기적으로 결합시키는 단계를 포함하는 것을 특징으로 하는 제조 방법.

청구항 7

제6항에 있어서,

상기 회로 기판은 반도체 칩 패키지 기판(semiconductor chip package substrate)을 포함하는 것을 특징으로 하는 제조 방법.

청구항 8

제1항에 있어서,

컴퓨터 판독가능 매체에 저장된 명령어들을 사용하여 상기 제 1 도체 패드 및 상기 제 2 도체 패드를 형성하는 단계를 포함하는 것을 특징으로 하는 제조 방법.

청구항 9

제1항에 있어서,

상기 반도체 칩 상에 중합체 필름(polymer film)을 제조하고, 상기 갭에 근접한 상기 패시베이션 구조물의 일부분을 보호하도록 상기 갭에 근접한 상기 중합체 필름 상에 제 3 도체 패드를 제조하는 단계를 포함하는 것을 특징으로 하는 제조 방법.

청구항 10

제9항에 있어서,

상기 제 3 도체 패드는 상기 제 2 도체 패드와 물리적으로 접촉하지 않는 것을 특징으로 하는 제조 방법.

청구항 11

반도체 칩을 회로 기판에 결합시키는 방법으로서, 상기 반도체 칩은 패시베이션 구조물과, 제 1 도체 패드와, 그리고 상기 제 1 도체 패드에 근접한 제 2 도체 패드를 가지며, 상기 제 1 도체 패드는 상기 패시베이션 구조물 아래에서 상기 패시베이션 구조물 상에 형성되고, 상기 제 1 도체 패드와 상기 제 2 도체 패드는 중합체 필름에 의해 분리되어 갭이 생기도록 되어 있으며, 상기 제 1 도체 패드는 언더범프 금속화 구조물과 전기적으로 접촉하고, 상기 언더범프 금속화 구조물은 상기 제 2 도체 패드 위에서 연장되어 상기 제 2 도체 패드와 수직방향에서 오버랩하지만 상기 중합체 필름에 의해 상기 제 2 도체 패드로부터 분리되어 있고,

상기 방법은,

상기 언더범프 금속화 구조물에 솔더 구조물을 결합시키는 단계와; 그리고

상기 솔더 구조물을 상기 회로 기판에 결합시키는 단계를 포함하는 것을 특징으로 하는 반도체 칩을 회로 기판에 결합시키는 방법.

청구항 12

제11항에 있어서,

상기 솔더 구조물은 솔더 범프와 솔더 조인트 중 하나를 포함하는 것을 특징으로 하는 반도체 칩을 회로 기판에 결합시키는 방법.

청구항 13

제11항에 있어서,

상기 솔더 구조물을 상기 회로 기판에 결합시키는 단계는, 상기 솔더 구조물을 상기 회로 기판에 결합된 프레솔더(presolder)에 결합시키는 것을 포함하는 것을 특징으로 하는 반도체 칩을 회로 기판에 결합시키는 방법.

청구항 14

제11항에 있어서,

상기 회로 기판은 반도체 칩 패키지 기판을 포함하는 것을 특징으로 하는 반도체 칩을 회로 기판에 결합시키는 방법.

청구항 15

제11항에 있어서,

상기 갭에 근접한 상기 패시베이션 구조물의 일부분을 보호하도록 상기 갭에 근접한 상기 중합체 필름 상에 제

3 도체 패드를 제조하는 단계를 포함하는 것을 특징으로 하는 반도체 칩을 회로 기판에 결합시키는 방법.

청구항 16

제15항에 있어서,

상기 제 3 도체 패드는 상기 제 2 도체 패드와 물리적으로 접촉하지 않는 것을 특징으로 하는 반도체 칩을 회로 기판에 결합시키는 방법.

청구항 17

장치로서,

제 1 도체 패드를 갖는 반도체 칩과, 여기서 상기 제 1 도체 패드는 패시베이션 구조물 아래에 형성되며;

상기 제 1 도체 패드 둘레에 상기 제 1 도체 패드와는 물리적으로 접촉하지 않도록 하여 갭이 생기도록 상기 패시베이션 구조물 상에 형성되는 제 2 도체 패드와; 그리고

상기 제 1 도체 패드와 전기적으로 접촉하는 언더범프 금속화 구조물을 포함하여 구성되며,

상기 언더범프 금속화 구조물은 상기 제 2 도체 패드와 수직방향에서 오버랩하는 부분을 포함하고 상기 제 2 도체 패드는 상기 오버랩하는 부분에 의해 부과되는 스트레스로부터 상기 패시베이션 구조물의 일부분을 보호하도록 동작가능한 것을 특징으로 하는 장치.

청구항 18

제17항에 있어서,

상기 제 2 도체 패드는 상기 제 1 도체 패드 둘레에 완전히 연장되어 있는 것을 특징으로 하는 장치.

청구항 19

제17항에 있어서,

상기 언더범프 금속화 구조물은 팔각형 풋프린트를 갖는 것을 특징으로 하는 장치.

청구항 20

제19항에 있어서,

상기 언더범프 금속화 구조물에 결합된 솔더 구조물을 포함하는 것을 특징으로 하는 장치.

청구항 21

제20항에 있어서,

상기 솔더 구조물은 솔더 범프와 솔더 조인트 중 하나를 포함하는 것을 특징으로 하는 장치.

청구항 22

제17항에 있어서,

상기 반도체 칩에 결합된 회로 기판을 포함하는 것을 특징으로 하는 장치.

청구항 23

제17항에 있어서,

상기 반도체 칩 상에 형성된 중합체 필름을 포함하고, 그리고 상기 갭에 근접한 상기 패시베이션 구조물의 일부분을 보호하도록 상기 갭에 근접한 상기 중합체 필름 상에 형성되는 제 3 도체 패드를 포함하는 것을 특징으로 하는 장치.

청구항 24

제23항에 있어서,

상기 제 3 도체 패드는 상기 제 2 도체 패드와 물리적으로 접촉하지 않는 것을 특징으로 하는 장치.

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로는 반도체 프로세싱에 관한 것으로, 더 구체적으로는, 반도체 칩 솔더 범프 패드 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 플립-칩 실장 기법은 반도체 칩 패키지 기관과 같은 회로 기관에 반도체 칩을 실장하도록 수 세기 동안 사용되어 왔다. 많은 종래의 플립-칩 변종에 있어서는, 반도체 칩의 입/출력(I/O) 사이트와 회로 기관의 대응하는 I/O 사이트의 사이에 복수의 솔더 조인트가 확립된다. 하나의 종래의 프로세스에 있어서, 솔더 범프는 반도체 칩의 소정 I/O 사이트 또는 패드에 야금 본딩(metallurgically bond)되고 소위 프레-솔더(pre-solder)는 회로 기관의 대응하는 I/O 사이트에 야금 본딩된다. 이후에, 솔더 범프 및 프레-솔더는 근접하게 되고 솔더 범프 및 프레-솔더 중 하나 또는 둘 다를 리플로우잉하여 필수 솔더 조인트를 확립하는 가열 프로세스를 받게 된다.

[0003] 하나의 종래의 프로세스에 있어서, 반도체 칩의 특정 I/O 사이트에 솔더 범프의 접속은 I/O 사이트에 근접하여 반도체 칩의 톱-레벨 유전체 필름에 개구부를 형성하고 이후에 금속을 퇴적하여 언더범프 금속화(UBM; underbump metallization) 구조를 확립하는 것을 수반한다. 그 후 솔더 범프는 리플로우에 의해 UBM 구조에 야금 본딩된다. 이러한 종래의 UBM 구조는 베이스, 측벽 및 유전체 필름 상에 위치결정되는 상위 플랜지를 포함한다.

[0004] 플립-칩 솔더 조인트는 열 팽창 계수 부정합, 연성 차이 및 회로 기관 뒤틀림과 같이 다양한 소스로부터 기계적 스트레스를 받게 될 수 있다. 그러한 스트레스는 지금 설명된 종래의 UBM 구조가 휨 모멘트를 받게 할 수 있다. 그 효과는 스트레스가 다이 에지 및 코너에 가까울수록 가장 크게 되려는 경향이 있고 다이 중심으로의 근접이 증가함에 따라 줄어든다는 점에서 다소 방향성이다. 이러한 소위 에지 효과와 연관된 휨 모멘트는 충분히 크다면 부러짐을 초래할 수 있는 스트레스를 UBM 구조 밑 유전체 필름 상에 부과할 수 있다.

[0005] 다양한 이유로, 설계는 솔더 조인트 제조를 위해 무연 솔더(lead-free solder)로 돌아서기 시작하였다. 그러한 솔더로 구성된 범프는 비슷한 크기의 납-기반 범프보다 더 높은 스트레스를 초래할 수 있다. 이들 더 높은 스트레스를 보상하기 위하여, 종래의 설계는 언더범프 금속화와 기저 칩 범프 패드의 사이에 터미널 패드를 편입하고 있다. 터미널 패드는 위에 놓인 언더범프 금속화 및 기저 칩 패드보다 더 큰 풋프린트를 가져서 패시베이션 층에 스트레스 보호를 제공한다. 칩이 칩 패드에 근접한 액티브 트레이스(trace)를 포함하면, 터미널 패드는 그러한 트레이스를 오버랩하여 기생성분을 일으킬 수 있다.

[0006] 본 발명은 상기의 약점 중 하나 이상의 효과를 극복 또는 감축하려는 것이다.

발명의 내용

[0007] 본 발명의 일 실시예의 일 태양에 의하면, 제1 도체 패드 및 패시베이션 구조물을 갖는 반도체 칩을 제공하는 단계를 포함하는 제조 방법이 제공된다. 껍을 남기도록 제1 도체 패드 둘레에 물리적으로 접촉하지는 않은 제2 도체 패드가 제조된다. 제2 도체 패드는 패시베이션 구조물의 일부를 보호하도록 적응되어 있다.

[0008] 본 발명의 일 실시예의 또 다른 태양에 의하면, 회로 기관에 반도체 칩을 결합하는 방법이 제공된다. 반도체 칩은 패시베이션 구조물, 서로 근접하지만 껍을 남기도록 중합체 층에 의해 분리되어 있는 제1 및 제2 도체 패드를 갖고, 제1 도체 패드는 제2 도체 패드 위에 뻗어 있지만 그와는 중합체 층에 의해 분리되어 있는 언더범프 금속화 구조물(underbump metallization structure)과 전기적으로 접촉하고 있다. 그 방법은 솔더 범프를 언더범프 금속화 구조에 결합하는 단계 및 솔더 구조물을 회로 기관에 결합하는 단계를 포함한다.

[0009] 본 발명의 일 실시예의 또 다른 태양에 의하면, 제1 도체 패드 및 패시베이션 구조물을 갖는 반도체 칩을 포함하는 장치가 제공된다. 껍을 남기도록 제1 도체 패드 둘레에 물리적으로 접촉하지는 않은 제2 도체 패드가 있다. 제2 도체 패드는 패시베이션 구조물의 일부를 보호하도록 적응되어 있다.

도면의 간단한 설명

[0010]

본 발명의 상기 및 다른 이점은 도면을 참조하여 이하의 상세한 설명을 읽을 때 명확하게 될 것이다.

도 1은 회로 기판상에 실장된 반도체 칩을 포함하는 반도체 칩 디바이스의 예시적 실시예의 도면;

도 2는 단면(2-2)에서 취한 도 1의 단면도;

도 3은 더 크게 확대하여 도시한 도 2의 일부도;

도 4는 반도체 칩의 도체 구조로의 개구부의 예시적 형성을 묘사한 단면도;

도 5는 도 4와 유사하지만 예시적 액티브 터미널 및 가상 패드의 제조를 묘사한 단면도;

도 6은 예시적 액티브 터미널 및 가상 패드의 평면도;

도 7은 도 5와 유사하지만 예시적 액티브 터미널 및 가상 패드 위에 중합체 필름의 도포를 묘사한 단면도;

도 8은 도 7과 유사하지만 중합체 필름의 예시적 리소그래피 마스크 및 노출을 묘사한 단면도;

도 9는 도 8과 유사하지만 중합체 필름에서 개구부의 예시적 리소그래피 제조를 묘사한 단면도;

도 10은 도 9와 유사하지만 예시적 언더범프 금속화 구조물의 제조를 묘사한 단면도;

도 11은 도 10과 유사하지만 언더범프 금속화 구조물 상에 솔더 구조물의 형성을 개략적으로 묘사한 단면도;

도 12는 예시적 언더범프 금속화 구조물의 평면도;

도 13은 대안의 예시적 언더범프 금속화 구조물의 평면도;

도 14는 도 3과 유사하지만 반도체 칩의 대안의 예시적 실시예의 단면도;

도 15는 예시적 액티브 터미널 및 가상 패드, 중합체 필름 및 부가적 가상 패드의 제조를 묘사한 단면도;

도 16은 도 15와 유사하지만 제1 중합체 필름 상에 예시적 부가적 중합체 필름의 제조를 묘사한 단면도; 및

도 17은 도 3과 유사하지만 반도체 칩의 또 다른 대안의 예시적 실시예의 단면도.

발명을 실시하기 위한 구체적인 내용

[0011]

본 명세서에서는 반도체 칩의 다양한 실시예가 설명된다. 하나의 예는 각자의 액티브 터미널 패드 상에 제조되는, UBM 구조와 같은, 솔더 범프 접속 구조를 포함한다. 액티브 터미널 패드는 액티브 터미널 패드에 물리적으로 접속되지는 않는 주변 가상 패드(virtual pad)를 갖는 칩 패시베이션 구조물상에 제조된다. 가상 패드는 기저 칩 액티브 도체 트레이스와 연관된 기생 용량을 일으키지 않고 패시베이션 구조물에 보호를 제공한다. 부가적 상세는 이제 설명될 것이다.

[0012]

아래에 설명된 도면에 있어서, 하나보다 많은 도면에서 동일 엘리먼트가 나타나는 경우 참조 숫자는 일반적으로 반복된다. 이제 도면, 특히, 도 1을 보면, 회로 기판(20) 상에 실장된 반도체 칩(15)을 포함하는 반도체 칩 디바이스(10)의 예시적 실시예의 도면이 나타나 있다. 언더필 재료 층(underfill material layer)(25)은 반도체 칩(15)과 회로 기판(20)의 사이에 위치결정된다. 본 명세서에서 개시된 솔더 상호접속 구조는 반도체 칩(15) 또는 회로 기판(20) 중 어느 것의 특정 기능성에도 의존하지 않는다. 그러므로, 반도체 칩(15)은, 예컨대, 마이크로프로세서, 그래픽 프로세서, 마이크로프로세서/그래픽 프로세서 조합, 주문형 반도체, 메모리 디바이스 등과 같이 전자회로에서 사용되는 무수히 많은 여러 다른 유형의 회로 디바이스 중 어떠한 것이라도 될 수 있고, 단일 또는 멀티-코어 또는 부가적 다이로 적층될 수도 있다. 반도체 칩(15)은 실리콘 또는 게르마늄과 같은 벌크 반도체, 또는 실리콘-온-절연체 재료와 같이 절연체 재료 상의 반도체로 구축될 수 있다. 반도체 칩(15)은 회로 기판(20)에 플립-칩 실장되어 거기에 솔더 조인트 또는 다른 구조(도 1에서는 보이지 않지만 후속 도면에는 도시됨)에 의해 전기적으로 접속될 수 있다.

[0013]

회로 기판(20)은 반도체 칩 패키지 기판, 회로 카드, 또는 가상적으로 어떠한 다른 유형의 인쇄 회로 기판이라도 될 수 있다. 회로 기판(20)에 모듈리식 구조가 사용될 수 있기는 하지만, 더 전형적 구성은 빌드-업 설계를 이용하는 것이다. 이에 관하여, 회로 기판(20)은 위에는 하나 이상의 빌드-업 층이 형성되고 아래에는 부가적 하나 이상의 빌드-업 층이 형성되는 중심 코어로 이루어질 수 있다. 코어 자체는 하나 이상의 층의 적층으로 이루어질 수 있다. 그러한 배열의 하나의 예는 2개의 빌드-업 층의 2개의 세트의 사이에 단일-층 코어가 적층되는 소위 "2-2-2" 배열이라 할 수 있다. 반도체 칩 패키지 기판으로 구현되면, 회로 기판(20)에서의 층의 수는 4개

미만이 사용될 수도 있기는 하지만 4개 내지 16개 이상으로 달리 될 수 있다. 소위 "코어리스" 설계 또한 사용될 수 있다. 회로 기판(20)의 층은 금속 상호접속으로 산재된, 다양한 주지의 예폭시와 같은, 절연 재료로 이루어질 수 있다. 빌드업 이외의 다층 구성이 사용될 수 있다. 옵션으로서, 회로 기판(20)은 주지의 세라믹 또는 패키지 기판 또는 다른 인쇄 회로 기판에 적합한 다른 재료로 이루어질 수 있다.

[0014] 회로 기판(20)에는 반도체 칩(15)과 도시되지 않은 또 다른 회로 디바이스의 사이에서 파워, 그라운드 및 신호 전달을 제공하기 위해 다수의 도체 트레이스 및 비아(via) 및 다른 구조가 구비된다. 이들 전달을 용이하게 하기 위해, 회로 기판(20)에는 핀 그리드 어레이, 볼 그리드 어레이, 랜드 그리드 어레이 또는 다른 유형의 상호 접속 기법의 형태로 입/출력이 구비될 수 있다.

[0015] 반도체 칩(15)의 부가적 상세는 도 1 중 단면(2-2)에서 취한 단면도인 도 2와 결합하여 설명될 것이다. 도 2를 보기 전에, 단면에서 도시될 패키지(10)의 부분의 정확한 위치를 주목하는 것이 유용할 것이다. 단면(2-2)은 예지(30)를 포함하는 반도체 칩(15)의 작은 부분을 통과함을 주목하라. 그 배경으로, 도 2로 이제 주의를 돌린다. 상기한 바와 같이, 반도체 칩(15)은 벌크 반도체 또는 반도체-온-절연체 구성으로 구성될 수 있다. 이러한 예시적 실시예에 있어서, 반도체 칩(15)은 벌크 반도체 층(35)을 포함하는 벌크 반도체 및 반도체 디바이스 층(40)으로 구현된다. 반도체 디바이스 층(40)은 반도체 칩(15)에 기능성을 제공하는 다양한 회로를 포함하고 전형적으로는 복수의 금속화 및/또는 반도체 칩(15) 내외로 파워, 그라운드 및 신호의 전달을 용이하게 하는 다른 유형의 도체 층을 포함할 것이다. 패시베이션 구조물(45)은 반도체 디바이스 층(40) 상에 형성되고 절연 재료의 다층으로 이루어질 수 있다. 패시베이션 구조물(45)에 관한 더 구체적 상세는 후속 도면과 결합하여 설명될 것이다. 반도체 칩(15)은 캐리어 기판(20)에 플립-칩 실장되어 거기에 복수의 솔더 구조물 또는 조인트(그 중 2개가 각자 (50) 및 (55)로 표시되어 보임)에 의해 전기적으로 접속될 수 있다. 단면(2-2)의 위치결정에 기인하여 솔더 조인트(55)의 일부만이 보이고 있다.

[0016] 언더필 재료 층(25)은 반도체 칩(15), 솔더 조인트(50, 55) 등 및 회로 기판(20)의 열 팽창 계수(CTE)에서의 차이의 효과를 감축하기 위해 반도체 칩(15)과 기판(20)의 사이에 분산되어 있다. 언더필 재료 층(25)은, 예컨대, 실리카 필러 및 페놀 수지와 혼합된 예폭시 수지일 수 있고, 솔더 조인트(50, 55)를 확립하도록 리-플로우 프로세스 전에 또는 후에 퇴적될 수 있다. 적합한 열 경화가 사용될 수 있다.

[0017] 솔더 조인트(50)의 이하의 설명은 또한 다른 솔더 조인트에 대해 예시적일 것이다. 솔더 조인트(50)는 때때로 프레-솔더라 지칭되는 또 다른 솔더 구조물(65)에 야금 본딩되는 솔더 구조물 또는 범프(60)를 포함한다. 솔더 범프(60) 및 프레-솔더(65)는 솔더 리-플로우 프로세스에 의해 야금 연결된다. 불규칙 선(70)은 리-플로우 이후 솔더 범프(60)와 프레-솔더(65) 사이의 가설적 경계를 표시한다. 그렇지만, 당업자는 그러한 보더(70)는 현미경 검사 동안이라도 좀처럼 쉽게 보이지 않음을 인식할 것이다. 솔더 범프(60)는 다양한 납-기반 또는 무연 솔더로 구성될 수 있다. 예시적 납-기반 솔더는 약 63% Sn 및 37% Pb와 같은 공정 비율 또는 그 가까이의 조성을 가질 수 있다. 무연의 예는 주석-은(약 97.3% Sn 2.7% Ag), 주석-구리(약 99% Sn 1% Cu), 주석-은-구리(약 96.5% Sn 3% Ag 0.5% Cu) 등을 포함한다. 프레-솔더(65)는 동일 유형의 재료로 구성될 수 있다. 옵션으로서, 프레-솔더(65)는 단일 솔더 구조물 또는 솔더 플러스 도전 포스트 배열에 유리하게 제거될 수 있다.

[0018] 솔더 범프(60)는 대안으로 언더범프 금속화 또는 UBM 구조라 하는 도체 구조물(75)에 야금 접속될 수 있다. UBM 구조물(75)의 일부는 패시베이션 구조물(45) 상에 위치결정된 중합체 필름(80)을 통해 돌출하고 도체 또는 액티브 터미널 패드(85)와 옴 접촉한다. UBM 구조물(75)의 또 다른 부분은 중합체 필름(80)의 외측 표면상에 앉힌다. 중합체 필름(80)은 유연 보호 필름을 제공하도록 설계되고 그리하여 폴리이미드, 벤조사이클로부텐 등과 같은 다양한 재료로 구성될 수 있다. 액티브 터미널 패드(85)는 반도체 칩(15) 내 복수의 금속화 층의 부분일 수 있는 칩(15) 내 또 다른 도체 구조 또는 패드(90)에 전기적으로 접속된다. 참으로, 몇몇 그러한 도체 또는 트레이스가 보이고 각자 (95), (100) 및 (105)로 표시되어 있다. 도체 패드(85)는 파워, 그라운드 또는 신호용 입/출력 사이트로 사용될 수 있거나 또는 다른 구조에 전기적으로 묶이지 않는 더미 패드로 사용될 수 있다. 유사하게 프레-솔더(65)는 솔더 마스크(115)에 의해 측방으로 테를 두른 도체(110)에 야금 본딩된다. 도체 구조(110)는 도체 구조의 다중 층이고 비아에 의해 상호접속되고 유전체 재료 층(도시하지 않음)에 의해 둘러싸일 수 있는 것의 부분을 형성할 수 있다.

[0019] 액티브 터미널 패드(85)는 프로세스 기술에 따라 달라질 소정 측방 치수(X_1)를 갖는다. 종래의 설계에 있어서, 액티브 터미널 패드(85)에는 패시베이션 구조물(45) 상에 솔더 범프(60) 및 조인트(50)에 의해 부과되는 기계적 스트레스에 대항하는 것을 돕기 위해 더 큰 측방 치수(X_2)가 구비될 것이다. 이들 스트레스는 무연 솔더에 대해 특히 높을 수 있다. 스트레스가 충분히 심하면, 패시베이션 구조물(45)은 부러져 다수의 잠재적 문제를 초래할

수 있다. 그렇지만, 액티브 터미널 패드(85)는 그러한 넓은 측방 치수(X_2)로 제조되면, 그 때에는 반도체 칩(15)의 도체 트레이스(100, 105)와의 오버랩이 확립되어, 기생 용량 및 대응하는 전기적 성능 감소를 일으킬 수 있다. 상당한 기생 용량을 야기함이 없이 패시베이션 구조물(45)에 충분한 스트레스 보호를 제공하기 위해, 액티브 터미널 패드(85)는 측방 치수(X_1)로 그리하여 도체 트레이스(100, 105)와의 오버랩 없이 구축된다. 부가적으로, 액티브 터미널 패드(85)는 갭(125)에 의해 액티브 터미널 패드로부터 분리되어 있는 도체 또는 가상 패드(120)에 의해 측방으로 둘러싸인다. 가상 패드(120)는 액티브 터미널 패드(85)로부터 전기적으로 절연된다. 이러한 경우에 있어서, 전기적 절연은 갭(125)에서의 중합체 필름(80)의 부분에 의해 제공된다. 가상 패드(120)는 소망대로 파워 또는 그라운드에 플로팅 또는 결합될 수 있다.

[0020]

다양한 물리적 프로세스는 패시베이션 구조물(45) 상에 부과된 스트레스를 초래할 수 있다. 하나의 원인은 열 사이클링 동안 반도체 칩(15), 회로 기관(20) 및 언더필 재료 층(25) 사이의 변형을 차이이다. 차등 스트레스에 의 또 다른 기여자는 솔더 범프(60)와 프레-솔더(65) 사이의 연성 차이일 수 있다. 에지 효과로 알려져 있는 현상에 기인하여, 이들 차등 스트레스 및 결과적 변형은 반도체 칩(15)의 에지(30)에 근접해서 가장 클 수 있고 에지(30)로부터 떨어져 나온 화살표(130)에 의해 나타난 방향으로 반도체 칩(15)의 중심을 향해 점진적으로 줄어들 수 있다.

[0021]

패시베이션 구조 스트레스를 초래하는 몇몇 예시적 물리적 힘의 설명을 돕기 위해, 도 2 중 파선 타원(135)에 의해 둘러싸인 부분이 도 3에서 더 크게 확대되어 도시될 것이다. 도 3은 단면도이기는 하지만, 관련 구조에 발휘되는 다양한 힘이 더 명확하게 묘사될 수 있도록 크로스 해칭은 도시되지 않는다. 여기서는, 이하의 특징이 보인다: 반도체 칩(15)의 작은 부분, 범프 패드(90), 패시베이션 구조물(45), 중합체 필름(80), 액티브 터미널 패드(85), 가상 패드(120), UBM 구조물(75)(여기서 UBM 구조물(75)은 가상 패드(120) 위에서 연장되어 가상 패드(120)와 수직방향에서 오버랩하는 부분을 가지며 중합체 필름(80)에 의해 가상 패드(120)로부터 분리되어 있음), 언더필 재료 층(25), 솔더 마스크(115), 도체 패드(110) 및 회로 기관(20)의 작은 부분. 솔더 조인트(50)는 파선 도형으로 도시되어 있다. 반도체 칩(15)의 중심으로의 방향은 화살표(130)로 나타내고 있다.

[0022]

제조, 신뢰도 검사 또는 디바이스 동작 동안 기관(20)의 뒤틀림에 기인하여 그리고 주로 CTE 부정합에 기인하여, 솔더 조인트(50)를 통해 기관(20)은 일련의 아래방향으로 가리키는 화살표에 의해 개략적으로 표현된 분산된 부하를 부과한다. 분산된 부하는 길이(L)를 따라 최대(ω_1)로부터 최소(ω_2)로까지 강도가 변하는데, 이 경우 ω_1 및 ω_2 는 단위가 단위 길이 당 힘이다. 분산된 부하의 결과적 R은 x-축상의 점(x_0)에 위치한다. UBM 구조물(75) 상에 작용하는 분산된 부하는 도 3이 단면도이므로 직선 분포로 보인다. 실제로는, 분산된 부하는 에어리어 분포일 것이다. 중심을 향해 방향(130)으로 x-축을 따른 거리의 함수로서 ω_1 로부터 ω_2 로 힘 강도의 점진적 감소는 본 명세서의 배경 절에서 설명된 에지 효과에 기인한다. 코너 점(A) 대비 결과적 R의 위치는 코너 점(A) 둘레로 UBM 구조물(75) 상에 작용하는 모멘트(M)를 산출한다. 코너 점(A)은 UBM 구조물(75)의 연성과 거리(L)에 의존하여 아래 방향으로 점(A) 둘레로 UBM 구조물(75)의 원치않는 피벗 운동에 대한 피벗 점으로 역할한다. 모멘트(M)에 기인하여, 패시베이션 구조물(45)의 에어리어(B)는 압축력을 받을 수 있고 반대편 에어리어(C)는 장력을 받을 수 있다. 그렇지만, 가상 패드(120)의 존재는 에어리어(B, C)에 스트레스 보호를 제공한다.

[0023]

이제 예시적 UBM 구조물(75)을 제조하기 위한 예시적 방법이 도 4, 5, 6, 7, 8, 9, 10 및 11 그리고 처음에는 도 4를 참조하여 이해될 수 있다. 도 4는 반도체 칩(15)의 반도체 디바이스 층(40)의 작은 부분, 도체 패드(90) 및 트레이스(100, 105), 및 패시베이션 구조물(45)을 도시하는 단면도이다. 도 4는 도 2 및 도 3에 묘사된 방향으로부터 뒤집어 반도체 디바이스 층(40) 및 도체 패드(90)를 묘사하고 있음을 이해해야 한다. 또한 본 명세서에서 설명된 프로세스는 웨이퍼 레벨에서 또는 다이 대 다이 기준으로 수행될 수 있음을 또한 이해해야 한다. 이 스테이지에 있어서, 도체 패드(90) 및 패시베이션 구조물(45)이 형성되었다. 고체 패드(90)는 알루미늄, 구리, 은, 금, 티타늄, 내화 금속, 내화 금속 화합물, 이들의 합금 등과 같은 다양한 도체 재료로 구성될 수 있다. 단일 구조 대신에, 도체 패드(90)는 티타늄 층 그 다음 니켈-바나듐 층 그 다음 구리층과 같이 복수의 금속 층의 적층으로 이루어질 수 있다. 또 다른 실시예에 있어서, 티타늄층은 구리층으로 피복될 수 있고 니켈의 상부 코팅이 뒤따른다. 그렇지만, 당업자는 도체 패드(90)에 더욱 다양한 도전 재료가 사용될 수 있음을 인식할 것이다. 물리적 증착, 화학적 증착, 도금 등과 같이 금속 재료를 도포하기 위한 다양한 주지의 기술이 사용될 수 있다. 부가적 도체 구조가 사용될 수 있음을 이해해야 한다.

[0024]

패시베이션 구조물(45)은 이산화 규소 및 질화 규소와 같이 유전체 재료의 교호 층으로 이루어질 수 있고, 주지의 화학적 증착(CVD) 및/또는 산화 또는 산화 기술에 의해 형성될 수 있다. 적합한 리소그래피 마스크(140)는

도체 패드(90)와 정렬되어 적합한 개구부(145)로 패터닝되는 주지의 리소그래피 단계에 의해 패시베이션 구조물(45) 상에 형성될 수 있다. 이후에, 도체 패드(90)가 노출되도록 패시베이션 구조물(45)에 개구부(150)를 만들어 내기 위해 하나 이상의 재료 제거 단계가 수행될 수 있다. 예컨대, 재료 제거 단계는 패시베이션 구조물(45)에 선택된 특정 재료에 적합한 하나 이상의 건식 및/또는 습식 에칭 프로세스를 포함할 수 있다. 개구부(150)를 산출하도록 재료 제거에 뒤이어, 마스크(140)는 애싱(ashing), 솔벤트 스트리핑 등에 의해 스트리핑될 수 있다.

[0025]

개구부(150)가 패시베이션 구조물(45)에 확립되고 도체 패드(90)가 노출되어, 액티브 터미널 패드(85), 가상 패드(120) 및 중합체 필름(80)의 제조가 진행될 수 있다. 이들 단계는 다양한 순서로 수행될 수 있다. 예컨대, 중합체 필름(80)의 도포는 액티브 터미널 패드(85) 및 가상 패드(120) 제조 전에 또는 후에 올 수 있다. 이러한 예시적 실시예에 있어서 도 5를 이제 참조하면, 액티브 터미널 패드(85) 및 가상 패드(120)는 도 2에 도시된 중합체 필름(80)의 도포 전에 제조될 수 있다. 액티브 터미널 패드(85) 및 가상 패드(120)는 물리적 증착, 도금 또는 다른 재료 형성 기술에 의해 패시베이션 구조물(45) 상에 제조될 수 있다. 패시베이션 구조물로의 우호적 부착 및 다른 도체와의 야금 본딩을 나타내 보이는 다양한 도체 재료가 사용될 수 있다. 참으로, 도체 구조(90)와 결합하여 설명된 동일 유형의 재료 및 기술이 액티브 터미널 패드(85) 및 가상 패드(120)에 또한 사용될 수 있다. 이러한 예시적 실시예에 있어서, 액티브 터미널 패드(85) 및 가상 패드(120)는 인산 습식 에치(etch)와 같은 적합한 에치가 뒤따르는 구리의 물리적 증착에 의해 형성될 수 있다. 사용된 어떠한 제조 프로세스라도 액티브 터미널 패드(85)와 가상 패드(120) 사이의 갭(125)이 단락을 회피하도록 연속적인 것을 보장하여야 한다. 액티브 터미널 패드(85)의 일부는 패시베이션 구조물(45) 내 개구부(150)를 채우고 기저 도체 패드(90)와 야금 본딩을 형성한다. 필요하다면, 도체 패드(90)의 표면이 액티브 터미널 패드(85)와의 야금 본딩을 가능하게 하도록 충분히 노출되는 것을 보장하기 위해 예비적 네이티브 산화물 스트립 에치가 수행될 수 있다.

[0026]

도 6은 제조 후 액티브 터미널 패드(85) 및 가상 패드(120)의 조감도이다. 이러한 예시적 실시예에 있어서, 액티브 터미널 패드(85) 및 가상 패드(120)는 도시된 일반적 원형 및 링 형상을 가질 수 있다. 액티브 터미널 패드(85)와 가상 패드(120) 사이의 갭(125)은 연속적이다. 그렇지만, 원형 및 링 같은 풋프린트 이외의 가상적으로 어떠한 다른 형상이라도 사용될 수 있음을 이해해야 한다. 세그먼트형 구조라도 가상 패드(120)와 사용될 수 있다.

[0027]

도 7에 도시된 바와 같이, 다음에 중합체 필름(80)은 액티브 터미널 패드(85), 가상 패드(120) 및 패시베이션 구조물(45)의 노출 부분 위에 도포된다. 중합체 필름(80)은 폴리이미드, 벤조사이클로부텐 등, 또는 질화 규소 등과 같은 다른 절연 재료로 구성될 수 있고 스핀 코팅, CVD 또는 다른 기술에 의해 퇴적될 수 있다. 경화 프로세스가 도포 후에 수행될 수 있다. 중합체 필름(80)이 먼저 도포되는 대안의 프로세스가 사용되면, 그때에는 액티브 터미널 패드(85) 및 가상 패드(120)를 제조하도록 중합체 필름(80)에 적합한 개구부(도시하지 않음)를 확립하는 것이 필요할 것이다. 이것은 중합체 필름(80)의 조성에 의존하여 다양한 방식으로 성취될 수 있다. 폴리이미드 중합체 필름(80)에는 리소그래피 패터닝되어 재료 퇴적 또는 도금 프로세스를 받게 되는 광활성 화합물이 주입될 수 있다. 중합체 층(45)이 노출 및 현상에 의해 재료 제거할 수 없으면, 그때 적합한 리소그래피 마스크가 도포되고 에치가 수행되어 필수 개구부를 산출할 수 있다. 반도체 영역(40), 도체 패드(90) 및 액티브 터미널 패드(85)로부터 전기적 경로를 확립하는 구조의 제조가 이제 설명될 것이다.

[0028]

도 8을 이제 참조하면, 중합체 필름(80)은 도 2에 도시된 후후-형성된 UBM 구조물(75)에 적합한 개구부를 확립하도록 리소그래피 패터닝될 수 있다. 이것은 중합체 필름(90)의 조성에 의존하여 다양한 방식으로 행해질 수 있다. 폴리이미드 중합체 필름(80)에는 리소그래피 패터닝되어 재료 퇴적 또는 도금 프로세스를 받게 되는 광활성 화합물이 주입될 수 있다. 이러한 예시적 실시예에 있어서, 중합체 필름(80)에는 광활성 화합물이 들어 있다. 비-접촉 마스크(155)는 액티브 터미널 패드(85)와 정렬되어 그러나 가상 패드(120)를 덮지는 않고 중합체 필름(80) 상에 위치결정된다. 그 후 적합한 방사선(160)으로 노출이 수행된다. 마스크(155)에 의해 덮히지 않은 중합체 필름(80)의 부분들은 현상 용액에서 불용성으로 된다. 도 9를 이제 참조하면, 도 8에 도시된 비-접촉 마스크(155)는 제거되고 중합체 필름(80)은 액티브 터미널 패드(85)와 일반적으로 정렬되고 그 일부를 노출하는 개구부(165)를 산출하도록 현상된다. 가상 패드(120)는 여전히 피복되어 있다. 중합체 층(45)이 노출 및 현상에 의해 재료 제거할 수 없으면, 그때에는 적합한 리소그래피 마스크가 도포되고 에치가 수행되어 필수 개구부를 산출할 수 있다.

[0029]

UBM 구조물(75)의 제조가 도 10과 결합하여 이제 설명될 것이다. 당업자는 UBM 구조가 몇몇 중요한 목적을 만족하도록 설계됨을 인식할 것이다, 즉, 위에 놓인 솔더 범프 또는 다른 솔더 구조물에 본딩하는 것, 기저 도체 구조와의 도전성 인터페이스 이 경우에는 액티브 터미널 패드(85)를 확립하는 것, 필요에 따라 기저 또는 주위 유

전체와 본딩하는 것, 그러면서도 모두가 기저 도체 구조 내로의 솔더 성분의 확산에 대한 장벽을 제공하는데, 그렇지 않으면 이들 도체 구조를 저하시킬 수 있다. 이들 재료 요건을 만족하기 위해, UBM 구조는 솔더 도포 프로세스의 유형에 의존하여 여러 다른 조성의 다수의 필름을 사용할 수 있다. 이러한 예시적 실시예에 있어서, UBM 구조물(75)은 연속해서 도포된 일련의 필름으로 형성될 수 있다. 인쇄된 솔더 범프에 대해, 처음에 티타늄 또는 티타늄-텅스텐 필름은 액티브 터미널 패드(85) 상에 그리고 개구부(165)의 측벽을 따라서 뿐만 아니라 중합체 필름(80) 상에 스퍼터링되어 퇴적될 수 있다. 티타늄 필름은 중합체 필름(80)에 쉽게 부착하도록 부착 층으로 역할한다. 다음으로, 니켈, 니켈-바나듐 또는 다른 재료로 구성된 장벽층이 도금되거나 또는 그렇지 않으면 티타늄 필름 상에 퇴적된다. 마지막으로, 구리, 금 또는 다른 재료로 구성된 솔더-습식성 층이 도금, 스퍼터 퇴적 또는 다른 기술에 의해 니켈 필름에 도포된다. 재료 퇴적 후에, 습식 에치가 도 10에 도시된 바와 같이 패터닝된 UBM(75)을 산출하도록 수행된다. 그렇지만, 추후 형성되는 솔더 범프를 확립하도록 범프 도금프로세스가 사용되는 경우에는, 그때 UBM 구조물(75)은 위에서 설명된 유형의 부착 층, 그 다음에 무전해 도금 또는 스퍼터 퇴적에 의해 퇴적되는 구리와 같은 도금 시드 층(plating seed layer), 그 다음에 위에서 설명된 유형의 니켈 또는 니켈-바나듐 장벽 층으로 이루어질 수 있다. 도금된 범프 프로세스에 대해, 습식 에치가 유사하게 수행될 수 있다. 그렇지만, 니켈의 장벽 필름은 에치 패터닝을 필요로 하지 않을 수 있다.

[0030]

UBM 구조물(75)이 제자리에 있으면, 도 11에 도시된 바와 같이 적합한 솔더 재료(170)가 UBM 구조물(75) 상에 인쇄, 도금 또는 그렇지 않으면 위치결정될 수 있다. 개략적으로 묘사된 솔더 재료(170)는 도 2에 묘사된 솔더 범프(60)로 될 예정이다. 도 2에 묘사된 솔더 범프(60)를 확립하기 위해 다양한 프로세스가 퇴적된 솔더(170)와 결합하여 사용될 수 있다. 하나의 예시적 실시예에 있어서는, 인쇄 프로세스가 사용된다. 이 지점에서, 적합한 리소그래피 마스크(도시하지 않음)가 중합체 층(80)에 도포될 수 있다. 솔더(170)는 그 후 스크린 인쇄 프로세스에 의해 퇴적된다. 대체의 예시적 실시예에 있어서는, 도금 프로세스가 사용될 수 있다. 이에 관하여, 설명은 되었지만 도시하지는 않은 마스크와 다르지 않은 적합한 리소그래피 마스크는 UBM 구조물(75)을 노출하도록 개구부를 구비하여 형성될 수 있다. 이 스테이지에서, 솔더(170)는 UBM 구조물(75)에 도금될 수 있다. 도포 기술과 무관하게, 반도체 칩(15)의 열 리플로우가 뒤따라 도 2에 도시된 범프(60)를 확립한다.

[0031]

도 12 및 도 13은 UBM 구조의 실시예의 연속하는 평면도를 도시하고 있다. 도 12는 일반적으로 팔각형 풋프린트를 갖는 UBM 구조물(75)을 도시하고 있다. 중합체 필름(80)의 작은 부분만이 보이고 있음을 주목하라. 도 13은 일반적으로 원형 풋프린트를 갖는 대체의 UBM 구조(75')의 평면도를 도시하고 있다. 또, 중합체 필름(80)의 작은 부분만이 도시되고 있다. 물론, UBM 구조(75, 75')는 여러 다른 유형의 풋프린트를 취할 수 있다.

[0032]

도 14는 도 3과 유사하지만 전통적인 크로스 해칭이 포함되고 대체의 예시적 실시예의 단면도이다. 이러한 예시적 실시예는 본 명세서의 다른 곳에서 설명되고 일반적으로 도 2에 묘사된 실시예의 많은 특성을 공유한다. 그러므로, 반도체 칩(15)은 복수의 도체 패드(그 중 하나는 90으로 표시되어 도시됨) 및 액티브 트레이스(100, 105)를 포함한다. 패시베이션 구조물(45)은 도체 트레이스(100, 105) 위에 그리고 적어도 일부 도체 패드(90)의 위에 반도체 칩(15) 상에 위치결정된다. 액티브 터미널 패드(85) 및 가상 패드(120)는 본 명세서의 다른 곳에서 일반적으로 설명된 바와 같이 구성 및 제조될 수 있다. 중합체 필름(80')은 본 명세서의 다른 곳에서 중요한 주의사항으로 설명된 바와 같이 유사하게 제조될 수 있다. 이러한 예시적 실시예에 있어서, 중합체 필름(80')은 중합체 필름(80')의 작은 부분만이 가상 패드(120)를 덮도록 다소 더 작은 두께로 제조될 수 있다. 겹(125)은 본 명세서의 다른 곳에서 일반적으로 설명된 바대로이고 그리하여 중합체 필름(80')의 일부로 채워질 수 있다. 그렇지만, 이러한 예시적 실시예는, 패시베이션 구조물에 받쳐져 있을 겹(125) 내에 위치결정된 중합체 필름(80')의 일부 비교적 유연 재료(compliant material)와 UBM 구조물(75)의 사이에 스트레스 지지를 제공하도록 설계된 제2 가상 패드(180)를 포함한다. 도 14에 개시된 실시예의 제조는 두 개의 주목할만한 차이를 갖고서 도 4 내지 8과 결합하여 위에서 설명된 바와 같이 일반적으로 진행할 수 있다. 도 8과 연관된 프로세스 흐름에 있어서, 중합체 필름(80)은 가상 패드(120) 및 액티브 터미널 패드(85) 위 상당한 두께의 재료를 갖는다. 대안의 본 실시예에 대해, 중합체 필름(80')은 액티브 터미널 패드(85) 및 가상 패드(120) 위 더 얇은 코팅이 존재하도록 비교적 더 얇다. 이 스테이지에서 그리고 도 15에 묘사된 바와 같이, 제2 가상 패드(180)는 액티브 터미널 패드(85) 및 가상 패드(120)를 제조하는 동일 유형의 기술, 즉, 본 명세서의 다른 곳에서 설명된 바와 같은 재료 성형 기술과 함께 물리적 증착, 도금 또는 다른 재료 도포 기술을 사용하여 중합체 필름(80') 상에 제조될 수 있다. 제2 가상 패드(180)는 패시베이션 구조물(45)을 보호하도록 겹(125)의 위에 놓임을 주목하라. 풋프린트에 관하여, 제2 가상 패드(180)는 도시된 바와 같은 링 형상 또는 다른 형상일 수 있다. 제2 가상 패드(180)는 액티브 터미널 패드(85)가 단락되지 않는 한 가상 패드(120)에 기계적으로 묶일 수 있다.

[0033]

도 16을 이제 참조하면, 제2 가상 패드(180)의 제조 후에, 중합체 필름(80, 80')에 대해 본 명세서의 다른 곳에

서 설명된 재료 및 기술을 사용하여 부가적 중합체 필름(185)이 중합체 필름(80') 상에 형성될 수 있다. 이후에, 프로세스 흐름은, 회로 기판(20)의 실장, 프레-솔더(65)와 솔더 조인트(50)의 확립 및 언더필(25) 퇴적을 포함하여, UBM 구조물(75) 및 솔더 범프(60) 및 액티브 터미널 패드(85)로의 접속(가상 패드(120)로는 아님)을 확립하도록 도 9 내지 11과 결합하여 본 명세서에서 설명된 기술을 추적할 수 있다.

[0034]

도 17은 도 14와 유사하지만 또 다른 대체의 예시적 실시예의 단면도이다. 이러한 대체의 실시예는 도 14에 묘사된 실시예의 특성 중 많은 것, 즉, 반도체 칩(15), 도체 패드(90), 도체 트레이스(100, 105), 액티브 터미널 패드(85), 가상 패드(120) 및 비교적 얇은 중합체 필름(80')을 공유한다. 그렇지만, 갭(125)에서 유연 재료와 연관된 스트레스 보호의 소망 레벨을 제공하기 위해, 도 14에 묘사된 제2 가상 패드(180)는, 액티브 터미널 패드(85)와의 옴 접촉을 확립하도록 중심 접촉 부분(195) 및 필수 스트레스 보호를 제공하도록 갭(125)에 근접하여 중합체 필름(80') 상에 위치결정되도록 설계되는 플랜지 부분(200)을 갖는 본질적으로 비-가상 도체 패드(190)인 것으로 변환될 수 있다. 도 17에 묘사된 대체의 실시예를 확립하기 위한 프로세스 흐름은 도 8에 묘사된 것보다 비교적 더 작은 두께를 갖는 중합체 필름(80')이 제조된다는 단서가 있기는 하지만 도 4 내지 8과 결합하여 본 명세서의 다른 곳에서 설명된 프로세스 흐름을 또 추적할 수 있다. 이 스테이지에서, 적합한 개구부가 중합체 필름(80')에 형성되어야 하고 이후에 패드(190)를 제조하도록 재료 퇴적 또는 도금 프로세스가 사용된다. 퇴적 및/또는 도금 프로세스 후에, 패드(190)는 에칭 또는 다른 재료 제거 기술에 의해 묘사된 구성으로 패터닝될 수 있고 이후에 중합체 필름(80') 및 도체 패드(190) 위에 부가적 중합체 필름(185)이 형성될 수 있다. 이 스테이지에서, 회로 기판(20)의 실장, 프레-솔더(65)와 솔더 조인트(50)의 확립 및 언더필(25) 퇴적을 포함하여, UBM 구조물(75) 및 솔더 범프(60) 및 액티브 터미널 패드(85)로의 접속(가상 패드(120)로는 아님)을 제조.

[0035]

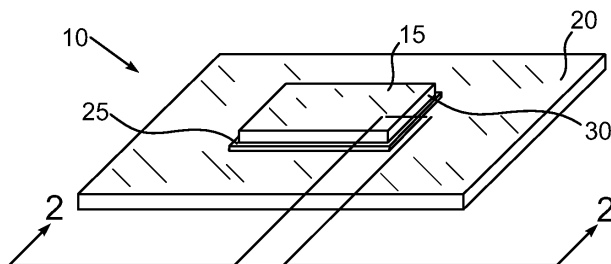
본 명세서에서 개시된 예시적 실시예 중 어느 것이라도, 예컨대, 반도체, 자기 디스크, 광학 디스크 또는 다른 저장 매체와 같은 컴퓨터가 읽을 수 있는 매체에 배치된 명령어로 또는 컴퓨터 데이터 신호로 구체화될 수 있다. 명령어 또는 소프트웨어는 본 명세서에 개시된 회로 구조를 합성 및/또는 시뮬레이션할 수 있다. 예시적 실시예에 있어서, Cadence APD, Encore 등과 같은 전자 설계 자동화 프로그램이 개시된 회로 구조를 합성하도록 사용될 수 있다. 결과적인 코드는 개시된 회로 구조를 제조하는데 사용될 수 있다.

[0036]

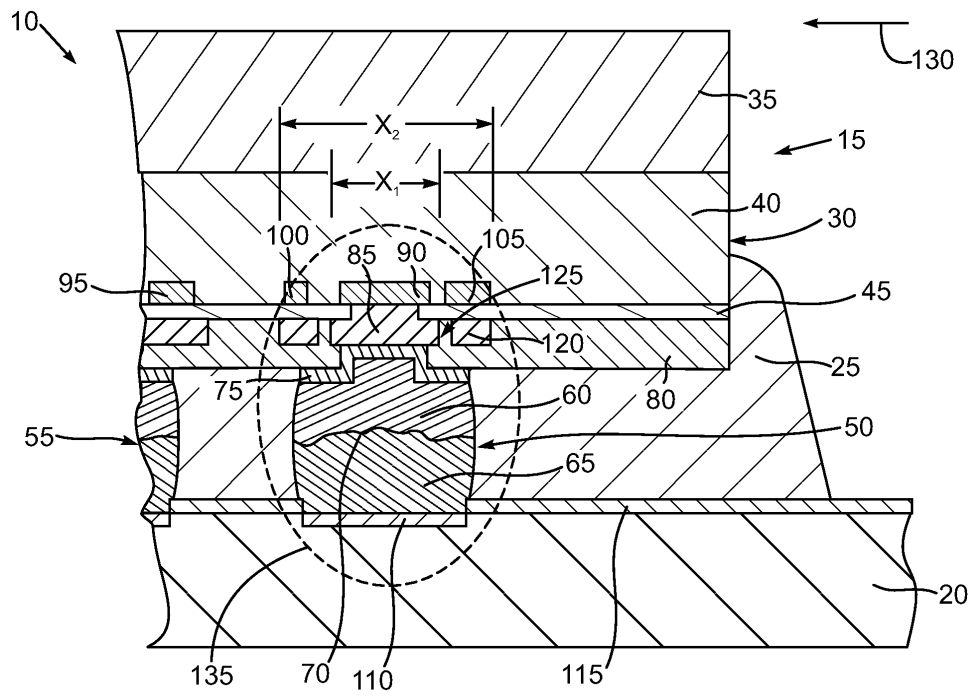
본 발명이 다양한 수정 및 대안의 형태가 수월할 수 있지만, 특정 실시예들이 도면에서 예로써 도시되었고 본 명세서에서 상세히 설명되었다. 그렇지만, 본 발명은 개시된 특정 형태에 국한하려는 의도가 아님을 이해해야 한다. 그보다는, 본 발명은 이하의 첨부 청구범위에 의해 정의되는 바와 같이 본 발명의 취지 및 범위 내에 드는 모든 수정, 균등물 및 대체물을 망라하려는 것이다.

도면

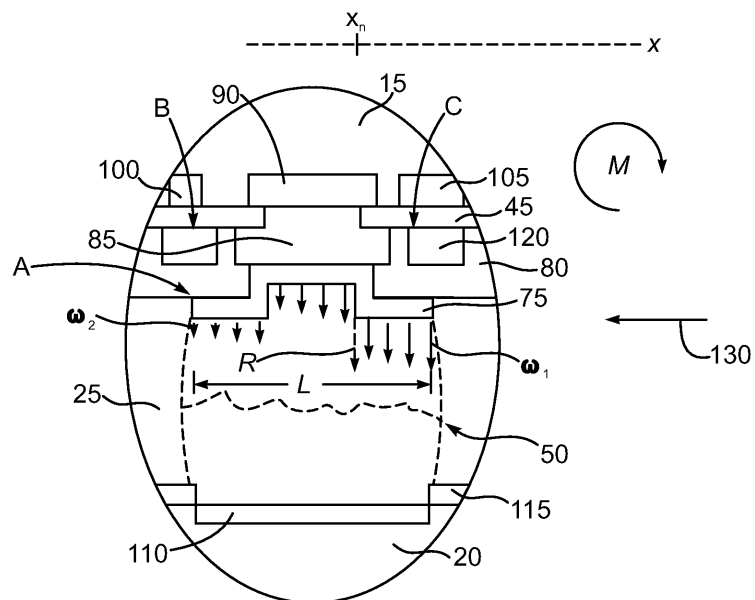
도면1



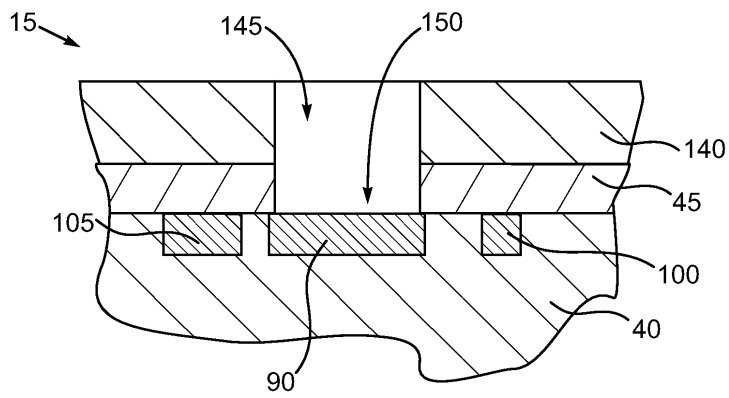
도면2



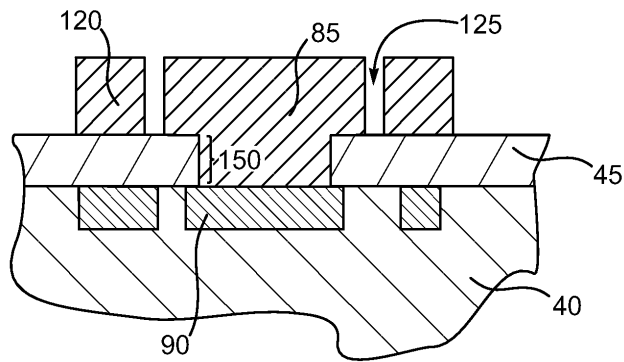
도면3



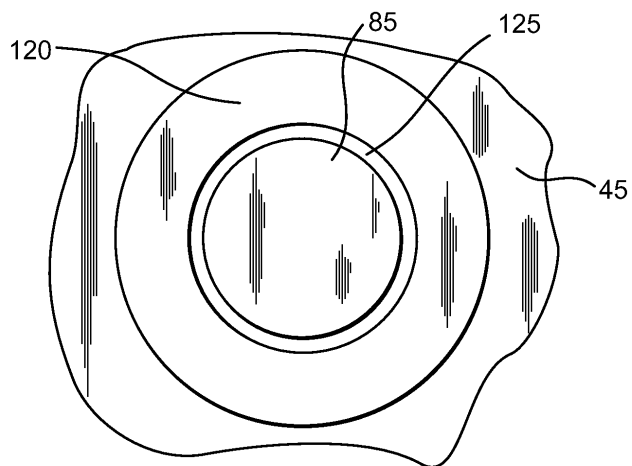
도면4



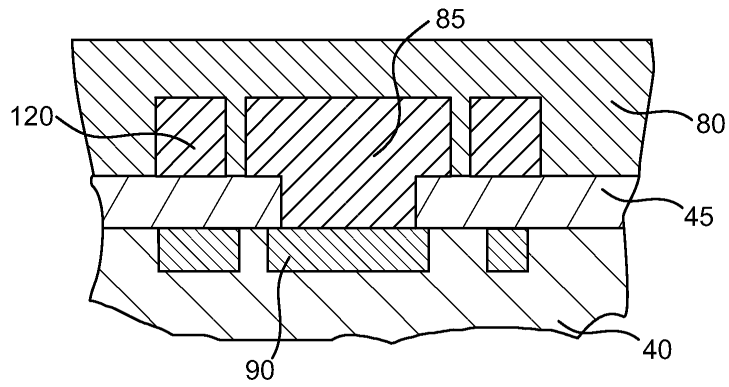
도면5



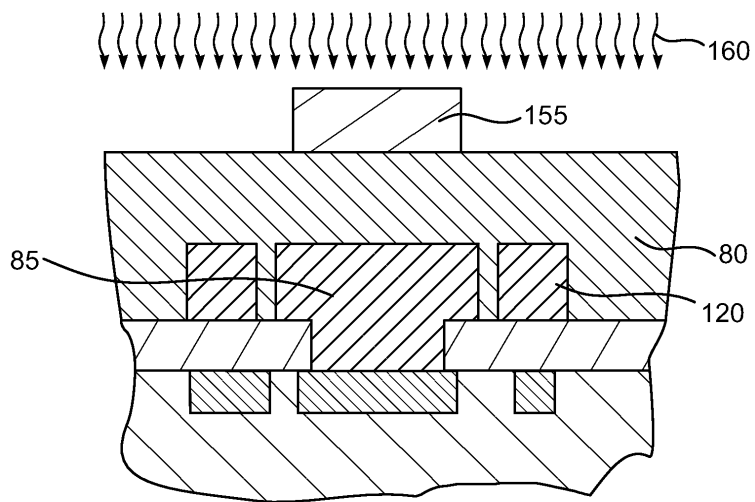
도면6



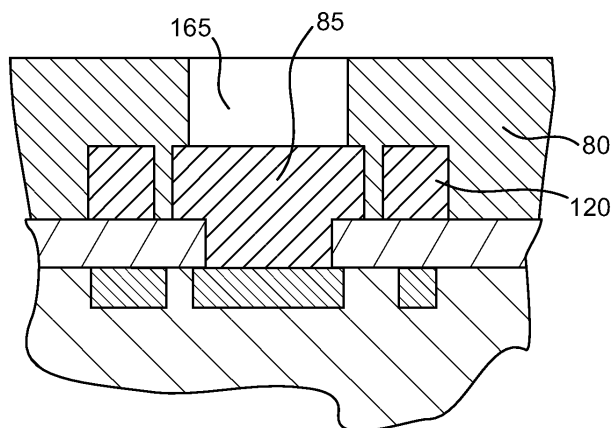
도면7



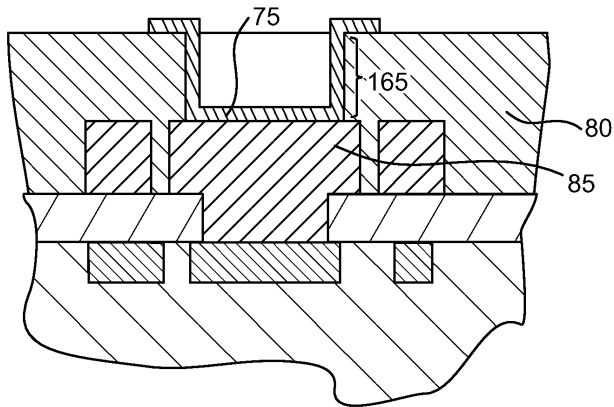
도면8



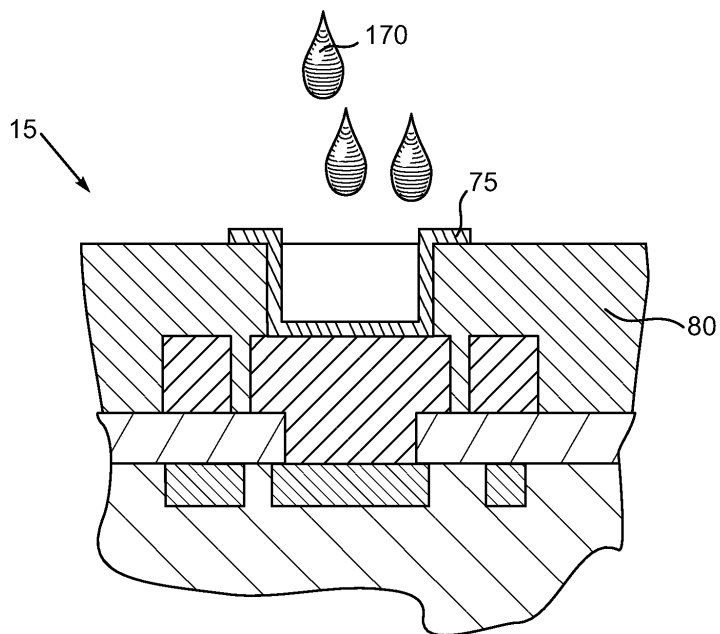
도면9



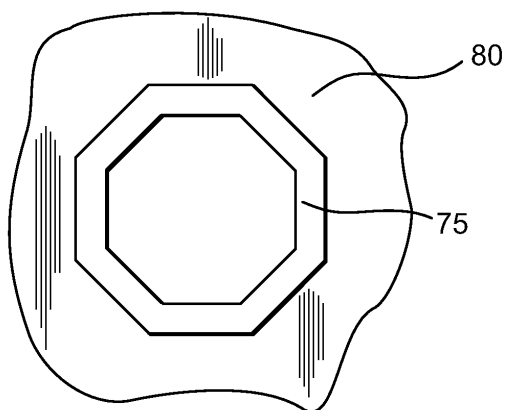
도면10



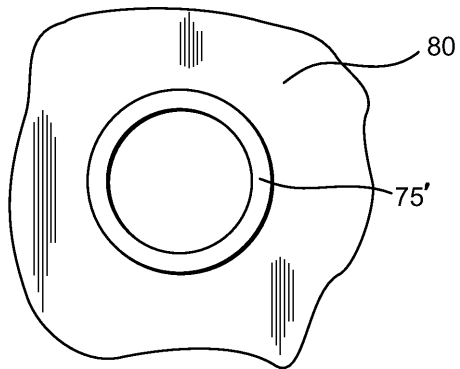
도면11



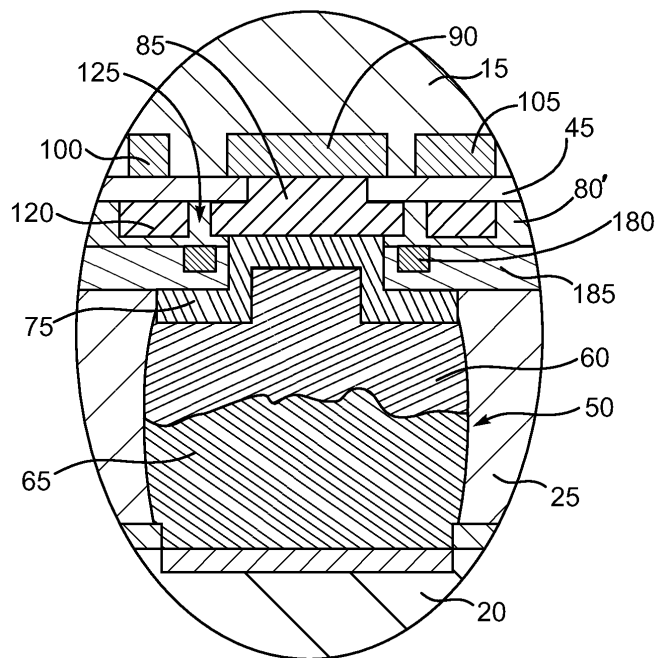
도면12



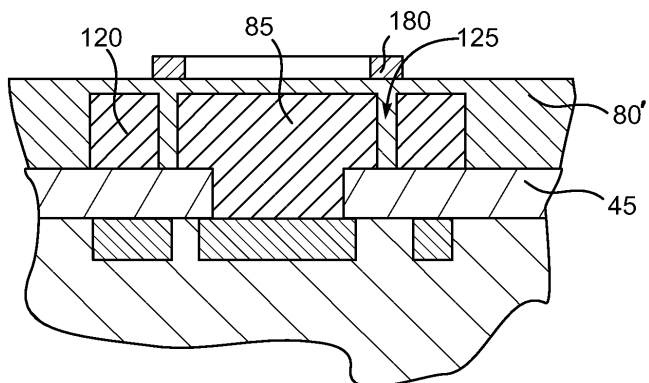
도면13



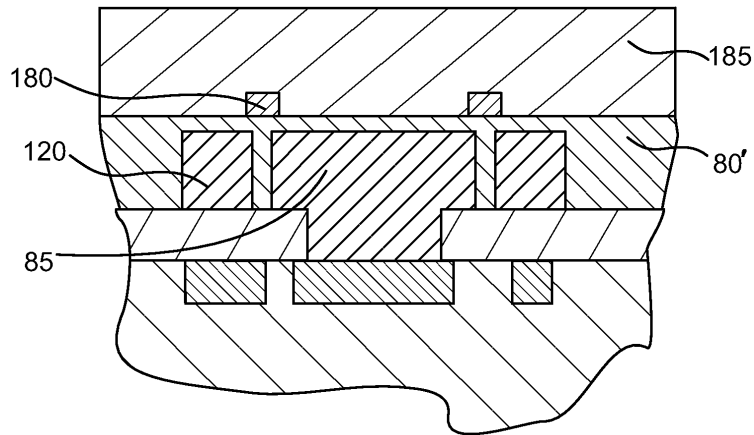
도면14



도면15



도면16



도면17

