

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6101688号
(P6101688)

(45) 発行日 平成29年3月22日(2017.3.22)

(24) 登録日 平成29年3月3日(2017.3.3)

(51) Int.Cl.	F 1			
HO 1 L 21/336	(2006.01)	HO 1 L	29/78	301X
HO 1 L 29/78	(2006.01)	HO 1 L	29/78	301D
HO 1 L 29/12	(2006.01)	HO 1 L	29/78	652T
HO 1 L 21/28	(2006.01)	HO 1 L	29/78	652M
HO 1 L 29/41	(2006.01)	HO 1 L	21/28	301S

請求項の数 12 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2014-519290 (P2014-519290)	(73) 特許権者	390020248
(86) (22) 出願日	平成24年7月5日(2012.7.5)	日本テキサス・インスツルメンツ株式会社	
(65) 公表番号	特表2014-523649 (P2014-523649A)	東京都新宿区西新宿六丁目24番1号	
(43) 公表日	平成26年9月11日(2014.9.11)	(73) 特許権者	507107291
(86) 國際出願番号	PCT/US2012/045554	テキサス インスツルメンツ インコーポ	
(87) 國際公開番号	W02013/006699	レイテッド	
(87) 國際公開日	平成25年1月10日(2013.1.10)	アメリカ合衆国 テキサス州 75265	
審査請求日	平成27年7月1日(2015.7.1)	–5474 ダラス メイル ステイション 3999 ピーオーボックス 655	
(31) 優先権主張番号	13/540,813	474	
(32) 優先日	平成24年7月3日(2012.7.3)	(74) 上記1名の代理人	100098497
(33) 優先権主張国	米国(US)	弁理士	片寄 恒三
(31) 優先権主張番号	61/504,624		
(32) 優先日	平成23年7月5日(2011.7.5)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】モノリシックに集積されたアクティブスナバ

(57) 【特許請求の範囲】

【請求項 1】

半導体デバイスであって、
半導体基板と、
拡張されたドレイン金属酸化物半導体(MOS)トランジスタと、
集積されたスナバと、
ソース相互接続と、
を含み、

前記拡張されたドレインMOSトランジスタが、

前記基板に配置され、第1の導電型を有するドレインドリフト領域と、

前記基板の頂部表面において前記ドレインドリフト領域に接するように前記基板に配置されるボディ領域であって、前記第1の導電型と反対の第2の導電型を有する、前記ボディ領域と、

前記基板の上に配置されるゲートであって、前記ドレインドリフト領域の一部と前記ボディ領域の一部とに重なる、前記ゲートと、

前記ゲートに隣接し、前記ドレインドリフト領域と反対で、前記基板に配置されるソース領域であって、前記第1の導電型を有する、前記ソース領域と、

を含み、

前記集積されたスナバが、

スナバキャパシタであって、前記ドレインドリフト領域と、前記ドレインドリフト領域

10

20

の上に配置されるスナバ誘電体層と、前記誘電体層の上に配置されるスナバキャパシタプレートとを含む、前記スナバキャパシタと、

前記ゲートと前記ソース領域と前記ドレインドリフト領域との上に配置されるプリメタル誘電体（PMD）層の上に配置されるスナバレジスタであって、前記スナバレジスタが、前記ソース領域上の前記PMD層に配置される少なくとも1つのトランジスタソースコンタクトを介して前記ソース領域に電気的に結合され、前記スナバキャパシタプレート上の前記PMD層に配置される少なくとも1つのスナバキャパシタコンタクトを介して前記スナバキャパシタプレートに電気的に結合され、前記スナバレジスタが、ポリシリコン、タングステンシリサイド、チタンシリサイド、コバルトシリサイド、ニッケルシリサイド、アルミニウム、タングステン、チタン、タンタル、チタンタングステン、窒化チタン、窒化タンタル、ニッケルクロム、シリコンクロム及びサーメットから成るグループから選択される材料の少なくとも1つの層を含む、前記スナバレジスタと、

を含み、

前記スナバレジスタを介して前記トランジスタソースコンタクトと電気的な接続を形成するように、前記ソース相互接続が前記トランジスタソースコンタクトの上の前記スナバレジスタ上に配置される、半導体デバイス。

【請求項2】

請求項1に記載のデバイスであって、

前記スナバレジスタが、前記スナバレジスタを介して配置される少なくとも1つのレジスタアーチャを含む、半導体デバイス。

【請求項3】

半導体デバイスを形成するプロセスであって、

半導体基板を提供する工程と、

拡張されたドレイン金属酸化物半導体（MOS）トランジスタを形成する工程と、

集積されたスナバを形成する工程と、

を含み、

前記拡張されたドレインMOSトランジスタが、

第1の導電型を有するドレインドリフト領域を前記基板に形成する工程と、

前記基板の頂部表面においてボディ領域が前記ドレインドリフト領域に接するように、前記第1の導電型と反対の第2の導電型を有する前記ボディ領域を前記基板に形成する工程と、

ゲートが前記ドレインドリフト領域の一部と前記ボディ領域の一部とに部分的に重なるように、前記基板の上に前記ゲートを形成する工程と、

前記ゲートに隣接し、前記ドレインドリフト領域と反対で、前記基板に前記第1の導電型を有するソース領域を形成する工程と、

を含むプロセスによるものであり、

前記集積されたスナバが、

スナバキャパシタを形成する工程と、

前記ゲートの上にスナバレジスタを形成する工程と、

を含むプロセスによるものであり、

前記スナバキャパシタが、

前記ドレインドリフト領域の上にスナバキャパシタ誘電体層を形成する工程と、

前記スナバキャパシタ誘電体層の上にスナバキャパシタプレートを形成する工程と、

を含むプロセスによるものであり、

前記スナバレジスタが、前記ソース領域に電気的に結合され、前記スナバキャパシタプレートに電気的に結合され、

前記スナバレジスタを形成するプロセスが、

スナバキャパシタコンタクトが前記スナバキャパシタプレートに電気的に接続されるように、前記スナバキャパシタプレート上のPMD層を介して少なくとも1つの前記スナバキャパシタコンタクトを形成する工程と、

10

20

30

40

50

スナバソースコンタクトが前記ソース領域に電気的に接続されるように、前記ソース領域上の前記PMD層を介して少なくとも1つの前記スナバソースコンタクトを形成する工程と、

スナバレジスタリンクが前記スナバキャパシタコンタクトと前記スナバソースコンタクトとに対して電気的な接触を形成するように、前記PMD層上に前記スナバレジスタリンクを形成する工程と、

を含む、プロセス。

【請求項4】

請求項3に記載のプロセスであって、

前記スナバキャパシタ誘電体層が10ナノメータと200ナノメータの間の厚さである 10
、プロセス。

【請求項5】

半導体デバイスを形成するプロセスであって、

半導体基板を提供することと、

拡張されたドレイン金属酸化物半導体(MOS)トランジスタを形成することであって
、前記拡張されたMOSトランジスタが、

第1の導電型を有するドレインドリフト領域を前記基板に形成することと、

前記基板の頂部表面においてボディ領域が前記ドレインドリフト領域に接するように、
前記第1の導電型と反対の第2の導電型を有する前記ボディ領域を前記基板に形成することと、

20

ゲートが前記ドレインドリフト領域の一部と前記ボディ領域の一部とに部分的に重なる
ように、前記基板の上に前記ゲートを形成することと、

前記ゲートに隣接し、前記ドレインドリフト領域と反対で、前記基板に前記第1の導電型を有するソース領域を形成することと、

を含むプロセスによるものである、前記拡張されたMOSトランジスタを形成することと、

集積されたスナバを形成することであって、前記集積されたスナバが、

スナバキャパシタを形成することと、

前記ゲートの上にスナバレジスタを形成することと、

を含むプロセスによるものである、前記集積されたスナバを形成することと、

30

を含み、

前記スナバキャパシタが、

前記ドレインドリフト領域の上にスナバキャパシタ誘電体層を形成することと、

前記スナバキャパシタ誘電体層の上にスナバキャパシタプレートを形成することと、
を含むプロセスによるものであり、

前記スナバレジスタが、前記ソース領域に電気的に結合され、前記スナバキャパシタプレートに電気的に結合され、

少なくとも1つのレジスタアーチャが前記スナバレジスタを介して形成されるように、
前記スナバレジスタを形成するプロセスが実行される、プロセス。

【請求項6】

半導体デバイスを形成するプロセスであって、

半導体基板を提供することと、

拡張されたドレイン金属酸化物半導体(MOS)トランジスタを形成することであって
、前記拡張されたMOSトランジスタが、

第1の導電型を有するドレインドリフト領域を前記基板に形成することと、

前記基板の頂部表面においてボディ領域が前記ドレインドリフト領域に接するように、
前記第1の導電型と反対の第2の導電型を有する前記ボディ領域を前記基板に形成することと、

ゲートが前記ドレインドリフト領域の一部と前記ボディ領域の一部とに部分的に重なる
ように、前記基板の上に前記ゲートを形成することと、

40

50

前記ゲートに隣接し、前記ドレインドリフト領域と反対で、前記基板に前記第1の導電型を有するソース領域を形成することと、

を含むプロセスによるものである、前記拡張されたMOSトランジスタを形成することと、

集積されたスナバを形成することであって、前記集積されたスナバが、
スナバキャパシタを形成することと、

前記ゲートの上にスナバレジスタを形成することと、

を含むプロセスによるものである、前記集積されたスナバを形成することと、
を含み、

前記スナバキャパシタが、

10

前記ドレインドリフト領域の上にスナバキャパシタ誘電体層を形成することと、

前記スナバキャパシタ誘電体層の上にスナバキャパシタプレートを形成することと、
を含むプロセスによるものであり、

前記スナバレジスタが、前記ソース領域に電気的に結合され、前記スナバキャパシタプレートに電気的に結合され、

前記スナバキャパシタ誘電体層が10ナノメータと200ナノメータの間の厚さであり、

前記スナバキャパシタ誘電体層が前記ゲートの上に延びるように、前記スナバキャパシタ誘電体層を形成することが実行され、

前記スナバキャパシタプレートを形成することが、前記スナバキャパシタプレートが前記ドレインドリフト領域の上に配置されるスナバレジスタ/キャパシタ層の一部であるように、前記ドレインドリフト領域の上と前記ゲートの上と前記ソース領域の上とに前記スナバレジスタ/キャパシタ層を形成することを含み、

前記スナバレジスタが前記ゲートと前記ソース領域との上の前記スナバレジスタ/キャパシタ層の一部であり、

前記集積されたスナバを形成することが、前記スナバレジスタ/キャパシタ層がトランジスタソースコンタクトを介して前記ソース領域に電気的に結合するように、PMD層を介して少なくとも1つの前記トランジスタソースコンタクトを形成することを更に含む、
プロセス。

【請求項7】

30

請求項6に記載のプロセスであって、

少なくとも1つのレジスタアーチャが前記スナバレジスタ/キャパシタ層を介して形成されるように、前記スナバレジスタ/キャパシタ層を形成することが実行される、
プロセス。

【請求項8】

半導体デバイスを形成するプロセスであって、

半導体基板を提供することと、

拡張されたドレイン金属酸化物半導体(MOS)トランジスタを形成することであって、
前記拡張されたMOSトランジスタが、

第1の導電型を有するドレインドリフト領域を前記基板に形成することと、

前記基板の頂部表面においてボディ領域が前記ドレインドリフト領域に接するように、
前記第1の導電型と反対の第2の導電型を有する前記ボディ領域を前記基板に形成することと、

ゲートが前記ドレインドリフト領域の一部と前記ボディ領域の一部とに部分的に重なるように、前記基板の上に前記ゲートを形成することと、

前記ゲートに隣接し、前記ドレインドリフト領域と反対で、前記基板に前記第1の導電型を有するソース領域を形成することと、

を含むプロセスによるものである、前記拡張されたMOSトランジスタを形成することと、

集積されたスナバを形成することであって、前記集積されたスナバが、

40

50

スナバキャパシタを形成することと、

前記ゲートの上にスナバレジスタを形成することと、

を含むプロセスによるものである、前記集積されたスナバを形成することと、

を含み、

前記スナバキャパシタが、

前記ドレインドリフト領域の上にスナバキャパシタ誘電体層を形成することと、

前記スナバキャパシタ誘電体層の上にスナバキャパシタプレートを形成することと、

を含むプロセスによるものであり、

前記スナバレジスタが、前記ソース領域に電気的に結合され、前記スナバキャパシタプレートに電気的に結合され、

前記基板が 10 ミクロンと 200 ミクロンとの間の厚さであり、

前記ドレインドリフト領域が前記基板の前記頂部表面から前記基板の底部表面の近傍に延びるように、前記ドレインドリフト領域を形成することが実行され、

前記MOSトランジスタを形成することが、ドレインコンタクト領域が前記第1の導電型を有するように、前記ドレインドリフト領域に接触する前記ドレインコンタクト領域を前記基板の前記底面に形成することを更に含み、

前記スナバキャパシタ誘電体層が 10 ナノメータと 200 ナノメータの間の厚さであるように、前記スナバキャパシタ誘電体層を形成することが実行され、

前記スナバキャパシタ誘電体層が前記ゲートの上に延びるように、前記スナバキャパシタ誘電体層を形成することが実行され、

前記MOSトランジスタを形成することが、前記ゲートに隣接して横方向に隔てられて、前記ボディ領域内に前記ソース領域を介してソースストレンチを形成することを更に含み、

前記スナバキャパシタプレートを形成することが、前記スナバキャパシタプレートが前記ドレインドリフト領域の上に配置されるスナバレジスタ / キャパシタ層の一部であるように、前記ドレインドリフト領域の上と前記ゲートの上と前記ソース領域の上と前記ソースストレンチの上とに前記スナバレジスタ / キャパシタ層を形成することを含み、

前記スナバレジスタ / キャパシタ層が前記ソースストレンチ内の前記ソース領域に電気的に接続されるように、前記スナバレジスタが前記ゲートと前記ソース領域との上の前記スナバレジスタ / キャパシタ層の一部である、プロセス。

【請求項 9】

請求項 8 に記載のプロセスであって、

少なくとも 1 つのレジスタアーチャが前記スナバレジスタ / キャパシタ層を介して形成されるように、前記スナバレジスタ / キャパシタ層を形成することが実行される、プロセス。

【請求項 10】

半導体デバイスを形成するプロセスであって、

半導体基板を提供することと、

拡張されたドレイン金属酸化物半導体 (MOS) トランジスタを形成することであって、前記拡張された MOS トランジスタが、

第1の導電型を有するドレインドリフト領域を前記基板に形成することと、

前記基板の頂部表面においてボディ領域が前記ドレインドリフト領域に接するように、前記第1の導電型と反対の第2の導電型を有する前記ボディ領域を前記基板に形成することと、

ゲートが前記ドレインドリフト領域の一部と前記ボディ領域の一部とに部分的に重なるように、前記基板の上に前記ゲートを形成することと、

前記ゲートに隣接し、前記ドレインドリフト領域と反対で、前記基板に前記第1の導電型を有するソース領域を形成することと、

を含むプロセスによるものである、前記拡張された MOS トランジスタを形成することと、

10

20

30

40

50

集積されたスナバを形成することであって、前記集積されたスナバが、
スナバキャパシタを形成することと、
前記ゲートの上にスナバレジスタを形成することと、
を含むプロセスによるものである、前記集積されたスナバを形成することと、
を含み、
前記スナバキャパシタが、
前記ドレインドリフト領域の上にスナバキャパシタ誘電体層を形成することと、
前記スナバキャパシタ誘電体層の上にスナバキャパシタプレートを形成することと、
を含むプロセスによるものであり、
前記スナバレジスタが、前記ソース領域に電気的に結合され、前記スナバキャパシタプレートに電気的に結合され、 10
 前記スナバキャパシタ誘電体層が 10 ナノメータと 200 ナノメータの間の厚さである
 ように前記スナバキャパシタ誘電体層を形成することが実行され、
 前記集積されたスナバを形成することが、スナバキャパシタコンタクトが前記スナバキャパシタプレートに電気的に接続されるように、前記スナバキャパシタプレート上の P M D 層を介して少なくとも 1 つの前記スナバキャパシタコンタクトを形成することを更に含み、
 前記集積されたスナバを形成することが、前記ソース領域上の前記 P M D 層を介して少なくとも 1 つのスナバソースコンタクトを形成することを更に含み、
 前記スナバレジスタが前記 P M D 層の上に形成されて前記スナバキャパシタコンタクトと前記スナバソースコンタクトとに電気的な接触を形成するように、前記スナバレジスタを形成することが実行され、 20
 前記スナバレジスタが、ポリシリコン、タングステンシリサイド、チタンシリサイド、コバルトシリサイド、ニッケルシリサイド、アルミニウム、タングステン、チタン、タンタル、チタンタングステン、窒化チタン、窒化タンタル、ニッケルクロム、シリコンクロム及びサーメットから成るグループから選択される材料の少なくとも 1 つの層を含むように、前記スナバレジスタを形成することが実行され、
 前記集積されたスナバを形成することが、ソース相互接続が前記スナバレジスタを介して前記トランジスタソースコンタクトと電気的な接触を形成するように、前記スナバレジスタ上に前記ソース相互接続を形成することを更に含む、プロセス。 30
【請求項 1 1】
 請求項 1 0 に記載のプロセスであって、
 少なくとも 1 つのレジスタアーチャが前記スナバレジスタを介して形成されるように、前記スナバレジスタを形成することが実行される、プロセス。
【請求項 1 2】
 請求項 3 に記載のプロセスであって、
 前記スナバレジスタの電気的な抵抗が 0.5 オームと 20 オームの間である、プロセス。
【発明の詳細な説明】
【技術分野】 40
【0001】
 本願は、拡張されたドレイン金属酸化物半導体 (MOS) トランジスタを含む半導体デバイスに関連する。
【背景技術】
【0002】
 半導体デバイスは、入力 D C 電圧を受信し、入力電圧より低い出力 D C 電圧を生成するバックコンバータ回路など、所望とされない電圧エクスカーションを生成する回路の一部であり得るか又はそのような回路を含み得る。半導体デバイスは、拡張されたドレイン金属酸化物半導体 (MOS) トランジスタを含み得、拡張されたドレイン MOS トランジスタでは、回路のオペレーションの間、オン状態及びオフ状態間の MOS トランジスタのス 50

イッティングがドレインノードにおいて望ましくない電圧振動を生成し得、この電圧振動は、通常、リングングと呼ばれる。リングングを減少させるスナバを半導体デバイスに付加することが望ましい場合がある。所望の性能を備えて、半導体デバイスの製造コスト及び複雑さを著しく増大させることなく、半導体デバイスにスナバを集積することが問題となり得る。

【発明の概要】

【0003】

拡張されたドレイン金属酸化物半導体（MOS）トランジスタを含む半導体デバイスが、MOSトランジスタの拡張されたドレインにドレインドリフト領域を形成するプロセス、及び拡張されたドレインの上にキャパシタ誘電体層及びキャパシタプレートを含むスナバキャパシタを形成するプロセスにより、集積されたスナバを備えて形成され得る。スナバレジスタが、MOSトランジスタのゲートの上に形成され、キャパシタプレートとMOSトランジスタのソースとの間に直列に接続される。スナバレジスタ及びスナバキャパシタは、MOSトランジスタのための集積されたスナバを形成する。レジスタは、半導体デバイスの他の要素と一緒に形成され得る。

10

【図面の簡単な説明】

【0004】

【図1A】例示の実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

【図1B】例示の実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

20

【図1C】例示の実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

【0005】

【図2A】改変された実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

【図2B】改変された実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

【図2C】改変された実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

30

【0006】

【図3A】別の改変された実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

【図3B】別の改変された実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

【図3C】別の改変された実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

【0007】

【図4A】別の改変された実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

40

【図4B】別の改変された実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を示す透視断面図である。

【発明を実施するための形態】

【0008】

拡張されたドレイン金属酸化物半導体（MOS）トランジスタを含む半導体デバイスが、MOSトランジスタに集積された集積スナバを備えて形成され得る。半導体デバイスは、MOSトランジスタの拡張されたドレインにドレインドリフト領域を形成する工程を含むプロセスにより形成され得る。拡張されたドレインの上にキャパシタ誘電体層及びキャパシタプレートを形成することにより、ドレインドリフト領域の上にスナバキャパシタが形成される。スナバレジスタが、MOSトランジスタのゲートの上に形成され、キャパシ

50

タブレートとMOSトランジスタのソースとの間に直列に接続される。スナバレジスタ及びスナバキャパシタは、MOSトランジスタのための集積されたスナバを形成する。レジスタは半導体デバイスの他の要素と同時に形成され得る。レジスタはキャパシタプレートと同時に形成され得る。

【0009】

半導体デバイスは、集積されたスナバを備えた拡張されたドレインMOSトランジスタを含むディスクリートパワーデバイスであり得る。代替として、半導体デバイスは、集積されたスナバを備えた拡張されたドレインMOSトランジスタに加えて、検知回路及び/又は制御回路などの他の回路を含む集積回路であり得る。

【0010】

反復を避けるため、Nチャネルの拡張されたドレインMOSトランジスタの形成を説明する。しかし、ドーパント及び導電型の極性の適切な変更で、Pチャネルの拡張されたドレインMOSトランジスタの形成にも同じ説明が適用されることが分かるだろう。

【0011】

図1A～図1Cは、例示の実施例に従って、スナバを備えた拡張されたドレインMOSトランジスタを含む半導体デバイスの製造における段階を図示する。

【0012】

図1Aを参照すると、半導体デバイス100が半導体基板102の中及び上に形成され、半導体基板102は、単結晶シリコンウエハ、シリコンオンインシュレータ(SOI)ウエハ、異なる結晶配向の領域を備えたハイブリッド配向技術(HOT)ウエハ、又は半導体デバイス100の製造に適切な他の材料であり得る。基板102の頂部表面における半導体材料はP型である。基板102の頂部表面においてフィールド酸化物104が形成され得る。フィールド酸化物104は、250～600ナノメートルの厚みの二酸化シリコンを含み得、シャロートレンチアイソレーション(STI)又はシリコンの局所酸化(LOCOS)プロセスにより形成され得る。STIプロセスにおいて、二酸化シリコンは、高密度プラズマ(HDP)又は高アスペクト比プロセス(HARP)により堆積され得る。

20

【0013】

半導体デバイス100は、拡張されたドレインMOSトランジスタ106を含む。MOSトランジスタ106は、基板102の頂部表面まで延びるN型ドレインドリフト領域108を有する。ドレインドリフト領域108は、例えば、リン及びヒ素、及び場合によってアンチモンなどの、N型ドーパントの第1のセットを、 $1 \cdot 10^{11} \sim 1 \cdot 10^{13}$ 原子/ cm^2 のドーズ量で、フォトレジストパターンなどのドリフト領域注入マスクにより露出されたエリアにイオン注入することにより形成され得る。N型ドーパントの第1のセットの少なくとも一部を活性化する後続のアニールプロセスにより、ドレインドリフト領域108が形成される。ドレインドリフト領域108は、基板102において350～1000ナノメートルの深さまで延び得る。ドレインドリフト領域108は、図示しないPチャネルMOSトランジスタのためのN型ウェルなどの半導体デバイス100の他の構成要素と同時に形成され得る。

30

【0014】

MOSトランジスタ106は、ドレインドリフト領域108に接する、基板102内のP型ボディ領域110を更に含む。ボディ領域110は、例えば、ボロン及び場合によってはガリウム及び/又はインジウムなどのP型ドーパントのセットを、 $1 \cdot 10^{11} \sim 1 \cdot 10^{14}$ 原子/ cm^2 のドーズ量で、フォトレジストパターンなどのボディ領域注入マスクにより露出されたエリアにイオン注入することにより形成され得る。P型ドーパントの少なくとも一部を活性化する後続のアニールプロセスにより、ボディ領域110が形成される。ボディ領域110は、基板102において300～1000ナノメートルの深さまで延び得る。ボディ領域110は、図示しないNチャネルMOSトランジスタに対するP型ウェルなどの半導体デバイス100の他の構成要素と同時に形成され得る。P型ドーパントを活性化するためのアニールプロセスは、ドレインドリフト領域108におけるN

40

50

型ドーパントの第1のセットを活性化するためのアニールプロセスと同時に実行されてもよい。

【0015】

MOSトランジスタ106のゲート誘電体層112が、ボディ領域110の一部及びドレインドリフト領域108の一部に重なって、基板102の上に形成される。ゲート誘電体層112は、二酸化シリコン、シリコンオキシナイトライド、アルミニウム酸化物、アルミニウムオキシナイトライド、ハフニウム酸化物、ハフニウムシリケート、ハフニウムシリコンオキシナイトライド、ジルコニウム酸化物、ジルコニウムシリケート、ジルコニウムシリコンオキシナイトライド、前述の材料の組み合わせ、又は他の絶縁性材料、の1つ又は複数の層であり得る。ゲート誘電体層112は、50～800の温度の窒素含有プラズマ又は窒素含有雰囲気ガスへの露出の結果、窒素を含み得る。ゲート誘電体層112は、例えば、熱酸化、酸化物層のプラズマ窒化、及び/又は原子層堆積(ALD)による誘電体材料堆積など、種々のゲート誘電体形成プロセスのうちの任意のものにより形成され得る。ゲート誘電体層112は、例えば、10～80ナノメートルの厚みであり得る。

【0016】

MOSトランジスタ106のゲート114が、ボディ領域110の一部及びドレインドリフト領域108の一部に重なって、ゲート誘電体層112上に形成される。ゲート114は、例えば、通常、ポリシリコンと呼ばれる多結晶シリコン、タングステンシリサイド、チタンシリサイド、コバルトシリサイド、及び/又はニッケルシリサイドなどの金属シリサイド、及び/又は、アルミニウム、タングステン、及び/又は窒化チタンなどの金属、の1つ又は複数の層を含み得る。

【0017】

任意選択のゲート側壁116がゲート114の横方向表面上に形成され得、この形成は、例えば、ゲート114の頂部及び横方向表面及び基板102の頂部表面の上のシリコンナイトライド及び/又は二酸化シリコンの1つ又は複数のコンフォーマル層を堆積することにより、及びその後、反応性イオンエッティング(RIE)などの異方性エッティング法によりゲート114の頂部表面及び基板102の頂部表面からコンフォーマル層材料を除去することにより成され、ゲート側壁116が形成されるようにゲート114の横方向表面上にコンフォーマル層材料が残される。

【0018】

MOSトランジスタ106は、N型ソース領域118及び場合によっては任意選択のN型ドレインコンタクト領域120を更に含む。ソース領域118は、ゲート114に隣接してドレインドリフト領域108とは反対で基板102に形成される。ドレインコンタクト領域120は、ドレインドリフト領域108に接してゲート114とは反対で基板102に形成される。ソース領域118及びドレインコンタクト領域120は、例えば、リン及びヒ素及び場合によってはアンチモンなどのN型ドーパントの第2のセットを、 $3 \cdot 10^{14} \sim 1 \cdot 10^{16}$ 原子/ cm^2 の総ドーズ量で、フォトレジストパターンなどのソース/ドレイン注入マスクにより露出されたエリアにイオン注入することにより形成され得る。後続のソース/ドレインアニールプロセスが、N型ドーパントの第2のセットの一部を活性化して、ソース領域118及びドレインコンタクト領域120を形成する。ソース領域118及びドレインコンタクト領域120は、基板102の頂部表面から100～500ナノメートルの深さまで延び得る。ソース領域118及びドレインコンタクト領域120は、図示しない他のNチャネルMOSトランジスタに対するソース/ドレイン領域などの半導体デバイス100の他の構成要素と同時に形成され得る。チタンシリサイド、コバルトシリサイド、又はニッケルシリサイドなど、図示しない層又は金属シリサイドが、ソース領域118及びドレインコンタクト領域120上に形成され得る。

【0019】

フィールド酸化物104の要素が、ドレインコンタクト領域120を、ドレインコンタクト領域120の残りの部分から横方向に分離するようにドレインドリフト領域108に

10

20

30

40

50

配置され得、ドレインコンタクト領域 120 は、フィールド酸化物 104 の下に延びる。

【0020】

図 1B を参照すると、スナバキャパシタ誘電体層 122 が、ゲート 114 に隣接してドレインドリフト領域 108 の上に形成される。スナバキャパシタ誘電体層 122 は、存在する場合はドレインドリフト領域 108 に配置されるフィールド酸化物要素 104 に任意で重なり得る。スナバキャパシタ誘電体層 122 は、例えば、二酸化シリコン、シリコンオキシナイトライド、アルミニウム酸化物、アルミニウムオキシナイトライド、ハフニウム酸化物、ハフニウムシリケート、ハフニウムシリコンオキシナイトライド、ジルコニウム酸化物、ジルコニウムシリケート、ジルコニウムシリコンオキシナイトライド、前述の材料の組み合わせ、又は他の絶縁性材料の、1つ又は複数の層を含み得る。スナバキャパシタ誘電体層 122 は、例えば、10 ~ 200 ナノメートルの厚みであり得る。スナバキャパシタ誘電体層 122 は、例えば、熱酸化、酸化物層のプラズマ窒化、及び / 又は ALD による誘電体材料堆積など、種々のゲート誘電体形成プロセスのうちの任意のものにより形成され得る。

【0021】

スナバキャパシタプレート 124 が、ドレインドリフト領域 108 から電気的に絶縁されるようにスナバキャパシタ誘電体層 122 の上に形成される。スナバキャパシタプレート 124 は、ポリシリコン、タンゲステン、アルミニウム、チタン、タンタル、チタンタンゲステン、金属シリサイド、窒化チタン、窒化タンタル、及び / 又はタンゲステンナイトライドの1つ又は複数の層など、任意の電気的に導電性の材料で形成され得る。スナバキャパシタプレート 124 は、例えば、ゲート 114 の横方向境界に対して垂直の方向に 1 ~ 10 ミクロン幅であり得る。スナバキャパシタプレート 124 は、図示しないディカップリングキャパシタプレートなど、半導体デバイス 100 における他の構成要素と同時に形成され得る。スナバキャパシタプレート 124、スナバキャパシタ誘電体層 122、及びドレインドリフト領域 108 は、スナバキャパシタ 126 を形成する。

【0022】

半導体デバイス 100 の既存の頂部表面上にプレ金属誘電体 (PMD) 層が形成される。PMD 層は、例えば、PMD ライナー、PMD メイン層、及び任意選択の PMD キャップ層を含む、誘電体層スタックであり得る。PMD ライナーは、半導体デバイス 100 の既存の頂部表面上にプラズマ化学気相成長 (PECVD) により堆積される、10 ~ 100 ナノメートルの厚みのシリコンナイトライド又は二酸化シリコンであり得る。PMD メイン層は、HARP プロセスによって形成される二酸化シリコンの層であり得、その後、PMD ライナーの頂部表面上に PECVD プロセスにより堆積される 100 ~ 1000 ナノメートルの厚みの二酸化シリコン、リン珪酸ガラス (PSG)、又はほうリン珪酸ガラス (BPSG) の層が続き、化学的機械的研磨 (CMP) プロセスにより平坦化されることもある。任意選択の PMD キャップ層は、PMD メイン層の頂部表面上に形成される、シリコンナイトライド、シリコンカーバイドナイトライド、又はシリコンカーバイドなどの 10 ~ 100 ナノメートルの硬い材料であり得る。PMD 層は、MOS パート 106 の他の要素をよりはっきりと示すため図 1C には示していない。

【0023】

図 1C を参照すると、1つ又は複数のスナバキャパシタコンタクト 128 が、スナバキャパシタプレート 124 と電気的コンタクトを成すように PMD 層を介して形成される。1つ又は複数のスナバソースコンタクト 130 が、ソース領域 118 と電気的コンタクトを成すように PMD 層に形成される。スナバキャパシタコンタクト 128 及びスナバソースコンタクト 130 は同時に形成され得る。

【0024】

1つ又は複数のトランジスタドレインコンタクト 132 が、ドレインドリフト領域 108 と電気的コンタクトを成すように PMD 層を介して、存在する場合はドレインコンタクト領域 120 を介して、形成される。1つ又は複数のトランジスタソースコンタクト 134 が、ソース領域 118 と電気的コンタクトを成すように PMD 層を介して形成される。

トランジスタドレインコンタクト 132 及びトランジスタソースコンタクト 134 は同時に形成され得、スナバキャパシタコンタクト 128 及びスナバソースコンタクト 130 と同時に形成され得る。

【0025】

トランジスタドレインコンタクト 132、トランジスタソースコンタクト 134、スナバキャパシタコンタクト 128、及びスナバソースコンタクト 130 は、以下のように形成され得る。例えば、図示しないコンタクトフォトレジストパターンで PMD の頂部表面上のコンタクトエリアを画定すること、スナバキャパシタプレート 124、ソース領域 118、及びドレインコンタクト領域 120 を露出させるため、RIE などのエッチング手法を用いて PMD 層材料を取り除くことによりコンタクトエリアにおけるコンタクトホールをエッチングすること、及びコンタクトホールをチタン及び窒化チタンなどのコンタクトライナー及びタンクスチタンなどのコンタクト充填金属で充填することにより形成され得、その後、エッチング及び / 又は CMP 手法を用いて PMD 層の頂部表面からのコンタクト充填金属及びコンタクトライナーの除去が続く。

10

【0026】

スナバレジスタリンク 136 が、スナバキャパシタコンタクト 128 及びスナバソースコンタクト 130 と電気的コンタクトを成すように PMD 層の上に形成される。トランジスタドレインコンタクト 132 と電気的コンタクトを成すように PMD 層の上にドレイン相互接続 138 が形成され、トランジスタソースコンタクト 134 と電気的コンタクトを成すように PMD 層の上にソース相互接続 140 が形成される。本実施例において、ドレイン相互接続 138、ソース相互接続 140、及びスナバレジスタリンク 136 は同時に形成され、半導体デバイス 100 に、図示しない他の相互接続と同時に形成され得る。

20

【0027】

ドレイン相互接続 138、ソース相互接続 140、及びスナバレジスタリンク 136 は、アルミニウムメタライゼーションプロセスを用いて形成され得、このプロセスは、PMD 層の上の 5 ~ 15 ナノメートルの厚みのチタンタングステン又は窒化チタンなどの障壁金属の層を形成すること、障壁金属の層の上の 100 ~ 1500 ナノメートルの厚みの、96 パーセントのアルミニウム、2 パーセントのシリコン、及び 2 パーセント銅の合金などのアルミニウム相互接続金属の層を形成すること、及びアルミニウム相互接続金属の層の上の 5 ~ 15 ナノメートルの厚みの、チタンタングステン又は窒化チタンなどのキャップ金属の層を形成することを含む。フォトレジストパターンなどのメタライゼーションエッチマスクが、不要な金属を取り除くためのエリアにおいてキャップ金属の層を露出させるようにキャップ金属の層の上に形成される。メタライゼーションエッチプロセスが実行される。例えば、露出されたエリアにおけるキャップ金属を取り除くためフッ素を含む RIE 工程、エッチされたアルミニウム相互接続金属の横方向表面をパッシベートするようにアルミニウム相互接続金属をフッ素でエッチングするため塩素を含む後続の RIE 工程、その後続く、相互接続要素を残すように障壁金属をエッチングするためフッ素を含む別の RIE 工程などである。

30

【0028】

代替として、ドレイン相互接続 138、ソース相互接続 140、及びスナバレジスタリンク 136 は、銅ダマシン相互接続プロセスを用いて形成され得、このプロセスは、PMD 層の上に二酸化シリコン又は低 k 誘電体などのレベル間誘電体 (ILD) 層を形成すること、及び銅ダマシンを相互接続のために画定されたエリアにおいて、通常 100 ~ 250 ナノメートルの深さ ILD 層においてトレンチをエッチングすることを含む。トレンチは、ドレイン相互接続 138、ソース相互接続 140、及びスナバレジスタリンク 136 の頂部表面を露出させる。タンタル窒化物などのライナー金属の層が、通常、物理気相成長、原子層堆積、又は化学気相成長により、トレンチの底部及び側部上に形成される。銅のシード層が、通常はスパッタリングにより、ライナー金属上に形成される。トレンチはその後、通常は電気めっきにより、銅で充填される。銅及びライナー金属は、CMP 及びエッチングプロセスにより ILD 層の頂部表面から取り除かれ、ILD 層において銅ダマ

40

50

シン相互接続を残す。

【0029】

本実施例において、スナバキャパシタコンタクト128、スナバレジスタリンク136及びスナバソースコンタクト130は、スナバレジスタ142を形成し、スナバレジスタ142は、スナバキャパシタプレート124とソース領域118との間に直列に接続される。1つ又は複数のレジスタアパー・チャ144が、スナバレジスタ142の電気抵抗を増大するためスナバレジスタリンク136に形成され得る。スナバキャパシタコンタクト128の総量及び/又はスナバソースコンタクト130の総量が、スナバレジスタ142の電気抵抗の所望の値を提供するように選択され得る。スナバレジスタ142の電気抵抗は、例えば0.5オーム～20オームであり得る。スナバレジスタ142及びスナバキャパシタ126は集積されたスナバ146を形成する。

【0030】

図2A～図2Cは、半導体デバイスの製造段階を図示し、改変された例示の実施例に従った、スナバを備えた拡張されたドレインMOSトランジスタを含む。

【0031】

図2Aを参照すると、半導体デバイス200が、図1Aを参照して説明されるように半導体基板202の中及び上に形成される。図示しないフィールド酸化物が、図1Aを参照して説明されるように、基板202の頂部表面において任意で形成され得る。MOSトランジスタ204は、基板202の頂部表面まで延びる、図1Aを参照して説明されるような、N型ドレインドリフト領域206を有する。MOSトランジスタ204は更に、図1Aを参照して説明されるように、ドレインドリフト領域206に接する基板202内にP型ボディ領域208を含む。図1Aを参照して説明されるように、ゲート誘電体層210、ゲート212、及び任意選択のMOSトランジスタ204のゲート側壁214が、ボディ領域208の一部及びドレインドリフト領域206の一部に重なって基板202の上に形成される。MOSトランジスタ204は更に、図1Aを参照して説明されるように、N型ソース領域216及び場合によっては任意選択のN型ドレインコンタクト領域218を含む。

【0032】

半導体デバイス200の既存の頂部表面の上にスナバキャパシタ誘電体層220が形成される。スナバキャパシタ誘電体層220は、図1Bを参照して説明する材料で形成され得る。本実施例において、スナバキャパシタ誘電体層220は、ドレインドリフト領域206より上でゲート212及びソース領域216の上に延びる。

【0033】

図2Bを参照すると、スナバレジスタ/キャパシタレイヤ222が、ドレインドリフト領域206より上でゲート212及びソース領域216の上に延びて、スナバキャパシタ誘電体層220上に形成される。スナバレジスタ/キャパシタレイヤ222は、半導体デバイス200において、図示しない他の構成要素から電気的に絶縁されるようにパターニングされる。スナバレジスタ/キャパシタレイヤ222は、ポリシリコンなどの電気的に導電性の材料、タンゲステンシリサイド、チタンシリサイド、コバルトシリサイド、又はニッケルシリサイドなどの金属シリサイド、アルミニウム、タンゲステン、チタン、タンタルなどの金属、又はチタンタンゲステン、窒化チタン、窒化タンタル、ニッケルクロム、シリコンクロムなどの金属合金、又はサーメット、セラミック金属材料などの薄膜レジスタ材料、の1つ又は複数の層を含み得る。

【0034】

ドレインドリフト領域206の上のスナバレジスタ/キャパシタレイヤ222の一部が、スナバキャパシタプレート224を形成する。スナバキャパシタプレート224、スナバキャパシタ誘電体層220、及びドレインドリフト領域206は、スナバキャパシタ226を形成する。

【0035】

ゲート212及びソース領域216の上のスナバレジスタ/キャパシタレイヤ222の

10

20

30

40

50

一部が、スナバレジスタ 228 を形成する。スナバレジスタ / キャパシタレイヤ 222 の厚みは、スナバレジスタ 228 の電気抵抗の所望の値を提供するように選択され得る。スナバレジスタ 228 の電気抵抗を増大するようにスナバレジスタ / キャパシタレイヤ 222 に 1 つ又は複数のレジスタアパー チャ 230 が形成され得る。スナバレジスタ 228 の電気抵抗は、例えば 0.5 ~ 20 オームであり得る。

【0036】

図示しない PMD 層が、図 1C を参照して説明されるように、半導体デバイス 200 の既存の頂部表面の上に形成される。MOS トランジスタ 204 の他の要素をよりはっきりと示すため、PMD 層は図 2C には示していない。

【0037】

図 2C を参照すると、1 つ又は複数のトランジスタドレインコンタクト 232 が、ドレインドリフト領域 206 と電気的コンタクトを成すように PMD 層を介して、存在する場合はドレインコンタクト領域 218 を介して、形成される。1 つ又は複数のトランジスタソースコンタクト 234 が、ソース領域 216 及びスナバレジスタ 228 と電気的コンタクトを成すように PMD 層を介して形成される。トランジスタドレインコンタクト 232 及びトランジスタソースコンタクト 234 は、図 1C を参照して説明されるように形成され得る。

【0038】

スナバレジスタ 228 及びスナバキャパシタ 226 は、集積されたスナバ 236 を形成する。

【0039】

図 3A ~ 図 3C は、別の改変された例示の実施例に従って、拡張されたドレイン MOS トランジスタを含むスナバを備えた半導体デバイスの製造段階を図示する。

【0040】

図 3A を参照すると、半導体デバイス 300 が薄い半導体基板 302 の中及び上に形成される。基板 302 は、単結晶シリコン又はシリコンゲルマニウムなどの半導体合金であり得る。本実施例において、基板 302 は 5 ~ 100 ミクロンの厚みである。MOS トランジスタ 304 は、N 型ドレインドリフト領域 306 を含み、これは、基板 302 の頂部表面から基板 302 の底部表面まで又は底部表面の付近まで延びる。MOS トランジスタ 304 は任意で、基板 302 の底部表面において及びドレインドリフト領域 306 に接して、n 型ドレインコンタクト領域 308 を含み得る。ドレインコンタクト領域 308 は、基板 302 の底部表面を N 型ドーパントでイオン注入すること、及びその後、注入されたドーパントの少なくとも一部を活性化するためアニールプロセスを実行することにより形成され得る。MOS トランジスタ 304 は更に、基板 302 の底部表面上に、基板 302 の底部表面と電気的接続を成して、ドレインコンタクト金属層 310 を含む。

【0041】

MOS トランジスタ 304 は、基板 302 の頂部表面において、ドレインドリフト領域 306 に接して基板 302 内に P 型ボディ領域 312 を含む。ゲート誘電体層 314 及び MOS トランジスタ 304 のゲート 316 が、基板 302 の頂部表面においてボディ領域 312 の一部及びドレインドリフト領域 306 の一部に重なって基板 302 の上に形成される。MOS トランジスタ 304 は更に、ドレインドリフト領域 306 とは反対でゲート 316 に隣接して、及びボディ領域 312 によりドレインドリフト領域 306 から隔離されて、基板 302 に形成される N 型ソース領域 318 を含む。

【0042】

図 3B を参照すると、半導体デバイス 300 の既存の頂部表面の上にスナバキャパシタ誘電体層 320 が形成される。スナバキャパシタ誘電体層 320 は、図 1B を参照して説明する材料で形成され得る。本実施例において、スナバキャパシタ誘電体層 320 は、ドレインドリフト領域 306 より上でゲート 316 及びソース領域 318 の上に延びる。

【0043】

ソーストレンチ 322 が、ソース領域 318 及びゲート 316 を介して、且つ、ボディ

10

20

30

40

50

領域 3 1 2 に隣接するが横方向に分離されて、基板 3 0 2 に形成される。

【 0 0 4 4 】

図 3 C を参照すると、スナバレジスタ / キャパシタ層 3 2 4 が、ドレインドリフト領域 3 0 6 より上でゲート 3 1 6 及びソース領域 3 1 8 の上に、且つ、ソース領域 3 1 8 及びボディ領域 3 1 2 と電気的コンタクトを成すようにソーストレニチ 3 2 2 内に延びて、スナバキャパシタ誘電体層 3 2 0 上に形成される。スナバレジスタ / キャパシタ層 3 2 4 は、半導体デバイス 3 0 0 において、図示しない他の構成要素から電気的に絶縁されるよう 10 にパターニングされる。スナバレジスタ / キャパシタ層 3 2 4 は、図 2 C を参照して説明する材料で形成され得る。

【 0 0 4 5 】

ドレインドリフト領域 3 0 6 の上のスナバレジスタ / キャパシタ層 3 2 4 の一部が、スナバキャパシタプレート 3 2 6 を形成する。スナバキャパシタプレート 3 2 6 、スナバキヤパシタ誘電体層 3 2 0 、及びドレインドリフト領域 3 0 6 は、スナバキャパシタ 3 2 8 を形成する。

【 0 0 4 6 】

ゲート 3 1 6 の上のスナバレジスタ / キャパシタ層 3 2 4 の一部が、スナバレジスタ 3 3 0 を形成する。スナバレジスタ / キャパシタ層 3 2 4 の厚みは、スナバレジスタ 3 3 0 の電気抵抗の所望の値を提供するように選択され得る。1つ又は複数のレジスタアーチャ 3 3 2 が、スナバレジスタ 3 3 0 の電気抵抗を増大するようにスナバレジスタ / キャパシタ層 3 2 4 に形成され得る。スナバレジスタ 3 3 0 の電気抵抗は、例えば 0.5 ~ 20 20 オームであり得る。スナバレジスタ 3 3 0 及びスナバキャパシタ 3 2 8 は、集積されたスナバ 3 3 4 を形成する。

【 0 0 4 7 】

図 4 A 及び図 4 B は、別の改変された例示の実施例に従った、スナバを備えた拡張されたドレイン MOS トランジスタを含む半導体デバイスの製造段階を図示する。

【 0 0 4 8 】

図 4 A を参照すると、半導体デバイス 4 0 0 が、図 1 A を参照して説明されるように半導体基板 4 0 2 の中及び上に形成される。フィールド酸化物 4 0 4 が、例えば、半導体デバイス 4 0 0 において、図示しない他の構成要素から MOS トランジスタ 4 0 6 を横方向に隔離するため、図 1 A を参照して説明されるように、基板 4 0 2 の頂部表面において形成され得る。MOS トランジスタ 4 0 6 は、基板 4 0 2 の頂部表面まで延びる、図 1 A を参照して説明されるような、N 型ドレインドリフト領域 4 0 8 を有する。MOS トランジスタ 4 0 6 は更に、図 1 A を参照して説明されるように、ドレインドリフト領域 4 0 8 に接して基板 4 0 2 内に P 型ボディ領域 4 1 0 を含む。ゲート誘電体層 4 1 2 、ゲート 4 1 4 、及び MOS トランジスタ 4 0 6 の任意選択のゲート側壁 4 1 6 が、図 1 A を参照して説明されるように、ボディ領域 4 1 0 の一部及びドレインドリフト領域 4 0 8 の一部に重なって基板 4 0 2 の上に形成される。MOS トランジスタ 4 0 6 は更に、図 1 A を参照して説明されるように、n 型ソース領域 4 1 8 、及び場合によっては任意選択の N 型ドレインコンタクト領域 4 2 0 、を含む。ドレインコンタクト領域 4 2 0 は、図 4 A に示すように、フィールド酸化物 4 0 4 の付加的な要素により横方向に隔離され得る。

【 0 0 4 9 】

スナバキャパシタ誘電体層 4 2 2 が、図 1 B を参照して説明されるように、ゲート 4 1 4 に隣接してドレインドリフト領域 4 0 8 の上に形成される。スナバキャパシタ誘電体層 4 2 2 は、存在する場合はドレインドリフト領域 4 0 8 に配置されるフィールド酸化物要素 4 0 4 に任意で重なり得る。スナバキャパシタプレート 4 2 4 が、図 1 B を参照して説明されるように、ドレインドリフト領域 4 0 8 から電気的に絶縁されるように、スナバキヤパシタ誘電体層 4 2 2 の上に形成される。スナバキャパシタプレート 4 2 4 、スナバキヤパシタ誘電体層 4 2 2 、及びドレインドリフト領域 4 0 8 は、スナバキャパシタ 4 2 6 を形成する。

【 0 0 5 0 】

10

20

30

40

50

図示しないが、PMD層が、図1Cを参照して説明されるように、半導体デバイス400の既存の頂部表面の上に形成される。PMD層は、MOSトランジスタ406の他の要素をよりはっきりと示すため、図4Bには示していない。1つ又は複数のスナバキャパシタコンタクト428、例えば、図4Aに示したような連続的スナバキャパシタコンタクト428が、図1Cを参照して説明されるように、スナバキャパシタプレート424と電気的コンタクトを成すようにPMD層を介して形成される。1つ又は複数のトランジスタドレインコンタクト430、例えば、連続的トランジスタドレインコンタクト430が、存在する場合はドレインコンタクト領域420を介して、ドレインドリフト領域408と電気的コンタクトを成すようにPMD層を介して形成される。1つ又は複数のトランジスタソースコンタクト432、例えば、連続的トランジスタソースコンタクト432が、ソース領域418と電気的コンタクトを成すようにPMD層を介して形成される。トランジスタドレインコンタクト430、トランジスタソースコンタクト432、及びスナバキャパシタコンタクト428は、連続的コンタクトのためのコンタクトトレーナーを用いて、図1Cを参照して説明されるように形成され得る。

【0051】

スナバレジスタ434が、スナバキャパシタコンタクト428及びトランジスタソースコンタクト432と電気的コンタクトを成すようにPMD層の上に形成される。スナバレジスタ434は、半導体デバイス400において、図示しない他の構成要素から電気的に絶縁されるようにバターニングされる。トランジスタソースコンタクト432を図示するためスナバレジスタ434の一部が図4Aにおいて取り除かれている。スナバレジスタ434は、ポリシリコン、などの電気的に導電性の材料、タンゲステンシリサイド、チタンシリサイド、コバルトシリサイド、又はニッケルシリサイドなどの金属シリサイド、アルミニウム、タンゲステン、チタン、タンタルなどの金属、又はチタンタンゲステン、窒化チタン、窒化タンタル、ニッケルクロム、シリコンクロムなどの金属合金、又はサーメットなどの薄膜レジスタ材料、の1つ又は複数の層を含み得る。1つ又は複数のレジスタアパーチャ436が、スナバレジスタ434の電気抵抗を増大するようにスナバレジスタ434において形成され得る。スナバレジスタ434の電気抵抗は、例えば0.5~20オームであり得る。スナバレジスタ434及びスナバキャパシタ426は、集積されたスナバ438を形成する。

【0052】

図4Bを参照すると、ドレイン相互接続440が、トランジスタドレインコンタクト430と電気的コンタクトを成すようにPMD層の上に形成される。ソース相互接続442が、スナバレジスタ434を介してトランジスタソースコンタクト432と電気的コンタクトを成すようにスナバレジスタ434上に形成される。ドレイン相互接続440及びソース相互接続442は、図1Cを参照して説明されるように、アルミニウムメタライゼーションプロセス又は銅ダマシンメタライゼーションプロセスにより形成され得る。

【0053】

本発明に関連する技術に習熟した者であれば、本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得ること、及び他の実施例を実装し得ることが分かるであろう。

10

20

30

40

【図1A】

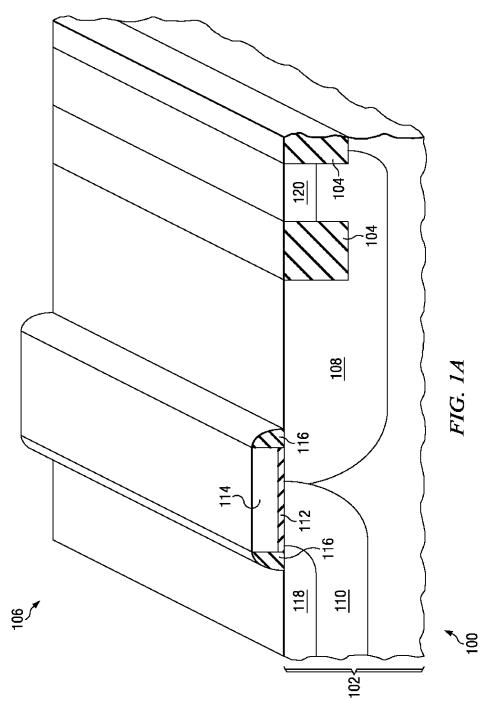


FIG. 1A

【図1B】

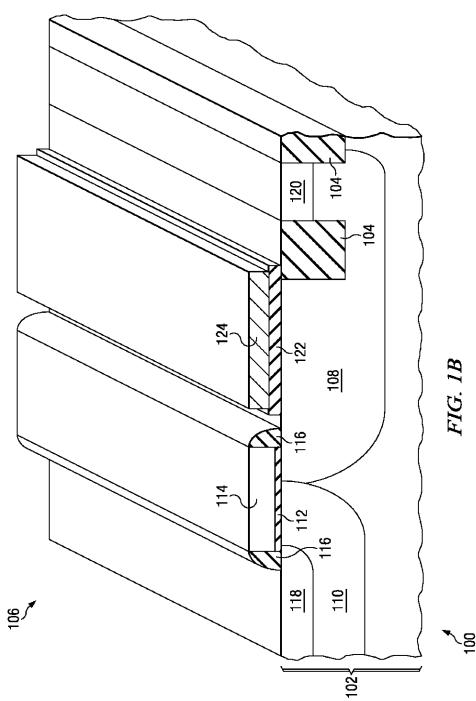


FIG. 1B

【図1C】

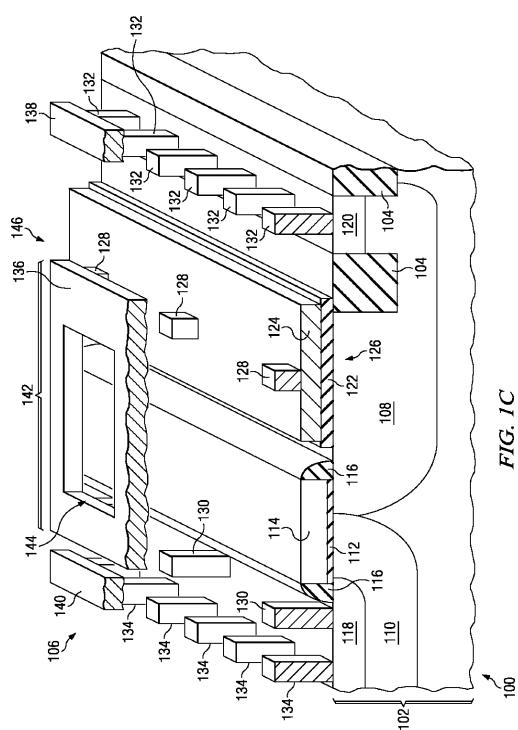


FIG. 1C

【図2A】

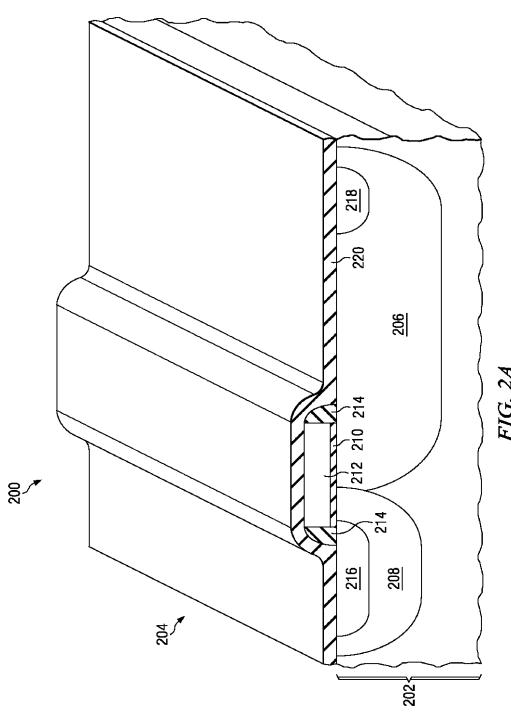


FIG. 2A

【図2B】

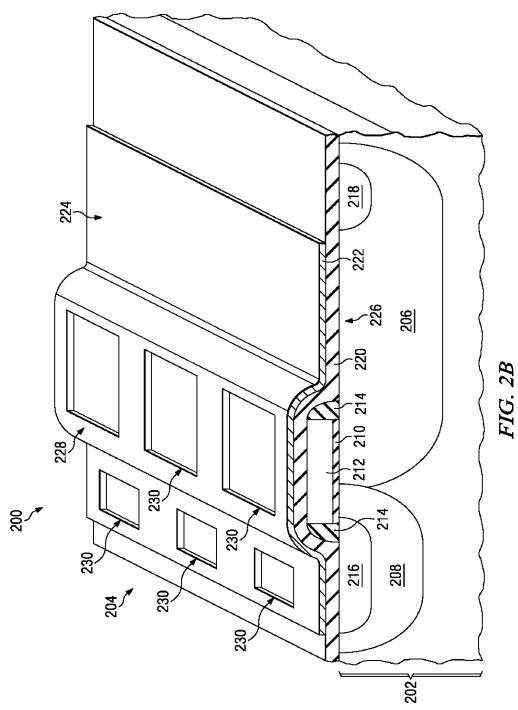


FIG. 2B

【図2C】

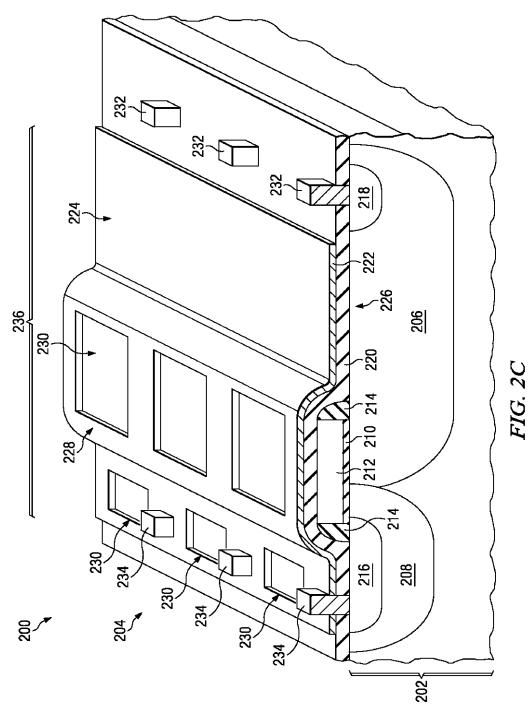


FIG. 2C

【図3A】

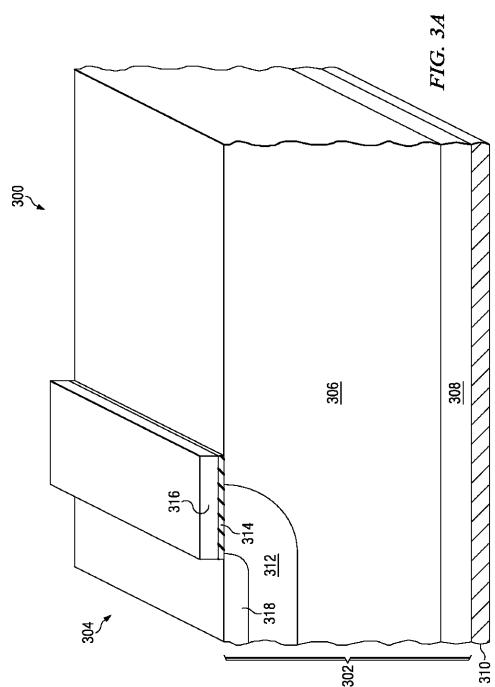


FIG. 3A

【図3B】

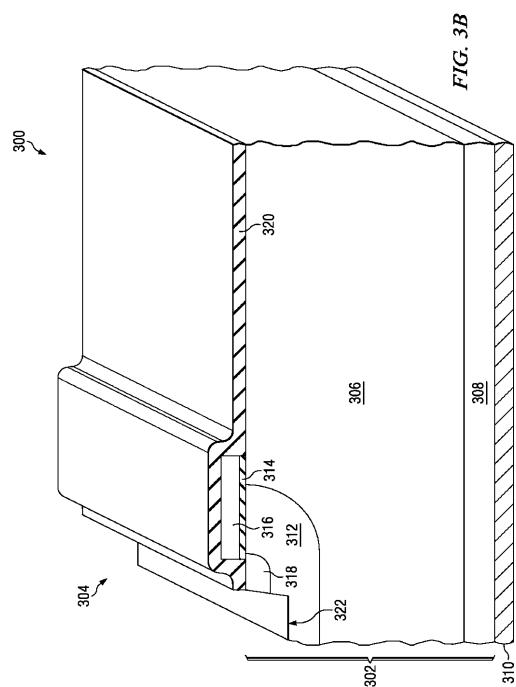
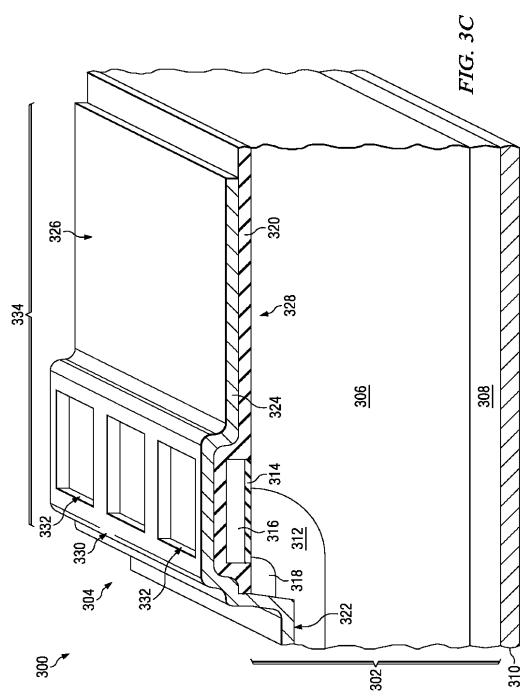
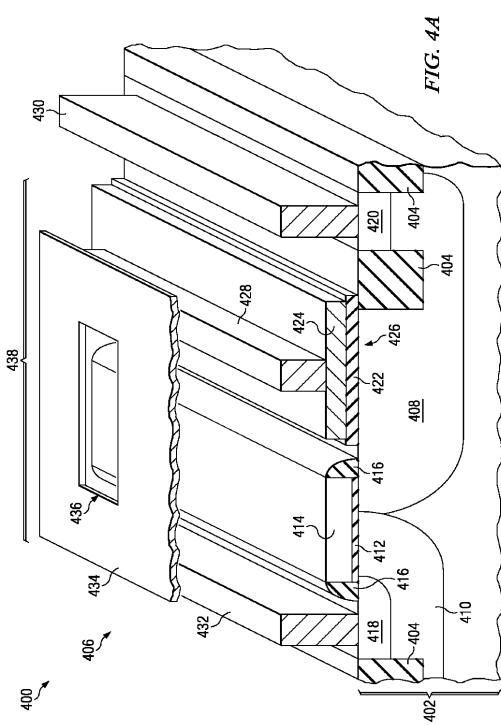


FIG. 3B

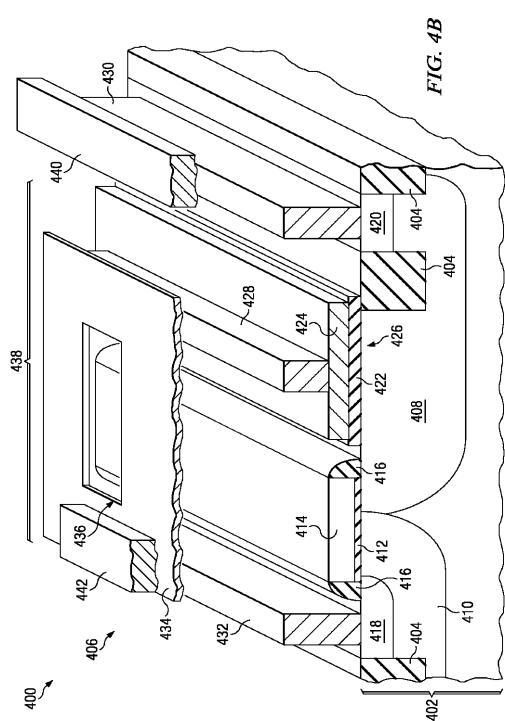
【図3C】



【図4A】



【図4B】



フロントページの続き

(51)Int.Cl.

F I

H 01 L	21/822	(2006.01)	H 01 L	21/28	3 0 1 R
H 01 L	27/04	(2006.01)	H 01 L	29/44	S
H 01 L	27/06	(2006.01)	H 01 L	27/04	H
			H 01 L	27/06	3 1 1 C
			H 01 L	27/04	C

(72)発明者 クリストファー ボグスロー ココン

アメリカ合衆国 18707 ペンシルベニア州 マウンテン トップ, ワイルドウッド レン 5

審査官 宇多川 勉

(56)参考文献 特開2008-085117 (JP, A)

特開2010-157688 (JP, A)

特開平11-261066 (JP, A)

特開平05-014156 (JP, A)

特開昭58-137256 (JP, A)

特開2004-221344 (JP, A)

特開2011-009352 (JP, A)

特開2003-203923 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 336
H 01 L 21 / 28
H 01 L 21 / 822
H 01 L 27 / 04
H 01 L 27 / 06
H 01 L 29 / 12
H 01 L 29 / 41
H 01 L 29 / 78