

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-165238

(P2006-165238A)

(43) 公開日 平成18年6月22日(2006.6.22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 4 Z	5 F O 8 3
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 4 B	

審査請求 未請求 請求項の数 12 O L (全 15 頁)

(21) 出願番号	特願2004-353892 (P2004-353892)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成16年12月7日(2004.12.7)	(74) 代理人	100107836 弁理士 西 和哉
		(74) 代理人	100064908 弁理士 志賀 正武
		(74) 代理人	100101465 弁理士 青山 正和
		(72) 発明者	中山 雅夫 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	▲濱▼田 泰彰 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

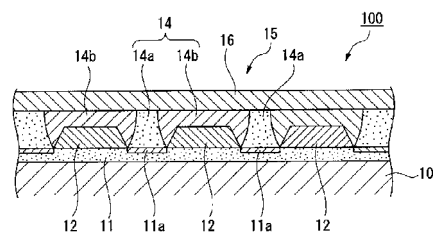
(54) 【発明の名称】 強誘電体メモリとその製造方法、強誘電体メモリ装置とその製造方法、及び電子機器

(57) 【要約】

【課題】 下部電極の側面からの電界に起因する強誘電体キャパシタの特性低下を防止した、強誘電体メモリとその製造方法、強誘電体メモリ装置とその製造方法、及び電子機器を提供する。

【解決手段】 基体10上に形成された下部電極12と、下部電極12を覆って形成された強誘電体層14と、強誘電体層14上に形成された上部電極16と、からなる強誘電体キャパシタを有する強誘電体メモリ15である。基体10と強誘電体層14との間で、下部電極12を覆わない位置に、強誘電体層14を形成するための強誘電体材料と反応することで、強誘電体材料の結晶化温度を高める材料からなる結晶化抑制層11が、少なくとも一部が強誘電体層14に接して設けられている。強誘電体層14の、結晶化抑制層11に接している第1の部位14aが、非晶質あるいはパイロクロア型になっており、下部電極12上を覆う第2の部位14bが、ペロプスカイト型に結晶化されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基体上に形成された下部電極と、該下部電極を覆って形成された強誘電体層と、該強誘電体層上に形成された上部電極と、からなる強誘電体キャパシタを有する強誘電体メモリであって、

前記基体と前記強誘電体層との間で、前記下部電極を覆わない位置に、前記強誘電体層を形成するための強誘電体材料と反応することで、該強誘電体材料の結晶化温度を高める材料からなる結晶化抑制層が、少なくとも一部が前記強誘電体層に接して設けられ、

前記強誘電体層の、前記結晶化抑制層に接している第 1 の部位が、非晶質あるいはパイロクロア型になっており、前記下部電極上を覆う第 2 の部位が、ペロブスカイト型に結晶化されていることを特徴とする強誘電体メモリ。

10

【請求項 2】

前記強誘電体層が、

$A B_{1-x} N b_x O_3$ の一般式で示され、

A 元素は、少なくとも P b からなり、

B 元素は、Z r、T i、V、W 及び H f のうち、少なくとも一つ以上からなり、

$0.05 < x < 4$ の範囲で N b を含むことを特徴とする請求項 1 記載の強誘電体メモリ

【請求項 3】

前記結晶化抑制層が、前記基体と前記強誘電体層との間で、直上に前記下部電極が配されていない部位に選択的に設けられていることを特徴とする請求項 1 又は 2 記載の強誘電体メモリ。

20

【請求項 4】

前記結晶化抑制層が酸化ジルコニウムからなることを特徴とする請求項 1 ~ 3 のいずれか一項に記載の強誘電体メモリ。

【請求項 5】

請求項 1 ~ 4 のいずれか一項に記載の強誘電体メモリがマトリクス状に配列されてなることを特徴とする強誘電体メモリ装置。

【請求項 6】

基体上に形成された下部電極と、該下部電極を覆って形成された強誘電体層と、該強誘電体層上に形成された上部電極と、からなる強誘電体キャパシタを有する強誘電体メモリの製造方法であって、

30

基体上に、前記強誘電体層を形成するための強誘電体材料と反応することで、該強誘電体材料の結晶化温度を高める材料からなる結晶化抑制層を形成する工程と、

前記基体上に下部電極を形成する工程と、

前記下部電極を覆った状態で、かつ、前記下部電極間にて前記結晶化抑制層に接するようにして、強誘電体材料を配する工程と、

前記強誘電体材料を熱処理することで、前記結晶化抑制層とこれに接している第 1 の部位とを反応させ、該第 1 の部位の結晶化温度を高めるとともに、この第 1 の部位の結晶化温度より低い温度で前記強誘電体材料を熱処理することにより、前記第 1 の部位が非晶質あるいはパイロクロア型になっており、前記下部電極上を覆う第 2 の部位がペロブスカイト型に結晶化されてなる、強誘電体層を形成する工程と、を備えたことを特徴とする強誘電体メモリの製造方法。

40

【請求項 7】

前記強誘電体層が、

$A B_{1-x} N b_x O_3$ の一般式で示され、

A 元素は、少なくとも P b からなり、

B 元素は、Z r、T i、V、W 及び H f のうち、少なくとも一つ以上からなり、

$0.05 < x < 4$ の範囲で N b を含むことを特徴とする請求項 6 記載の強誘電体メモリの製造方法。

50

【請求項 8】

前記結晶化抑制層を形成した後、前記下部電極を形成する工程において、該下部電極をドライエッチングでパターニングする際にオーバーエッチングを行い、該下部電極間に露出する前記結晶化抑制層の表層部を還元することを特徴とする請求項 6 又は 7 記載の強誘電体メモリの製造方法。

【請求項 9】

前記の下部電極をドライエッチングでパターニングする際のエッチングガスとして、フロン系ガスまたはアルゴンガスを含んだガスを用いることを特徴とする請求項 8 記載の強誘電体メモリの製造方法。

【請求項 10】

前記結晶化抑制層が酸化ジルコニウムからなることを特徴とする請求項 6 ~ 9 のいずれか一項に記載の強誘電体メモリの製造方法。

10

【請求項 11】

請求項 6 ~ 10 記載の製造方法によって得られた強誘電体メモリをマトリクス状に配列することを特徴とする強誘電体メモリ装置の製造方法。

【請求項 12】

請求項 1 ~ 4 のいずれか一項に記載の強誘電体メモリ、あるいは請求項 5 記載の強誘電体メモリ装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、強誘電体キャパシタを有する強誘電体メモリとその製造方法、強誘電体メモリ装置とその製造方法、及び電子機器に関する。

【背景技術】

【0002】

セルトランジスタを備えず、強誘電体キャパシタのみを用いた強誘電体メモリからなる単純マトリクス型のメモリセルアレイは、非常に簡単な構造を有し、高い集積度を得ることができることから、その開発が期待されている。そのようなメモリセルアレイの一例として、強誘電体キャパシタが、第 1 信号電極（下部電極）と、該第 1 信号電極と交差する方向に配列された第 2 信号電極（上部電極）と、少なくとも前記第 1 信号電極と前記第 2 電極との交差領域に配置された P Z T 等の強誘電体層と、を含んで構成されたものが知られている。（例えば、特許文献 1 参照）。

30

【特許文献 1】特開 2002 - 64187 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、前記のメモリセルアレイを構成する強誘電体メモリでは、図 7 に示すように、強誘電体キャパシタ 1 に電圧が印加されると、下部電極 2 の側壁面 2 b から強誘電体層 3 に電界がかかるため、強誘電体キャパシタ 1 の特性が低下してしまう。すなわち、図 7 中の矢印 A で示すような下部電極 2 の上面 2 a からの電界のみであれば、強誘電体キャパシタ 1 はそのヒステリシスループの角型性が良好になる。しかし、図 7 中の矢印 B で示すような下部電極 2 の側壁面 2 b から電界が加わると、この部位でのヒステリシスループの角型性が良好でないため、強誘電体キャパシタ 1 全体でのヒステリシスループの角型性が損なわれてしまうからである。

40

【0004】

また、メモリセルアレイを構成するものでなく、1T1C型の強誘電体メモリ装置のように、独立したキャパシタを有するものも知られている。しかしながら、このような独立したキャパシタを形成するものでは、このキャパシタの形成時に、通常はドライエッチングで強誘電体層についてもパターニングすることから、特に形成したキャパシタの側壁面でのダメージが大きくなり、得られたキャパシタは、その電気特性として、初期特性が低

50

下し、さらには疲労特性等の信頼性が低下するといった課題があった。

【0005】

本発明は前記事情に鑑みてなされたもので、その目的とするところは、下部電極の側面からの電界に起因する強誘電体キャパシタの特性低下を防止し、信頼性を向上した、強誘電体メモリとその製造方法、さらにはこの強誘電体メモリを備えた強誘電体メモリ装置とその製造方法、及び電子機器を提供することにある。

【課題を解決するための手段】

【0006】

本発明の強誘電体メモリは、基体上に形成された下部電極と、該下部電極を覆って形成された強誘電体層と、該強誘電体層上に形成された上部電極と、からなる強誘電体キャパシタを有する強誘電体メモリであって、

前記基体と前記強誘電体層との間で、前記下部電極を覆わない位置に、前記強誘電体層を形成するための強誘電体材料と反応することで、該強誘電体材料の結晶化温度を高める材料からなる結晶化抑制層が、少なくとも一部が前記強誘電体層に接して設けられ、

前記強誘電体層の、前記結晶化抑制層に接している第1の部位が、非晶質あるいはパイロクロア型になっており、前記下部電極上を覆う第2の部位が、ペロブスカイト型に結晶化されていることを特徴としている。

【0007】

この強誘電体メモリによれば、結晶化抑制層が下部電極を覆わない位置、すなわち下部電極間で、強誘電体層に接して設けられているので、強誘電体層の形成時に、予め設定された温度で加熱し結晶化されることで、この結晶化抑制層に接している部位はペロブスカイト型に結晶化することなく、非晶質あるいはパイロクロア型になり、下部電極上を覆う部位のみが、選択的に結晶化されてペロブスカイト型となる。このようにして形成された強誘電体層において、非晶質あるいはパイロクロア型になった部位は、ペロブスカイト型に結晶化された部位に比較して誘電率が例えば1/10となるため、隣り合うキャパシタ間にて電場をシールドする機能を発揮する。したがって、下部電極の側壁面からの電界が、非晶質あるいはパイロクロア型になった部位にかかることで、下部電極の側壁面からの電界の影響が抑えられることから、強誘電体キャパシタのヒステリシスループの角型性が向上し、さらにはクロストークも防止されることなどにより、その特性向上が図られ、信頼性が向上したものとなる。

【0008】

また、前記強誘電体メモリにおいては、前記強誘電体層が、

$AB_{1-x}Nb_xO_3$ の一般式で示され、

A元素は、少なくともPbからなり、

B元素は、Zr、Ti、V、W及びHfのうち、少なくとも一つ以上からなり、

$0.05 < x < 4$ の範囲でNbを含んでいるのが好ましい。

このようにすれば、強誘電体層が、例えば $Pb(Zr, Ti)O_3$ (PZT) である場合に比べ、より良好な強誘電体特性を有するものとなる。

【0009】

また、前記強誘電体メモリにおいては、前記結晶化抑制層が、前記基体と前記強誘電体層との間で、直上に前記下部電極が配されていない部位に選択的に設けられているのが好ましい。

このようにすれば、例えば結晶化抑制層が絶縁体となる酸化物によって形成され、さらに下部電極の直下にコンタクトホールが形成され、このコンタクトホール内にタングステンなどのプラグが埋め込まれている場合に、プラグと接触する部位は結晶化抑制層となっていないため、プラグが結晶化抑制層によって酸化され配線抵抗が増大するのを防止できる。

【0010】

なお、前記結晶化抑制層は酸化ジルコニウムからなっているのが好ましく、このようにすることにより、この結晶化抑制層上の強誘電体層がより確実に非晶質あるいはパイロク

10

20

30

40

50

ロア型になる。

【0011】

本発明の強誘電体メモリ装置は、前記の強誘電体メモリがマトリクス状に配列されてなることを特徴としている。

この強誘電体メモリ装置によれば、セルトランジスタを形成することなく、強誘電体キャパシタのみを用いた強誘電体メモリからなる単純マトリクス型のメモリ装置となることから、非常に簡単な構造で高い集積度が得られる。

【0012】

本発明の強誘電体メモリの製造方法は、基体上に形成された下部電極と、該下部電極を覆って形成された強誘電体層と、該強誘電体層上に形成された上部電極と、からなる強誘電体キャパシタを有する強誘電体メモリの製造方法であって、

基体上に、前記強誘電体層を形成するための強誘電体材料と反応することで、該強誘電体材料の結晶化温度を高める材料からなる結晶化抑制層を形成する工程と、

前記基体上に下部電極を形成する工程と、

前記下部電極を覆った状態で、かつ、前記下部電極間にて前記結晶化抑制層に接するようにして、強誘電体材料を配する工程と、

前記強誘電体材料を熱処理することで、前記結晶化抑制層とこれに接している第1の部位とを反応させ、該第1の部位の結晶化温度を高めるとともに、この第1の部位の結晶化温度より低い温度で前記強誘電体材料を熱処理することにより、前記第1の部位が非晶質あるいはパイロクロア型になっており、前記下部電極上を覆う第2の部位がペロブスカイト型に結晶化されてなる、強誘電体層を形成する工程と、を備えたことを特徴としている。

【0013】

この強誘電体メモリの製造方法によれば、第1の部位の結晶化温度より低い温度で前記強誘電体材料を熱処理することで、結晶化抑制層に接している部位を非晶質あるいはパイロクロア型にし、前記下部電極上を覆う部位をペロブスカイト型に結晶化して、強誘電体層を形成するので、この強誘電体層において、非晶質あるいはパイロクロア型になった第1の部位は、ペロブスカイト型に結晶化された第2の部位に比較して誘電率が例えば1/10となるため、隣り合うキャパシタ間にて電界をシールドする機能を発揮する。したがって、下部電極の側壁面からの電界が、非晶質あるいはパイロクロア型になった第1の部位にかかることで、下部電極の側壁面からの電界の影響が抑えられることから、得られる強誘電体メモリはその強誘電体キャパシタのヒステリシスループの角型性が向上し、さらにはクロストークも防止されることにより、その特性向上が図られ、信頼性が向上したものとなる。

【0014】

また、前記強誘電体メモリの製造方法においては、前記強誘電体層が、

$A B_{1-x} N b_x O_3$ の一般式で示され、

A元素は、少なくともPbからなり、

B元素は、Zr、Ti、V、W及びHfのうち、少なくとも一つ以上からなり、

$0.05 < x < 4$ の範囲でNbを含んでいるのが好ましい。

このようにすれば、強誘電体層が、例えば $Pb(Zr, Ti)O_3$ (PZT) である場合に比べ、より良好な強誘電体特性を有するものとなる。

【0015】

また、前記強誘電体メモリの製造方法においては、前記結晶化抑制層を形成した後、前記下部電極を形成する工程において、該下部電極をドライエッチングでパターンニングする際にオーバーエッチングを行い、該下部電極間に露出する前記結晶化抑制層の表層部を還元するのが好ましい。また、その場合に、前記の下部電極をドライエッチングでパターンニングする際のエッチングガスとして、フロン系ガスまたはアルゴンガスを含んだガスを用いるのが好ましい。

【0016】

10

20

30

40

50

このように、下部電極間に露出する前記結晶化抑制層の表層部を還元すれば、結晶化抑制層の表層部に、還元された金属元素が特にその表面側に多く存在するようになる。すると、強誘電体層を形成する際の熱処理時に、この金属元素が強誘電体材料中により良好に拡散反応し、第1の部位の結晶化温度がより確実に高くなる。したがって、下部電極上を覆う第2の部位のみを、ペロブスカイト型に選択的に結晶化するのが容易になる。

また、パターンニングする際のエッチングガスとして、フロン系ガスを含んだガスを用いれば、結晶化抑制層の表層部にフルオロカーボン(CFx)のイオンが物理的に作用するとともに、フルオロカーボン(CFx)のラジカルが化学的に作用することにより、例えば結晶化抑制層を形成する金属酸化物での金属と酸素との結合が切られ、金属酸化物は金属に還元される。同様に、エッチングガスとしてアルゴンガスを含んだガスを用いても、アルゴンが物理的に作用することにより、金属酸化物は金属に還元される。よって、前述したように下部電極上を覆う第2の部位のみを、ペロブスカイト型に選択的に結晶化するのが容易になる。

10

【0017】

なお、前記結晶化抑制層は酸化ジルコニウムからなっているのが好ましく、このようにすることにより、この結晶化抑制層上の強誘電体層がより確実に非晶質あるいはパイロクローア型になる。

【0018】

本発明の強誘電体メモリ装置の製造方法は、前記の製造方法によって得られた強誘電体メモリがマトリクス状に配列されてなることを特徴としている。

20

この強誘電体メモリ装置の製造方法によれば、セルトランジスタを形成することなく、強誘電体キャパシタのみを用いた強誘電体メモリからなる単純マトリクス型のメモリ装置が得られることから、得られる強誘電体メモリ装置は非常に簡単な構造で高い集積度を有するものとなる。

【0019】

本発明の電子機器は、前記の強誘電体メモリ、あるいは前記の強誘電体メモリ装置を備えたことを特徴としている。

この電子機器によれば、前述したように強誘電体キャパシタのヒステリシスループの角型性が向上し、さらにはクロストークも防止されることなどにより、その特性向上が図られ、信頼性が向上した強誘電体メモリ、あるいはこれを有する強誘電体メモリ装置を備えているので、メモリ特性等に優れたものとなる。

30

【発明を実施するための最良の形態】

【0020】

以下、本発明を詳しく説明する。

図1は、本発明の強誘電体メモリ装置の一実施形態を示す図であり、図1中符号1000は強誘電体メモリ装置である。強誘電体メモリ装置1000は、本発明の強誘電体メモリをマトリクス状に配列したメモリセルアレイ100と、周辺回路部200とを備えて構成されたものである。周辺回路部200は、後述する本発明の強誘電体メモリ(メモリセル)に対し、選択的に情報の書き込みもしくは読み出しを行うための各種回路を有したもので、例えば、下部電極12を選択的に制御するための第1駆動回路50と、上部電極16を選択的に制御するための第2駆動回路52と、センスアンプなどの信号検出回路(図示せず)とを有したものである。このような周辺回路部200の具体例としては、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダまたはアドレスバッファを上げることができる。

40

【0021】

次に、本発明の強誘電体メモリの一実施形態について、図2を用いて説明する。図2は、図1のA-A線に沿ってメモリセルアレイ100の一部を模式的に示した断面図であり、図2中符号15は強誘電体メモリである。図1に示したメモリセルアレイ100では、行選択のための複数の下部電極(ワード線)12と、列選択のための複数の上部電極(ビット線)16とが互いに直交するように形成されている。なお、下部電極12をビット線

50

、上部電極 16 をワード線とすることもできる。

【0022】

図 2 に示した強誘電体メモリ 15 において、基体 10 上には、金属酸化物からなる結晶化抑制層 11 が例えば厚さ 60 nm 程度に形成されており、この結晶化抑制層 11 上には、下部電極 12 が並列した状態に形成されている。結晶化抑制層 11 は、後述する、強誘電体層を形成するための強誘電体材料と拡散反応する材料によって形成されたものである。すなわち、この結晶化抑制層 11 は、その成分中の金属元素が強誘電体材料中に拡散反応することで、該強誘電体材料の結晶化温度を高めるようになっているのである。このような結晶化抑制層 11 を形成する金属酸化物としては、Zr の酸化物（酸化ジルコニウム）や Bi の酸化物が挙げられる。ここで、Bi の酸化物としては、Bi 層状ペロブスカイト化合物を挙げることができる。Bi 層状ペロブスカイト化合物は、例えば一般式 $Bi_2 A_{m-1} B_m O_{3m+3}$ （但し、 $m=2, 3, 4$ 、A は Ba, Ca, Sr, La, Bi から選ばれる金属元素、B は Fe, Ga, Ti, Ta, Nb, V, Mo, W, Zr, Hf から選ばれる金属元素）で示されるものである。なお、本実施形態では、結晶化抑制層 11 は酸化ジルコニウムからなっているものとする。

10

【0023】

このような構成のもとに結晶化抑制層 11 は、並列して配置された下部電極 12 間において露出した状態に形成配置されたものとなっている。また、この結晶化抑制層 11 は、後述するようにフロン系ガスまたはアルゴンガスを含んだガスを用いたドライエッチングにより、その表層部が還元処理されているのが好ましい。

20

【0024】

また、前記下部電極 12 は、Pt、Ir、Ru 等の金属の単体、またはこれら金属を主体とした複合材料によって形成されたものである。なお、この下部電極 12 や前記上部電極 16 に、後述する強誘電体層中の強誘電体元素が拡散すると、電極と強誘電体層との界面部に組成ずれが生じ、ヒステリシスループの角型性が低下する。したがって、下部電極 12 や上部電極 16 には強誘電体元素が拡散しない緻密性が要求される。そこで、これら下部電極 12 や上部電極 16 の緻密性を上げるため、例えば、製造時に質量の重いガスでスパッタ成膜したり、Y、La 等の酸化物を貴金属電極中に分散させるなどの手法を採用してもよい。なお、本実施形態では下部電極 12 は白金（Pt）からなっており、その側壁面 12a が、基体 10 側に行くに連れて漸次幅が広がるよう、 $40 \sim 75^\circ$ 程度、本実施形態では約 50° のテーパ角を有するテーパ形状に形成されている。

30

【0025】

そして、この下部電極 12 を覆って基体 10 上に強誘電体層 14 が形成されている。強誘電体層 14 は、下部電極 12 間において露出した前記結晶化抑制層 11 に接している第 1 の部位 14a が、結晶化されることなく非晶質になっていたり、あるいは、結晶化されていてもその結晶構造がペロブスカイト型ではなくパイロクロア型となっている。また、前記下部電極 12 上を覆ってこれに接する第 2 の部位 14b は、ペロブスカイト型の結晶構造に結晶化されて形成されている。

この強誘電体層 14 は、鉛を含有する強誘電体材料によって形成されたもので、具体的には、 $Pb(Zr, Ti)O_3$ (PZT) や $(Pb, La)(Zr, Ti)O_3$ (PLZT)、さらに、これら材料にニオブ (Nb) 等の金属が加えられたものなどによって形成されている。

40

【0026】

ここで、特にニオブが加えられてなる強誘電体材料については、以下の一般式で示すことができる。



この一般式において、A 元素は、少なくとも Pb を有してなり、B 元素は、Zr、Ti、V、W 及び Hf のうち、少なくとも一つ以上からなっている。そして、ニオブ (Nb) については、前記 x が $(0.05 < x < 4)$ の範囲となるように配合されている。

ここで、一般式中の A 元素については、Pb のみでなく、 $(Pb_{1-y} L n_y)$ として

50

もよい。ただし、Lnは、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb及びLuのうちから選択された一あるいは複数の元素であり、前記yは、 $0 < y \leq 0.2$ の範囲とするのが好ましい。

なお、本実施形態では、強誘電体層14を形成する強誘電体材料として、Pb、Zr、Tiを構成元素として含む酸化物からなるPZT系材料に、NbをドーピングしたPb(Zr、Ti、Nb)O₃ (PZTN)を用いている。

【0027】

このようなPZTNでは、NbがTiとほぼ同じサイズ(イオン半径が近く、原子半径は同一である。)で、重さが2倍あり、格子振動による原子間の衝突によっても格子から原子が抜けにくくなっている。また、原子価は、+5価で安定であり、たとえPbが抜けても、Nb⁵⁺によりPb抜けの価数を補うことができる。また結晶化時に、Pb抜けが発生したとしても、サイズの大きなOが抜けるより、サイズの小さなNbが入る方が容易である。

10

【0028】

また、Nbは+4価も存在するため、Ti⁴⁺の代わりに十分機能するものとなる。さらに、実際にはNbは共有結合性が非常に強く、Pbも抜け難くなっていると考えられる(H. Miyazawa, E. Natori, S. Miyashita; Jpn. J. Appl. Phys. 39(2000)5679)。

【0029】

これまでも、PZTへのNbドーピングは、主にZrリッチの稜面体晶領域で行われてきたが、その量は、0.2~0.025mol%(J. Am. Ceram. Soc., 84(2001)902; Phys. Rev. Lett., 83(1999)1347)程度と、極僅かなものである。このようにNbを多量にドーピングすることができなかつた要因は、Nbを例えば10モル%添加すると、結晶化温度が800以上上昇してしまうことによるものであったと考えられる。

20

【0030】

そこで、強誘電体層14を形成する際には、さらにPbSiO₃シリケートを、例えば1~5モル%の割合で添加するのが好ましい。これにより、PZTNの結晶化エネルギーを軽減させることができる。すなわち、強誘電体層14の材料としてPZTNを用いる場合には、後述するようにPZTの材料中にNbを添加するとともに、PbSiO₃等のシリケートを添加することで、PZTNの結晶化温度を低下させるのが好ましい。

30

【0031】

ここで、このような鉛含有の強誘電体材料で形成された強誘電体層14において、特に前記下部電極12上を覆ってこれに接する、ペロブスカイト型の結晶構造に結晶化された第2の部位14bは、高い誘電率を有したものとなっている。一方、前記結晶化抑制層11aに接していることで、結晶化されることなく非晶質になっていたり、あるいは、結晶化されていてもその結晶構造がパイロクロア型となっている第1の部位14aは、前記の部位14bに比較して、誘電率が例えば1/10程度と低くなっている。

【0032】

そして、前記強誘電体層14上には、図1に示したように下部電極12に直交して上部電極16が形成されている。上部電極16は、下部電極12と同様、Pt、Ir、Ru等の金属の単体、またはこれら金属を主体とした複合材料によって形成されたものである。そして、このような下部電極12、強誘電体層14、上部電極16によって強誘電体キャパシタが形成されており、さらに、この強誘電体キャパシタを備えることにより、本発明の強誘電体メモリ15が構成されている。

40

【0033】

次に、このような構成からなる強誘電体メモリ15を備えた強誘電体メモリ装置1000の製造方法を説明する。

まず、図3(a)に示すように、Si基板からなる基体10上に結晶化抑制層11を形成する。ここで、基体10としては、例えばSi基板中にCMOSトランジスタなどの半

50

導体素子からなる周辺回路を形成した領域を含む構造など、強誘電体メモリ装置 1000 の種類によって適宜な構造のものが用いられる。なお、基体 10 の表層部には、例えば SiO_2 や SiN などの絶縁層（図示せず）が CVD 法等によって形成されている。

【0034】

結晶化抑制層 11 については、例えば酢酸ブチルを溶媒とした液状のジルコニウム化合物をスピコート法で基体 10 上に塗布し、その後焼成（ベーク）することで溶媒を飛ばし、厚さ 60 nm 程度の酸化ジルコニウムからなる結晶化抑制層 11 を形成する。ただし、この厚さについては特に限定されるものではなく、後述する下部電極 12 形成時のオーバーエッチングによって、前記基体 10 の絶縁層が露出しない厚さであればよい。なお、この酸化ジルコニウムの成膜法については、前記のスピコート法を用いた湿式法に代えて、スパッタ法や CVD 法等の気相法を用いることもできるが、前記湿式法による成膜法の方が、特に得られる結晶化抑制層 11 の結晶化抑制機能が優れるため、好ましい。

10

【0035】

次に、図 3 (b) に示すように、結晶化抑制層 11 上に下部電極 12 形成用の第 1 導電層 17 を形成する。この第 1 導電層 17 は、例えば TiO_x を 40 nm の厚さに成膜して TiO_x 層 17a を形成し、さらにその上に Pt を 200 nm の厚さに成膜して Pt 層 17b を形成することで、得られる。ここで、 TiO_x 層 17a は、結晶化抑制層 11 と Pt 層 17b を良好に接合させるための密着層として機能するものである。

【0036】

なお、第 1 導電層 17 の材質としては、前述したように強誘電体キャパシタの電極となり得るものであれば、Pt 以外のものを用いることもできる。具体的には、前述したように、Ir, IrO_x , RuO_x , SrRuO_x や、 LaSrCoO_x 等を用いることもできる。また、第 1 導電層 17 は、単層であってもよい。このような第 1 導電層 17 の形成方法としては、スパッタ法が好適に用いられるが、真空蒸着や CVD 等の成膜法を採用することもできる。

20

【0037】

次に、第 1 導電層 17 の上面に、レジストマスク（図示せず）をその全面に形成し、さらにリソグラフィによってラインパターンのマスク 60 を形成する。また、レジスト以外のマスクとして、いわゆるハードマスクを用いることもできる。このハードマスク 60 の材質としては、第 1 導電層 17 をパターンニングする際にマスクとして機能し得る材質であれば、特に限定されることなく、例えば、窒化シリコン、酸化シリコン、窒化チタンを挙げることができる。

30

【0038】

前記マスクとして酸化シリコンを用いた場合の形成方法としては、例えば CVD 法が用いられる。マスクの膜厚としては、下部電極 12 の膜厚の 1.0 ~ 2 倍程度が好ましく、例えば 400 nm とされる。マスクのエッチング方法としては、公知の技術を用いることができ、例えば RIE（反応性イオンエッチング）が用いられる。その場合に、エッチングガスとしては CHF_3 と Ar との混合ガスを用いることができる。

【0039】

次に、前記マスク 60 を用いて第 1 導電層 17 をパターンニングし、さらにオーバーエッチングすることにより、図 3 (c) に示すように下部電極 12 を形成するとともに、下部電極 12、12 間に露出する前記結晶化抑制層 11 の表層部を還元して還元層 11a とする。このエッチング方法としては、例えば ICP（誘導結合プラズマ）等の高密度プラズマを用いた、高密度プラズマドライエッチングが用いられる。その場合に、エッチングガスとしては、特に CF_4 や CHF_3 等のフロン系ガスや、アルゴンガスを含んだガスを用いるのが好ましい。すなわち、このような第 1 導電層 17 のパターンニングとオーバーエッチングのためのドライエッチングの条件としては、フロン系ガスやアルゴンガスを含んだガスを用い、1.0 Pa 以下の低圧力下、200 W 以上のバイアス電力で、特にイオン性を強くして行うのが好ましい。

40

【0040】

50

このようなエッチングによって下部電極 1 2 を形成すると、マスクとしてレジストマスクを使用した場合、得られた下部電極 1 2 は、その側壁面 1 2 a が約 50° のテーパ角となるテーパ形状に形成される。

また、下部電極 1 2 形成後もオーバエッチングすることで、下部電極 1 2、1 2 間に露出した前記結晶化抑制層 1 1 は、その表層部がオーバエッチング時に前記フロン系ガスやアルゴンガスによって還元される。

【0041】

すなわち、エッチングガスとしてフロン系ガスを含んだガスを用いた場合には、結晶化抑制層 1 1 の表層部にフルオロカーボン (CF_x) のイオン (CF_x⁺) が物理的に作用するとともに、フルオロカーボン (CF_x) のラジカル (CF_x^{*}) が化学的に作用する。すると、このような作用で結晶化抑制層 1 1 を形成する酸化ジルコニウム中のジルコニウム (Zr) と酸素との結合が切られ、酸化ジルコニウムはジルコニウムに還元されるのである。また、エッチングガスとしてアルゴンガスを含んだガスを用いた場合にも、アルゴンが物理的に作用することにより、前記の場合と同様に酸化ジルコニウムはジルコニウムに還元される。

【0042】

そして、このように下部電極 1 2 間に露出する結晶化抑制層 1 1 の表層部が還元されると、形成された還元層 1 1 a は、還元されたジルコニウムが特にその表面側に多く存在するようになる。その結果、後述する強誘電体層 1 4 を形成する際の熱処理時に、このジルコニウムが強誘電体材料中により良好に拡散反応し、第 1 の部位の結晶化温度をより確実に高くするのである。なお、結晶化抑制層 1 1 が Bi の酸化物 (Bi 層状ペロブスカイト化合物) からなっている場合には、この結晶化抑制層 1 1 が還元されることにより、Bi の酸化物はビスマス (Bi) に還元される。

【0043】

なお、本実施形態では下部電極 1 2 の形成 (パターンニング) と結晶化抑制層 1 1 のオーバエッチングとを一連の工程で行い、還元層 1 1 a を下部電極 1 2 間に選択的に形成しているが、例えば結晶化抑制層 1 1 形成後に、この結晶化抑制層 1 1 に対して前記のフロン系ガスやアルゴンガスを含んだガスをエッチングガスとして用いたドライエッチングを行い、その表層部を還元処理し、その後、下部電極 1 2 を形成するようにしてもよい。

【0044】

次いで、図 4 (a) に示すように、前記の下部電極 1 2 及びこれら下部電極 1 2 間に露出した還元層 1 1 a (結晶化抑制層 1 1) を覆った状態に、前記の強誘電体材料を例えば厚さ 150 nm 程度に配する。強誘電体材料を配するにあたっては、特にゾルゲル法が好適に用いられる。すなわち、強誘電体層 1 4 として前記の PZTN 層を形成する場合、例えば PbZrO₃ 用ゾルゲル溶液、PbTiO₃ 用ゾルゲル溶液、および PbNbO₃ 用ゾルゲル溶液を混合したものに、さらに PbSiO₃ 用ゾルゲル溶液を添加したものをを用いる。PZTN 膜は、構成元素に Nb を含むため、結晶化温度が高い。したがって、前述したように結晶化温度を低減させるため、PbSiO₃ 用ゾルゲル溶液をさらに添加しているのである。本実施形態では、前記のゾルゲル混合溶液を、下部電極 1 2 及び還元層 1 1 a を覆った状態にスピンコート法で塗布する。具体的には、2500 rpm で 3 層塗布することにより、およそ 150 nm の膜厚のゾルゲル層 1 4 c を形成する。

なお、強誘電体材料を配する方法としては、前記のゾルゲル材料を用いたスピンコート法に限定されることなく、ディッピング法、スパッタ法、MOCVD 法、レーザアブレーション法等を用いることもできる。また、その場合に、ゾルゲル材料に代えて MOD 材料を用いることもできる。

【0045】

次いで、酸素雰囲気にて熱処理 (RTA 処理) を行い、ゾルゲル層 1 4 c を部分的に (選択的に) 結晶化し、強誘電体層 1 4 とする。ここで、強誘電体層 1 4 の結晶化温度は、膜厚、組成などに依存する。本実施形態では、前記熱処理の温度を 600 とし、熱処理時間を 10 分とした。

10

20

30

40

50

この熱処理によってゾルゲル層 1 4 c は、図 4 (b) に示すように下部電極 1 2 に接する第 2 の部位 1 4 b がペロブスカイト型の結晶構造に結晶化する。すなわち、下部電極 1 2 を形成する Pt 表面が (1 1 1) 配向となっていることから、これに接する部位 1 4 b では Pt の結晶構造を引きずるかたちで、P Z T N は (1 1 1) 配向してペロブスカイト型に結晶化するのである。

【 0 0 4 6 】

一方、下部電極 1 2 間において前記還元層 1 1 a (結晶化抑制層 1 1) に接している第 1 の部位 1 4 a では、前述したように還元層 1 1 a の表面側に還元されたジルコニア (あるいはビスマス) が多く存在していることから、この Z r (あるいは B i) が、強誘電体材料中により良好に拡散反応する。すると、この第 1 の部位 1 4 a では、前記の第 2 の部位 1 4 b に比べ、その組成中の Z r が多くなり、あるいは B i が添加された組成となり、その結果、結晶化温度が例えば 5 0 程度高くなる。

【 0 0 4 7 】

そこで、ゾルゲル層 1 4 c の熱処理による強誘電体層 1 4 の形成に際しては、その熱処理温度を、前記第 1 の部位 1 4 a の結晶化温度より低く、かつ、前記第 2 の部位 1 4 b の結晶化温度より高くして行う。具体的には、一般に P Z T N の結晶化温度は 5 5 0 ~ 6 5 0 の温度範囲であることから、第 1 の部位 1 4 a の結晶化温度はこれより 5 0 程度高い温度、すなわち 6 0 0 以上と考えられる。したがって、ゾルゲル層 1 4 c の熱処理温度を、前述したように例えば 6 0 0 (または、6 0 0 未満で、5 5 0 以上の温度) とすることにより、第 2 の部位 1 4 b では良好に結晶化が起こる。一方、第 1 の部位 1 4 a では、P Z T N の結晶化、すなわちペロブスカイト型の結晶構造となる結晶化が起こらず、非晶質になるか、あるいは結晶化してもパイロクロア型となるのである。

【 0 0 4 8 】

ここで、前述したように結晶化抑制層 1 1 が湿式法によって成膜されているのが好ましい理由は、湿式法で成膜されていることで、結晶化抑制層 1 1 は例えば 4 0 0 以下の熱処理しか受けておらず、したがってこの結晶化抑制層 1 1 自体の結晶化が進んでいないからである。すなわち、結晶化抑制層 1 1 自体の結晶化が進んでいないと、この結晶化抑制層 1 1 中の元素間の結合が弱く、したがって、Z r や B i が前記第 2 の部位 1 4 b 側により拡散し易くなるからである。

【 0 0 4 9 】

このようにして形成されることにより、下部電極 1 2 上を覆う第 2 の部位 1 4 b とこれらの間に位置する第 1 の部位 1 4 a とは、前述したようにそれぞれの誘電率の比が、例えば 1 0 : 1 程度となり、下部電極 1 2 上を覆う第 2 の部位 1 4 b の方が一桁大きな値となる。したがって、還元層 1 1 a (結晶化抑制層 1 1) に接している第 1 の部位 1 4 a は、下部電極 1 2 上を覆う第 2 の部位 1 4 b に比べ、強誘電体膜としての特性が格段に劣るものとなるのである。

【 0 0 5 0 】

その後、前記強誘電体層 1 4 上に Pt からなる第 2 導電層 (図示せず) を 2 0 0 n m の厚さに成膜し、続いて前記下部電極 1 2 を形成した手法と同様にして、該下部電極 1 2 と交差するようにライン状にパターンニングし、図 2 に示したように上部電極 1 6 を形成する。なお、このようにして上部電極 1 6 を形成した後、必要に応じて、前記各工程での上部電極成膜プロセスやエッチングによるダメージを回復するため、アニール処理を行ってもよい。このアニール処理としては、例えば、酸素雰囲気中にて 6 5 0 で 1 0 分の条件で行う、R T A を採用することができる。

【 0 0 5 1 】

このような工程により、本発明に係る強誘電体キャパシタを形成し、強誘電体メモリ 1 5 を得る。また、このように強誘電体メモリ 1 5 を形成した後、水素バリア層や各種配線を公知の手法で形成し、さらに周辺回路部 2 0 0 を形成することにより、図 1 に示したようなクロスポイント型のメモリセルアレイ 1 0 0 を備えた強誘電体メモリ装置 1 0 0 0 を得る。

10

20

30

40

50

【0052】

このようにして得られた強誘電体メモリ15にあっては、下部電極12間に位置する還元層11a(結晶化抑制層11)に接している第1の部位14aが、下部電極12上を覆う第2の部位14bに比べ、誘電率が例えば1/10となるので、この第1の部位14aが隣り合うキャパシタ間にて電場をシールドする機能を発揮する。したがって、下部電極12の側壁面からの電界がこの誘電率が低い第1の部位14aにかかることにより、下部電極12の側壁面からの電界の影響が抑えられることから、強誘電体キャパシタのヒステリシスループの角型性が向上し、さらにはクロストークも防止される。よって、この強誘電体メモリ15はその特性向上が図られ、信頼性が向上したものとなる。

【0053】

また、特に強誘電体材料としてNbを含んでなるPZTNを用いているので、得られた強誘電体層14における部位14bは、例えばPb(Zr、Ti)O₃(PZT)に比べ、より良好な強誘電体特性を有するものとなり、したがって強誘電体メモリ15自体がより良好なものとなる。

【0054】

また、このような強誘電体メモリ15をマトリクス状に配列してなる強誘電体メモリ装置1000にあっては、セルトランジスタを形成することなく、強誘電体キャパシタのみを用いた強誘電体メモリからなる単純マトリクス型のメモリ装置となることから、非常に簡単な構造で高い集積度が得られる。

【0055】

なお、本発明は前記実施形態に限定されることなく、本発明の要旨を逸脱しない限り、種々の変更が可能である。例えば、前記実施形態では、結晶化抑制層11の表層部をオーバエッチングし、あるいは表面処理としてのドライエッチングをすることで、還元層11aを形成したが、本発明はこれに限定されることなく、結晶化抑制層11を還元処理することなく、そのまま結晶化抑制層として機能させることもできる。

【0056】

また、前記実施形態では、本発明の強誘電体メモリ装置として、本発明の強誘電体メモリをマトリクス状に配列したメモリセルアレイ100を備えてなる構成としたが、本発明はこれに限定されることなく、従来公知の1T1C型や2T2C型などの強誘電体メモリ装置にも適用可能である。

【0057】

特に、本発明の強誘電体メモリ装置を、例えば1T1C型に適用した場合に、結晶化抑制層層11を、図5に示すように下部電極12の形成に先立ってパターンニングしておき、下部電極12間に露出する位置に選択的に配置しておくのが好ましい。このように下部電極12間にのみ結晶化抑制層11を形成することにより、例えば基体10に形成したTFET(薄膜トランジスタ)(図示せず)と下部電極12との間にコンタクトホール19を形成した場合に、このコンタクトホール19内のプラグ20は金属酸化物からなる結晶化抑制層層11に直接接することがなく、したがって金属酸化物に接することにより酸化することが防止される。

【0058】

次に、前記の強誘電体メモリ、あるいは前記の強誘電体メモリ装置を構成要素として備えた電子機器の一例を説明する。

図6は、このような電子機器の一例としての携帯電話を示す斜視図であり、図6中符号1001は携帯電話である。

この携帯電話1001(電子機器)は、前記の強誘電体メモリあるいは強誘電体メモリ装置を備えているので、特にメモリ特性について良好なものとなり、その信頼性が高いものとなる。

【0059】

また、他の電子機器の例として、パーソナルコンピュータ、液晶装置、電子手帳、ページャ、POS端末、ICカード、ミニディスクプレーヤ、液晶プロジェクタ、およびエン

10

20

30

40

50

エンジニアリング・ワークステーション（EWS）、ワードプロセッサ、テレビ、ビューファ
イダ型またはモニタ直視型のビデオテープレコーダ、電子卓上計算機、カーナビゲーシ
ョン装置、タッチパネルを備えた装置、時計、ゲーム機器、電気泳動装置など、様々なも
のに適用することができる。

【図面の簡単な説明】

【0060】

【図1】本発明の強誘電体メモリ装置の一実施形態を示す図である。

【図2】本発明の強誘電体メモリの一実施形態の概略構成を示す側断面図である。

【図3】（a）～（c）は強誘電体メモリの製造工程を説明するための図である。

【図4】（a）、（b）は強誘電体メモリの製造工程を説明するための図である。

10

【図5】本発明の強誘電体メモリの別の実施形態の概略構成を示す側断面図である。

【図6】電子機器の一例を示す斜視図である。

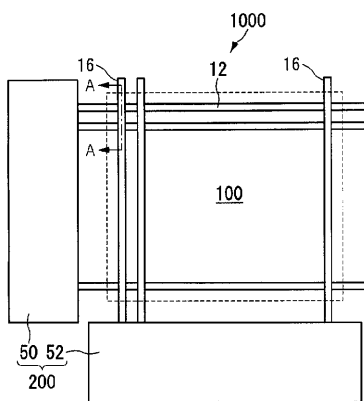
【図7】従来の強誘電体メモリにおける課題を説明するための模式図である。

【符号の説明】

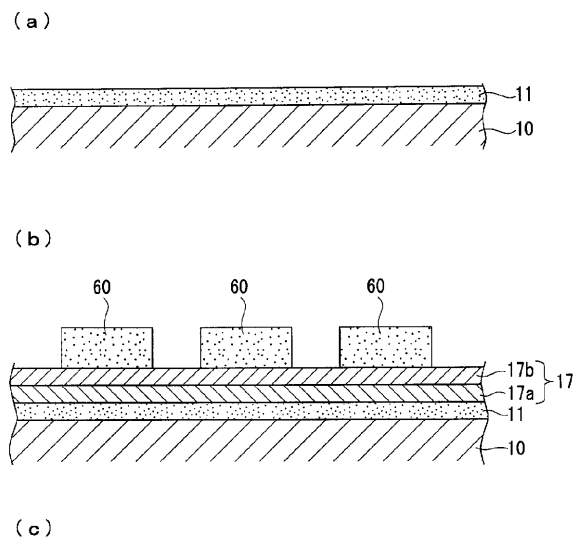
【0061】

10...基体、11...結晶化抑制層、11a...還元層、12...下部電極、14...強誘電体
層、14a...第1の部位、14b...第2の部位、14c...ゾルゲル層、15...強誘電体メ
モリ、16...上部電極、100...メモリセル、1000...強誘電体メモリ装置

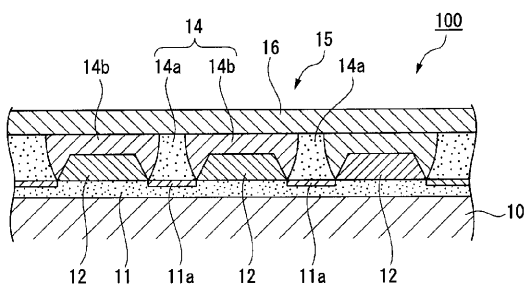
【図1】



【図3】

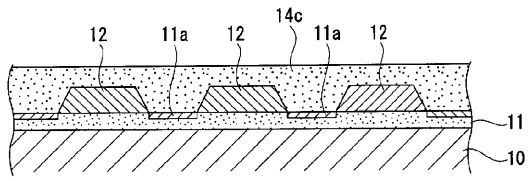


【図2】

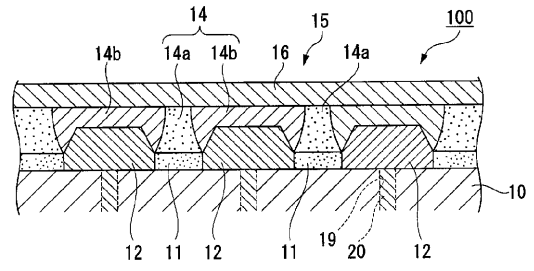


【 図 4 】

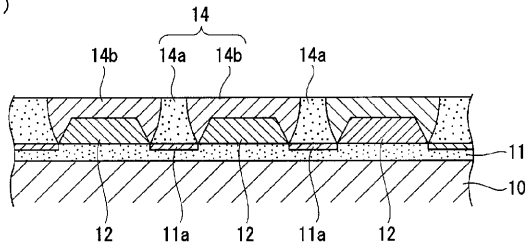
(a)



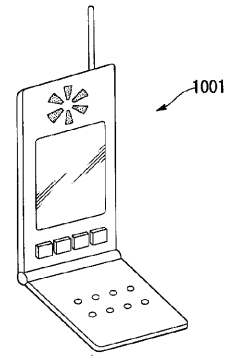
【 図 5 】



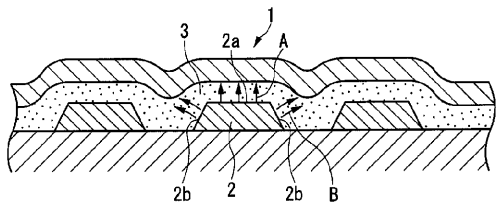
(b)



【 図 6 】



【 図 7 】



フロントページの続き

Fターム(参考) 5F083 FR01 FR02 FR03 GA21 GA27 JA15 JA38 JA43 JA44 JA45
JA56 JA60 PR23 PR34