(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G06F 3/14

(45) 공고일자 2002년10월18일
(11) 등록번호 10-0328424
(24) 등록일자 2002년02월28일

(21) 출원번호 10-1994-0020006
(22) 출원일자 1994년08월13일

(65) 공개번호 특1995-0006578
(43) 공개일자 1995년03월21일

(30) 우선권주장 08/106.281 1993년08월13일 미국(US)

(73) 특허권자 썬 마이크로시스템즈, 인코포레이티드
미국 94303 캘리포니아주 팔로 알토 산안토니오 로드 901

(72) 발명자 크레이그에스.포리스트
미합중국캘리포니아94107샌프란시스코미주리스트리트244
에드워드에이치.프랭크
미합중국캘리포니아94028포토라밸리브루크사이드드라이브127
패트릭제이.노오톤
미합중국캘리포니아94036팔로알토로마베르데애비뉴652

(74) 대리인 정진상

심사관 : 이정숙

(54) 고속카피수단을갖는프레임버퍼를구성하기위한방법및장치

요약

제 1 프레임 영역을 제 2 프레임 영역으로 고속으로 카피하는 방법 및 장치가 개시된다. 다수의 비디오 랜덤 액세스 메모리 장치로 이루어지는 비디오 메모리 어레이는 적어도 두개의 프레임 영역으로 분할된다. 백그라운드 이미지는 중앙처리장치에 의해 비디오 메모리 어레이내의 백그라운드 프레임 영역으로 렌더링되어진다. 중앙처리장치는 그후 백그라운드 프레임 영역내의 백그라운드 이미지에게 비디오 메모리 어레이내의 뉴 프레임 영역으로 카피할 것을 요구한다. 전용회로는 백그라운드 프레임 영역내의 전체 백그라운드 이미지를 뉴 프레임 영역으로 카피한다. 전용회로는 비디오 타이밍 신호의 수직 리트레이스 주기동안 각각의 비디오 랜덤 액세스 메모리 디바이스내의 직렬 데이터 레지스터를 사용하여 동작한다. 전용회로는 중앙처리장치로부터의 어떠한 처리자원도 필요로 함이 없이 백그라운드 프레임 카피를 수행한다.

대표도

도 1

명세서

도면의 간단한 설명

제 1도는 종래의 비디오 랜덤 액세스 메모리 장치(VRAM)의 블럭도,

제 2도는 VRAM으로 된 프레임버퍼를 사용하는 종래의 컴퓨터 디스플레이 시스템의 블럭도,

제3a도 및 제3b도는 비디오 신호가 디스플레이 화면을 어떻게 주사하는가를 나타내는 도면,

제 4도는 본 발명의 컴퓨터 디스플레이 시스템의 블록도,

제 5도는 본 발명의 디스플레이 제어 시스템에 의해 사용된 VRAM 어드레스 공간의 메모리 맵을 나타내는 도면,

제 6도는 본 발명의 디스플레이 제어 시스템에서의 디스플레이 논리의 흐름도,

제 7도는 본 발명의 디스플레이 제어 시스템에서의 백그라운드 카피 논리의 흐름도,

제8a도 내지 제8m도는 본 발명의 디스플레이 제어 시스템이 실시간 애니메이션을 산출하기 위해 어떻게 사용되어지는가를 나타내는 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 컴퓨터 시스템에 있어서의 프레임 버퍼의 분야에 관한 것이다.

더욱 상세히는, 정보를 프레임 버퍼의 메모리 제 1 영역으로부터 프레임 버퍼의 메모리 제 2 영역으로 신속하게 카피하기 위한 방법 및 장치에 관한 것이다.

발명의 배경

많은 컴퓨터 시스템은 그래픽 디스플레이 화면상에서 디스플레이 되어져야 할 데이터를 저장하기 위해 프레임 버퍼라 불리는 메모리의 영역(regiou)을 사용한다. 디스플레이 제어시스템은 프레임 버퍼내의 정보를 라인 단위로 판독하며, 디지털-아날로그 변환기(DAC) 를 사용하여 정보를 아날로그 비디오 신호로 변환하며, 이 아날로그 비디오 신호를 디스플레이화면으로 전송한다. 라인 단위 주사는 일반적으로 디스플레이 화면의 좌상귀에 대응하는 프레임 버퍼내의 영역에서 시작하여 우하귀로 계속된다.

전형적으로, 프레임 버퍼는 단지 한개의 액세스 포트 대신에 두개 액세스 포트를 가짐으로써 종래의 동적 랜덤 액세스 메모리(DRAM) 장치와는 다른 비디오 랜덤 액세스 메모리(VRAM) 장치로 구성된다. 랜덤 액세스 포트라 불리는 제 1 액세스 포트는 VRAM에 종래의 랜덤 액세스를 제공하므로 VRAM에 접속된 중앙처리장치는 VRAM내의 임의의 메모리 위치에 판독 혹은 기록할 수 있다. 직렬 액세스 포트라 불리는 제 2 포트는 VRAM으로 동시에 직렬액세스를 제공하므로, 직렬 포트에 접속된 장치는 데이터를 VRAM으로/ 으로부터 시프트시킬 수 있다. 디스플레이 회로는 일반적으

로 출력 디스플레이를 제어하는 회로에 픽셀 데이터를 공급하기 위해 직렬 데이터를 액세스한다. 이러한 구성에 있어서, 중앙처리장치는 디스플레이 회로가 출력 디스플레이로 정보를 계속해서 공급하는 동안 VRAM에 기록할 수 있다.

프레임 버퍼에 기초한 디스플레이 시스템에 접속된 디스플레이 화면상에 물체를 애니메이트하기 위해, 애니메이션 소프트웨어는 각각의 프레임에서의 약간의 화상 변화로써 일련의 프레임을 렌더링한다. 유연한 애니메이션을 제공하기 위해, 1 초에 약 15 내지 30개의 뉴프레임이 디스플레이 되어져야 한다. 한 프레임내에서의 화상이 다음 프레임에서의 화상으로 변화됨에 따라, 연속 모션이 표현된다. 이것을 이루기 위해, 프레임 버퍼는 반드시 연속적으로 갱신되어져야 한다.

정보를 수신하고 동시에 그 정보를 출력 디스플레이로 전송하는 프레임 버퍼의 능력으로인해 어떤 문제점이 발생한다. 만일 디스플레이 제어기가 프레임 버퍼 메모리내의 이미지를 디스플레이로 주사하는 동안 애니메이션 소프트웨어가 프레임 버퍼에 기록한다면, 디스플레이는 한 타임에 하나 이상의 애니메이션 프레임으로부터 정보를 표현할 것이다.

이러한 문제를 프레임 테어(frame tear)라 한다. 프레임 테어는 한 프레임에서 다음 프레임으로의 모션으로 인해 디스플레이상에 표현되어진 구성요소가 명백하게 왜곡(distortion)되는 경우에 매우 중요하다. 이것이 발생했을때, 야기된 왜곡은 보는 사람으로 하여금 매우 혼란스럽게 할 것이다.

프레임 테어를 제거하기 위해, 어떤 컴퓨터 시스템은 이중버퍼라 불리는 시스템을 이용한다. 이중버퍼 시스템은 프레임 버퍼내에 2개의 메모리 영역이 있으며 여기서 메모리 각각의 영역은 픽셀 정보를 출력 디스플레이를 제어하는 회로에 공급할 수 있다. 메모리의 제 1 영역은 출력 디스플레이로 제 1 애니메이션 프레임을 제공하며 이 메모리 영역이 정보를 디스플레이 화면으로 제공하는 동안 이 메모리 영역내에서의 어떠한 변화도 생기지 않는다. 제 1 메모리 영역이 디스플레이 화면상에서 디스플레이되어지는 동안, 애니메이션 소프트웨어는 메모리의 제 2 영역내에 다음 애니메이션 프레임을 렌더링한다. 애니메이션 소프트웨어가 다음 애니메이션 프레임을 완성했을때, 디스플레이는 변화됨으로써, 메모리의 제 2 영역은 디스플레이 프레임이 되며 메모리의 제 1 영역은 애니메이션 소프트웨어가 다음 애니메이션 프레임을 렌더링하는 " 워크(work)" 영역이 된다. 이러한 방식으로는, 더 이상 어떠한 픽셀정보도 디스플레이 화면상에 디스플레이 되는 메모리 영역에 절대로 기록되지 않는다. 비 - 디스플레이 버퍼에의 기록의 효과는 프레임 테어가 일어날 수 없다는 것이다.

이중버퍼 애니메이션 프레임을 사용하여 물체를 애니메이션할때, CPU 는 애니메이션의 각각의 뉴 프레임을 위한 워크 영역에서 디스플레이 되어져야 할 모든 물체를 반드시 렌더링해야 한다. 만일 애니메이션된 물체가 백그라운드 화면의 상부에 렌더링되어진다면, 전체백그라운드 화면은 또한 CPU 가 애니메이션된 물체를 렌더링할 수 있기 전에 CPU 에 의해 재제도(redraw)되어야 한다. 고화질의 실시간 애니메이션을 제공하기 위해, 애니메이션 프레임에 대한 애니메이션된 물체와 백그라운드는 1 초에 약 15 내지 30번 렌더링 되어져야 한다. 따라서 실시간 애니메이션은 일반적으로 초고속 컴퓨터 프로세서를 필요로 한다.

발명의 요약

본 발명의 목적은 실시간 애니메이션을 제공하기 위해 필요한 프로세서의 전체속도를 줄이는 개선된 디스플레이 제어 시스템을 제공하는 것이다. 본 발명은 프레임 버퍼내의 메모리의 백그라운드 영역으로부터 프레임 버퍼내의 뉴 프레임 영역으로 전체 백그라운드 이미지를 카피하는 방법 및 장치를 제공함으로써 이러한 목적을 달성한다. 이 장치는 컴퓨터 시스템의 중앙처리장치에 의해 요구되었을때 동작한다. 중앙처리장치는 메모리의 빈 영역을 지시하기 위해 카피 장치내에 뉴 프레임 레지스터를 세팅하고, 제어 레지스터내에 한 비트를 세팅함으로써 백그라운드 카피를 요구한다. 본 발명의 장치는 CPU 로부터 어떤 처리자원들도 필요로 하지 않고 백그라운드 카피를 수행한다.

주석 및 표기

다음의 상세한 설명은 컴퓨터 메모리내에서의 데이터 비트에 대한 동작의 알고리즘 및 기호적 표현의 측면으로 주로 설명된다. 이러한 알고리즘적 설명 및 표현은 당업자에게 그 동작의 요지를 가장 효율적으로 전달하기 위해 데이터 처리 분야에서의 당업자에 의해 사용되는 방법이다.

알고리즘은 일반적으로 소정 결과로 되는 단계들의 모순없는(self-consistent) 시퀀스로 인식되어진다. 이러한 단계들은 물리적 분량의 물리적 조종을 필요로 한다. 일반적으로 필요하진 않지만, 이러한 물리적 분량들은 저장, 전송, 결합, 비교 그 밖에 조정될 수 있는 전기적 혹은 자기적 신호의 형태를 갖는다. 주로 공통 사용으로 인해 이와같은 신호를 비트, 값, 요소, 기호, 문자, 용어, 숫자 등으로 말하는 것이 때때로 편리하다. 그러나, 상기 모든 용어 및 이와 유사한 용어는 적절한 물리적 분량과 연관되어져야 하며 이러한 물리적 분량에 붙힌 매우 편리한 라벨임을 인식해야 한다.

추가로, 수행된 조종들은 종종 가산 혹은 비교와 같은 용어로 언급되고, 일반적으로 사람인 조작자가 행하는 정신적 동작과 관련된다. 본 발명의 일부를 구성하는 상기 임의의 동작에 있어서 사람인 조작자의 이러한 능력은 대부분의 경우에 필수적 혹은 바람직한 것은 아니다; 이러한 동작은 기계동작이다. 본 발명의 동작을 수행하는 유용한 기계는 범용 디지털 컴퓨터 혹은 이와 유사한 장치를 포함한다. 모든 경우에 있어서 컴퓨터를 동작하는 방법과 연산 그 자체의 방법 사이의 차이를 인식하여야 한다. 본 발명은 또 다른 소정의 물리적 신호를 발생하기 위하여 전기적 혹은 다른 (예를 들면, 기계적 혹은 화학적) 물리적신호를 처리하는데 있어서 컴퓨터를 동작시키는 단계의 방법에 관한 것이다.

본 발명은 또한 이러한 동작을 수행하는 장치에 관한 것이다. 이 장치는 필요한 목적에 맞게 특정하게 구성되어질 수 있거나 혹은 컴퓨터에 저장된 컴퓨터 프로그램에 의해 재구성 되어지거나 선택적으로 액티베이트되는 범용 컴퓨터로 이루어질 수 있다. 여기에 기술된 알고리즘은 특정 컴퓨터 혹은 다른 장치에 본래부터 관련된 것은 아니다. 특히, 다양한 범용 장치는 여기에 기술된 것에 따라 쓰여진 프로그램으로 사용될 수 있거나, 혹은 필요한 방법 단계를 수행하기 위해 더욱 특정화된 장치를 더욱 편리하게 구성할 수 있음이 증명될 수 있다. 다양한 이러한 장치들에 필요한 구조는 아래에 기술되는 상세한 설명으로부터 명백해질 것이다.

발명의 상세한 설명

고속 카피수단을 가진 컴퓨터 디스플레이 시스템이 개시된다. 다음의 기술에서 설명할 목적으로 아이콘, 디스플레이, 커서, 레티클(reticle) 등과 같은 특정 표기가 본 발명의 완전한 이해를 제공하기 의해 쓰여졌다. 그러나, 이러한 특정 상세 사항들은 본 발명을 실시하기 위해 필요하지 않다는 것이 당업자에겐 명백할 것이다. 다른 경우에, 잘 알려진 회로 및 장치가 본 발명을 불필요하게 애매하게 하지 않도록 블럭도 형태로 도시되었다.

비디오 랜덤 액세스 메모리

제 1도를 참조하면, 전형적인 비디오 랜덤 액세스 메모리(VRAM) 장치의 간략화된 블럭도가 도시되어 있다. VRAM의 중앙부에는 데이터를 저장하기 위해 사용되는 동적 랜덤 액세스메모리 (어레이)(35)가 있다. RAM 어레이(35)는 RAM 어레이(35)에서의 각각의 메모리 위치가 로우 어드레스 및 컬럼 어드레스에 의해 정의되도록 로우 및 컬럼세트로 이루어진다. 제 1도의 RAM 어레이(35)에서의 메모리는 두개의 상이한 액세스 포트: 랜덤 액세스 포트(21) 및 직렬 액세스 포트(23)에 의해 액세스되어질 수 있다.

랜덤 액세스 포트(21)는 일반적으로 비디오 메모리를 판독하고 비디오 메모리에 기록하기위해 컴퓨터 시스템내의 CPU(도시되지 않음) 에 의해 사용된다. CPU 는 랜덤 액세스 포트(21)를 통하여 VRAM 어레이(35)에서 이미지 패턴을 기록함으로써 디스플레이 화면상에 이미지를 발생시킨다. VRAM 어레이(35)에서의 특정 메모리 위치를 액세스하기 위해, CPU 는 맨먼저 어드레스 라인(49)을 통하여 랫치되어 있는 어드레스를 발생한다. 어드레스는 로우어드레스 및 컬럼 어드레스로 나뉜다. 로우 디코오더(39) 및 컬럼 디코오더(37)근 RAM 어레이(35)내에서의 특정 메모리 위치를 액세스하기 위해 로우 어드레스 및 컬럼 어드레스를 사용한다. CPU 는 그후 메모리 액세스가 기록 액세스 혹은 판독 액세스인지에 따라 입력버퍼(27)로 데이터를 기록하거나 혹은 출력 버퍼(25)로부터 데이터를 판독한다.

VRAM의 직렬 액세스 포트(23)는 일반적으로 VRAM내의 이미지를 판독하고 디스플레이로 이미지를 보내기 위해 컴퓨터 시스템내의 디스플레이 제어 시스템 (도시되지 않음)에 의해 사용된다. 디스플레이 제어 시스템은 먼저 어드레스 입력(49)으로 로우 어드레스를 제공함으로써 비디오 메모리내의 데이터를 액세스하며 VRAM이 전체 메모리 로우를 직렬 데이터 레지스터(41)속으로 전송하도록 요구한다. 로우 디코오더(39)는 로우 어드레스를 사용하여 RAM 어레이(35)에서 로우를 선택하며 선택된 로우를 직렬 데이터 레지스터(41)속으로 전송한다. 디스플레이 제어 시스템은 그후 VRAM으로 하여금 직렬 출력 버퍼(29)를 통하여 직렬 데이터레지스터(41)내의 데이터를 직렬 액세스 포트(23)로 시프트 아웃시키게 한다. 직렬 액세스포트(23)에 접속된 디지털-아날로그 변환기 (도시되지 않음)는 비디오 신호를 발생하기 위해 데이터를 사용한다. 아날로그 비디오 신호는 컴퓨터 디스플레이를 구동한다.

비디오 프레임 그래버(grabber) 와 같은 VRAM을 사용하는 몇몇 장치에선, 직렬 액세스 포트(23)는 출력 포트 대신 입력 포트로서 사용된다. 이러한 장치는 디지털 데이터로 변환되어진 비디오 정보를 직렬 입력 버퍼(31)를 통하여 직렬 데이터 레지스터(41)속으로 시프트시킨다. 이 장치는 그후 어드레스 입력(49)으로 목적지 로우 어드레스를 제공한다. VRAM은 직렬 데이터 레지스터(41)내의 디지털 정보를 목적지 로우 어드레스를 사용하여 로우 디코오더(39)에 의해 선택된 RAM 어레이(35)의 로우로 기록한다. 따라서 직렬 데이터 레지스터(41)는 비디오 메모리 어레이(35)로부터 정보를 판독하는 것뿐만 아니라 비디오 메모리 어레이(35)로 데이터를 기록하는데 사용될 수 있다.

종래의 디스플레이 제어 시스템

제 2도는 전형적인 종래기술의 컴퓨터 디스플레이 시스템을 도시한다. 컴퓨터 디스플레이 시스템은 중앙처리장치(CPU)(53), 디스플레이 제어 시스템(51), VRAM 어레이(55), 디지털- 아날로그 변환기(DAC)(69), 및 디스플레이 화면(71)으로 구성된다.

VRAM 어레이(55)는 당업계에서 잘 알려진 바와같이, 제 1도에 개시된 VRAM 장치와 같은 다수의 개별적인 VRAM 치로 구성된다.

제 2도에 도시된 컴퓨터 디스플레이 시스템의 주요 부품은 디스플레이 제어 시스템(51)이다. 디스플레이 제어 시스템(51)은 CPU(53) 에 접속됨으로써 CPU(53) 는 메모리-맵된 제어 레지스터 세트를 사용하는 디스플레이 제어 시스템(51)을 제어할 수 있다. 디스플레이 제어 시스템(51)은 두개의 주요 논리 유니트인 디스플레이 논리(66) 및 VRAM 중재 논리(67)로 이루어진다.

디스플레이 논리(66)는 디스플레이 화면(71)상에 디스플레이하기 위해 이미지를 정의하는 VRAM 어레이(55)내의 메모리의 논리적으로 구형 (矩形)인 영역을 액세스한다. 디스플레이프레임 레지스터(61)는 VRAM 어레이(55)내에서의 프레임 영역의 시작 주소를 가진다. 디스플레이 논리(66)는 비디오 타이밍 신호(72)를 발생한다. 디스플레이 논리(66)는 비디오 타이밍 신호(72)와 동기화하여 VRAM 어레이(55)내의 프레임 영역을 액세스하기 위해 디스플레이 프레임 레지스터(61)를 사용한다. 디스플레이 논리(66)는 이미지를 묘사하는 데이터를 직렬 액세스 포트(23)를 통하여 VRAM 어레이(55)로부터 디지털- 아날로그 변환기(DAC)(69)로 시프트시킨다. 디스플레이 논리(66)는 또한 비디오

타이밍 신호(72)를 디지털-아날로그 변환기(DAC)(69) 로 제공한다.

디지털-아날로그 변환기(DAC)(69) 는 아날로그 비디오 신호를 발생하기 위해 비디오 타이밍 신호(72)와 VRAM 어레이(55)로부터 시프트 아웃된 이미지 데이터를 결합시킨다.

디스플레이 제어 시스템(51)내의 VRAM 중재 논리(67)는 CPU(53) 및 디스플레이 논리(66)로부터의 VRAM 액세스 요구를 중재한다. VRAM 중재 논리(67)는 디스플레이 논리(66)에 우선순위를 부여하며 따라서 만일 경합이 되면, 디스플레이 논리(66)가 VRAM어레이(55)를 액세스하게 된다. 디스플레이 논리(66)는 비디오 타이밍 신호(72)와 동기화하여 VRAM으로부터 정보를 제공하여야만 하기 때문에, VRAM 중재 논리(67)는 디스플레이 논리(66)에 우선순위를 부여한다.

고속의 프레임 카피를 가진 디스플레이 제어 시스템

제3a도 및 제3b도는 비디오 디스플레이 화면을 주사하는 비디오 신호의 간략화된 개념도이다. 제3a도를 참조하면 비디오 신호는 좌상귀로부터 디스플레이 화면을 주사하기 시작한다. 비디오 신호는 각각의 수평주사라인(91)을 따라 좌에서 우로 이동함에 따라 한 라인의 정보를 주사한다. 각각의 주사라인의 끝에서, 수평 리트레이스(retrace)(93) 는 비디오신호를 디스플레이 화면의 좌측단으로 되돌린다. 비디오 신호가 디스플레이의 최하위에 도달했을때, 수직 리트레이스(95)는 비디오 신호를 디스플레이 화면의 최상부로 되돌린다.

비디오 신호가 수평 리트레이트(93) 혹은 수직 리트레이스(95)를 실행하는 시간주기동안 어떠한 데이터도 디스플레이 화면상에 디스플레이되지 않는다. 그러므로, 수평리트레이스 혹은 수직 리트레이스 주기동안 전형적인 디스플레이 제어 시스템(51)에서의 디스플레이 논리(66)는 VRAM 어레이(55)를 액세스하지 않는다. 디스플레이 제어시스템(51)은 리트레이스 주기동안 VRAM을 액세스하지 않으므로, 또 다른 장치가 리트레이스 주기동안 제 1도에 도시된 바와같이 직렬 데이터 레지스터(41)를 사용할 수 있다.

바람직한 실시예에서, 프레임 버퍼내의 제 1 메모리 영역의 전체 내용을 제 2 메모리 영역으로 카피하기 위해 본 발명은 수직 리트레이스 동안 각각의 VRAM내의 직렬 데이터 레지스터(41)를 사용한다. 디스플레이 제어 시스템은 중앙처리장치를 사용함이 없이 메모리 영역 카피를 수행한다. 이러한 방식으로, 중앙처리장치는 애니메이트된 물체를 렌더링하는것과 같은 다른 일에 사용될 수 있다. 본 발명의 컴퓨터 디스플레이 시스템은 제 4,5,6 및 7도를 참조하여 설명되어질 것이다.

제 4도는 본 발명의 기술을 이용한 컴퓨터 디스플레이 시스템의 블럭도를 도시한다.

제 4도에 도시된 컴퓨터 디스플레이 시스템은 뉴 프레임 레지스터(62), 백그라운드 프레임레지스터(63), 제어 레지스터(64) 및 백그라운드 카피 논리(65)가 부가된 것을 제외하곤 제 2도의 컴퓨터 제어 시스템과 유사하다.

백그라운드 프레임 레지스터(63)는 백그라운드 장면을 보유하는 VRAM 어레이(55)내의 메모리 영역을 가리키기 위해 CPU(53) 에 의해 세트된다. 뉴 프레임 레지스터(62)는 다음 애니메이션 프레임이 이중버퍼 애니메이션을 수행할 때 CPU(53) 에 의해 만들어진 " 워크(work)" 영역을 가리키기 위해 CPU(53) 에 의해 세트된다. 워크 영역은 뉴 프레임 영역이라 한다. CPU(53) 에 의해 요구되어질때, 백그라운드 카피 논리(65)는 백그라운드 프레임레지스터(63)에

의해 가리켜진 백그라운드를 정의하는 메모리의 전체 구형 영역을 비디오 신호의 리트레이스 주기동안 뉴 프레임 레지스터(62)에 의해 가리켜진 뉴 프레임 영역으로 카피한다.

제어 레지스터(64)는 여러 상이한 기능을 수행하는데에 사용된다. 제어 레지스터(64) 내부는 카피 제어 비트이다. 카피 제어 비트는 프로그램이 백그라운드 카퍼를 수행할 필요가 있을 때 CPU(63) 에 의해 세트된다. 제어 레지스터(64)는 또한 인터럽트 쌍들을 인에이블 혹은 디스에이블하는데에 사용된다. 제어 레지스터(64)에 의해 제어되는 제 1 인터럽트는 수직 리트레이스 인터럽트이다. 수직 리트레이스 인터럽트가 인에이블되었다면, 수직 리트레이스 인터럽트는 수직 리트레이스 주기가 시작될때 CPU 인터럽트를 발생한다. 제어 레지스터(64)에 의해 제어되는 제 2 인터럽트는 카피 완료 인터럽트이다. 카피 완료 인터럽트가 인에이블되었다면, 카피 완료 인터럽트는 백그라운드 카피 논리에 의해 수행된 백그라운드 카피가 완료되었을때 CPU 인터럽트를 발생한다. 수직 리트레이스 인터럽트 및 카피 완료 인터럽트는 애니메이션 렌더링 프로그램에 의해 사용되어짐으로써 애니메이션 렌더링 프로그램은 백그라운드 카피 동작과 동기될 수 있다.

백그라운드 카피 동작은 흐름도 및 메모리 램을 사용하여 가장 잘 설명되어진다. 제 5도를 참조하면, VRAM 어레이(55) 어드레스 공간의 메모리 맵이 도시되어 있다. 제 5도의 메모리 맵에서, 디스플레이 프레임 레지스터(61), 뉴 프레임 레지스터(62) 및 백그라운드 프레임 레지스터(62) 각각은 VRAM 어드레스 공간내의 디스플레이 프레임 영역, 뉴프레임 영역 및 백그라운드 프레임 영역을 가리킨다. 디스플레이 프레임 영역은 디스플레이 화면상에서 현재 디스플레이 되어지는 프레임을 포함한다. 뉴 프레임 영역은 현재 구성되어지고 앞으로 디스플레이되어질 애니메이션 프레임을 포함한다. 백그라운드 프레인 영역은 애니메이션의 백그라운드 장면을 포함한다. 백그라운드 프레임 영역의 내용은 각각의 애니메이션 프레임이 렌더링되어지기 전에 뉴 프레임 영역으로 카피된다. 메모리내에 하나 이상의 백그라운드 영역이 있을 수 있으므로 여러 상이한 백그라운드 장면을 이용할 수 있다. 애니메이션은 백그라운드 프레임 레지스터가 여러 백그라운드 장면중에서 선택하도록 세트한다. 디스플레이 프레임 영역, 뉴 프레임 영역 및 백그라운드 프레임 영역은 모두 메모리내에 정렬된다.

제 6도는 본 발명의 디스플레이 제어 시스템(51)내의 디스플레이 논리(66)가 동작하는 방법을 설명하는 흐름도를 나타낸다. 제 6도에서 흐름도의 최상부에 있는 단계(101) 를 참조하면, 디스플레이 논리(66)는 맨 먼저 디스플레이 프레임 레지스터(61)의 내용으로 VRAM내의 직렬 데이터 포인터(45) (제 1도) 를 로드함으로써 직렬 데이터 포인터(45)는 디스플레이 프레임 영역내에서의 제 1라인을 가리킨다. 다음에, 단계(102) 에서, 디스플레이 논리(66)는 제 1 수평 라인의 전부 혹은 일부로 직렬 데이터 레지스터(41)를 로드한다. 단계(103) 에서, 디스플레이 논리(66)는 직렬 데이터 레지스터(41)내의 수평 라인 데이터를 VRAM 어레이(55)로부터 시프트 아웃시키며 그리고 디지털-아날로그 변환기(DAC) 로 시프트인시킨다. (단계(104) 에 의해 나타내진 바와같이, 단계(102 및 103) 은 전체 수평 디스플레이 라인이 디스플레이로 시프트되지 않았다면 반복될 수 있다). 단계(105) 에서, 디스플레이 논리(66)는 디스플레이 프레임의 최하위에 도달되었는지를 알기 위해 테스트한다. 만일 디스플레이 프레임의 최하위에 도달되지 않았다면, 디스플레이 논리(66)는 수평 리트레이스가 완료될때까지 대기하며 그런후에 단계(102) 로 되돌아간다. 디스플레이 논리(66)는 모든 수평 로우 데이터가 VRAM 어레이(55)로부터 그리고 디지털-아날로그 변환기(DAC)로 시프트되어서 모든 프레임을 디스플레이할 때까지 단계(102, 103, 105 및 107) 를 반복한다.

디스플레이 논리(66)가 디스플레이 프레임의 최하위에 도달한 후에, 수직 리트레이스 인터럽트가 인에이블되었다면 디스플레이 논리는 단계(108) 에서 수직 리트레이스 인터럽트를 발생한다. 다음에, 디스플레이 논리(66)는 단계(109) 에서 제어 레지스터(64)내의 카피 제어 비트를 테스트한다. 만일 제어 레지스터(64)내의 카피 제어 비트가 세트되었다면, 디스플레이 제어 시스템(51)은 단계(113) 에서 백그라운드 카피 논리(65)를 호출한다. 백그라운드 카피가 수행되어진 후에, 디스플레이 논리(66)는 만일 카피 완료 인터럽트가 인에이블되었다면 단계(114) 에서 카피 완료 인터럽

트를 발생한다. 카피 완료 인터럽트는 카피 동작이 완료되었음을 CPU 에게 알린다. 마지막으로, 디스플레이 논리(66)는 단계(115) 에서 수직 리트레이스 주기가 완료될때까지 대기하며 그후 또 다른 프레임으로부터 DAC(69) 로시프트 아웃을 시작한다.

백그라운드 카피는 단계(113) 에서 백그라운드 카피 논리(65)에 의해 수행된다. 제 7도는 백그라운드 카피 논리(65)의 동작을 설명하는 흐름도를 나타낸다.

제 7도의 단계(131) 를 참조하면, 백그라운드 카피 논리(65)는 먼저 카피 프로세스에서 사용되어질 카운터(68)를 클리어시킨다. 백그라운드 카피 논리(65)는 다음에 단계(135) 에서 백그라운드 장면의 제 1 부분으로 VRAM내의 직렬 데이터 레지스터(41)(제 1도)를 로드한다. 백그라운드 장면의 제 1 부분을 얻기 위해, 카피 논리(65)는 백그라운드 프레임 레지스터(63)의 상위 비트와 동일한 상위 비트 및 카운터(68)로부터 만들어진 하위 비트와 동일한 하위 비트를 갖는 어드레스를 만든다. 단계(137)에서, 백그라운드 카피 논리(65)는 직렬 데이터 레지스터(41) (제 1도) 내의 백그라운드 장면 정보를 뉴 프레임 영역속으로 저장한다. 뉴 프레임 영역내로 정보를 저장하기 위해, 카피 논리(65)는 뉴 프레임 레지스터(62)의 동일 상위 비트와 하위비트가 카운터(68)로부터 만들어진 어드레스를 생성한다. 카운터(68)는 이렇게 하여 인덱스로서 백그라운드 영역 및 뉴 프레임 영역 모두에 사용되어진다. 단계(138) 및 (139)에서, 백그라운드 카피 논리(65)는 백그라운드 카피 논리(65)가 전체 프레임 영역으로 카피되었는지를 알기 위해 카운터(68)를 테스트한다. 만일 백그라운트카피 논리(65)가 전체 프레임 영역으로 카피되어지지 않았다면, 카운터(68)는 단계(141)로 증가되며 백그라운드 카피 논리(65)는 단계(135) 로 되돌아간다. 백그라운드 카피 논리(65)는 프레임 카피가 완료될때까지 인덱스로써 카운터(68)를 사용하여 백그라운트 영역으로부터 뉴 프레임 영역으로 정보를 계속해서 카피한다. 백그라운드 카피 논리는 그러므로 제 5도에 도시된 바와같이 직렬 데이터 레지스터(41) (제 1도)를 사용하여 로우 단위로 백그라운드 영역의 내용을 뉴 프레임 영역으로 카피한다. 백그라운드 카피 논리(65)가 뉴 프레임 영역 및 백그라운드 영역의 최하부에 도달하일때, 백그라운드 카피 논리(65)는 백그라운드 카피를 실행한다.

대안 실시예에서, 백그라운드 카피는 제3a도에 도시된 바와같이 수평 리트레이스 주기(93)동안 혹은 수직 및 수평 양 리트레이스 주기동안 수행되어질 수 있다. 수평 리트레이스 주기를 사용할때, 백그라운드 카피 논리(65)는 각각의 수평 리트레이스 주기(93)동안 백그라운드 영역의 작은 부분을 뉴 프레임 영역으로 카피함으로써 백그라운드 영역은 연속 수평 리트레이스 동안 피스(piece) 단위로 뉴 프레임 영역으로 카피된다. 각각의 부분이 카피되어진후, 백그라운드 카피 논리(65)는 VRAM 어레이내의 VRAM의 재저장상태(restore state) 를 반드시 확실하게 함으로써, 디스플레이 논리(66)는 디스플레이를 아래로 주사함에 따라 혼란스럽게 되지 않는다. 예를 들면, 직렬 데이터 레지스터(41) 및 직렬 데이터포인터(45) (제 1도) 내의 값은 재저장되어진다.

애니메이션에 사용되는 고속 카피 제어기를 지닌 프레임버퍼

본 발명의 컴퓨터 디스플레이 시스템은 백그라운드 장면을 통하여 렌더링되는 이중버퍼된 애니메이션의 수행능력을 개선시키는데에 있어서 이상적이다. 제8a도 내지 제8k도는 고속 이중버퍼된 애니메이션을 렌더링하기 위해 애니메이션 프로그램이 본 발명을 어떻게 사용할 수 있는가를 도시한다. 각각의 도면에서, 디스플레이 프레임 레지스터(61), 뉴 프레임 레지스터(62) 및 백그라운드 프레임 레지스터(63)의 내용은 도면의 좌측상의 포인터로서 표시된다. 디스플레이 프레임 영역, 뉴 프레임 영역 및 백그라운드 프레임 영역의 내용은 디스플레이 프레임 레지스터(61), 뉴 프레임 레지스터(62) 및 백그라운드 프레임 레지스터(63)에 의해 각각 가리켜지는 이미지로서 표현되어졌다.

제 1 단계는 사용되어질 레지스터 및 메모리 영역의 3 개 세트를 초기화하는 것이다.

제8a도를 참조하면, VRAM 어드레스 공간은 블랙 백그라운드를 제공하기 위해 클리어되며 디스플레이 프레임 레지스터(61) 및 백그라운드 프레임 레지스터(63)는 각각 VRAM(55)내에서의 디스플레이 프레임 영역 및 백그라운드 프레임 영역을 가리키기 위해 초기화 되어진다. 뉴 프레임 레지스터(62)는 아직 필요하지 않으므로 널(null)로 세트된다. 디스플레이 화면(71)은 항상 디스플레이 프레임 레지스터(61)에 의해 가리켜진 디스플레이프레임 영역을 디스플레이한다. 현재, 디스플레이 프레임 레지스터(61)는 클리어된 디스플레이 영역을 가리키며 따라서 스크린 디스플레이(71)는 백지상태이다.

다음 단계는 애니메이션을 위한 배경(backdrop)으로서 사용되어질 백그라운드 장면을 만드는 것이다. 제8b도는 백그라운드 프레임 영역내에 백그라운드 산악 장면이 랜더링되어진후의 메모리 영역의 내용을 도시한다. 백그라운드 프레임 영역내의 산악 장면은 애니메이션을 위한 백그라운드를 제공하기 위해 사용되어질 것이다. 디스플레이 화면(71)은 디스플레이 프레임 레지스터(61)가 공백의 디스플레이 프레임 영역을 가리키고 있으므로 백지상태로 존재한다.

애니메이션 프레임을 렌더링 시작하기 위해, 애니메이션 소프트웨어는 본 발명의 디스플레이 제어 시스템(51)에게 뉴 프레임 레지스터(62)가 비사용 메모리 영역을 지시하도록 세팅함과 아울러 제어 레지스터(64)내의 카피 제어 비트를 세팅함으로써 백그라운드 프레임영역의 내용을 뉴 프레임 영역으로 카피하는 것을 요구한다. 디스플레이 제어 시스템(51)은 그후 백그라운드 프레임 영역내의 이미지를 뉴 프레임 영역으로 카피한다. 제8c도는 디스플레이 제어 시스템(51)이 백그라운드 카피를 수행한 후의 메모리 영역의 내용을 도시한다.

여기서 애니메이션 소프트웨어는 뉴 프레임 영역내의 백그라운드 장면을 통하여 애니메이션의 제 1 프레임을 렌더링한다. 제8d도는 애니메이션 소프트웨어가 산악 배경장면 위에 비행기를 렌더링한 후의 메모리 영역의 내용을 도시한다.

제 1 애니메이션 프레임을 디스플레이 하기 위해, 애니메이션 소프트웨어는 비행기를 포함하는 메모리 영역을 가리키도록 디스플레이 프레임 레지스터(61)의 내용을 세트한다.

제8e도는 디스플레이 프레임 레지스터(61)가 제 1 애니메이션 프레임을 지시하도록 세트되어진 후의 메모리 영역의 내용을 도시한다.

제 2 애니메이션 프레임을 발생시키기 위해, 먼저 애니메이션 소프트웨어는 본 발명의 디스플레이 제어 시스템(51)에게 백그라운드 장면을 비사용 메모리 영역으로 카피하도록 요구한다. 애니메이션 소프트웨어는 구(old)(및 현재 사용되지 않은)디스플레이 프레임 영역을 가리키도록 뉴 프레임 레지스터(62)를 변화시킴으로써 상기 요구를 수행하며 제어 레지스터(64)내의 카피 제어 비트를 세트시킨다. 그러므로 구 디스플레이 영역은 뉴 프레임 영역이 된다. 제8f도는 디스플레이 제어 시스템(51)이 백그라운드 장면을 백그라운드 영역으로부터 뉴 프레임 영역으로 카피한 후의 메모리 영역의 내용을 도시한다.

여기서 애니메이션 소프트웨어는 백그라운드 장면의 상부에 뉴 프레임 영역내의 애니메이션의 제 2 프레임을 렌더링한다. 제 2 애니메이션 프레임내에서, 비행기는 산악 배경 장면을 따라 이동한다. 그러므로 애니메이션 소프트웨어는 약간 좌측으로 이동된 비행기를 렌더링한다. 제8g도는 애니메이션 소프트웨어가 제 2 애니메이션 프레임을 렌더링한 후의 메모리 영역의 내용을 도시한다.

제 2 애니메이션 프레임을 디스플레이하기 위해, 애니메이션 소프트웨어는 이동된 비행기를 지닌 메모리 영역을 가리키도록 디스플레이 프레임 레지스터(61)의 내용을 세트한다. 제8h도는 디스플레이 프레임 레지스터(61)가 제 2 애니메이션 프레임을 지시하도록 세트되어진 후의 프레임 버퍼의 내용을 도시한다.

제 3 애니메이션 프레임을 발생하기 위해, 애니메이션 소프트웨어는 본 발명의 디스플레이 제어 시스템(51)에게 백그

라운드 장면을 VRAM 메모리의 비사용 영역속으로 카피할 것을 요구한다. 애니메이션 소프트웨어는 이전 디스플레이 프레임 영역을 지시하도록 뉴 프레임레지스터(62)를 변경함으로써 상기 요구를 수행한다. 따라서 구 디스플레이 영역은 뉴 프레임 영역이 된다. 제8i도는 디스플레이 제어시스템(51)이 백그라운드 장면을 백그라운드 영역으로부터 뉴 프레임 영역으로 카피한 후의 메모리 영역의 내용을 도시한다. 백그라운드 카피 논리(65)는 메모리의 제 1 프레임 영역에 있었던 애니메이션의 제 1 프레임을 중복기재한다는 것을 주목하자.

여기서 애니메이션 소프트웨어는 백그라운드 장면 상부에 뉴 프레임 영역내의 애니메이션의 제 3 프레임을 렌더링한다. 제 3 애니메이션 프레임에서, 비행기는 산악으로 불시착한다. 그러므로 애니메이션 소프트웨어는 백그라운드 산악 장면상에 불시착된 비행기를 렌더링한다. 제8j도는 애니메이션 소프트웨어가 제 3 애니메이션 프레임을 렌더링한 후의 메모리 영역의 내용을 도시한다.

제 3 애니메이션 프레임을 디스플레이 하기 위해, 애니메이션 소프트웨어는 불시착한 비행기를 가진 메모리 영역을 지시하도록 디스플레이 프레임 레지스터(61)의 내용을 세트한다. 제8k도는 디스플레이 프레임 레지스터(61)가 제 3 애니메이션 프레임을 지시하도록 세트되어진 후의 메모리 영역의 내용을 도시한다.

불시착한 비행기는 장래에 이동하지 않을 것이기 때문에, 불시착한 비행기는 장래 애니메이션 프레임을 위한 백그라운드 장면의 일부가 될 수 있다. 그러므로 애니메이션 소프트웨어는 비행기 불시착 장면을 포함하는 메모리 영역을 지시하도록 백그라운드 프레임 버퍼(63)를 세팅함으로써 비행기 불시착 장면을 뉴 백그라운드 장면으로 전환시킨다. 제8l도는 비행기 불시착 장면이 백그라운드 장면으로 전환되어진 후의 메모리 영역의 내용을 도시한다.

제 4 애니메이션 프레임을 발생하기 위해, 애니메이션 소프트웨어는 백그라운드 장면을 비사용 메모리 영역으로 카피하도록 디스플레이 제어 시스템(51)에게 요구한다. 애니메이션 소프트웨어는 뉴 프레임 레지스터(62)가 비사용 메모리 영역을 가리키도록 변화시킴으로써 상기 요구를 실행하며 그후 제어 레지스터(64)내의 카피 제어비트를 세트한다. 불시착한 비행기는 아마도 백그라운드 장면으로 영구히 고정될 것이기 때문에, 이전 산악 장면은 파괴될 수 있다. 그러므로 이전 백그라운드 장면은 뉴 프레임 영역이 된다. 대안으로, 애니메이션 소프트웨어는 메모리의 뉴 프레임 영역을 사용할 수 있을 것이며 이후의 사용을 위해 본래 산악 장면을 보존할 수 있을 것이다. 제8m도는 디스플레이 제어 시스템(51)이 백그라운드 장면을 백그라운드 영역으로부터 뉴 프레임 영역으로 카피한 후의 메모리 영역의 내용을 도시한다. 백그라운드 카피논리(65)는 메모리의 그 영역에 있었던 구 백그라운드 장면을 중복기재함을 주목한다.

애니메이션 소프트웨어는 애니메이션 프레임을 렌더링하기 위한 뉴 프레임을 만들기 위해 비사용 메모리 영역을 가리키도록 뉴 프레임 레지스터(62)를 변경시킴으로써 연속적인 애니메이션 프레임을 계속해서 렌더링한다. 메모리의 그 영역내에서의 애니메이션 프레임을 렌더링한 후에, 애니메이션 소프트웨어는 새롭게 렌더링된 프레임을 지시하도록 디스플레이프레임 레지스터(61)를 변경시킨다.

상기에서 고속 프레임 카피수단을 갖는 컴퓨터 디스플레이 시스템이 설명되었다. 본 발명의 범위 및 정신으로부터 벗어남이 없이 본 발명의 구성요소의 배열과 물질은 당업자에 의해 변화 및 수정될 수 있음이 고려된다.

(57) 청구의 범위

청구항 1.

컴퓨터 시스템에서, 프레임 영역들간에 정보를 카피하는 프레임 버퍼 장치에 있어서,

디스플레이 프레임 영역, 백그라운드 프레임 영역 및 뉴 프레임 영역을 포함하는 적어도 세 개의 프레임 영역으로 분할되고 적어도 하나의 비디오 랜덤 액세스 메모리 디바이스를 포함하는 비디오 메모리 어레이로서, 상기 비디오 랜덤 액세스 메모리 디바이스는 복수의 메모리 주소를 구비하고 상기 비디오 랜덤 액세스 메모리 디바이스내의 상기 복수의 메모리 주소의 행을 로드하고 저장할 수 있는 데이터 레지스터를 갖는, 상기 비디오메모리 어레이;

디스플레이 프레임 영역을 가리키는 디스플레이 프레임 레지스터;

상기 디스플레이 프레임 레지스터에 의해 가리켜 진 디스플레이 프레임 영역으로부터 상기 데이터 레지스터내에 포함된 직렬 데이터 레지스터에 메모리의 행을 로딩하는 비디오 디스플레이 회로로서, 상기 직렬 데이터 레지스터는 직렬 액세스 포트에 연결되고 상기 메모리의 행은 직렬 액세스 포트를 통하여 시프팅되는, 상기 비디오 디스플레이 회로;

백그라운드 이미지를 포함하는 백그라운드 프레임 영역을 가리키는 백그라운드 프레임레지스터;

뉴 프레임 영역을 가리키는 뉴 프레임 레지스터; 및

상기 비디오 메모리 어레이에 연결되고, 카피 장치가 상기 비디오 메모리 어레이내의 상기 백그라운드 프레임 영역을 상기 비디오 메모리 어레이내의 상기 뉴 프레임 영역에 카피하도록 각각의 비디오 메모리 디바이스내의 상기 데이터 레지스터를 사용하여 복수의 상기 메모리의 행을 로딩 및 저장하는 상기 카피 장치를 포함하는 것을 특징으로 하는 프레임 버퍼 장치.

청구항 2.

제 1항에 있어서, 상기 프레임 버퍼 장치는 수직 리트레이스 주기를 갖는 비디오타이밍 신호를 발생하며, 상기 카피 장치는 상기 수직 리트레이스 주기동안에만 동작하는 것을 특징으로 하는 프레임 버퍼 장치.

청구항 3.

제 1항에 있어서, 상기 프레임 버퍼 장치는 수평 리트레이스 주기를 갖는 비디오타이밍 신호를 발생하며, 상기 카피 장치는 상기 수평 리트레이스 주기동안에만 동작하는 것을 특징으로 하는 프레임 버퍼 장치.

청구항 4.

제 1항에 있어서, 상기 프레임 버퍼 장치는 수직 리트레이스 주기 및 수평 리트레이스 주기를 갖는 비디오 타이밍 신호를 발생하며, 상기 카피 장치는 상기 수직 리트레이스 주기 및 상기 수평 리트레이스 주기동안 동작하는 것을 특징으로 하는 장치.

청구항 5.

제 1항에 있어서, 상기 프레임 버퍼 장치는 카피 제어 비트를 추가로 포함하며, 상기 프레임 버퍼 장치는 상기 카피 제어 비트가 중앙처리장치에 의해 세트될때 상기 백그라운드 프레임 영역에서 상기 뉴 프레임 영역으로 카피하는 것을 특징으로 하는 프레임 버퍼 장치.

청구항 6.

제5항에 있어서, 상기 메모리 어레이내의 각각의 비디오 랜덤 액세스 메모리 디바이스는 상기 중앙처리장치가 상기 비디오 랜덤 액세스 메모리 어레이내의 각각의 메모리 장소에 액세스할 수 있도록 랜덤 액세스 포트를 포함하는 것을 특징으로 하는 프레임버퍼 장치.

청구항 7.

각각이 프레임 데이터를 포함하는 내용을 갖는 적어도 세 개의 데이터 영역을 포함하고 디스플레이 영역 포인터, 백그라운드 영역 포인터 및 뉴 프레임 영역 포인터를 더 포함하는 프레임 버퍼 장치를 이용하기 위한 방법으로서, 애니메이션 프레임의 시퀀스를 발생 및 디스플레이하기 위한 상기 방법에 있어서,

상기 디스플레이 영역 포인터에 의해 주소지정된 데이터 영역의 내용을 비디오 디스플레이 디바이스에 디스플레이하는 단계;

상기 백그라운드 영역 포인터에 의해 주소지정된 데이터 영역의 내용을 뉴 프레임 영역 포인터에 의해 주소지정된 데이터 영역에 카피하는 단계;

애니메이션 프레임의 시퀀스내의 다음 프레임을 렌더링하는 단계;

다음 프레임을 뉴 프레임 영역 포인터에 의해 주소지정된 데이터 영역에 중첩시키는 단계;

뉴 프레임 영역 포인터에 의해 주소지정된 데이터 영역을 식별하기 위해 디스플레이 영역 포인터를 리셋팅하는 단계;

디스플레이 영역 포인터에 의해 이미 주소지정된 데이터 영역을 식별하기 위해 뉴 프레임 영역 포인터를 리셋팅하는 단계; 및

애니메이션된 프레임의 시퀀스가 상기 비디오 디스플레이에 완전히 디스플레이되어질 때 까지 상기 단계들을 반복하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 8.

제7항에 있어서, 상기 디스플레이하는 단계는 하나 이상의 비디오 리트레이스주기를 포함하고, 상기 카피하는 단계, 렌더링하는 단계 및 중첩하는 단계들의 각각은 상기 하나 이상의 비디오 리트레이스 주기 동안 수행되는 것을 특징으로 하는 방법.

청구항 9.

제8항에 있어서, 상기 하나 이상의 비디오 리트레이스 주기는 수직 비디오 리트레이스 주기를 포함하는 것을 특징으로 하는 방법.

청구항 10.

제8항에 있어서, 상기 하나 이상의 비디오 리트레이스 주기는 수평 비디오 리트레이스 주기를 포함하는 것을 특징으로 하는 방법.

청구항 11.

제7항에 있어서, 뉴 프레임 영역 포인터를 리셋팅하는 상기 단계는,

백그라운드 영역 포인터에 의해 주소지정된 영역의 내용이 갱신되도록, 디스플레이 영역 포인터에 의해 주소지정된 데이터 영역을 주소지정하기 위해 백그라운드 영역 포인터를 리셋팅하는 단계; 및

백그라운드 영역 포인터에 의해 이미 주소지정된 데이터 영역을 주소지정하기 위해 뉴프레임 영역 포인터를 리셋팅하는 단계로 대체되는 것을 특징으로 하는 방법.

청구항 12.

애니메이션 프레임의 시퀀스를 발생 및 디스플레이하는 장치에 있어서,

각각이 프레임 데이터를 포함하는 내용을 갖는 적어도 세 개의 데이터 영역을 포함하고 디스플레이 영역 포인터, 백그라운드 영역 포인터 및 뉴 프레임 영역 포인터를 더 포함하는 프레임 버퍼 장치;

디스플레이 영역 포인터에 의해 주소지정된 데이터 영역의 내용을 비디오 디스플레이 디바이스에 디스플레이하는 수단;

백그라운드 영역 포인터에 의해 주소지정된 데이터 영역의 내용을 뉴 프레임 영역 포인터에 의해 주소지정된 데이터 영역에 카피하는 수단;

애니메이션 프레임의 시퀀스내의 다음 프레임을 렌더링하는 수단;

상기 다음 프레임을 뉴 프레임 영역 포인터에 의해 주소지정된 데이터 영역에 중첩시키는 수단;

뉴 프레임 영역 포인터에 의해 주소지정된 데이터 영역을 식별하기 위해 디스플레이 영역 포인터를 리셋팅하는 수단;

디스플레이 영역 포인터에 의해 이미 주소지정된 데이터 영역을 식별하기 위해 뉴 프레임 영역 포인터를 리셋팅하는 수단; 및

애니메이션된 프레임의 시퀀스가 상기 비디오 디스플레이에 완전히 디스플레이 되어질때까지 상기 단계들을 반복하는 수단을 포함하는 것을 특징으로 하는 장치.

청구항 13.

제12항에 있어서, 상기 디스플레이하는 수단은 하나 이상의 비디오 리트레이스 주기를 발생하는 수단을 포함하고, 상기 카피하는 수단, 렌더링하는 수단 및 중첩하는 수단들의 각각은 상기 하나 이상의 비디오 리트레이스 주기 동안 동작하는 것을 포함하는 것을 특징으로 하는 장치.

청구항 14.

제13항에 있어서, 상기 하나 이상의 비디오 리트레이스 주기는 수직 비디오 리트레이스 주기를 포함하는 것을 특징으로 하는 장치.

청구항 15.

제13항에 있어서, 상기 하나 이상의 비디오 리트레이스 주기는 수평 비디오 리트레이스 주기를 포함하는 것을 특징으로 하는 장치.

청구항 16.

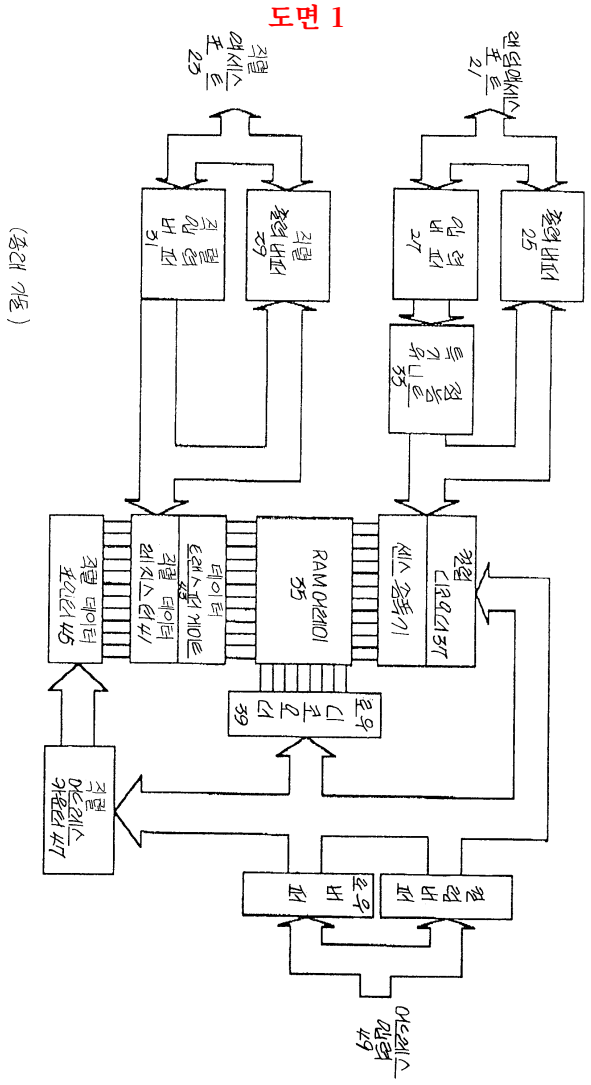
제12항에 있어서, 뉴 프레임 영역 포인터를 리셋팅하는 상기 수단은,

백그라운드 영역 포인터에 의해 주소지정된 영역의 내용이 갱신되도록, 디스플레이 영역 포인터에 의해 주소지정된 데이터 영역을 주소지정하기 위해 백그라운드 영역 포인터를 리셋팅하는 수단; 및

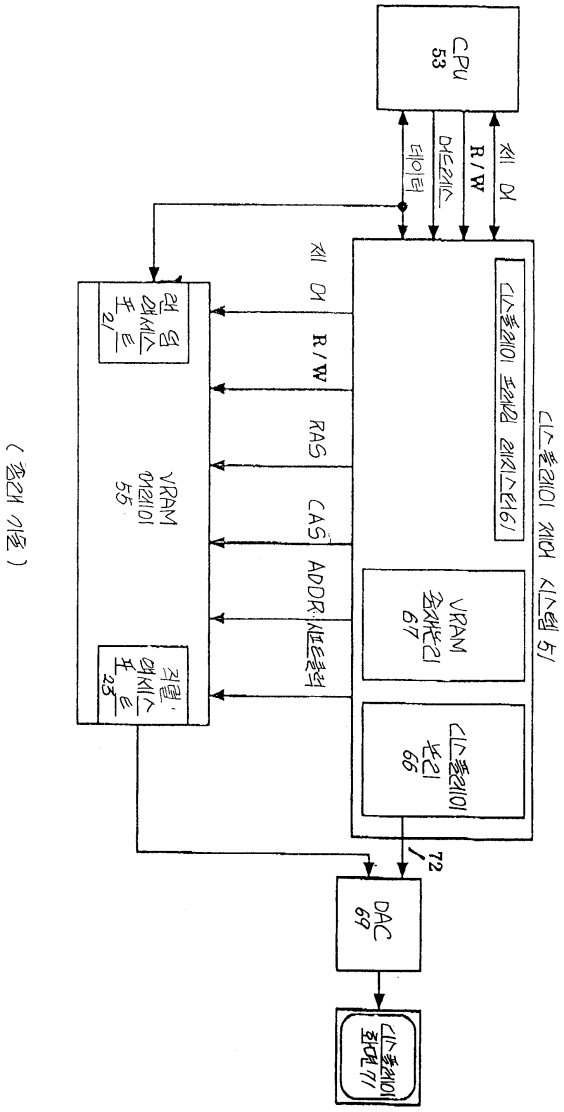
백그라운드 영역 포인터에 의해 이미 주소지정된 데이터 영역을 주소지정하기 위해 뉴프레임 영역 포인터를 리셋팅하는 수단으로 대체되는 것을 특징으로 하는 장치.

도면

도면 1

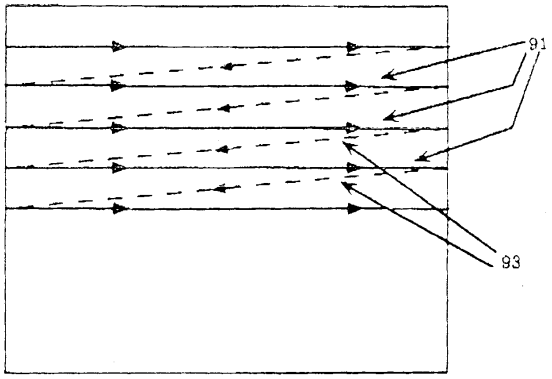


도면 2

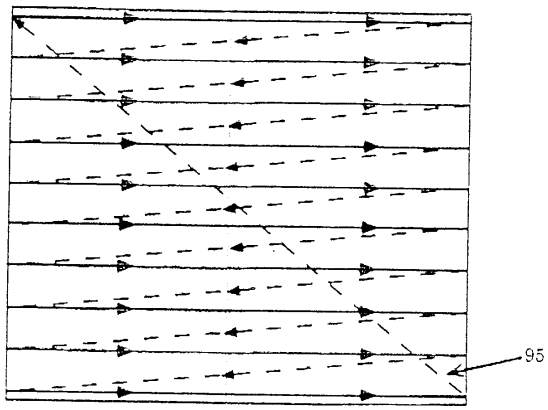

CPU
53
제 어
R/W
어드레스
데이터
디스플레이 제어 시스템 51
디스플레이 프레임 레지스터 67
VRAM 콘트롤러 67
디스플레이 부 66
72
DAC
69
디스플레이 화면 77
제 어
R/W
RAS
CAS
ADDR/데이터
램 엑세스 부 21
VRAM 어레이 55
컬럼 엑세스 부 23

(종래 기술)

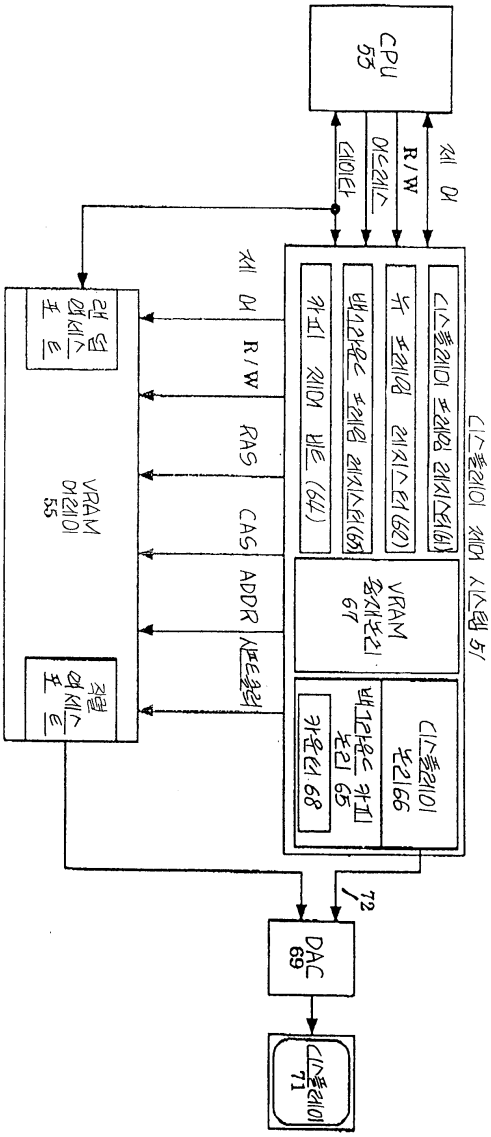
도면 3a



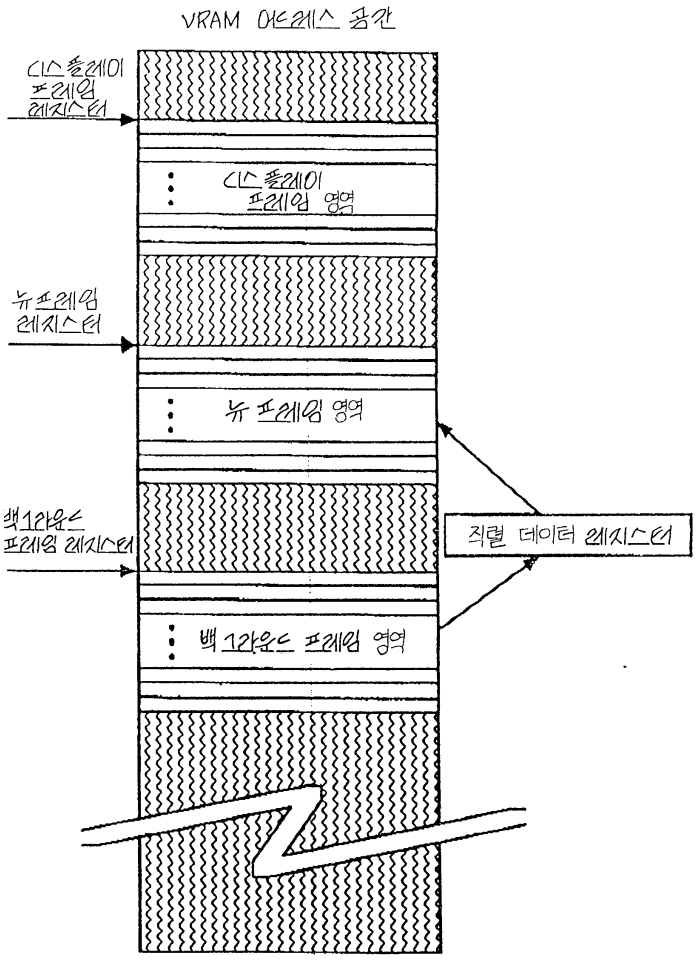
도면 3b



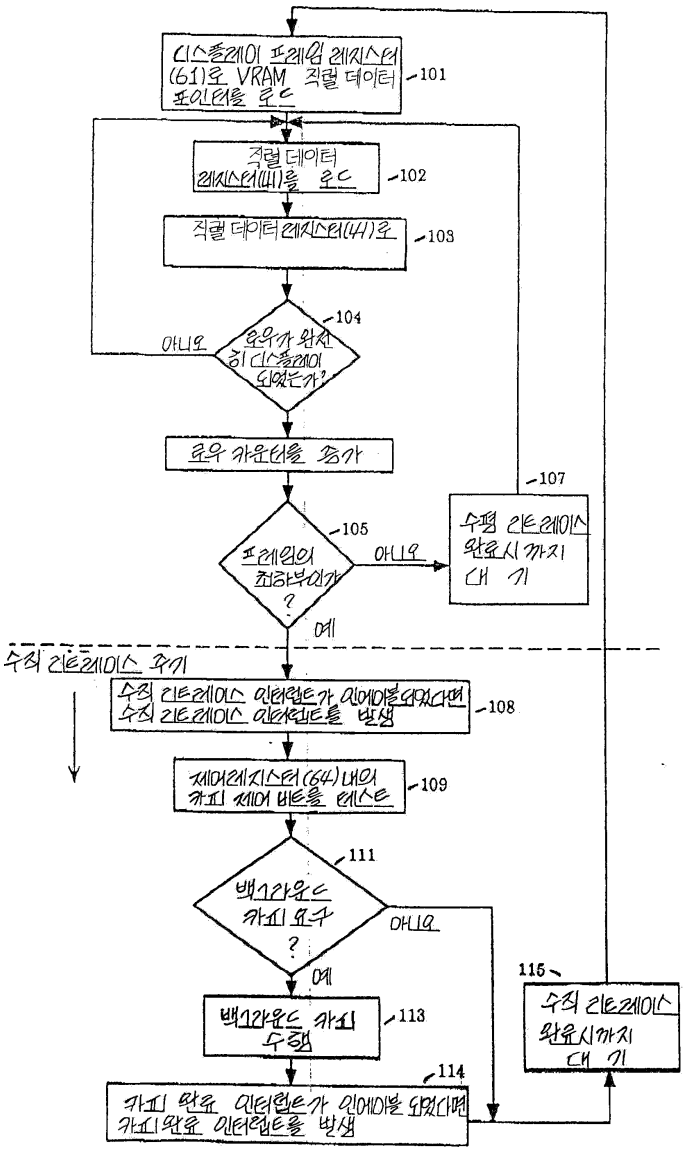
도면 4


CPU
53
제 어
R/W
어드레스
데이타
디스플레이 제어 시스템 51
디스플레이 프레임 레지스터(61)
뉴 프레임 레지스터(62)
백그라운드 프레임 레지스터(63)
카피 제어 비트 (64)
VRAM 용재논리
67
디스플레이 논리
66
백그라운드 카피 논리 65
카운터 68
제 어
R/W
RAS
CAS
ADDR
시프트클럭
VRAM 어레이
55
랜덤 엑세스 포트
직렬 엑세스 포트
72
DAC
69
디스플레이
71

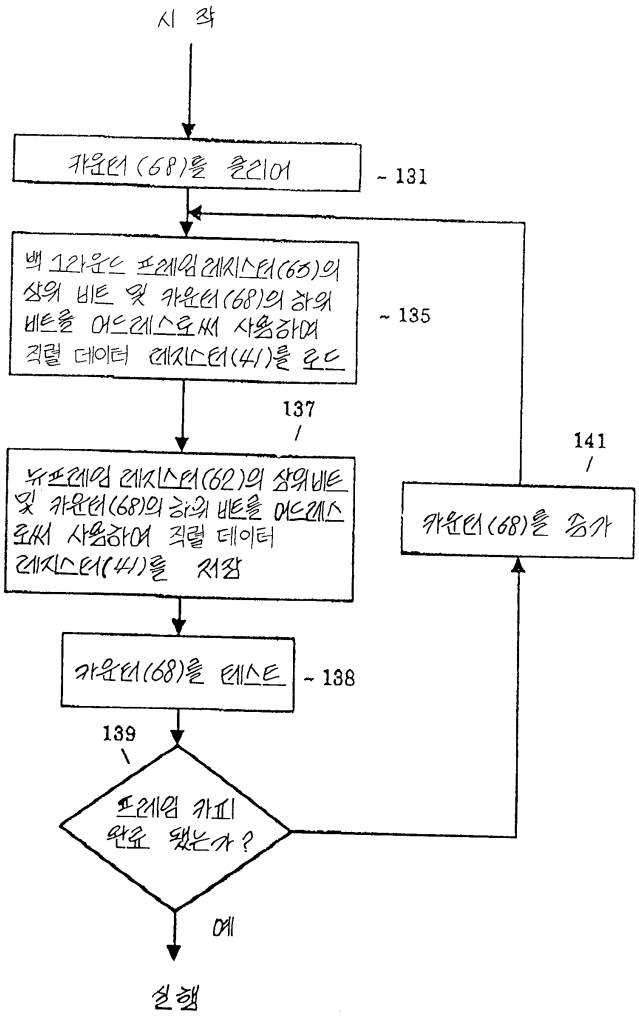
도면 5


VRAM 어드레스 공간
디스플레이 프레임 레지스터
디스플레이 프레임 영역
뉴 프레임 레지스터
뉴 프레임 영역
백그라운드 프레임 레지스터
백그라운드 프레임 영역
직렬 데이터 레지스터

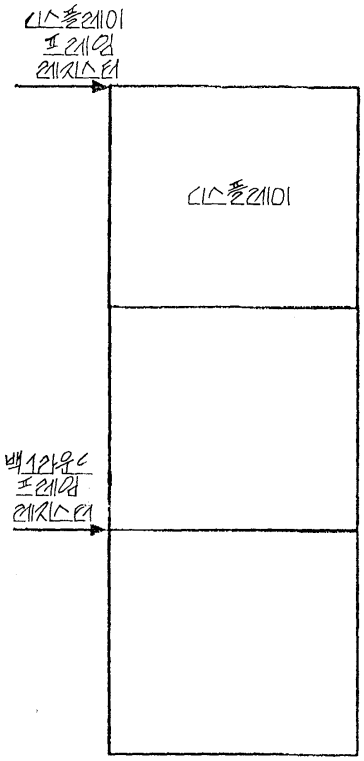
도면 6


디스플레이 프레임 레지스터(61)로 VRAM 직렬 데이터 포인터를 로드
101
직렬 데이터 레지스터(44)를 로드
102
직렬 데이터 레지스터(44)로
103
104
아니오
오우가 완전히 디스플레이 되었는가?
로우 카운터를 증가
107
수평 리트레이스 완료시까지 대 기
105
프레임의 최하부인가?
아니오
예
수직 리트레이스 주기
수직 리트레이스 인터럽트가 인에이블되었다면 수직 리트레이스 인터럽트를 발생
108
제어레지스터(64)내의 카피 제어 비트를 테스트
109
111
백그라운드 카피 요구?
아니오
예
115
수직 리트레이스 완료시까지 대 기
백그라운드 카피 수행
113
114
카피 완료 인터럽트가 인에이블되었다면 카피완료 인터럽트를 발생

도면 7

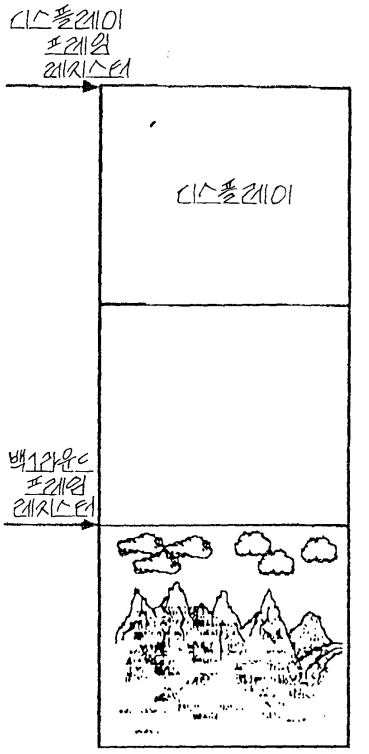

시 작
카운터(68)를 클리어
131
백 그라운드 프레임 레지스터(65)의 상위 비트 및 카운터(68)의 하위 비트를 어드레스로써 사용하여 직렬 데이터 레지스터(41)를 로드
135
137
뉴프레임 레지스터(62)의 상위비트 및 카운터(68)의 하위 비트를 어드레스로써 사용하여 직렬 데이터 레지스터(41)를 저장
141
카운터(68)를 증가
카운터(68)를 테스트
138
139
프레임 카피 완료 됐는가?
예
실행

도면 8a



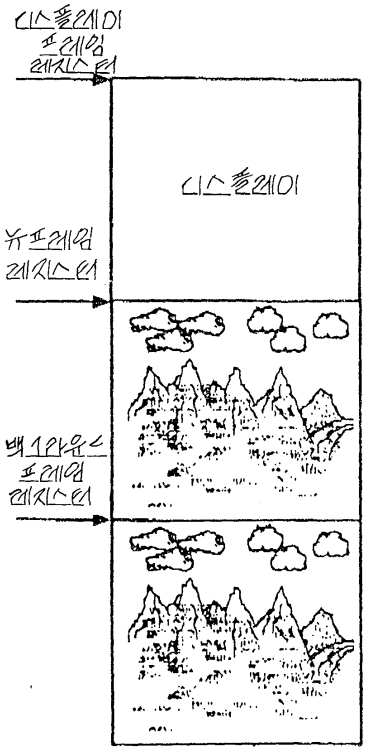
뷰 프레임 레지스터는 널

도면 8b

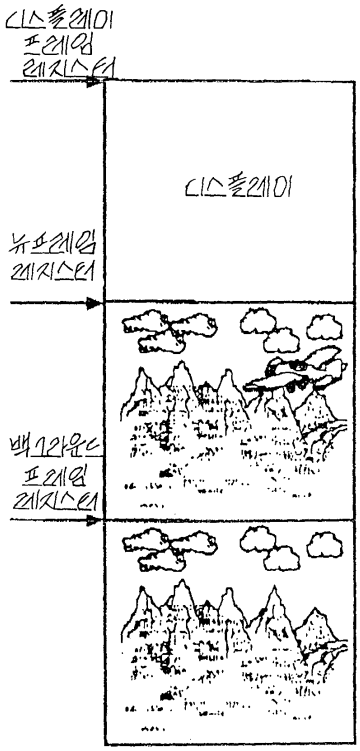


뉴 프레임 레지스터는 널

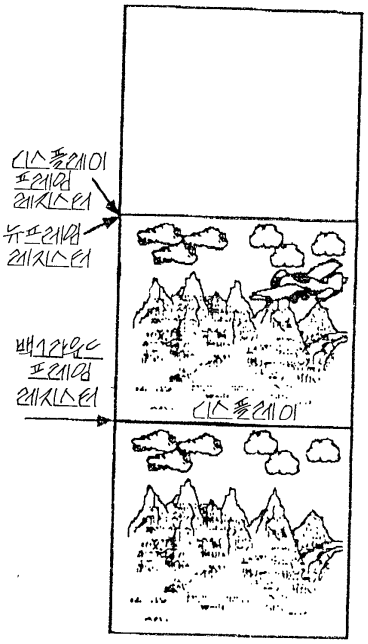
도면 8c



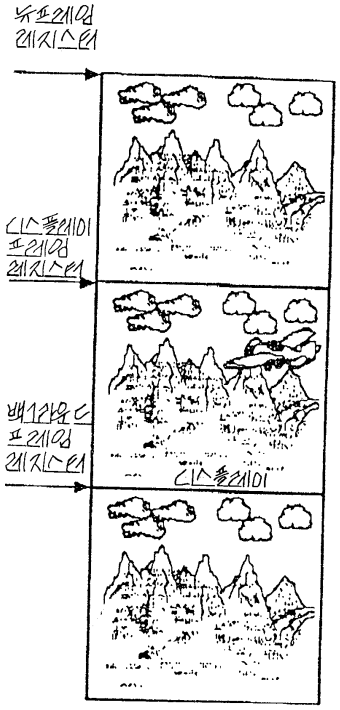
도면 8d



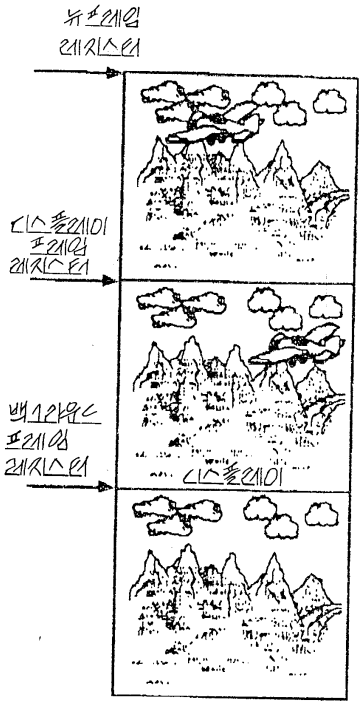
도면 8e


디스플레이
프레임
레지스터
뉴프레임
레지스터
백그라운드
프레임
레지스터
디스플레이

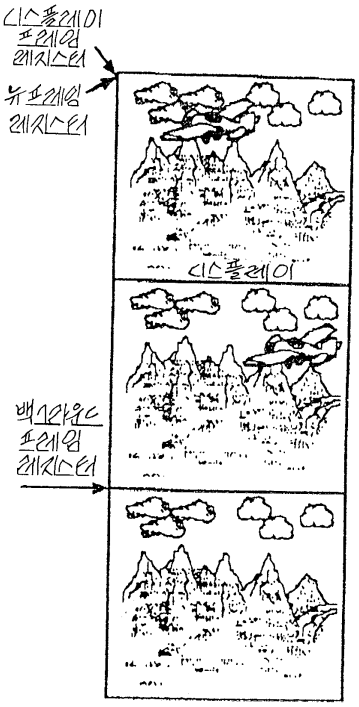
도면 8f


뉴프레임
레지스터
디스플레이
프레임
레지스터
백그라운드
프레임
레지스터
디스플레이

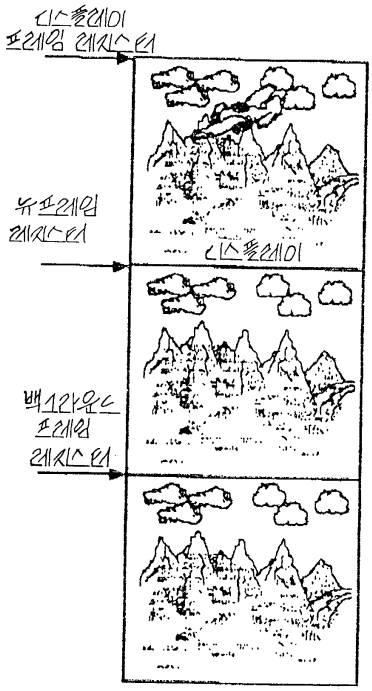
도면 8g



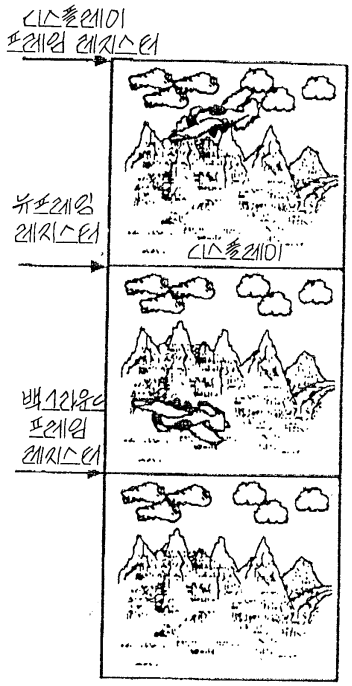
도면 8h



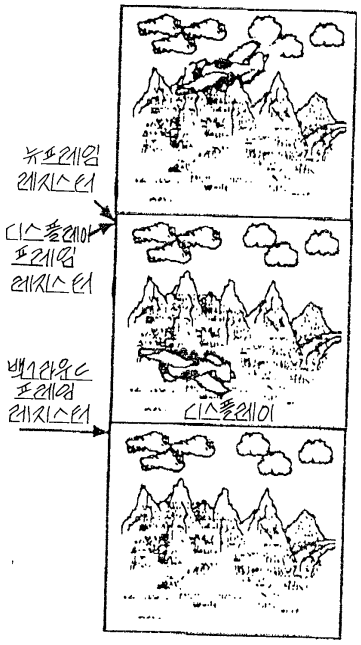
도면 8i


디스플레이
프레임 레지스터
뉴프레임
레지스터
디스플레이
백그라운드
프레임
레지스터

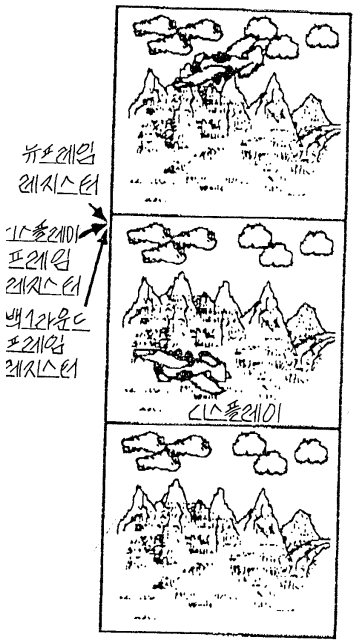
도면 8j


디스플레이
프레임 레지스터
뉴프레임
레지스터
디스플레이
백그라운드
프레임
레지스터

도면 8k


뉴프레임
레지스터
디스플레이
프레임
레지스터
백그라운드
프레임
레지스터
디스플레이

도면 8l


뉴프레임
레지스터
디스플레이
프레임
레지스터
백그라운드
프레임
레지스터
디스플레이

도면 8m

