

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4661524号
(P4661524)

(45) 発行日 平成23年3月30日(2011.3.30)

(24) 登録日 平成23年1月14日(2011.1.14)

(51) Int.Cl.			F I		
HO2M	3/155	(2006.01)	HO2M	3/155	P
HO2M	3/28	(2006.01)	HO2M	3/28	P
HO2M	7/21	(2006.01)	HO2M	3/28	F
			HO2M	7/21	A

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2005-310868 (P2005-310868)	(73) 特許権者	000003067
(22) 出願日	平成17年10月26日(2005.10.26)		T D K株式会社
(65) 公開番号	特開2007-124749 (P2007-124749A)		東京都中央区日本橋一丁目13番1号
(43) 公開日	平成19年5月17日(2007.5.17)	(74) 代理人	100095407
審査請求日	平成20年8月6日(2008.8.6)		弁理士 木村 満
		(74) 代理人	100109449
			弁理士 毛受 隆典
		(72) 発明者	今井 考一
			東京都中央区日本橋一丁目13番1号 T D K株式会社内
		(72) 発明者	五木田 剛男
			東京都中央区日本橋一丁目13番1号 T D K株式会社内
		審査官	槻木澤 昌司

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータとその制御方法

(57) 【特許請求の範囲】

【請求項1】

電源電位と第1の中間端子との間に接続されている第1のスイッチング素子と、
前記第1の中間端子と接地電位との間に接続されている第2のスイッチング素子と、
前記第1の中間端子と出力端子との間に接続されている第1のインダクタンス素子と、
前記出力端子と前記接地電位との間に接続されている第1のコンデンサと、
前記出力端子の電圧を検出し、該出力端子の電圧に基づいて決定したパルス幅のパルス信号を出力するPWM制御回路と、

前記パルス信号に基づいて前記第1と第2のスイッチング素子を駆動する第1の駆動回路と、

前記PWM制御回路が所定期間以上前記パルス信号の出力を停止したことを検出して、
前記第2のスイッチング素子をオフさせる第1のパルススキッピング検出回路と、
を備えることを特徴とするDC-DCコンバータ。

【請求項2】

更に、前記第1のインダクタンス素子を流れる電流が予め設定した電流値以下になったことを検出して前記第2のスイッチング素子をオフさせる第1の軽負荷検出回路を備え、

該第1の軽負荷検出回路が前記第2のスイッチング素子をオフさせる前に、前記第1のパルススキッピング検出回路が前記第2のスイッチング素子をオフさせる、ことを特徴とする請求項1に記載のDC-DCコンバータ。

【請求項3】

前記第 1 のパルススキッピング検出回路は、前記パルス信号の出力の停止期間を、前記パルス信号に同期している第 1 のクロックをカウントすることによって検出する、ことを特徴とする請求項 1 又 2 に記載の DC - DC コンバータ。

【請求項 4】

前記第 1 のパルススキッピング検出回路は、前記パルス信号の出力の停止期間を、前記パルス信号に非同期の第 2 のクロックをカウントすることによって検出する、ことを特徴とする請求項 1 又 2 に記載の DC - DC コンバータ。

【請求項 5】

電源電位と第 2 の中間端子との間に接続されている第 3 のスイッチング素子と、
前記第 2 の中間端子と第 1 の接地電位との間に接続されている第 4 のスイッチング素子と、

前記電源電位と第 3 の中間端子との間に接続されている第 5 のスイッチング素子と、
前記第 3 の中間端子と前記第 1 の接地電位との間に接続されている第 6 のスイッチング素子と、

前記第 2 の中間端子と前記第 3 の中間端子に一次巻線の両端子が接続されているトランスと、

前記トランスの二次巻線の第 1 の端子と第 2 の接地電位との間に接続されている第 7 のスイッチング素子と、

前記トランスの二次巻線の第 2 の端子と第 2 の接地電位との間に接続されている第 8 のスイッチング素子と、

前記トランスの二次巻線の中間タップと出力端子との間に接続されている第 2 のインダクタンス素子と、

前記出力端子と前記第 2 の接地電位との間に接続されている第 2 のコンデンサと、
前記出力端子の電圧を検出し、該出力端子の電圧に基づいて決定したパルス幅のパルス信号を出力する PWM 制御回路と、

前記パルス信号に基づいて前記第 3 から第 8 のスイッチング素子を駆動する第 2 の駆動回路と、

前記 PWM 制御回路が前記パルス信号の出力を所定期間以上停止したことを検出して、前記第 7 と第 8 のスイッチング素子をオフさせる第 2 のパルススキッピング検出回路と、
を備えることを特徴とする DC - DC コンバータ。

【請求項 6】

前記第 2 のインダクタンス素子を流れる電流が予め設定した電流値以下になったことを検出して前記第 7 と第 8 のスイッチング素子をオフさせる第 2 の軽負荷検出回路を備え、

該第 2 の軽負荷検出回路が前記第 7 と第 8 のスイッチング素子をオフさせる前に、前記第 2 のパルススキッピング検出回路が前記第 7 と第 8 のスイッチング素子をオフさせる、ことを特徴とする請求項 5 に記載の DC - DC コンバータ。

【請求項 7】

前記第 2 のパルススキッピング検出回路は、前記パルス信号の出力の停止期間を、前記パルス信号と同期している第 1 のクロックをカウントすることによって検出する、ことを特徴とする請求項 5 又は 6 に記載の DC - DC コンバータ。

【請求項 8】

前記第 2 のパルススキッピング検出回路は、前記パルス信号の出力の停止期間を、前記パルス信号と非同期の第 2 のクロックをカウントすることによって検出する、ことを特徴とする請求項 5 又は 6 に記載の DC - DC コンバータ。

【請求項 9】

同期整流回路を有する DC - DC コンバータの制御方法であって、
前記 DC - DC コンバータの出力電圧を検出し、検出した出力電圧に基づいて決定したパルス幅のパルス信号を生成するステップと、

前記パルス信号の出力が停止している出力停止期間を検出するステップと、

前記パルス信号の出力停止期間が所定期間以上になったときに前記同期整流回路の動作

10

20

30

40

50

を停止させるステップと、

を含むことを特徴とするDC-DCコンバータの制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC-DCコンバータとその制御方法に関し、より詳細には、負荷が軽くなった際に、平滑回路から同期整流回路に向かって流れる逆流電流が発生しないDC-DCコンバータとその制御方法に関する。

【背景技術】

【0002】

DC-DCコンバータでは、パルス信号でスイッチング回路をオン・オフして、インダクタンス素子に直流電圧を断続的に供給し、電力供給が行われていない期間にインダクタンス素子に流れる還流電流をスイッチング素子を介して負荷に供給させる同期整流方式を採る場合がある。

【0003】

図8は、同期整流型のDC(直流)-DC(直流)コンバータの想定しうる回路構成の一例を示すものである。このDC-DCコンバータは、負荷の大小に応じて同期整流用スイッチング素子をオフにする軽負荷検出回路を備える。

【0004】

図8に示すDC-DCコンバータにおいては、制御回路10で、DC-DCコンバータの出力電圧 V_{out} と基準電圧 E_{11} との差を検出し差電圧 V_d をコンパレータ20に送る。コンパレータ20は、差電圧 V_d とインダクタンス電流(スイッチング回路40からインダクタL51に流れる電流)I1の電流値に対応(例えば、比例)する電圧 V_1 とを比較し、電圧 V_1 が差電圧 V_d より高い場合はハイレベルの信号を出力し、低い場合はローレベルの信号を出力する。

【0005】

D型フリップフロップ回路(以下D-FF)30には、クロック回路1から一定周期のクロック信号CLKが入力され、D-FF30はクロック信号CLKの立ち上がりエッジで、データ入力端子(以下、D端子)に供給されている電源電圧VDDをラッチして、出力端子(以下、Q端子)からハイレベルの信号を出力する。D-FF30は、コンパレータ20からのハイレベルの信号によりリセットされる。このため、D-FF30のQ端子からの出力信号は、クロック信号CLKが立ち上がってからコンパレータ20の出力がハイレベルになるまでの間、ハイレベルを出力する。

【0006】

D-FF30のQ端子の出力がハイレベルになると、レベルシフト回路5を介してスイッチング回路40のハイサイドのNチャネルMOSFET41(以下、N-MOSFET41)にオンレベル(ハイレベル)の電圧が印加される。一方、ローサイドのNチャネルMOSFET42(以下、N-MOSFET42)のゲートには、インバータ2で反転されたオフレベル(ローレベル)の電圧と、軽負荷検出回路60の出力信号との論理積が、AND回路4を介して印加される。このため、ハイサイドのN-MOSFET41がオンし、ローサイドのN-MOSFET42がオフし、電源VCCからインダクタL51に電流が流れ、平滑コンデンサC51を充電する。

【0007】

D-FF30のQ端子の出力信号がローレベルになると、スイッチング回路40のハイサイドのN-MOSFET41のゲートにオフレベル(ローレベル)の電圧が印加され、ローサイドのN-MOSFET42には、インバータ2で反転されたオンレベル(ハイレベル)の電圧がAND回路4を介して印加される。このため、ハイサイドのN-MOSFET41がオフし、ローサイドのN-MOSFET42がオンし、インダクタL51に流れる電流がローサイドのN-MOSFET42を介して流れる。

【0008】

10

20

30

40

50

D - F F 3 0 の Q 端子から出力されるパルスのパルス幅（ハイレベル期間）が大きくなると、ハイサイドの N - M O S F E T 4 1 のオン期間が長くなり、電源 V C C からインダクタ L 5 1 に供給されるエネルギーが増加し、出力電圧 V_{out} が大きくなる。

【 0 0 0 9 】

出力電圧 V_{out} が大きくなると、制御回路 1 0 で得られる差電圧 V_d は小さくなり、コンパレータ 2 0 から出力されるパルス信号のパルス幅が広がる。パルス信号のパルス幅が広がると D - F F 3 0 のリセットされている期間が長くなり、Q 端子から出力されるパルスのパルス幅が狭くなる。このため、N - M O S F E T 4 1 のオン期間も短くなり、電源 V C C からインダクタ L 5 1 に供給されるエネルギーが減少し、出力電圧 V_{out} が減少する。

10

【 0 0 1 0 】

一方、出力電圧 V_{out} が小さくなると、制御回路 1 0 で得られる差電圧 V_d は大きくなり、コンパレータ 2 0 から出力されるパルス信号のパルス幅が狭くなる。パルス信号のパルス幅が狭くなると D - F F 3 0 のリセットされている期間が短くなり、その Q 端子から出力されるパルス信号のパルス幅が広がる。このため、N - M O S F E T 4 1 のオン期間も長くなり、電源 V C C からインダクタ L 5 1 に供給されるエネルギーが増加し、出力電圧 V_{out} が増加する。

【 0 0 1 1 】

このようにして、出力電圧 V_{out} は、系が安定するレベルに収束し、安定した出力電圧 V_{out} が得られる。

20

【 0 0 1 2 】

図 8 の D C - D C コンバータにおいて、負荷が小さい場合、インダクタ L 5 1 に流れる電流は小さい。これを検出し、同期整流機能を停止するため、つまり、N - M O S F E T 4 2 をオフするために、軽負荷検出回路 6 0 が配置されている。

【 0 0 1 3 】

軽負荷の場合、負荷電流が小さくなって、負荷電流に対応する電圧 V_1 も小さくなり、軽負荷検出回路 6 0 を構成するコンパレータ 6 1 の正入力端子 (+) に供給される電圧信号 V_1 が低下し、基準電圧 E_{61} より小さくなる。このため、コンパレータ 6 1 は、ローレベルの信号を AND 回路 4 に供給し、AND 回路 4 はローサイドの N - M O S F E T 4 2 を常時オフさせる。従って、ハイサイドの N - M O S F E T 4 1 のみがオン・オフし、インダクタ L 5 1 の還流電流は逆流しない。このため、N - M O S F E T 4 2 でのスイッチングロスを防止することができ、消費電力を抑えることができる。

30

【 0 0 1 4 】

上記構成の D C - D C コンバータでは、負荷が重負荷から軽負荷に切り替わると、ハイサイドの N - M O S F E T 4 1 が連続的にオフして、ローサイドの N - M O S F E T 4 2 が連続的にオンしてしまうおそれがある。この状態が継続すると、インダクタ L 5 1 から N - M O S F E T 4 2 に逆流電流が発生し、N - M O S F E T 4 2 を破壊してしまうおそれがある。

【 0 0 1 5 】

より詳細に説明すると、負荷が小さくなると、負荷に流れていた電流が平滑コンデンサ C 5 1 に流れ込む。このため、出力電圧 V_{out} が大きくなり、制御回路 1 0 の出力する差電圧 V_d は小さくなる。従って、コンパレータ 2 0 の出力は連続的にハイレベルとなり、D - F F 3 0 はリセットされ続けた状態となり、D - F F 3 0 の Q 端子は、ローレベルを連続的に出力し、本来出力するはずのパルス信号の出力をスキップする。

40

【 0 0 1 6 】

このため、ハイサイドの N - M O S F E T 4 1 はオフし続け、ローサイドの N - M O S F E T 4 2 はオンし続けてしまう。

ここで、軽負荷検出回路 6 0 が、負荷が軽負荷に変化して、負荷電流 I_1 が減少したことを検出すれば（コンパレータ 6 1 がローレベル信号を出力すれば）、AND 回路 4 がローレベルを出力し、ローサイドの N - M O S F E T 4 2 をオフさせる。しかし、動作の安

50

定性を確保するために、軽負荷検出回路60の時定数が大きい(一般に、軽負荷検出回路60の時定数>>制御回路10の時定数)ため、N-MOSFET42をオフさせる制御が遅れてしまう。このため、ハイサイドのN-MOSFET41がオフで、ローサイドのN-MOSFET42がオンした状態が維持され、インダクタL51に蓄積された電磁エネルギーによる順方向電流が流れ終わった後、平滑コンデンサC51に蓄積された電荷がN-MOSFET42に逆流してしまい、最悪の場合N-MOSFET42を破壊してしまう。

【0017】

電源回路の出力電圧の異常を検出する方法として、出力電圧のパルス波形を検知し、その異常を検出する方法が知られている(例えば特許文献1)。

10

【0018】

この手法は、平滑回路の前段、つまりスイッチング回路の出力端子に現れるパルス波形のパルス幅やパルス間隔を検出して、電源の異常を検出し、異常検出信号を出力するものである。

【特許文献1】特開2005-210819号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

しかし、特許文献1に開示されている異常検出方法で図8のDC-DCコンバータの出力電圧の異常を検知しても、出力電圧に異常をきたしてからローサイドのN-MOSFET42を制御することになるため逆流電流を防止することはできない。

20

【0020】

本発明はこのような従来の問題点に鑑みてなされたもので、負荷が軽くなった際に、逆流電流が発生しないDC-DCコンバータ及びその制御方法を提供することを目的とする。

また、本発明は、負荷の変動に対応できるDC-DCコンバータ及びその制御方法を提供することを目的とする。

【課題を解決するための手段】

【0021】

上記目的を達成するために、本発明の第1の観点に係るDC-DCコンバータは、電源電位と第1の中間端子との間に接続されている第1のスイッチング素子と、前記第1の中間端子と接地電位との間に接続されている第2のスイッチング素子と、前記第1の中間端子と出力端子との間に接続されている第1のインダクタンス素子と、前記出力端子と前記接地電位との間に接続されている第1のコンデンサと、前記出力端子の電圧を検出し、該出力端子の電圧に基づいて決定したパルス幅のパルス信号を出力するPWM制御回路と、

30

前記パルス信号に基づいて前記第1と第2のスイッチング素子を駆動する第1の駆動回路と、

前記PWM制御回路が所定期間以上前記パルス信号の出力を停止したことを検出して、前記第2のスイッチング素子をオフさせる第1のパルススキッピング検出回路と、を備えることを特徴とする。

40

【0022】

前記第1のインダクタンス素子を流れる電流が予め設定した電流値以下になったことを検出して前記第2のスイッチング素子をオフさせる第1の軽負荷検出回路を配置し、該第1の軽負荷検出回路が前記第2のスイッチング素子をオフさせる前に、前記第1のパルススキッピング検出回路が前記第2のスイッチング素子をオフさせるように構成してもよい。

【0023】

例えば、前記第1のパルススキッピング検出回路は、前記パルス信号の出力の停止期間を、前記パルス信号に同期している第1のクロックをカウントすることによって検出する

50

。また、前記第 1 のパルススキッピング検出回路は、前記パルス信号の出力の停止期間を、前記パルス信号に非同期の第 2 のクロックをカウントすることによって検出してもよい。

【 0 0 2 4 】

また、本発明の第 2 の観点に係る DC - DC コンバータは、
電源電位と第 2 の中間端子との間に接続されている第 3 のスイッチング素子と、
前記第 2 の中間端子と第 1 の接地電位との間に接続されている第 4 のスイッチング素子と、

前記電源電位と第 3 の中間端子との間に接続されている第 5 のスイッチング素子と、
前記第 3 の中間端子と前記第 1 の接地電位との間に接続されている第 6 のスイッチング素子と、

前記第 2 の中間端子と前記第 3 の中間端子に一次巻線の両端子が接続されているトランスと、

前記トランスの二次巻線の第 1 の端子と第 2 の接地電位との間に接続されている第 7 のスイッチング素子と、

前記トランスの二次巻線の第 2 の端子と第 2 の接地電位との間に接続されている第 8 のスイッチング素子と、

前記トランスの二次巻線の中間タップと出力端子との間に接続されている第 2 のインダクタンス素子と、

前記出力端子と前記第 2 の接地電位との間に接続されている第 2 のコンデンサと、
前記出力端子の電圧を検出し、該出力端子の電圧に基づいて決定したパルス幅のパルス信号を出力する PWM 制御回路と、

前記パルス信号に基づいて前記第 3 から第 8 のスイッチング素子を駆動する第 2 の駆動回路と、

前記 PWM 制御回路が前記パルス信号の出力を所定期間以上停止したことを検出して、前記第 7 と第 8 のスイッチング素子をオフさせる第 2 のパルススキッピング検出回路と、を備えることを特徴とする。

【 0 0 2 5 】

前記第 2 のインダクタンス素子を流れる電流が予め設定した電流値以下になったことを検出して前記第 7 と第 8 のスイッチング素子をオフさせる第 2 の軽負荷検出回路を配置し、該第 2 の軽負荷検出回路が前記第 7 と第 8 のスイッチング素子をオフさせる前に、前記第 2 のパルススキッピング検出回路が前記第 7 と第 8 のスイッチング素子をオフさせるように構成してもよい。

【 0 0 2 6 】

前記第 2 のパルススキッピング検出回路は、前記パルス信号の出力の停止期間を、例えば、前記パルス信号と同期している第 1 のクロックをカウントすることによって、或いは、前記パルス信号と非同期の第 2 のクロックをカウントすることによって検出する。

【 0 0 2 7 】

また、本発明の第 3 の観点に係る同期整流回路を有する DC - DC コンバータの制御方法は、

前記 DC - DC コンバータの出力電圧を検出し、検出した出力電圧に基づいて決定したパルス幅のパルス信号を生成するステップと、

前記パルス信号の出力が停止している出力停止期間を検出するステップと、

前記パルス信号の出力停止期間が所定期間以上になったときに前記同期整流回路の動作を停止させるステップと、

を含むことを特徴とする。

【 発明の効果 】

【 0 0 2 8 】

このような構成を採用したことにより、負荷が軽くなった際に発生するおそれのある逆流電流を防止することができる。

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態に係る電源回路について図面を参照して説明する。

(第1の実施形態)

【0030】

本実施形態に係るDC(直流)-DC(直流)コンバータ(変換器)100は、図1に示すように、制御回路10と、コンパレータ20と、D型フリップフロップ回路30(以下D-FF30)と、スイッチング回路40と、平滑回路50と、軽負荷検出回路60と、パルススキッピング検出回路70と、クロック回路1と、NOT回路2と、AND回路3と、AND回路4と、レベルシフト回路5と、負荷電流検出回路6と、から構成されている。

10

【0031】

制御回路10は、分圧回路R11, R12と、ハイパス用コンデンサC11と、誤差増幅器11とコンデンサC12とC13及び抵抗R13から構成された積分回路と、基準電源E11とから構成されている。

【0032】

DC-DCコンバータ100の出力端子T_{out}は抵抗R11の一端に接続され、抵抗R11の他端には抵抗R12の一端が接続され、抵抗R12の他端は接地されている。抵抗R11の両端間にはハイパス用のコンデンサC11が接続されている。抵抗R11と抵抗R12の接続ノードは誤差増幅器11の反転入力端子(-)に接続されると共にハイパス用コンデンサC12の一端に接続され、更に積分用のコンデンサC13の一端に接続される。誤差増幅器11の非反転入力端子(+)には基準電源E11の一端が接続され、基準電源E11の他端は接地されている。コンデンサC13の他端には抵抗R13の一端が接続されている。誤差増幅器11の出力端は、コンデンサC12の他端と抵抗R13の他端に接続されると共にコンパレータ20の反転入力端子(-)に接続されている。

20

【0033】

コンパレータ20の非反転入力端子(+)には、負荷電流I₁に対応(例えば、比例)する電圧(電圧信号)V₁が供給される。コンパレータ20の出力信号はD-FF30のリセット端子に供給され、さらに、パルススキッピング検出回路70を構成するD-FF71のデータ端子Dに供給される。

30

【0034】

D-FF71とD-FF72とNAND回路73とは、コンパレータ20が2クロック期間以上ハイレベルのリセット信号を出力したことを検出する。つまり、D-FF71とD-FF72とNAND回路73とは、D-FF30が周期的に出力すべきPWM信号が2パルス以上連続して欠落(スキップ)したことを検出する回路を構成する。

【0035】

D-FF71のQ端子はD-FF72のデータ端子Dに接続されると共にNAND回路73の一方の入力端に接続されている。また、D-FF72のQ端子はNAND回路73の他方の入力端に接続されている。

【0036】

制御回路10とコンパレータ20とD-FF30とは、PWM変調回路を構成する。このPWM変調回路は、出力電圧V_{out}及び負荷電流I₁に従って、安定した出力電圧が得られるように、スイッチング回路40のスイッチング動作を制御するためのPWM(パルス幅変調)信号を生成する。

40

【0037】

クロック回路1のクロック出力端子は、D-FF30のクロック入力端子、及び、D-FF71と72のクロック入力端子に接続されている。D-FF30のデータ端子Dには電源電圧V_{DD}が印加されている。D-FF30の出力端はレベルシフト回路5の入力端に接続されていると共にNOT回路2の入力端に接続されている。NOT回路2の出力はAND回路3に接続されている。AND回路3には更にNAND回路73の出力が接続さ

50

れている。

【0038】

レベルシフト回路5の出力端はハイサイドのスイッチング素子を構成するN-MOSFET41のゲートに接続されている。また、レベルシフト回路5の制御端は、N-MOSFET41のソースに接続されている。

【0039】

N-MOSFET41のドレインには、電源電圧VCCが印加されている。また、N-MOSFET41のソースはローサイドのスイッチング素子を構成するN-MOSFET42のドレインに中間端子(接続ノード)を介して接続され、N-MOSFET42のソースは接地されている。N-MOSFET42のゲートにはAND回路4の出力端が接続されている。

10

【0040】

スイッチング回路40の出力端、即ち、N-MOSFET41のソースとN-MOSFET42のドレインの接続点(中間端子)は、平滑回路50のインダクタ(チョークコイル)L51の一端に接続されている。インダクタL51の他端は、このDC-DCコンバータ100の出力端子T_{out}に接続されていると共に平滑コンデンサC51の一端に接続されている。平滑コンデンサC51の他端は接地されている。出力端子T_{out}は負荷に接続されていると共に制御回路10の抵抗R11の一端に接続されている。

【0041】

負荷電流検出回路6は、変成器、ホール素子などにより構成され、負荷電流I₁に対応(例えば、比例)する電圧(電圧信号)V₁を出力する。負荷電流検出回路6の出力端は、コンパレータ20の非反転入力端子(+)に接続され、さらに軽負荷検出回路60の抵抗R61の一端に接続されている。抵抗R61の他端は、一端が接地されたコンデンサC61の他端に接続されていると共にコンパレータ61の非反転入力端子(+)に接続されている。また、コンパレータ61の反転入力端子には基準電源E61の正電圧出力端が接続され、基準電源E61の負電圧出力端は接地されている。コンパレータ61の出力はAND回路4の他方の入力端に接続されている。

20

【0042】

上記構成のDC-DCコンバータ100の動作を図2のタイミングチャートを参照して説明する。

30

【0043】

(1) 重負荷状態の場合

ここでの、重負荷とは、スイッチング回路40を構成するスイッチング素子41と42とを共にスイッチングさせる必要がある程度の重負荷の意味である。

【0044】

図2(a)に示すクロック回路1が出力するクロック信号CLKがタイミングT₁で立ち上がると、D-FF30は、電源電圧VDDをラッチして、図2(b)に示すようにハイレベルのハイサイドゲート信号GH(Q端子から出力される信号)を出力する(ここでは、コンパレータ20からのリセット信号COMPは図2(d)に示すように、ローレベルであるとする)。レベルシフト回路5は、D-FF30からの信号系のハイレベル信号GHの電圧レベルをドライブ系のハイレベルの信号にシフト(変換)し、N-MOSFET41のゲートに供給する。これにより、ハイサイドのN-MOSFET41がオンする。

40

【0045】

一方、D-FF30からのゲート信号GHは、NOT回路2により反転され、ローレベルとなる。このため、AND回路3は、ゲートを閉じてローレベル信号を出力し、AND回路4も、図2(c)に示すように、ローレベルのローサイドゲート信号GLを出力し、ローサイドのN-MOSFET42はオフする。

【0046】

これにより、クロック信号CLKの立ち上がりにはほぼ同期して、ハイサイドのN-MO

50

S F E T 4 1 がオンして、ローサイドの N - M O S F E T 4 2 がオフする。

【 0 0 4 7 】

オンしたハイサイドの N - M O S F E T 4 1 を介して、電源 V C C からインダクタ L 5 1 に電流が流れ、負荷電流 I 1 は、図 2 (e) に示すように上昇を開始する。負荷電流検出回路 6 は、この負荷電流 I 1 にほぼ比例する電圧信号 V 1 を生成し、コンパレータ 2 0 の非反転入力端子に供給する。

【 0 0 4 8 】

一方、負荷が安定した状態では、制御回路 1 0 は比較的安定した差電圧 V d を出力しており、コンパレータ 2 0 の反転入力端子に供給される差電圧 V d も比較的安定している。負荷電流 I 1 に対応する電圧信号 V 1 が上昇して、差電圧 V d より大きくなると、コンパレータ 2 0 は、図 2 (d) に示すように、ハイレベルのリセット信号 C O M P を出力する。このタイミングを T 2 とする。

10

【 0 0 4 9 】

このハイレベルのリセット信号 C O M P により、D - F F 3 0 がリセットされ、図 2 (b) 及び (c) に示すように、ハイサイドの N - M O S F E T 4 1 のゲートにローレベル (オフレベル) のハイサイドゲート信号 G H、ローサイドの N - M O S F E T 4 2 のゲートにハイレベル (オンレベル) のローサイドゲート信号 G L 電圧が印加される。

【 0 0 5 0 】

このため、ハイサイドの N - M O S F E T 4 1 がオフし、ローサイドの N - M O S F E T 4 2 がオンする。図 2 (e) に示すように、インダクタ L 5 1 は、蓄積していた電磁エネルギーにより、オンした N - M O S F E T 4 2 を介して負荷に負荷電流 I 1 を流し続ける。負荷電流 I 1 は時間の経過と共に徐々に減少する。そして、電圧信号 V 1 が差電圧 V d より小さくなったタイミングで、コンパレータ 2 0 から出力されるリセット信号 C O M P はローレベルとなる。

20

【 0 0 5 1 】

その後、クロック信号 C L K が立ち上がる度に、上述の動作が繰り返される。

【 0 0 5 2 】

負荷が比較的大きいため、負荷電流 I 1 もある程度大きく、電圧信号 V 1 も比較的大きい。このため、図 2 (f) に示すように、軽負荷検出回路 6 0 のコンパレータ 6 1 の入力には、非反転入力端に供給される L L D I N が、基準電源 E 1 1 から供給される基準電圧 L L D V T H より大きい状態が続く。このため、図 2 (g) に示すように、コンパレータ 6 1 の出力信号 L L D は安定的にハイレベルを維持し、A N D 回路 4 の一方の入力端には、ハイレベル信号が印加され、A N D 回路 4 はゲートを開いた状態になり、N O T 回路 2 の出力をそのままローサイドの N - M O S F E T 4 2 に供給する状態になる。

30

【 0 0 5 3 】

また、図 2 (a) と (d) に示すように、クロック信号 C L K が立ち上がるタイミングでは、コンパレータ 2 0 の出力は安定してローレベルであり、図 2 (h) と (i) に示すように、D - F F 7 1 と 7 2 は連続的にローレベルを記憶及び出力し、N A N D 回路 7 3 に入力される信号 Q 1 と信号 Q 2 は共にローレベルとなり、図 2 (j) に示すように、N A N D 回路 7 3 はハイレベルの信号 P S D を出力する。このため、A N D 回路 3 の一方の入力端には、ハイレベル信号が供給され、A N D 回路 3 はゲートを開いた状態になり、N O T 回路 2 の出力をそのまま A N D 回路 3 の一方の入力端子に供給する状態となる。従って、ローサイドの N - M O S F E T 4 2 のオン・オフは、D - F F 3 0 の Q 端子から出力される信号の電圧レベルに従ったものとなる。

40

【 0 0 5 4 】

このようにして、重負荷状態では、スイッチング回路 4 0 は、D - F F 3 0 から出力される P W M 信号に従ってスイッチング動作を行う。

【 0 0 5 5 】

(2) 負荷が軽負荷状態で安定している場合

負荷が小さい状態で安定している場合、負荷電流は、大負荷の場合に比較して小さくな

50

る。このため、コンパレータ61の基準電源E61の電圧LLDVTHよりもコンデンサC61の充電電圧LLDINが小さくなって、コンパレータ61はローレベルの信号を出力する。このため、AND回路4が閉じ、N-MOSFET42のゲートには常時ローレベルの信号が供給される。従って、N-MOSFET42はオフ状態を維持し、ハイサイドのN-MOSFET41のみがスイッチング動作を行う。このため、負荷電流が小さくなり、同期整流を停止する。

【0056】

このようにして、軽負荷状態では、スイッチング回路40を構成するローサイドのN-MOSFET42は常時オフし、ハイサイドのN-MOSFET41のみが、D-FF30から出力されるPWM信号に従ってスイッチング動作を行う。

10

【0057】

(3) 負荷が重負荷状態から軽負荷状態に変化した場合

例えば、図2に示すタイミングT3で負荷が急減したとする。

負荷の急減により、出力電圧Voutが上昇し、誤差増幅器11の出力する差電圧Vdが低下する。一方、ハイサイドのN-MOSFET41のスイッチング動作が停止するため、負荷電流I1が減少し、電圧信号V1も低下する。このため、図2(d)に示すように、コンパレータ20はハイレベルのリセット信号COMPを出力し続ける。このハイレベルのリセット信号COMPにより、D-FF30はリセットされ、そのQ出力はローレベルとなる。この信号により、図2(b)と(c)に示すように、ハイサイドのN-MOSFET41のゲートにローレベルのハイサイドゲート信号GHが印加され、ローサイドのN-MOSFET42のゲートにハイレベルのローサイドゲート信号GLが印加され、ローサイドのN-MOSFET42がオンする。

20

【0058】

ローサイドのN-MOSFET42がオンしているため、インダクタL51には負荷電流I1が流れ続ける。負荷が軽くなったため、負荷電流I1のほとんどが平滑コンデンサC51の充電電流となり、平滑コンデンサC51の充電電圧が上昇する。平滑コンデンサC51の充電電圧の上昇により、インダクタL51のスイッチング回路40側より負荷側の電圧の方が高くなると、図2(e)に示すように、逆方向に電流が流れ始め、この逆方向の電流(逆流電流)が徐々に大きくなって、N-MOSFET42に大きなストレスを与えてしまう。

30

【0059】

一方、コンパレータ20がハイレベルの信号を出力した後、タイミングT4でクロック信号CLKが立ち上がると、D-FF71は、通常時と異なり、図2(h)に示すように、コンパレータ20が出力している図2(d)に示すハイレベルのリセット信号COMPを記憶する。

【0060】

さらに、タイミングT5での、クロック信号CLKの次の立ち上がりで、D-FF71が、コンパレータ20が出力しているハイレベルのリセット信号COMPを記憶し、D-FF72が、D-FF71の出力であるハイレベルの信号Q1をラッチする。

【0061】

このため、図2(h)と(i)に示すように、D-FF71から出力される信号Q1とD-FF72から出力される信号Q2が共にハイレベルとなる。これにより、NAND回路73の出力信号PSDがローレベルとなる。これにより、AND回路3が閉じ、AND回路3の出力はハイレベルからローレベルに変化する。

40

【0062】

AND回路3の出力がローレベルになることにより、AND回路4の出力信号であるローサイドゲート信号GLがローレベルとなり、ローサイドのN-MOSFET42はオフし、図2(e)に示すように、負荷電流I1は流れなくなる。

【0063】

即ち、コンパレータ20から出力されたリセット信号COMPが2クロック期間以上連

50

続いてハイレベルになって、D - F F 3 0 がリセットされ続けて、パルス幅が変調されたパルスが2つ以上連続して出力されない状態が続くと、パルススキッピング検出回路70は、これを検出して、ローレベルの信号P S Dを出力する。そして、このローレベルの信号P S Dにより、ローサイドのN - M O S F E T 4 2 がオフされる。従って、2クロックパルス期間以上連続して、ハイサイドのN - M O S F E T 4 1 がオフで、ローサイドのN - M O S F E T 4 2 がオンという状態が継続して、平滑コンデンサC 5 1 からインダクタL 5 1 を介して、ローサイドのN - M O S F E T 4 2 に電流が流れて、ローサイドのN - M O S F E T 4 2 を破壊するような事態が防止される。

【0064】

(第2の実施の形態)

第1の実施の形態においては、パルススキッピング検出回路70を、D - F F 3 0 に供給されるクロック信号C L K と同一のクロック信号で動作する(同期して動作する)ように構成したが、パルススキッピング検出回路70は、D - F F 3 0 が本来出力すべきパルス信号を一定期間以上出力せずに、ローレベルを維持していることを検出できれば(或いは、D - F F 3 0 がリセットされ続けていることを検出できれば)、換言すれば、パルス信号の出力が停止している期間を直接又は間接的に計測できれば、その構成は任意である。

【0065】

例えば、図3は、D - F F 3 0 を制御しているクロック信号C L K 1 とは独立したクロック信号C L K 2 に同期して動作するD - F F 7 1 と72とパルススキッピング検出回路70とを備えるD C - D C コンバータ200の例を示す。

【0066】

この構成では、クロック信号C L K 2 が2クロック出力される期間、コンパレータ20の出力が連続してハイレベルであると、N A N D 回路73の出力がローレベルとなり、N - M O S F E T 4 2 がオフする。このように、図3の構成であっても、負荷変動を検出して、ローサイドのN - M O S F E T 4 2 をオフさせることが可能である。

【0067】

図3に示すD C - D C コンバータ200の動作タイミングチャートを図4に示す。図4のタイミングチャートは、D - F F 7 1 と72がクロック信号C L K 2 に同期して動作している点以外は、基本的に図2に示した第1の実施形態でのタイミングチャートと同一である。

【0068】

また、図5は、パルススキッピング検出回路70を構成しているD - F F 7 1 と72の入力信号をD - F F 3 0 の出力信号とした例を示す。図1及び図3の回路では、D - F F 3 0 がリセットされている期間を計測することにより、D - F F 3 0 からパルスが出力されていない期間を測定したが、図5の構成では、D - F F 3 0 からパルスが出力されていない期間を直接測定し、一定期間(2クロック期間)を不出力であることを検出すると、A N D 回路3を閉じる。

【0069】

また、図6はパルススキッピング検出回路70を構成しているD - F F をm段構成として、mクロック期間連続してパルスが出力されなかったときに、ローサイドのスイッチング素子をオフさせる信号を出力する構成とした例を示す。

【0070】

この発明は、例えば、図7に示すような構成の絶縁型のD C - D C コンバータにも適用可能である。

【0071】

このD C - D C コンバータは、入力電圧 $V_{in(+)} - V_{in(-)}$ を、中間端子 T_{m1} と T_{m2} を介してブリッジ接続された4つのN - M O S F E T 4 3 a ~ 4 3 d から構成されたブリッジ回路43を2つのドライバ回路44 a , 44 b でスイッチングすることにより、絶縁トランスTの一次巻き線 W_1 に供給し、2次巻線 W_2 の中間タップ T_C を平滑回路

10

20

30

40

50

50に接続し、ドライバ回路45a、45bによりN-MOSFET46a、46bをスイッチングすることにより整流して、平滑回路50に供給する構成である。

【0072】

平滑回路50の出力電圧 V_{out} と平滑回路50に供給される負荷電流 I_1 とに基づいて、制御回路10、コンパレータ20、D-FF30がPWM信号を生成する。生成されたPWM信号は、論理回路48及絶縁トランスTR2及び直流分カット用コンデンサCCを介して、ドライバ回路44aと44bに供給される。さらに、PWM信号は、論理回路49を介して、ドライバ回路45aと45bに供給される。

【0073】

軽負荷検出回路60は、軽負荷を検出すると、AND回路4を介して論理回路49にローレベルの信号を供給して、論理回路49を構成するAND回路を閉じさせ、二次側のドライバ45a、45bに指示して、同期整流用のスイッチング素子を構成するN-MOSFET46a、46bをオフさせる。

10

【0074】

また、パルススキッピング検出回路70は、コンパレータ20が2クロック期間以上連続してハイレベル信号を出力し続けた場合に、ANDゲート4と論理回路49を介してドライバ45a、45bにローレベル信号を供給して、二次側のスイッチング回路46を構成する同期整流用のN-MOSFET46a、46bをオフさせる。

【0075】

このような構成によっても、重負荷から軽負荷への変動時に、PWM信号が連続して欠落した(スキップした)ことを検出して、同期整流用のスイッチング素子46a、46bをオフして、平滑コンデンサC51からインダクタL51を介して同期整流用のスイッチング素子46a、46bへの電流の逆流を防止できる。

20

【0076】

なお、図7のDC-DCコンバータに関しても、図3、図5、図6に示したパルススキッピング検出回路70の構成を適用可能である。

【0077】

なお、上記実施の形態では、スイッチング回路40をN-MOSFETで構成したが、これに限定されず、P-MOSFETや、その他のスイッチング素子で構成することも可能である。

30

【0078】

さらに、電源電圧VCCやVDDは、外部から供給される電源電圧である必要はなく、内部で降圧或いは昇圧した電圧でよく、動作の基準となる電圧一般を意味する。同様に、接地電圧も、チップの接地電圧、基板の接地電圧、シャーシの接地電圧等、回路の動作の基準となる任意の電圧を設定可能である。また、端子、ノードの類も、物理的な「端子」が存在する必要はなく、配線と配線の接続箇所、或いは、交差箇所などでもよい。さらに、上記実施の形態で示した数値は任意に変更可能である。

【0079】

また、上述の回路例は、一例であり、同様の機能を実現できるならば、その回路構成は任意に変更可能である。

40

【図面の簡単な説明】

【0080】

【図1】この発明の第1の実施形態に係るDC-DCコンバータの回路図である。

【図2】図1に示すDC-DCコンバータの動作を説明するためのタイミングチャートである。

【図3】この発明の第2の実施形態に係るDC-DCコンバータの回路図である。

【図4】図3に示すDC-DCコンバータの動作を説明するためのタイミングチャートである。

【図5】パルススキッピング回路の他の構成例を示す図である。

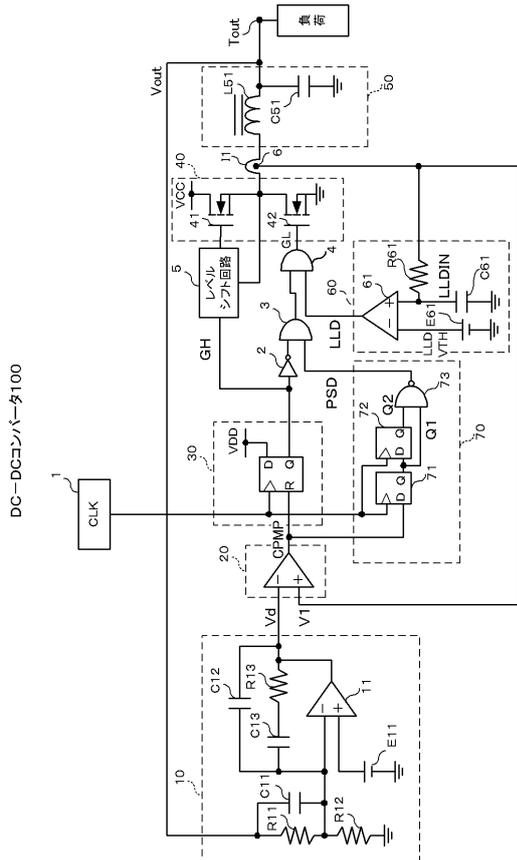
【図6】パルススキッピング回路の他の構成例を示す図である。

50

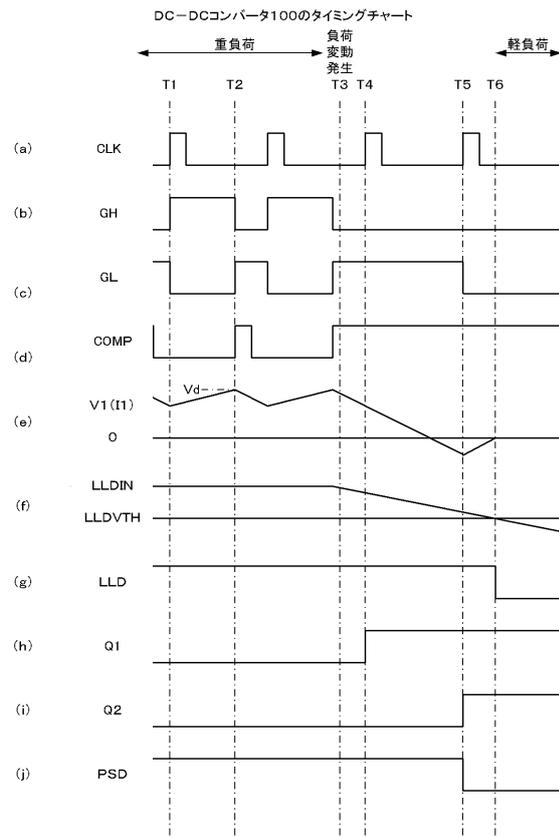
【図7】絶縁型のDC-DCコンバータの回路図である。
 【図8】想定されるDC-DCコンバータの回路図である。
 【符号の説明】

- 【0081】
- 10 制御回路
- 20 コンパレータ
- 30 D型フリップフロップ回路
- 40 スイッチング回路
- 50 平滑回路
- 60 軽負荷検出回路
- 70 パルススキッピング検出回路
- TR1, TR2 絶縁トランス

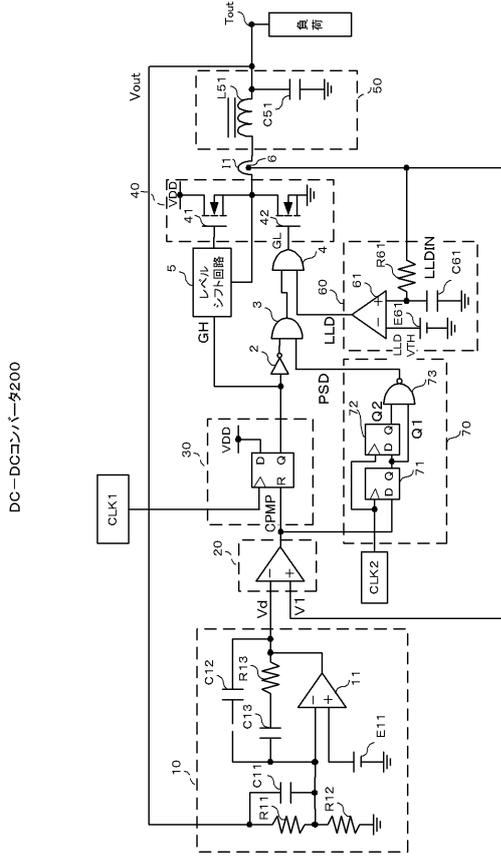
【図1】



【図2】

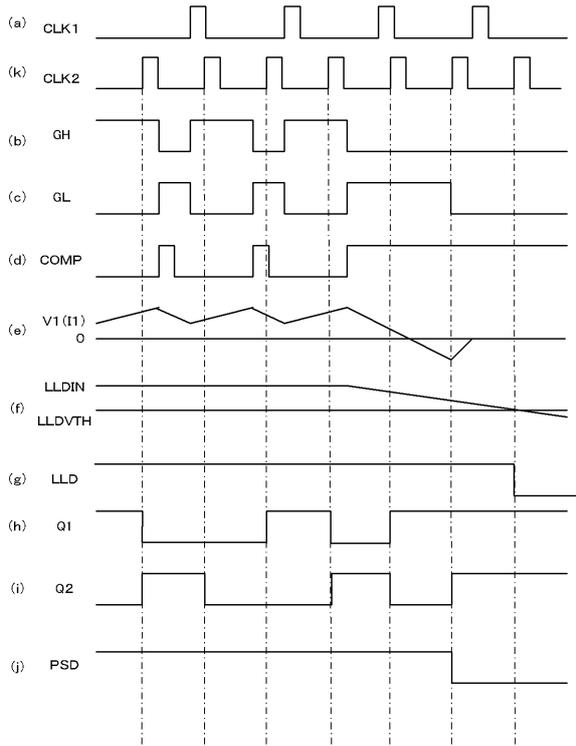


【図3】

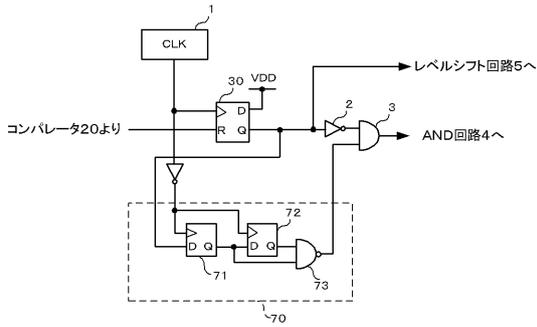


【図4】

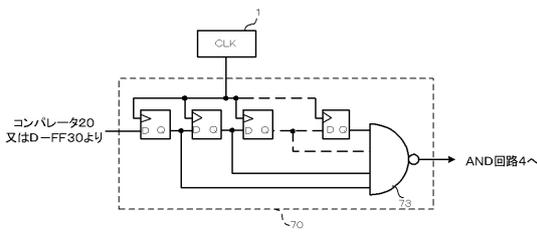
DC-DCコンバータ200のタイミングチャート



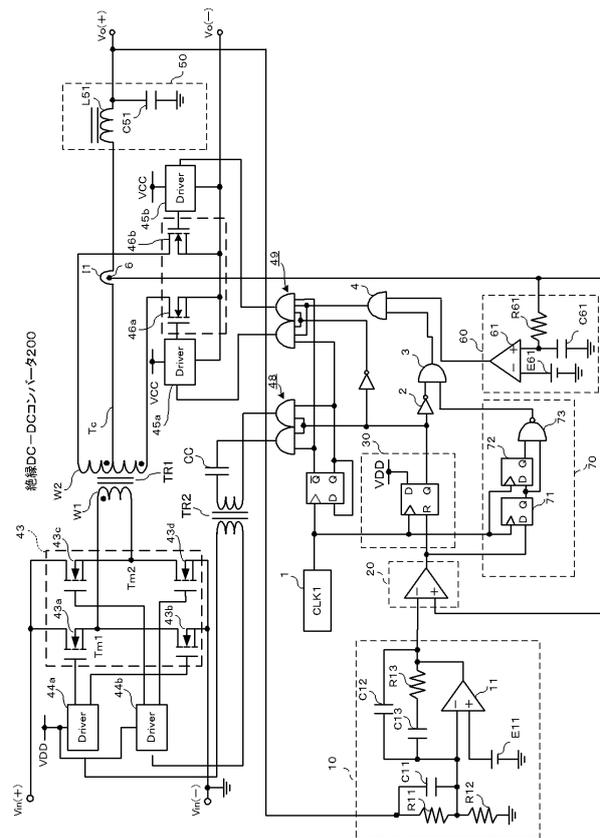
【図5】



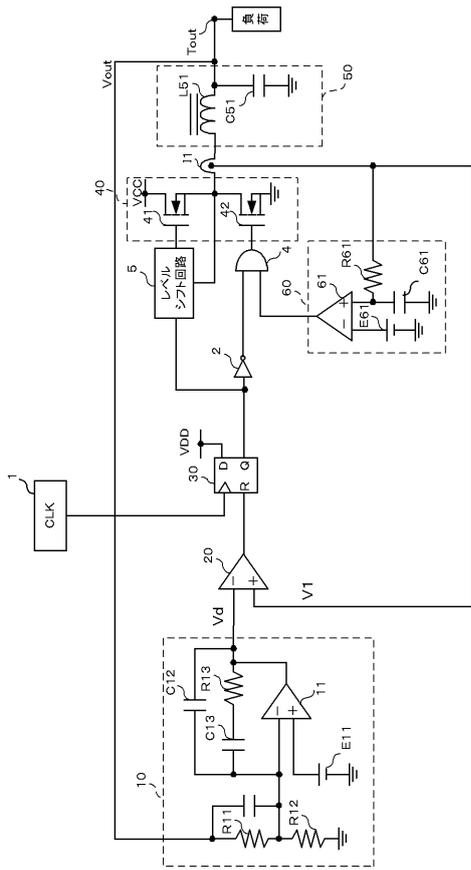
【図6】



【図7】



【 図 8 】



フロントページの続き

- (56)参考文献 特開平07-031130(JP,A)
特開平11-235022(JP,A)
特開2004-080915(JP,A)
特開2004-336908(JP,A)
特開2002-281743(JP,A)
特開2005-210819(JP,A)
特開2003-319645(JP,A)
特開2002-354799(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155
H02M 3/28
H02M 7/21