



(12) 发明专利

(10) 授权公告号 CN 103477558 B

(45) 授权公告日 2016. 04. 06

(21) 申请号 201280018362. 2

(22) 申请日 2012. 07. 26

(30) 优先权数据

2011-188269 2011. 08. 31 JP

(85) PCT国际申请进入国家阶段日

2013. 10. 14

(86) PCT国际申请的申请数据

PCT/JP2012/068973 2012. 07. 26

(87) PCT国际申请的公布数据

W02013/031440 JA 2013. 03. 07

(73) 专利权人 株式会社村田制作所

地址 日本京都府

(72) 发明人 岛宗祐介 吉崎保展 林范雄

筒井孝幸

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 俞丹

(51) Int. Cl.

H03F 3/68(2006. 01)

H03D 1/18(2006. 01)

H03F 3/24(2006. 01)

H03G 3/30(2006. 01)

H04B 1/04(2006. 01)

(56) 对比文件

CN 1881788 A, 2006. 12. 20,

CN 1836378 A, 2006. 09. 20,

JP 2000349565 A, 2000. 12. 15,

JP 2007174553 A, 2007. 07. 05,

EP 1191683 A2, 2002. 03. 27,

US 2009289717 A1, 2009. 11. 26,

审查员 赵静

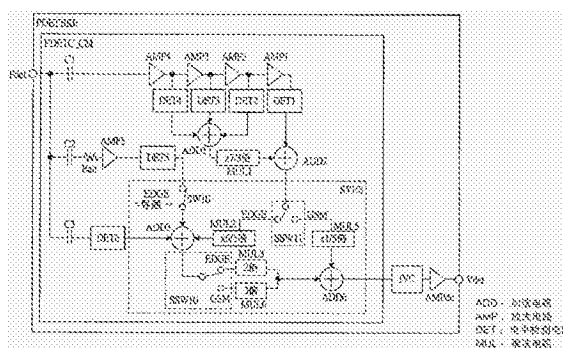
权利要求书5页 说明书20页 附图19页

(54) 发明名称

半导体集成电路装置及高频功率放大器模块

(57) 摘要

本发明提供一种能以较小的面积实现多个检波方式的半导体集成电路装置及高频功率放大器模块。例如,设有:包含多级放大电路(AMP4~AMP1)、多个电平检测电路(DET4~DET1)、加法电路(ADD1、ADD2)等的对数检波部分;以及包含电平检测电路(DET6)等的线性检波部分。而且,将来自对数检波部分的输出电流和来自线性检波部分的输出电流分别乘以不同的系数之后进行相加来实现多个检波方式。具体而言,将来自对数检波部分的输出电流乘以6/5倍所得到的电流与来自线性检波部分的输出电流进行相加等来实现对数检波方式,将来自对数检波部分的输出电流乘以1/5倍所得到的电流与来自线性检波部分的输出电流乘以3倍所得到的电流进行相加等来实现对数-线性检波方式。



CN 103477558 B

1. 一种半导体集成电路装置,其特征在于,具有:

N 个第一放大电路,该 N 个第一放大电路将第一功率信号作为输入,以第一级、...、第 N 级的顺序进行级联连接,并分别具有相同的第一增益;

N 个第一电平检测电路,该 N 个第一电平检测电路分别与所述 N 个第一放大电路相对应地进行设置,并分别根据所述 N 个第一放大电路的第一级、...、第 N 级的输出电平来输出电流;

第一加法电路,该第一加法电路将所述 N 个第一电平检测电路的输出电流进行相加,并输出成为该相加结果的第一电流;

第二电平检测电路,该第二电平检测电路中输入所述第一功率信号,并根据所述第一功率信号的电平输出第二电流;

合成电路,该合成电路生成将所述第一电流乘以第一值所得到的结果即第三电流、以及乘以比所述第一值要小的第二值所得到的结果即第四电流,生成将所述第二电流乘以第三值所得到的结果即第五电流、以及乘以比所述第三值要小的第四值所得到的结果即第六电流,并输出将所述第三电流和所述第四电流中的某一个电流与所述第五电流和所述第六电流中的某一个电流相加所得到的电流;以及

电流电压转换电路,该电流电压转换电路将所述合成电路的输出电流转换为电压。

2. 如权利要求 1 所述的半导体集成电路装置,其特征在于,

所述合成电路包括:第一模式,该第一模式将所述第三电流与所述第六电流进行相加;以及第二模式,该第二模式将所述第四电流与所述第五电流进行相加,所述合成电路以所述第一模式和所述第二模式中的某一个模式进行动作。

3. 如权利要求 2 所述的半导体集成电路装置,其特征在于,

所述 N 个第一电平检测电路包括 N 个第一晶体管,该 N 个第一晶体管分别将所述 N 个第一放大电路的第一级、...、第 N 级的输出电压作为栅极输入,并将源极接地,

所述第二电平检测电路包括第二晶体管,该第二晶体管将所述第一功率信号作为栅极输入,并将源极接地,

所述第一加法电路将所述 N 个第一晶体管的源漏电流进行相加,并输出所述第一电流,

所述合成电路包括多个电流镜电路,该多个电流镜电路将所述第一电流、所述第二晶体管的源漏电流作为输入,并通过晶体管尺寸比来生成所述第三~第六电流。

4. 如权利要求 3 所述的半导体集成电路装置,其特征在于,

所述第三值比所述第二值要大。

5. 如权利要求 2 所述的半导体集成电路装置,其特征在于,

所述第一功率信号在所述第一模式时是根据 EDGE 模式的发送功率信号进行变动的信号,在所述第二模式时是根据 GSM 模式的发送功率信号进行变动的信号。

6. 如权利要求 2 所述的半导体集成电路装置,其特征在于,

还包括控制是否对所述 N 个第一放大电路进行供电的电源开关,

所述合成电路还包括第三模式,该第三模式生成将所述第二电流乘以第五值所得到的结果即第七电流,并将所述第七电流输出到所述电流电压转换电路,所述合成电路以所述第一模式、所述第二模式和所述第三模式中的某一个模式进行动作,

在所述合成电路以所述第三模式进行动作时,将所述电源开关驱动为断开。

7. 如权利要求 6 所述的半导体集成电路装置,其特征在于,

所述第一功率信号在所述第一模式时是根据 EDGE 模式的发送功率信号进行变动的信号,在所述第二模式时是根据 GSM 模式的发送功率信号进行变动的信号,在所述第三模式时是根据 W-CDMA 模式或 LTE 模式的发送功率信号进行变动的信号。

8. 一种半导体集成电路装置,其特征在于,具有:

N 个第一放大电路,该 N 个第一放大电路将第一功率信号作为输入,以第一级、...、第 N 级的顺序进行级联连接,并分别具有相同的第一增益;

第二放大电路,该第二放大电路具有所述第一增益,并与所述 N 个第一放大电路的第 N 个第一放大电路的后级相连接;

N 个第一电平检测电路,该 N 个第一电平检测电路分别与所述 N 个第一放大电路相对应地进行设置,并分别根据所述 N 个第一放大电路的第一级、...、第 N 级的输出电平来输出电流;

第二电平检测电路,该第二电平检测电路根据所述第二放大电路的输出电平来输出电流;

第一加法电路,该第一加法电路将所述 N 个第一电平检测电路的输出电流进行相加;

第一乘法电路,该第一乘法电路将第一系数乘以所述第一加法电路的输出电流;

第二加法电路,该第二加法电路将所述第一乘法电路的输出电流与所述第二电平检测电路的输出电流进行相加,并输出成为该相加结果的第一电流;

第三电平检测电路,该第三电平检测电路中输入所述第一功率信号,并根据所述第一功率信号的电平输出第二电流;

第二乘法电路,该第二乘法电路在第一模式时输出将所述第一电流乘以第二系数所得到的电流;

第三乘法电路,该第三乘法电路在第二模式时输出将所述第一电流乘以第三系数所得到的电流;

第一控制电路,该第一控制电路在所述第一模式时将所述第三乘法电路的输出控制成无效状态,在所述第二模式时将所述第二乘法电路的输出控制成无效状态;

第三加法电路,该第三加法电路将所述第二乘法电路的输出电流与所述第二电流进行相加;

第四乘法电路,该第四乘法电路在所述第一模式时输出将所述第三加法电路的输出电流乘以第四系数所得到的电流;

第五乘法电路,该第五乘法电路在所述第二模式时输出将所述第三加法电路的输出电流乘以第五系数所得到的电流;

第二控制电路,该第二控制电路在所述第一模式时将所述第五乘法电路的输出控制成无效状态,在所述第二模式时将所述第四乘法电路的输出控制成无效状态;

第四加法电路,该第四加法电路将所述第四乘法电路及所述第五乘法电路的输出电流与所述第三乘法电路的输出电流进行相加;以及

电流电压转换电路,该电流电压转换电路将所述第四加法电路的输出电流转换为电压,

所述第三系数小于所述第二系数,且小于 1 倍,

所述第五系数大于 1 倍。

9. 如权利要求 8 所述的半导体集成电路装置,其特征在于,还包括:

衰减电路,该衰减电路中输入所述第一功率信号,并使所述第一功率信号衰减;

第三放大电路,该第三放大电路具有所述第一增益,并将所述衰减电路的输出作为输入;

第四电平检测电路,该第四电平检测电路根据所述第三放大电路的输出电平来输出电流;以及

第三控制电路,该第三控制电路在所述第一模式时将所述第四电平检测电路的输出电流输出到所述第三加法电路,在所述第二模式时将所述第四电平检测电路的输出控制成无效状态,

在所述第一模式时,所述第三加法电路将所述第二乘法电路的输出电流与所述第二电流、所述第四电平检测电路的输出电流进行相加。

10. 如权利要求 9 所述的半导体集成电路装置,其特征在于,

所述 N 个第一电平检测电路包括 N 个第一晶体管,该 N 个第一晶体管分别将所述 N 个第一放大电路的第一级、...、第 N 级的输出电压作为栅极输入,并将源极接地,

所述第二电平检测电路包括第二晶体管,该第二晶体管将所述第二放大电路的输出电压作为栅极输入,并将源极接地,

所述第三电平检测电路包括第三晶体管,该第三晶体管将所述第一功率信号作为栅极输入,并将源极接地,

所述第四电平检测电路包括第四晶体管,该第四晶体管将所述第三放大电路的输出电压作为栅极输入,并将源极接地,

所述第一~第五乘法电路分别包括具有对应于所述第一~第五系数的晶体管尺寸比的第一~第五电流镜电路。

11. 如权利要求 10 所述的半导体集成电路装置,其特征在于,

所述第二及第三电流镜电路包括:

第五晶体管,在该第五晶体管的源极和漏极之间输入所述第一电流,该第五晶体管具有二极管连接;以及

第六及第七晶体管,该第六及第七晶体管分别将所述第五晶体管的源漏电流进行转换,

所述第一控制电路根据所述第一及第二模式将所述第六晶体管的栅极和所述第七晶体管的栅极中的某一个与所述第五晶体管的栅极相连接,

所述第四及第五电流镜电路包括:

第八晶体管,在该第八晶体管的源极和漏极之间输入所述第三加法电路的输出电流,该第八晶体管具有二极管连接;以及

第九及第十晶体管,该第九及第十晶体管将所述第八晶体管的源漏电流分别进行转换,

所述第二控制电路根据所述第一及第二模式将所述第九晶体管的栅极和所述第十晶体管的栅极中的某一个与所述第八晶体管的栅极相连接。

12. 如权利要求 9 所述的半导体集成电路装置,其特征在于,

所述第一功率信号在所述第一模式时是根据 EDGE 模式的发送功率信号进行变动的信号,在所述第二模式时是根据 GSM 模式的发送功率信号进行变动的信号。

13. 如权利要求 8 所述的半导体集成电路装置,其特征在于,还包括:

电源开关,该电源开关在所述第一及第二模式时对所述 N 个第一放大电路进行供电,在第三模式时阻断对所述 N 个第一放大电路的供电;以及

第六乘法电路,该第六乘法电路在所述第三模式时输出将所述第三加法电路的输出电流乘以第六系数所得到的电流;

所述第一控制电路进一步在所述第三模式时将所述第二及第三乘法电路的输出均控制成无效状态,

所述第二控制电路进一步在所述第三模式时将所述第四及第五乘法电路的输出均控制成无效状态,在所述第一及第二模式时将所述第六乘法电路的输出控制成无效状态。

14. 如权利要求 13 所述的半导体集成电路装置,其特征在于,

所述第一功率信号在所述第一模式时是根据 EDGE 模式的发送功率信号进行变动的信号,在所述第二模式时是根据 GSM 模式的发送功率信号进行变动的信号,在所述第三模式时是根据 W-CDMA 模式或 LTE 模式的发送功率信号进行变动的信号。

15. 一种高频功率放大器模块,其特征在于,包括布线基板,该布线基板安装有:

半导体芯片,该半导体芯片形成有第一及第二功率放大电路、第一及第二功率检测电路、以及自动功率控制电路;

第一耦合器,该第一耦合器对所述第一功率放大电路的输出功率进行检波,并输出第一检测功率信号;以及

第二耦合器,该第二耦合器对所述第二功率放大电路的输出功率进行检波,并输出第二检测功率信号,

所述第一功率放大电路将第一频带的第一功率信号作为输入进行功率放大,

所述第二功率放大电路将比所述第一频带要低的第二频带的第二功率信号作为输入进行功率放大,

所述第一及第二功率检测电路分别包括:

N 个第一放大电路,该 N 个第一放大电路将检测功率信号作为输入,以第一级、...、第 N 级的顺序进行级联连接,并分别具有相同的第一增益;

N 个第一电平检测电路,该 N 个第一电平检测电路分别与所述 N 个第一放大电路相对应地进行设置,并分别根据所述 N 个第一放大电路的第一级、...、第 N 级的输出电平来输出电流;

第一加法电路,该第一加法电路将所述 N 个第一电平检测电路的输出电流进行相加,并输出成为该相加结果的第一电流;

第二电平检测电路,该第二电平检测电路中输入所述检测功率信号,并根据所述检测功率信号的电平输出第二电流;

合成电路,该合成电路生成将所述第一电流乘以第一值所得到的结果即第三电流、以及乘以比所述第一值要小的第二值所得到的结果即第四电流,生成将所述第二电流乘以第三值所得到的结果即第五电流、以及乘以比所述第三值要小的第四值所得到的结果即第六

电流,在第一模式时输出所述第三电流与所述第六电流的相加结果,在第二模式时输出所述第四电流与所述第五电流的相加结果;以及

电流电压转换电路,该电流电压转换电路将所述合成电路的输出电流转换为电压,并输出成为该转换结果的检测电压信号,

输入到所述第一功率检测电路的所述检测功率信号是来自所述第一耦合器的所述第一检测功率信号,

输入到所述第二功率检测电路的所述检测功率信号是来自所述第二耦合器的所述第二检测功率信号,

所述第一功率检测电路或所述第二功率检测电路在以所述第一模式进行动作时的来自所述第一功率检测电路或所述第二功率检测电路的所述检测电压信号被输出到所述半导体芯片的外部,

所述第一功率检测电路或所述第二功率检测电路在以所述第二模式进行动作时的来自所述第一功率检测电路或所述第二功率检测电路的所述检测电压信号被输入到所述自动功率控制电路,

所述自动功率控制电路根据所述检测电压信号的电压电平与从所述半导体芯片的外部输入的功率指示信号的电压电平的比较结果来控制所述第一功率放大电路或所述第二功率放大电路的增益。

16. 如权利要求 15 所述的高频功率放大器模块,其特征在于,

所述 N 个第一电平检测电路包括 N 个第一晶体管,该 N 个第一晶体管分别将所述 N 个第一放大电路的第一级、...、第 N 级的输出电压作为栅极输入,并将源极接地,

所述第二电平检测电路包括第二晶体管,该第二晶体管将所述第一功率信号作为栅极输入,并将源极接地,

所述第一加法电路将所述 N 个第一晶体管的源漏电流进行相加,并输出所述第一电流,

所述合成电路包括多个电流镜电路,该多个电流镜电路将所述第一电流、所述第二晶体管的源漏电流作为输入,并通过晶体管尺寸比来生成所述第三~第六电流。

17. 如权利要求 16 所述的高频功率放大器模块,其特征在于,

所述第三值大于所述第二值。

18. 如权利要求 17 所述的高频功率放大器模块,其特征在于,

所述第一模式是 EDGE 模式,所述第二模式是 GSM 模式。

半导体集成电路装置及高频功率放大器模块

技术领域

[0001] 本发明涉及半导体集成电路装置及高频功率放大器模块,尤其涉及适用于包括发送功率的检波电路并与多个通信方式相对应的半导体集成电路装置及高频功率放大器模块的有效的技术。

背景技术

[0002] 例如,专利文献 1 中示出了一种根据通信方式 (GSM(注册商标)、UMTS) 分别包括不同的功率放大路径的无线通信装置。在专利文献 2 中示出了一种使用动态范围较宽的 RSSI 检波电路的检波结果来适当调节动态范围较窄的热敏式检波电路的范围的检波电路。专利文献 3 中示出了一种结构,该结构包括:第一检波器,该第一检波器对末级放大电路的输出功率进行检测;以及第二检波器,该第二检波器对末级放大电路的源漏电压进行检测,该结构根据来自各检波器的检测信号的相加结果对来自前级的可变增益放大器的输入功率进行控制。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献 1:日本专利特开 2006-324878 号公报

[0006] 专利文献 2:日本专利特开 2001-211125 号公报

[0007] 专利文献 3:日本专利特开 2009-284034 号公报

发明内容

[0008] 发明所要解决的技术问题

[0009] 支持多个通信方式及多个频带的多模式(例如,GSM 和 W-CDMA 的多个模式)、多频带(多个频带)无线通信终端(移动电话)在近年广泛流通。作为通信方式,例如,可以列举 GSM(Global System for Mobile communications:全球移动通信系统)、EDGE(Enhanced Data Rates for GSM Evolution:增强型数据速率 GSM 演进)、UMTS(Universal Mobile Telecommunications System:通用移动通信系统)或 W-CDMA(Wideband Code Division Multiple Access:宽带码分多址)、LTE(Long Term Evolution:长期演进)等。EDGE 是对 GSM 进行扩展后的方式,除了 GMSK(Gaussian filtered Minimum Shift Keying:高斯滤波最小频移键控)调制方式以外,还使用对 8PSK(phase shift keying:移相键控)进行了变形的调制方式。这样的无线通信终端要求小型化、以及对于外部环境变化能稳定地进行通信。

[0010] 例如,在无线通信终端的发送系统中使用的高频功率放大器模块(功率放大器模块)中,需要以下的特性:即使处于存在外部环境变化(温度变化、电池电压的变动、天线与空间的阻抗不匹配等)的状态下,也能以通信标准内的值对进行了放大的输出功率进行稳定的发送。因此,在功率放大器模块内,为了抑制其输出功率的偏差,通常包括高频功率放大器(功率放大电路)(PA)、以及对其输出功率信号(Pout)的大小进行检测的检波电路。

检波电路例如由利用与 P_{out} 的电磁耦合来生成检测功率信号 (P_{det}) 的定向耦合器 (耦合器)、以及生成对应于该 P_{det} 的大小的检测电压信号 (V_{det}) 的功率检测电路等所构成。

[0011] 在此情况下,通过本发明人等的研究,得以明白了以下的事项。首先,GSM 模式中,通常,使用反馈控制方式来控制功率放大电路 (PA) 的输出功率。具体而言,例如,利用误差放大器来检测出功率放大电路 (PA) 的输出功率信号 (P_{out}) 的目标值 (功率指示信号 VRAMP) 与通过检波电路得到的 P_{out} 的检测电压信号 (V_{det}) 的误差,并对 PA 的增益进行反馈控制以使该误差接近零。此时,若功率检测电路的检测灵敏度较低 (即,若 P_{det} (P_{out}) 与 V_{det} 的关系不合适),则 VRAMP 对 P_{out} 的控制性下降,其结果是,存在 P_{out} 的偏差增大的可能性。在 GSM 模式中,由于需要大范围的功率控制,因此,在低功率区域及高功率区域中,均优选使用能进行高灵敏度的功率检测的检波方式。

[0012] 另一方面,在 EDGE 模式中,通常,不使用上述那样的反馈控制方式,检测电压信号 (V_{det}) 从模块外部端子输出,在外部的位于 PA 前级的可变增益放大电路的增益控制中进行使用。在 EDGE 模式中,与 GSM 模式 (GMSK 调制) 下的恒包络线调制不同,会产生包络线变动,为此需要进行线性放大,因此,使用这样的方式。在该方式中,经由从模块外部端子输出的 V_{det} 来替代性地进行 P_{out} 的功率测定,根据该测定结果来进行可变增益放大电路的增益控制 (即、PA 的输入功率信号 (P_{in}) 的控制)。此时,需要预先掌握功率检测电路的检测灵敏度 (P_{det} (P_{out}) 与 V_{det} 的关系),若该关系变得复杂,则 P_{in} 的控制性下降,其结果是,存在 P_{out} 的偏差增大的可能性。因此,EDGE 模式中,在功率检测电路中,优选使用能以简单的函数来表示 P_{det} (P_{out}) 与 V_{det} 的关系的检波方式。

[0013] 另外,该 P_{det} (P_{out}) 与 V_{det} 的关系实际上会根据工艺偏差、各种环境偏差等而发生变动。因此,为了修正该变动量需要预先进行校准。在校准时,在预先确定的多个校准点进行实测,基于该结果计算出 P_{det} (P_{out}) 与 V_{det} 的近似式。此时,若 P_{det} (P_{out}) 与 V_{det} 的关系较为复杂,则存在校准点增多、该近似式的精度下降的可能性。因此,出于该观点,在功率检测电路中,也优选使用能以简单的函数来表示 P_{det} (P_{out}) 与 V_{det} 的关系的检波方式。

[0014] 由此,在抑制输出功率信号 (P_{out}) 的偏差时,根据通信方式 (模式),分别希望不同的功率检测电路的检波方式,其结果是,可能要求对每个模式使用不同的检波方式。然而,在此情况下,通常会根据各检波方式分别安装互不相同的功率检测电路,因此,有可能引起电路面积增大和无线通信终端的大型化。

[0015] 本发明是鉴于上述技术问题而完成的,其目的之一在于提供一种能以较小的面积实现多个检波方式的半导体集成电路装置及高频功率放大器模块。通过本说明书的叙述及附图能清楚本发明的上述目的以及其它目的和新的特征。

[0016] 解决技术问题所采用的技术方案

[0017] 以下对本案所公开的发明中典型的实施方式的概要进行简单的说明。

[0018] 本实施方式的半导体集成电路装置包括: N 个第一放大电路 (AMP4 ~ AMP1); N 个第一电平检测电路 (DET4 ~ DET1); 第一加法电路 (ADD10); 第二电平检测电路 (DET6); 合成电路 (SYNS); 以及电流电压转换电路 (IVC)。 N 个第一放大电路将第一功率信号 (P_{det}) 作为输入,以第一级 (AMP4)、...、第 N 级 (AMP1) 的顺序进行级联连接,并分别具有相同的第 N 增益。 N 个第一电平检测电路分别与 N 个第一放大电路相对应地进行设置,并分别根据 N

个第一放大电路的第一级、…、第 N 级的输出电平来输出电流。第一加法电路将 N 个第一电平检测电路的输出电流进行相加,并输出成为该相加结果的第一电流。第二电平检测电路中输入第一功率信号 (Pdet),并根据第一功率信号的电平输出第二电流。合成电路生成将第一电流乘以第一值 (WT1) 所得到的结果即第三电流、以及乘以比第一值要小的第二值 (WT2) 所得到的结果即第四电流,生成将第二电流乘以第三值 (WT3) 所得到的结果即第五电流、以及乘以比第三值要小的第四值 (WT4) 所得到的结果即第六电流,并输出将第三电流和第四电流中的某一个电流与第五电流和第六电流中的某一个电流相加 (ADD11) 得到的电流。电流电压转换电路将合成电路的输出电流转换为电压。

[0019] 由此,能以较小的面积实现多个检波方式。具体而言,例如,能利用将第三电流与第六电流进行相加的第一模式进行对数检波,能利用将第四电流与第五电流进行相加的第二模式进行对数-线性检波。

[0020] 此外,本实施方式的半导体集成电路装置包括:N 个第一放大电路;第二放大电路;N 个第一电平检测电路;第二及第三电平检测电路;第一~第四加法电路;第一~第五乘法电路;第一及第二控制电路;以及电流电压转换电路。N 个第一放大电路将第一功率信号 (Pdet) 作为输入,以第一级 (AMP4)、…、第 N 级 (AMP2) 的顺序进行级联连接,并分别具有相同的第一增益。第二放大电路 (AMP1) 具有第一增益,并与 N 个第一放大电路的第 N 个第一放大电路的后级相连接。N 个第一电平检测电路 (DET4 ~ DET2) 分别与 N 个第一放大电路相对应地进行设置,并分别根据 N 个第一放大电路的第一级、…、第 N 级的输出电平来输出电流。第二电平检测电路 (DET1) 根据第二放大电路的输出电平来输出电流。第一加法电路 (ADD1) 将 N 个第一电平检测电路的输出电流进行相加。第一乘法电路 (MUL1) 将第一加法电路的输出电流乘以第一系数。第二加法电路 (ADD2) 将第一乘法电路的输出电流与第二电平检测电路的输出电流进行相加,并输出成为该相加结果的第一电流。第三电平检测电路 (DET6) 中输入第一功率信号 (Pdet),并根据第一功率信号的电平输出第二电流。第二乘法电路 (MUL2) 在第一模式时输出第一电流乘以第二系数所得到的电流。第三乘法电路 (MUL5) 在第二模式时输出第一电流乘以第三系数所得到的电流。第一控制电路 (SSW11) 在第一模式时将第三乘法电路的输出控制成无效状态,在第二模式时将第二乘法电路的输出控制成无效状态。第三加法电路 (ADD3) 将第二乘法电路的输出电流与第二电流进行相加。第四乘法电路 (MUL3) 在第一模式时输出第三加法电路的输出电流乘以第四系数所得到的电流。第五乘法电路 (MUL6) 在第二模式时输出第三加法电路的输出电流乘以第五系数所得到的电流。第二控制电路 (SSW10) 在第一模式时将第五乘法电路的输出控制成无效状态,在第二模式时将第四乘法电路的输出控制成无效状态。第四加法电路 (ADD6) 将第四乘法电路及第五乘法电路的输出电流与第三乘法电路的输出电流进行相加。电流电压转换电路 (IVC) 将第四加法电路的输出电流转换为电压。此处,第三值 (MUL5 的系数) 小于第二值 (MUL2 的系数)、且小于 1 倍,第五值 (MUL6 的系数) 大于 1 倍。

[0021] 由此,能以较小的面积实现多个检波方式。具体而言,能利用第一模式进行对数检波,能利用第二模式进行对数-线性检波。此外,通过各乘法电路的系数能将这样的多个检波方式各特性进行优化。

[0022] 发明效果

[0023] 若要对通过本申请中公开的发明中典型的实施方式所能得到的效果进行简单的

说明,就是能利用较小的面积实现多个检波方式。

附图说明

[0024] 图 1 是表示应用了本发明的实施方式 1 的无线通信系统的移动电话系统的结构例的框图。

[0025] 图 2 是表示图 1 的无线通信系统的高频功率放大器模块的结构例的框图。

[0026] 图 3 是将图 2 的功率检测电路块中的各检波方式进行比较的结果,图 3(a) 是表示对数检波方式及线性检波方式的特性例的示意图,图 3(b) 是表示对数-线性检波方式的特性例的示意图。

[0027] 图 4 是表示图 2 的高频功率放大器模块中、GSM 模式时的典型的功率控制特性的一个示例的图。

[0028] 图 5 是表示图 2 的高频功率放大器模块的功率检测电路块的结构例的电路框图。

[0029] 图 6 是表示图 5 的功率检测电路块的动作例的图,图 6(a) 是表示对数检波部侧的输入输出特性的说明图,图 6(b) 是表示对数-线性检波部侧的输入输出特性的说明图。

[0030] 图 7 是表示图 2 的高频功率放大器模块的功率检测电路块的其它结构例的电路框图。

[0031] 图 8 是表示图 7 中的共用检波部的示意性结构例的图。

[0032] 图 9 是表示图 7 的功率检测电路块的详细的结构例的电路图。

[0033] 图 10 是表示图 9 的功率检测电路块的、其乘法电路的系数所对应的特性变化的一个示例的说明图。

[0034] 图 11 是表示图 9 的功率检测电路块的、其乘法电路的系数所对应的特性变化的一个示例的说明图。

[0035] 图 12 是表示图 9 的功率检测电路块的、其乘法电路的系数所对应的特性变化的一个示例的说明图。

[0036] 图 13 是表示图 9 的功率检测电路块的、成为其输入的检测功率信号的频率所对应的特性变化的一个示例的说明图。

[0037] 图 14 是表示图 9 的功率检测电路块的、成为其输入的检测功率信号的频率所对应的特性变化的一个示例的说明图。

[0038] 图 15 与图 14 相关联,是表示改变了图 9 的功率检测电路块中的乘法电路的系数时的特性变化的一个示例的说明图。

[0039] 图 16 是表示本发明的实施方式 2 的高频功率放大器模块的结构例的框图。

[0040] 图 17 是表示图 16 的高频功率放大器模块的功率检测电路块的详细的结构例的电路图。

[0041] 图 18 是表示图 16 的高频功率放大器模块的功率检测电路块的其它结构例的电路框图。

[0042] 图 19 是表示图 18 中的共用检波部的示意性结构例的图。

[0043] 图 20 是表示图 18 的功率检测电路块的详细的结构例的电路图。

具体实施方式

[0044] 在以下的实施方式中,为了方便,在需要时分割成多个部分或实施方式进行说明,但除了特别明确表示的情况以外,它们并不是彼此无关的,一方处于另一方的一部分或全部的变形例、详细、补充说明等的关系。此外,在以下的实施方式中,在言及要素的数等(包含个数、数值、量、范围等)时,除了特别明确表示的情况以及在原理上明确限定为特定数的情况等以外,并不限于该特定的数,也可以是特定的数以上或以下。

[0045] 而且,在以下的实施方式中,除了特别明确表示的情况以及在原理上认为明显是必须的情况等以外,其构成要素(也包含要素步骤等)当然也并非必须是。同样,在以下的实施方式中,在言及构成要素等的形状、位置关系等时,除了特别明确表示的情况以及在原理上认为明显不是这样的情况等以外,也包含实质上与其形状等近似或类似的情况等。这一情况对于上述数值及范围而言也是相同的。

[0046] 此外,实施方式的构成各功能块的电路元件没有特别的限制,其通过公知的CMOS(互补MOS晶体管)等集成电路技术形成在单晶硅那样的半导体基板上。另外,实施方式中,作为MISFET(Metal Insulator Semiconductor Field Effect Transistor:金属绝缘体半导体场效应晶体管)的一个示例,使用MOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属氧化物半导体场效应晶体管)(简称为MOS晶体管),但作为栅极绝缘膜并不排除非氧化膜。附图中,对MOS晶体管的基板电位的连接并未特别明确表示,只要MOS晶体管在能正常动作的范围内,则其连接方法没有特别的限定。

[0047] 以下,基于附图对本发明的实施方式进行详细说明。另外,在用于说明实施方式的所有附图中,对相同的构件原则上标注相同的标号,并省略其重复的说明。

[0048] (实施方式1)

[0049] 《移动电话系统(无线通信系统)的整体结构》

[0050] 图1是表示应用了本发明的实施方式1的无线通信系统的移动电话系统的结构例的框图。图1的移动电话系统包括基带单元BBU、高频系统部RFSYS、天线ANT、扬声器SPK、及麦克风MIC等。BBU例如将SPK、MIC中使用的模拟信号转换为数字信号,或者进行通信中的各种数字信号处理(调制、解调、数字滤波处理等),或者进行通信中的各种控制信号的输出等。在该各种控制信号中,包含对GSM、EDGE、W-CDMA、LTE等这样的通信方式(模式)作出指示的模式设定信号Mct1、对作为目标的发送功率作出指示的功率指示信号VRAMP。

[0051] RFSYS包括:高频信号处理装置RFIC;SAW(Surface Acoustic Wave:表面声波)滤波器SAW;高频功率放大器模块RFMD;低通滤波器LPF1、LPF2;以及天线开关ANTSW/双工器DPX。RFIC例如由包含发送用混频电路、接收用混频电路、低噪声放大电路(LNA)等的一个半导体芯片所构成,主要进行BBU中使用的基带信号与RFMD中使用的高频信号之间的频率转换(升频转换、降频转换)等。RFMD例如由一个模块布线基板来实现,装载有高频功率放大装置HPA1、HPA2等,详细情况在后面进行叙述。

[0052] HPA1将来自RFIC的W-CDMA(或LTE)用的发送信号作为输入功率信号Pin1进行接收,并进行功率放大。HPA2将来自RFIC的GSM/EDGE用的发送信号作为输入功率信号Pin2进行接收,并进行功率放大。RFMD中输入上述的模式设定信号Mct1、功率指示信号VRAMP等,RFMD根据上述信号使HPA1或HPA2进行动作。此外,RFMD检测来自该HPA1或HPA2的输出功率信号的电平,并将其检测结果即检测电压信号Vdet向RFIC输出。

[0053] LPF1从HPA1的输出功率信号除去不必要的高次谐波分量,并将其输出到ANTSW/

DPX。LPF2 从 HPA2 的输出功率信号除去不必要的高次谐波分量,并将其输出到 ANTSW/DPX。ANTSW 基于未图示的开关切换信号对天线 ANT 的连接对象(连接对象例如是 GSM 用的发送路径或接收路径、W-CDMA 用的发送路径或接收路径等)进行控制。例如在 W-CDMA(或 LTE)模式时,DPX 根据规定的发送/接收频带对发送信号和接收信号进行分割。例如,在 W-CDMA(或 LTE)模式时,来自 HPA1 的输出功率信号经由 DPX 及 ANTSW 之后作为发送信号 TX 发送到 ANT,相反,将由 ANT 接收到的接收信号 RX 经由 ANTSW 及 DPX 之后作为接收信号 RX1 输出到 RFIC。另一方面,在 GSM 模式或 EDGE 模式时,来自 HPA2 的输出功率信号经由 ANTSW 之后作为 TX 发送到 ANT,相反,将由 ANT 接收到的 RX 经由 ANTSW 之后作为接收信号 RX2 输出到 SAW。SAW 从 RX2 提取出规定的接收频带并向 RFIC 输出。

[0054] 《高频功率放大器模块的整体结构》

[0055] 图 2 是表示图 1 的无线通信系统的高频功率放大器模块的结构例的框图。图 2 所示的高频功率放大器模块 RFMD 例如由一个模块布线基板(陶瓷布线基板等)所构成。在该布线基板上安装有半导体芯片(半导体集成电路装置)PACP,并且设有输出匹配电路 MNT01~MNT04 及定向耦合器(耦合器)CPL1~CPL4。MNT01~MNT04、CPL1~CPL4 例如通过该布线基板上的布线图案来实现,在有的情况下,通过将电容、线圈这样的 SMD(Surface Mount Device:表面贴装器件)元器件等与该布线图案进行组合来实现。

[0056] RFMD 与外部之间输入输出七个输入信号(Pin_HB1、Pin_LB1、DATA、CLK、Pin_HB2、Pin_LB2、VRAMP、Mct1)和五个输出信号(Pout_HB1、Pout_LB1、Vdet、Pout_HB2、Pout_LB2)。Pin_HB1、Pin_LB1 是与图 1 的 Pin1 相对应的 W-CDMA(或 LTE)用的输入功率信号,Pin_HB1 是高频段(例如 2.1GHz 频带等)用,Pin_LB1 是低频段(例如 800MHz 频带等)用。DATA 及 CLK 分别是串行通信用的数据信号及时钟信号。Pin_HB2、Pin_LB2 是与图 1 的 Pin2 相对应的 GSM/EDGE 用的输入功率信号,Pin_HB2 是高频段用,Pin_LB2 是低频段用。

[0057] 具体而言,Pin_HB2 与 DCS(Digital Cellular System:数字蜂窝系统)1800(发送频带:1710~1785MHz、接收频带:1805~1880MHz)、PCS(Personal Communications Service:个人通信服务)1900(发送频带:1850~1910MHz、接收频带:1930~1990MHz)等的发送信号相对应。Pin_LB2 与 GSM850(发送频带:824~849MHz、接收频带:869~894MHz)、GSM900(发送频带:880~915MHz、接收频带:925~960MHz)等的发送信号相对应。此外,VRAMP 是用于设定来自天线的发送功率(图 1 的 TX)的目标值的功率指示信号,Mct1 是对 GSM、EDGE、W-CDMA、LTE 等通信方式(模式)作出指示的模式设定信号。

[0058] 另一方面,Pout_HB1、Pout_LB1 是与来自图 1 的 HPA1 的输出相对应的 W-CDMA(或 LTE)用的输出功率信号,Pout_HB1 是高频段(例如 2.1GHz 频带等)用,Pout_LB1 是低频段(例如 800MHz 频带等)用。Pout_HB2、Pout_LB2 是与来自图 1 的 HPA2 的输出相对应的 GSM/EDGE 用的输出功率信号,Pout_HB2 是高频段(DCS1800、PCS1900)用,Pout_LB2 是低频段(GSM850、GSM900)用。Vdet 是从对各输出功率信号中的某一个的功率电平进行检测的结果获得的检测电压信号。

[0059] 半导体芯片(半导体集成电路装置)PACP 包括:输入匹配电路 MNTi1~MNTi4;功率放大电路 PA_HB11、PA_HB12、PA_LB11、PA_LB12、PA_HB21~PA_HB23、PA_LB21~PA_LB23;以及偏置控制电路 BSCTL1、BSCTL2。PA_HB11 和 PA_HB12 成为级联连接的两级结构,将经由 MNTi1 输入的 Pin_HB1 进行放大,并将其经由芯片外部的 MNT01 进行输出。同样,PA_LB11

和 PA_LB12 成为级联连接的两级结构,将经由 MNTi2 输入的 Pin_LB1 进行放大,并将其经由芯片外部的 MNTo2 进行输出。

[0060] 另一方面, PA_HB21 ~ PA_HB23 成为级联连接的三级结构,将经由 MNTi3 输入的 Pin_HB2 进行放大,并将其经由芯片外部的 MNTo3 进行输出。同样, PA_LB21 ~ PA_LB23 成为级联连接的三级结构,将经由 MNTi4 输入的 Pin_LB2 进行放大,并将其经由芯片外部的 MNTo4 进行输出。BSCTL1 对 PA_HB11、PA_HB12、PA_LB11、PA_LB12 的增益(具体而言,偏置电流或偏置电压)进行控制,BSCTL2 对 PA_HB21 ~ PA_HB23、PA_LB21 ~ PA_LB23 的增益(具体而言,偏置电流或偏置电压)进行控制。

[0061] 另外,来自 MNTo1 的输出信号成为 Pout_HB1,来自 MNTo2 的输出信号成为 Pout_LB1,来自 MNTo3 的输出信号成为 Pout_HB2,来自 MNTo4 的输出信号成为 Pout_LB2。此时,在芯片外部,CPL1 利用电磁耦合对 Pout_HB1 的功率电平进行检波,并将其作为检测功率信号 Pdet1 进行输出。同样,CPL2 对 Pout_LB1 的功率电平进行检波,并输出检测功率信号 Pdet2,CPL3 对 Pout_HB2 的功率电平进行检波,并输出检测功率信号 Pdet3,CPL4 对 Pout_LB2 的功率电平进行检波,并输出检测功率信号 Pdet4。

[0062] 半导体芯片 PACP 还包括:串行控制电路 MIPI;数字/模拟转换电路 DAC;自动功率控制电路 APC;开关 SW1;选择开关 SSW1 ~ SSW4;以及功率检测电路块 PDETBK_HB1、PDETBK_LB1、PDETBK_HB2、PDETBK_LB2。MIPI 对利用 DATA、CLK 的串行通信进行控制,DAC 将利用该串行通信获取到的数字信号转换为模拟信号。该模拟信号能经由 BSCTL1 或 SW1 输出到 BSCTL2。

[0063] PDETBK_HB1 接受来自 CPL1 的 Pdet1,并输出对应于该功率电平的电压信号,PDETBK_LB1 接受来自 CPL2 的 Pdet2,并输出对应于该功率电平的电压信号。SSW1 对该 PDETBK_HB1 及 PDETBK_LB1 中的某一个电压信号进行选择,并将其作为检测电压信号 Vdet_W 进行输出。PDETBK_HB2 接受来自 CPL3 的 Pdet3,并输出对应于该功率电平的电压信号,PDETBK_LB2 接受来自 CPL4 的 Pdet4,并输出对应于该功率电平的电压信号。SSW2 对该 PDETBK_HB2 及 PDETBK_LB2 中的某一个电压信号进行选择,并将其作为检测电压信号 Vdet_E、Vdet_G 进行输出。

[0064] 自动功率控制电路 APC 成为包括误差放大器 EA、串联电阻 R1 以及反馈电阻 R2 的负反馈型放大电路。VRAMP 经由 SSW3 输入到 EA 的两个输入中的一个,Vdet_G 经由 R1 输入到另一个输入。EA 检测出上述两个输入之间的误差,并根据该检测结果对 BSCTL2 进行控制。SSW3 对将 VRAMP 与 EA 的输入节点相连接还是与 EA 的输出节点相连接进行选择。SSW4 选择上述的 Vdet_W 及 Vdet_E 中的某一个,并将其作为电压检测信号 Vdet 向外部(图 1 的 RFIC)输出。此处,根据来自外部的模式设定信号 Mct1 对 SSW1 ~ SSW4 的选择对象以及 SW1 的导通/断开进行适当的控制。

[0065] 在这样的结构例中,例如,在 GSM 模式时,根据频带(实际上为 Mct1 的指示)使 PA_HB21 ~ PA_HB23 及 PA_LB21 ~ PA_LB23 中的某一个活性化,并生成 Pout_HB2 及 Pout_LB2 中的某一个。若以假设选择了高频段侧的情况为例,则根据 Pout_HB2 的功率电平生成 Pdet3。PDETBK_HB2 接受该 Pdet3 并经由 SSW2 输出 Vdet_G。EA 检测出该 Vdet_G 与经由 SSW3 输入的 VRAMP 的误差,并将该检测结果输出到 BSCTL2。BSCTL2 根据 EA 的检测结果对 PA_HB21 ~ PA_HB23 的增益进行控制。利用这样的反馈控制(自身环),能根据 VRAMP 对

Pout_HB2 的功率电平进行控制。

[0066] 接下来,在 EDGE 模式时,与 GSM 模式时相同,使 PA_HB21 ~ PA_HB23 及 PA_LB21 ~ PA_LB23 中的某一个活性化,并生成 Pout_HB2 及 Pout_LB2 中的某一个。若以假设选择了高频段侧的情况为例,则根据 Pout_HB2 的功率电平生成 Pdet3, PDETBK_HB2 接受该 Pdet3,并经由 SSW2 输出 Vdet_E。此处,在 EDGE 模式时,与 GSM 模式不同,将该 Vdet_E 经由 SSW4 输出到外部(图 1 的 RFIC)。然后,基于该 Vdet_E 对图 1 的 RFIC 中包含的可变增益放大电路(未图示)的增益进行控制,其结果是,Pin_HB2 的功率电平得到控制。

[0067] 另外,此时,VRAMP 经由 SSW3 输入到 BSCTL2,或者来自 DAC 的模拟信号经由 SW1 输入到 BSCTL2。该情况下的 VRAMP 或模拟信号成为用于将 PA_HB21 ~ PA_HB23 固定在最佳的偏置点(即,相对于输入功率能线性放大的动作点)的固定电压。通过 Pin_HB2 的功率电平对 Pout_HB2 的功率电平进行控制。

[0068] 接着,在 W-CDMA(或 LTE)模式时,根据频带(实际上为 Mct1 的指示)使 PA_HB11、PA_HB12 及 PA_LB11、PA_LB12 中的某一个活性化,并生成 Pout_HB1 及 Pout_LB1 中的某一个。若以假设选择了高频段侧的情况为例,根据 Pout_HB1 的功率电平生成 Pdet1。PDETBK_HB1 接受该 Pdet1,并经由 SSW1 输出 Vdet_W。在 W-CDMA(或 LTE)模式时,也与 EDGE 模式的情况相同,Vdet_W 经由 SSW4 输出到外部(图 1 的 RFIC),并基于该 Vdet_W 对图 1 的 RFIC 中包含的可变增益放大电路(未图示)的增益进行控制。其结果是,Pin_HB1 的功率电平得到控制,Pout_HB1 的功率电平也相应地得到控制。另外,此时,来自 DAC 的模拟信号输入到 BSCTL1,BSCTL1 根据该信号将 PA_HB11、PA_HB12 控制在最佳的偏置点。

[0069] 另外,在图 2 的示例中,将 W-CDMA(或 LTE)用的功率放大电路和 GSM/EDGE 用的功率放大电路装载在同一个半导体芯片内,但在有的情况下,也可以分离到其它芯片上。即,GSM/EDGE 用的功率放大电路通过使用 LDMOS(Laterally Diffused MOS:横向扩散 MOS)等从而能容易地满足通信标准,但 W-CDMA(或 LTE)用的功率放大电路为了满足通信标准有时需要 HBT(Heterojunction Bipolar Transistor:异质结双极晶体管)等高性能晶体管。

[0070] 由此,在支持多个通信方式(多模式)及多个频带(多频段)的高频功率放大器模块 RFMD 中,每个频带独立设有功率检测电路块。图 2 的示例中,例如,与 GSM 的高频段和低频段相对应地分别具备 PDETBK_HB2 和 PDETBK_LB2。这是由于,在功率检测电路块中,因其内部电路的频率特性,若输入信号(Pdet)的频带发生较大变化,则检测灵敏度(Pdet-Vdet 特性)有可能发生较大变化,难以在高频段和低频段下共用功率检测电路块。

[0071] 此外,PDETBK_HB2 和 PDETBK_LB2 分别需要同时支持 GSM 模式和 EDGE 模式,但此时,如上所述,优选使用分别与每个模式相适应的检波方式。于是,例如,在 PDETBK_HB2 中,实际上,设有支持 GSM 模式的功率检测电路和支持 EDGE 模式的功率检测电路。由此,有可能增大整个功率检测电路块的电路面积。因此,要求有一种既能实现与每个模式相适应的检波方式、又能降低电路面积的技术。

[0072] 此处,在 GSM 模式时,功率检测电路块 PDETBK_HB2、PDETBK_LB2 分别优选使用对抑制输出功率信号 Pout_HB2、Pout_LB2 的偏差有益的对数(Log)-线性检波方式。在对数-线性检波方式中,PDETBK_HB2、PDETBK_LB2 在低功率侧利用对数尺度(log scale)、在高功率侧利用线性尺度对检测功率信号 Pdet3、Pdet4 的大小进行检波。图 3 是将图 2 的功率检测电路块中的各检波方式进行比较的结果,图 3(a) 是表示对数检波方式及线性检波方式的

特性例的示意图,图 3(b) 是表示对数 - 线性检波方式的特性例的示意图。

[0073] 图 3(a)、(b) 中,将横轴设为检测功率信号 P_{det} (dBm) (对数尺度),将纵轴设为检测电压信号 V_{det} (V) (线性尺度),示出了 P_{det} - V_{det} 的特性。如图 3(a) 所示,在使用线性检波方式(横轴、纵轴皆为线性尺度时 P_{det} - V_{det} 的特性成为比例关系的检波方式)的情况下,若以对数尺度观察横轴,则 P_{det} - V_{det} 的特性成为指数关系。另一方面,在使用对数检波方式的情况下, P_{det} - V_{det} 的特性成为比例关系。从图 3(a) 可见,在使用线性检波方式时,低功率侧(P_{det} (P_{out})较小的一侧)的检测灵敏度较低,但能提高高功率侧的检测灵敏度,相反,在使用对数检波方式时,高功率侧的检测灵敏度较低,但能提高低功率侧的检测灵敏度。因此,通过将它们进行组合,来使用图 3(b) 所示的对数 - 线性检波方式,从而能在低功率区域至高功率区域的大范围内提高检测灵敏度。

[0074] 图 4 是表示图 2 的高频功率放大器模块在 GSM 模式时的典型的功率控制特性的一个示例的图。图 4 中,将横轴设为功率指示信号 $VRAMP$ (V) (线性尺度),将纵轴设为输出功率信号 P_{out} (dBm) (对数尺度),示出了 P_{out} 相对于 $VRAMP$ 的典型特性例。此处,一并示出了各温度 T (15°C、25°C、85°C) 下的特性。若应用图 3(b) 所示的对数 - 线性检波方式,则如图 4 所示, P_{out} 相对于 $VRAMP$ 的斜率在低功率设定时较大,在高功率设定时较小。即,能得到将图 3(b) 中的横轴与纵轴进行了替换的特性。在此情况下,如在图 3(b) 中叙述的那样,能在大范围内从功率检测电路块得到高灵敏度的检测电压信号 V_{det} ,因此能经由图 2 的误差放大器 EA 实现使用 $VRAMP$ 的高精度的功率控制,其结果是,能降低输出功率信号 P_{out} 的偏差。

[0075] 另一方面,在 EDGE 模式中,如上所述,未进行使用自动功率控制电路 APC 的反馈控制,而是经由检测电压信号 V_{det} 替换性地进行 P_{out} 的功率测定,根据该测定结果来进行图 1 的 RFIC 中的可变增益放大电路的增益控制。因此,在 EDGE 模式中,如图 3(a) 所示,使用能以线性函数容易地对检测功率信号 P_{det} (P_{out}) 与 V_{det} 的关系进行近似的对数检波方式是有益的。由此,能恰当地进行图 1 的 RFIC 中的可变增益放大电路的增益控制,而且,如上所述,也能容易或高精度地进行 P_{det} (P_{out}) 与 V_{det} 的关系的校准。其结果是,能降低输出功率信号 P_{out} 的偏差。另外,在 EDGE 模式中,也能使用在线性尺度时 V_{det} 相对于 P_{det} 成为线性函数的关系来进行可变增益放大电路的增益控制,因此,在有的情况下也能使用线性检波方式。

[0076] 《功率检测电路块的结构 [1]》

[0077] 图 5 是表示图 2 的高频功率放大器模块的功率检测电路块的结构例的电路框图。图 6 是表示图 5 的功率检测电路块的动作例,图 6(a) 是表示对数检波部侧的输入输出特性的说明图,图 6(b) 是表示对数 - 线性检波部侧的输入输出特性的说明图。图 5 所示的功率检测电路块 PDETBKa 与图 2 的 PDETBK_LB2 (或 PDETBK_HB2) 相对应,并包括:对数 (Log) 检波部 PDETC_LG;对数 - 线性检波部 PDETC_LGLN;选择开关 SSW20;电流电压转换电路 IVC;以及 DC 放大电路 AMPdc。SSW20 在 EDGW 模式时将 PDETC_LG 的输出输入到 IVC,在 GSM 模式时将 PDETC_LGLN 的输出输入到 IVC。IVC 的输出经由 AMPdc 成为检测电压信号 V_{det} 。

[0078] 对数检波部 PDETC_LG 包括:多个交流耦合用电容 $C1 \sim C3$;多个放大电路 AMP1 ~ AMP5;多个电平检测电路 DET1 ~ DET6;多个乘法电路 MUL1 ~ MUL3;多个加法电路 ADD1 ~ ADD3;以及衰减用电阻 (衰减电路) Ratt。来自图 2 的耦合器 CPL 的检测功率信号 P_{det} 经

由 C1 输入到 AMP4。在 AMP4 的后级依次级联连接有 AMP3、AMP2、AMP1。DET1 ~ DET4 分别生成对应于 AMP1 ~ AMP4 的输出电平的电流。

[0079] ADD1 将 DET2 ~ DET4 的输出电流进行相加, MUL1 将规定的系数 (在本示例中为 7/3 倍) 乘以 ADD1 的输出电流。ADD2 将 MUL1 的输出电流与 DET1 的输出电流进行相加, MUL2 将规定的系数 (在本示例中为 6/5 倍) 乘以 ADD2 的输出电流。Pdet 经由 C2 及衰减用电阻 Ratt 输入到 AMP5。DET5 生成对应于 AMP5 的输出电平的电流。Pdet 经由 C3 输入到 DET6, DET6 生成对应于该输入电平的电流。ADD3 将 MUL2 的输出电流与 DET5 的输出电流和 DET6 的输出电流进行相加, MUL3 将规定的系数 (在本示例中为 2 倍) 乘以 ADD3 的输出电流。

[0080] 放大电路 AMP1 ~ AMP5 例如分别起到限幅放大器的作用, 其具有成为相同值的规定的增益 (没有特别的限定, 例如为 10dB 左右等), 在输出未达到规定的饱和输出电压的范围内, 利用该增益进行放大动作, 在达到饱和输出电压的范围内固定地输出该饱和输出电压。Ratt 是具有规定的增益 (例如 - 数 dB 程度等) 的衰减器。此处, 例如, 以检测功率信号 Pdet 的电平非常小、仅从 AMP1 得到饱和输出电压、并且从 DET1 得到对应于该饱和输出电压的饱和输出电流的情况为基准来说明动作。

[0081] 若从该状态逐渐增加 Pdet 的电平, 则在 AMP1 输出饱和输出电压的状态下, AMP2 的输出主要向饱和输出电压大幅增加。与此相对应, 在 DET1 输出饱和输出电流的状态下, DET2 的输出主要向饱和输出电流大幅增加。然后, 若该 Pdet 的电平的增加量达到 10dB 左右, 则 AMP2 的输出达到饱和输出电压, DET2 的输出也与其相对应地达到饱和输出电流。以下相同, 每当 Pdet 的电平增加 10dB 左右, AMP3、AMP4、AMP5 的输出依次达到饱和输出电压, 并且 DET3、DET4、DET5 的输出依次达到饱和输出电流。此后, 若进一步增加 Pdet 的电平, 则来自 DET6 的输出电流大幅增大。

[0082] 因此, 最终利用 ADD3 对来自该电平检测电路 DET1 ~ DET6 的输出电流进行相加, 并且利用电流电压转换电路 IVC 转换为电压, 从而如图 6(a) 所示, 得到与 Pdet 的对数尺度成正比的检测电压信号 Vdet。换言之, 能进行对数检波。另外, 在图 6(a) 中, Vdet 的上限受到限制, 但这并不是由于来自 DET6 的输出电流受到限制所引起的, 而是例如由于 AMPdc 等的输出电压受到限制所引起的。

[0083] 另一方面, 对数 - 线性检波部 PDETC_LGLN 包括: 多个交流耦合用电容 C4、C5; 多个放大电路 AMP7 ~ AMP10; 多个电平检测电路 DET7 ~ DET11; 多个乘法电路 MUL4 ~ MUL6; 以及多个加法电路 ADD4 ~ ADD6。来自图 2 的耦合器 CPL 的检测功率信号 Pdet 经由 C4 输入到 AMP10。在 AMP10 的后级依次级联连接有 AMP9、AMP8、AMP7。DET7 ~ DET10 分别生成对应于 AMP7 ~ AMP10 的输出电平的电流。ADD4 将 DET8 ~ DET10 的输出电流进行相加, MUL4 将规定的系数 (在本示例中为 7/3 倍) 乘以 ADD4 的输出电流。ADD5 将 MUL4 的输出电流与 DET7 的输出电流进行相加, MUL5 将规定的系数 (在本示例中为 1/5 倍) 乘以 ADD5 的输出电流。Pdet 经由 C5 输入到 DET11, DET11 生成对应于该输入电平的电流, MUL6 将规定的系数 (在本示例中为 3 倍) 乘以 DET11 的输出电流。ADD6 将 MUL5 的输出电流与 MUL6 的输出电流进行相加。

[0084] 自放大电路 AMP7 ~ AMP10 的输出到 ADD6 的输入为止的路径是与自上述 PDETC_LG 中的 AMP1 ~ AMP4 的输出到 ADD3 的输入为止的路径大致相同的结构。不过, PDETC_LGLN 中的 MUL5 的系数 (例如, 1/5 倍) 设定得比 PDETC_LG 中的 MUL2 的系数 (例如, 6/5 倍) 要

小。PDETC_LGLN 中的 DET11 在 PDETC_LG 中与 DET6 相对应,但在 PDETC_LGLN 中,该 DET11 的输出电流在利用 MUL6 进行相乘 (例如 3 倍) 之后输入到 ADD6。

[0085] 由此,如图 6(b) 所示,在成为低功率区域的 DET7 ~ DET10 的检测范围中,能得到与 Pdet 的对数尺度成正比的 Vdet,在成为高功率区域的 DET11 的检测范围中,能得到与 Pdet 的线性尺度成正比的 Vdet (即,若将 Pdet 用对数尺度进行表示,则 Vdet 以指数函数的方式增加)。换言之,能进行对数 - 线性检波。若将图 6(b) 与图 6(a) 进行比较,则在图 6(b) 中,如上所述,通过将 MUL5 的系数 (例如 1/5) 设定得比 MUL2 的系数 (例如 6/5) 要小,从而能抑制对数检波范围的灵敏度,并且通过将 DET11 的输出利用 MUL6 进行相乘 (例如 3 倍),从而能提高线性检波范围的灵敏度。

[0086] 由此,若使用图 5 的结构例,则能进行对数检波、及对数 - 线性检波,详细情况在后面叙述,通过适当变更乘法电路 MUL1 ~ MUL6 的系数,能将对数检波特性和对数 - 线性检波特性的恰当地进行优化。例如,在进行对数检波时,实际上,根据各放大电路、电平检测电路等的电气特性会产生来自作为目的的对数检波特性的偏差,但这样的偏差能通过各乘法电路的系数来进行修正。另外,在图 5 中,Ratt、AMP5、DET5 并非是必须的,既可以省略,也可以将 AMP5、DET5 设置在 AMP4 的前级。不过,在进行了省略等情况下,在图 6(a) 中的 DET4 的检测范围与 DET6 的检测范围之间的连接部分有可能无法得到线性函数的特性,因此,此处,通过设置 Ratt、AMP5、DET5,能容易地实现该连接部分的线性函数的特性。

[0087] 《功率检测电路块的结构 [2] (本实施方式 1 的主要特征)》

[0088] 图 7 是表示图 2 的高频功率放大器模块的功率检测电路块的其它结构例的电路框图。如上所述,通过使用图 5 的结构例,能进行对数检波、及对数 - 线性检波,但独立设置对数检波部 PDETC_LG、及对数 - 线性检波部 PDETC_LGLN 有可能会增大电路面积。因此,使用图 7 的结构例是有益的。图 7 所示的功率检测电路块 PDETCBKb 与图 2 的 PDETCBK_LB2 (或 PDETCBK_HB2) 相对应,并包括:共用检波部 PDETC_CM;电流电压转换电路 IVC;以及 DC 放大电路 AMPdc。IVC 将来自 PDETC_CM 的输出电流转换为电压,并经由 AMPdc 进行输出。该输出电压成为检测电压信号 Vdet。

[0089] 共用检波部 PDETC_CM 包括:多个交流耦合用电容 C1 ~ C3;多个放大电路 AMP1 ~ AMP5;多个电平检测电路 DET1 ~ DET6;多个乘法电路 MUL1 ~ MUL3、MUL5、MUL6;多个加法电路 ADD1 ~ ADD3、ADD6;衰减用电阻 Ratt;开关 SW10、以及多个选择开关 SSW10、SSW11。此处,多个加法电路 ADD3、ADD6、多个乘法电路 MUL2、MUL3、MUL5、MUL6、多个选择开关 SSW10、SSW11、及开关 SW10 构成合成电路 SYNS。来自图 2 的耦合器 CPL 的检测功率信号 Pdet 经由 C1 输入到 AMP4。在 AMP4 的后级依次级联连接有 AMP3、AMP2、AMP1。DET1 ~ DET4 分别生成与 AMP1 ~ AMP4 的输出电平相对应的电流。

[0090] ADD1 将 DET2 ~ DET4 的输出电流进行相加,MUL1 将规定的系数 (在本示例中为 7/3 倍) 乘以 ADD1 的输出电流。ADD2 将 MUL1 的输出电流与 DET1 的输出电流进行相加。SSW11 将 ADD2 的输出电流传输到 MUL2 和 MUL5 中的某一个。MUL2 将规定的系数 (在本示例中为 6/5 倍) 乘以经由 SSW11 输入的 ADD2 的输出电流,MUL5 将规定的系数 (在本示例中为 1/5 倍) 乘以经由 SSW11 输入的 ADD2 的输出电流。Pdet 经由 C2 及衰减用电阻 Ratt 输入到 AMP5。DET5 生成对应于 AMP5 的输出电平的电流,并经由 SW10 进行输出。

[0091] Pdet 经由 C3 输入到 DET6,DET6 生成对应于该输入电平的电流。ADD3 将经由 SW10

输入的 DET5 的输出电流与 DET6 的输出电流和 MUL2 的输出电流进行相加。SSW10 将 ADD3 的输出电流传输到 MUL3 和 MUL6 中的某一个。MUL3 将规定的系数（在本例中为 2 倍）乘以经由 SSW10 输入的 ADD3 的输出电流，MUL6 将规定的系数（在本示例中为 3 倍）乘以经由 SSW10 输入的 ADD3 的输出电流。ADD6 将 MUL5 的输出电流与 MUL3 的输出电流和 MUL6 的输出电流进行相加，并将该相加结果输出到电流电压转换电路 IVC。

[0092] 在该共用检波部 PDETC_CM 中，GSM 模式时，将开关 SW10 控制为断开，将选择开关 SSW10 的选择对象控制在 MUL6 侧，将选择开关 SSW11 的选择对象控制在 MUL5 侧。另一方面，在 EDGE 模式时，将开关 SW10 控制为导通，将 SSW10 的选择对象控制在 MUL3 侧，将 SSW11 的选择对象控制在 MUL2 侧。该 SW10、SSW10、SSW11 的控制基于图 2 的模式设定信号 Mct1 来进行。若如此进行开关及选择开关的控制，则 GSM 模式时的 PDETC_CM 与图 5 的对数-线性检波部 PDETC_LGLN 成为等效，EDGE 模式时的 PDETC_CM 与图 5 的对数检波部 PDETC_LG 成为等效。

[0093] 若将图 7 与图 5 进行比较，则在图 7 中，添加了 SW10、SSW10、SSW11，取而代之地删除了图 5 的对数-线性检波部 PDETC_LGLN 中的 C4、C5、AMP7 ~ AMP10、DET7 ~ DET11、ADD4、ADD5、MUL4。由此，能实现与各模式（GSM 模式、EDGE 模式）相适应的检波方式、并且能实现电路面积的降低。另外，此处，利用开关（SW10、SSW10、SSW11）的控制来实现各模式的切换，但并不一定限于图 7 的开关方式，能进行适当的变更。能变更为各种方式，例如，根据各模式将 MUL2、MUL3、MUL5、MUL6 和 DET5 的电路本身控制成直接启用 / 禁用，或者，取代 SSW10 而在 MUL3、MUL6 的输出侧分别设置开关等。

[0094] 此外，如图 5 中也叙述的那样，通过适当变更乘法电路 MUL1 ~ MUL3、MUL5、MUL6 的系数，能将对数检波特性和对数-线性检波特性的恰当地优化。例如，通过 MUL1 的系数来调节对数检波、及对数-线性检波双方的中功率区域的检波特性的斜率。通过 MUL2 的系数来调节对数检波中的低、中功率区域的检波特性的斜率。通过 MUL3 的系数来调节对数检波中的整个功率区域的检波特性的斜率。通过 MUL5 的系数来调节对数-线性检波中的低、中功率区域的检波特性的斜率。通过 MUL6 的系数来调节对数-线性检波中的高功率区域的检波特性的斜率。

[0095] 在对数检波（即，EDGE 模式）时，对各乘法电路的系数进行调节，以主要获得在图 6(a) 中所示的 $P_{det}(P_{out})-V_{det}$ 特性的直线性（线性函数特性）。另一方面，在对数-线性检波（即，GSM 模式）时，对各乘法电路的系数进行调节，以主要使伴随图 2 的自动功率控制电路 APC 的反馈路径的环路增益优化。例如，在环路增益过大时有可能产生振荡，相反，在过小时， P_{out} 的偏差有可能增大。因此，通过各乘法电路的系数来使环路增益优化是有益的。

[0096] 图 8 是表示图 7 中的共用检波部的示意性结构例的图。图 7 的共用检波部 PDETC_CM 从概念上来说由共用的对数检波电路 LGC、共用的线性检波电路 LNC、将它们的输出进行加工、合成的合成电路 SYNS 所构成。LGC 相当于图 7 中的 DET1 ~ DET4 周围的结构，LNC 相当于图 7 中的 DET6 周围的结构。SYNS 根据 LGC 的输出生成具有较高权重 WT1（与图 7 的 MUL2（例如 6/5 倍）相对应）的输出、以及具有比其低的权重 WT2（与图 7 的 MUL5（例如 1/5 倍）相对应）的输出。同样，SYNS 根据 LNC 的输出生成具有较高权重 WT3（与图 7 的 MUL6（例如 3 倍）相对应）的输出、以及具有比其低的权重 WT4（与图 7 的 DET6 → ADD3 的

1 倍路径相对应) 的输出。

[0097] 而且,SYNS 利用选择开关块 SSWBK 将该 LGC 的具有较高权重 WT1 的输出及具有较低权重 WT2 的输出与 LNC 的具有较高权重 WT3 的输出及具有较低权重 WT4 的输出进行适当组合和合成来实现所希望的检波特性。具体而言,在对数检波方式 (EDGE 模式) 时,利用加法电路 ADD11 (与图 7 的 ADD3 相对应) 将 LGC 的具有较高权重 WT1 的输出与 LNC 的具有较低权重 WT4 的输出进行合成,在对数-线性检波方式 (GSM 模式) 时,利用 ADD11 (与图 7 的 ADD6 相对应) 将 LGC 的具有较低权重 WT2 的输出与 LNC 的具有较高权重 WT3 的输出进行合成。另外,在图 8 中,为了方便,将 SSWBK 配置在 WT1 ~ WT4 的后级部分,当然,即使配置在 WT1 ~ WT4 的前级部分也能进行同样的动作。

[0098] 另外,图 7 中的各乘法电路的系数能适当地进行变更,但为了实现对数检波、对数-线性检波,例如,示意性地成为以下的关系。首先,若以 DET6 → ADD3 的 1 倍路径为基准来考虑的话,则 MUL2 出于与对数检波中的 DET6 路径的关系,能具有与 1 倍比较接近的系数。另一方面,随着对数-线性检波,为了将对数侧的灵敏度抑制在一定程度,MUL5 能具有比 MUL2 要小 (换言之,比 1 倍要小) 的系数。此外,随着对数-线性检波,为了将线性侧的灵敏度提高到一定程度,MUL6 能具有比 1 倍要大的系数。

[0099] 《功率检测电路块的结构 [2] 的细节》

[0100] 图 9 是表示图 7 的功率检测电路块的详细的结构例的电路图。在图 9 中,电平检测电路 DET1 ~ DET6 分别通过 NMOS 晶体管 (n 沟道型 MOS 晶体管) MN1 ~ MN6 来实现。例如,若以 DET1 ~ DET5 内的 DET4 的 MN4 为代表进行说明,则 MN4 的源极与接地电源电压 VSS 相连接,AMP4 的输出电压输入到 MN4 的栅极。在 AMP4 的输出电压不充分 (即,未达到 MN4 (DET4) 的阈值电压) 的情况下,源漏电流 I_{ds} 未流过 MN4 (DET4)。若 AMP4 的输出电压处于阈值电压~饱和输出电压的范围中,则对应于该输出电压的 I_{ds} 流过 MN4 (DET4)。若 AMP4 的输出电压达到饱和输出电压,则 MN4 (DET4) 的 I_{ds} 也固定在规定的电流值 (饱和输出电流)。此外,DET6 的 MN6 中, I_{ds} 自经由 C3 的 Pdet 的电压电平超过 MN6 的阈值电压的时间点开始流动,此后, I_{ds} 根据 Pdet 的电压电平以指数函数的方式逐渐增大。

[0101] 乘法电路 MUL1 由包括两个 PMOS 晶体管 (p 沟道型 MOS 晶体管) MP1、MP2 的电流镜电路所构成。MP1 :MP2 例如具有 3 :7 的晶体管尺寸比,上述的三个 MN4 (DET4) ~ MN2 (DET2) 的漏极与 MP1 的漏极进行共用连接。通过该共用连接部分来实现加法电路 ADD1。此外,MN1 (DET1) 的 I_{ds} 利用由两个 PMOS 晶体管 MP4、MP3 (尺寸比例例如为 MP4 :MP3 = 1 :1) 构成的电流镜电路 CM1 进行转换 (transfer)。成为该转换对象的 MP3 的漏极与 MUL1 中的 MP2 的漏极进行共用连接。该共用连接节点还与 NMOS 晶体管 MN7 的漏极相连接,该 NMOS 晶体管 MN7 构成乘法电路 MUL2、MUL5 的一部分,并且包括二极管连接。通过该共用连接部分来实现加法电路 ADD2。

[0102] MN7 (MUL[2,5]) 的栅极 (漏极) 经由选择开关 SSW11 与构成 MUL5 的另一部分的 NMOS 晶体管 MN8 的栅极、以及构成 MUL2 的另一部分的 NMOS 晶体管 MN9 的栅极相连接。根据 SSW11 的选择对象,MN7 (MUL[2,5]) 与 MN8 (MUL5) 之间构成尺寸比例例如为 5 :1 的电流镜电路,与 MN9 (MUL2) 之间构成尺寸比例例如为 5 :6 的电流镜电路。由此,构成为 MN8 的栅极或 MN9 的栅极经由 SSW11 与二极管连接的 MN7 的栅极进行连接,从而能以较小的面积实现 MUL2、MUL5、SSW11。另外,尽管省略了图示,但在 MN8、MN9 中,未被 SSW11 选择的一侧的栅

极例如经由开关等固定在 VSS。

[0103] MN5 (DET5) 的漏极经由开关 SW10 与 PMOS 晶体管 MP7 的漏极相连接, 该 PMOS 晶体管 MP7 构成乘法电路 MUL3、MUL6 的一部分, 并且包括二极管连接。而且, MN6 (DET6) 的漏极和 MN9 (MUL2) 的漏极与该 MP7 (MUL[3,6]) 的漏极进行共用连接。通过该共用连接部分来实现加法电路 ADD3。

[0104] MP7 (MUL[3,6]) 的栅极 (漏极) 经由选择开关 SSW10 与构成 MUL3 的另一部分的 PMOS 晶体管 MP8 的栅极、以及构成 MUL6 的另一部分的 PMOS 晶体管 MP9 的栅极相连接。根据 SSW10 的选择对象, MP7 (MUL[3,6]) 与 MP8 (MUL3) 之间构成尺寸比例如为 1:2 的电流镜电路, 与 MP9 (MUL6) 之间构成尺寸比例如为 1:3 的电流镜电路。由此, 构成为 MP8 的栅极或 MP9 的栅极经由 SSW10 与二极管连接的 MP7 的栅极进行连接, 从而能以较小的面积实现 MUL3、MUL6、SSW10。另外, 尽管省略了图示, 但在 MP8、MP9 中, 未被 SSW11 选择的一侧的栅极例如经由开关等固定在电源电压 VDD。

[0105] MN8 (MUL5) 的 I_{ds} 利用由两个 PMOS 晶体管 MP5、MP6 (尺寸比例如为 MP5:MP6 = 1:1) 构成的电流镜电路 CM2 进行转换。成为该转换对象的 MP6 的漏极与 MP8 (MUL3) 的漏极和 MP9 (MUL6) 的漏极进行共用连接。通过该共用连接部分来实现加法电路 ADD6。该共用连接节点还与 NMOS 晶体管 MN10 的漏极 (栅极) 相连接, 该 NMOS 晶体管 MN10 构成电流电压转换电路 IVC, 并且包括二极管连接。而且, 在该 MN10 (IVC) 的漏极产生的电压由 DC 放大电路 AMPdc 进行放大, 成为检测电压信号 Vdet。

[0106] 由此, 通过以电流镜电路为主体构成电平检测电路 DET、乘法电路 MUL、加法电路 ADD, 使得例如与利用运算放大电路等构成乘法电路的情况相比, 能以较小的面积实现功率检测电路块。此外, 能利用晶体管尺寸比来容易地调节各乘法电路 MUL1 ~ MUL3、MUL5、MUL6 的系数。此外, 在有的情况下, 也可以调节电流镜电路 CM1、CM2 的晶体管尺寸比。如图 7 所述, 这样的调节主要是为了获得对数检波 (即 EDGE 模式) 时的直线性、以及使对数 - 线性检波 (即 GSM 模式) 时的环路增益优化而进行的。除此之外, 例如, 根据半导体芯片的制造工艺的不同来进行, 或者根据检测功率信号 Pdet 的频带的不同来进行, 或者根据用户系统的要求来进行。

[0107] 《乘法电路的系数的调节例》

[0108] 图 10 ~ 图 12 是分别表示图 9 的功率检测电路块的、其乘法电路的系数所对应的特性变化的一个示例的说明图。图 10 ~ 图 12 中, 以 EDGE 模式 (对数检波) 为例, 示出了检测电压信号 Vdet (V) 相对于输出功率信号 Pout (dBm) (换言之, 检测功率信号 Pdet) 的特性模拟结果。首先, 在图 10 中示出了将图 9 中的 PMOS 晶体管 MP1、MP2 的晶体管尺寸比 (即, 乘法电路 MUL1 的系数) 分别变更为 MP1:MP2 = 3:3、3:5、3:7 时的特性变化的情形。在图 10 的示例中, MP1:MP2 = 3:7 时的 Pout (dBm) - Vdet (V) 特性最接近线性函数。

[0109] 在图 11 中示出了将图 9 中的 NMOS 晶体管 MN7、MN9 的晶体管尺寸比 (即, 乘法电路 MUL2 的系数) 分别变更为 MN7:MN9 = 5:3、5:4、5:6 时的特性变化的情形。在图 11 的示例中, MN7:MN9 = 5:6 时的 Pout (dBm) - Vdet (V) 特性最接近线性函数。在图 12 中示出了将图 9 中的 PMOS 晶体管 MP7、MP8 的晶体管尺寸比 (即, 乘法电路 MUL3 的系数) 分别变更为 MP7:MP8 = 1:1、1:2、1:3 时的特性变化的情形。在图 12 的示例中, 根据各晶体管尺寸比, 相对于线性函数的近似性没有明显的差异, 但在 MP7:MP8 = 1:3 时, 能得到最适合 Vdet

的范围的斜率。通过调节相对于该范围的斜率,能降低 Pout 相对于 Vdet 的偏差变动的偏差变动。

[0110] 图 13、图 14 分别是表示图 9 的功率检测电路块的、成为其输入的检测功率信号的频率所对应的特性变化的一个示例的说明图。图 15 与图 14 相关联,是表示改变了图 9 的功率检测电路块中的乘法电路的系数时的特性变化的一个示例的说明图。图 13 ~ 图 15 中分别以 EDGE 模式(对数检波)为例,示出了检测电压信号 Vdet (V) 相对于输出功率信号 Pout (dBm) (换言之,检测功率信号 Pdet) 的特性、以及 Vdet Slope (mV/dB) 相对于 Pout (dBm) 的特性的模拟结果。Vdet Slope 表示 Vdet 的偏差变动 ($\Delta Vdet$) 与 Pout 的偏差变动 ($\Delta Pout$) 的比值,其不依赖于 Pout 的电平,Vdet Slope 越是一定,Pout (Pdet)-Vdet 特性与线性函数的近似性越高。

[0111] 在图 13 中示出了将 Pout (Pdet) 的频率从 898MHz (与 GSM900 相对应) 变更为 806MHz (与 T-GSM810 相对应) 时的特性变化的情形。在此情况下, Pout (Pdet)-Vdet 特性与线性函数的近似性没有多大差别。另一方面,在图 14 中示出了将 Pout (Pdet) 的频率从 898MHz 变更为 1880MHz (与 PCS 1900 相对应) 时的特性变化的情形。在此情况下, Pout (Pdet)-Vdet 特性与线性函数的近似性主要在中~高功率区域发生下降。

[0112] 因此,在图 15 的示例中,调节了图 9 的功率检测电路块中的 NMOS 晶体管 MN7、MN9 (乘法电路 MUL2) 的晶体管尺寸比。如图 15 所示,通过将 MN7、MN9 的晶体管尺寸比从 MN7 :MN9 = 5 :6 变更为 MN7 :MN9 = 4 :6,能提高 Pout (Pdet)-Vdet 特性与线性函数的近似性。即,通过这样的调节,能将图 2 中的高频段用的功率检测电路块 PDETBK_HB2 和低频段用的功率检测电路块 PDETBK_LB2 分别独立地进行优化。

[0113] 以上,通过使用本实施方式 1 的半导体集成电路装置及高频功率放大器模块,典型地,能以较小的面积实现多个检波方式(具体而言,对数检波、及对数-线性检波)。此外,通过各乘法电路的系数能容易地将各检波方式中的电气特性进行优化。

[0114] (实施方式 2)

[0115] 本实施方式 2 中,对除了上述的 GSM 模式(对数-线性检波)及 EDGE 模式(对数检波)以外,还能支持 W-CDMA (或 LTE) 模式的共用的功率检测电路进行说明。

[0116] 《高频功率放大器模块的整体结构(变形例)》

[0117] 图 16 是表示本发明的实施方式 2 的高频功率放大器模块的结构例的框图。图 16 所示的高频功率放大器模块 RFMD2 与图 2 中叙述的高频功率放大器模块 RFMD 相比,半导体芯片(半导体集成电路装置) PACP2 的内部电路存在局部不同。在图 2 的 RFMD 中,与四个耦合器 CPL1 ~ CPL4 相对应地包括四个功率检测电路块,但图 16 的 RFMD2 中,与 CPL1、CPL3 (即,高频段用) 和 CPL2、CPL4 (即,低频段用) 相对应地包括两个功率检测电路块 PDETBK_HB3、PDETBK_LB3。除此之外的结构与图 2 相同,因此,省略详细的说明。

[0118] 例如,在高频段的 W-CDMA (或 LTE) 模式下进行动作时,来自 CPL1 的检测功率信号 Pdet1 输入到 PDETBK_HB3。PDETBK_HB3 生成对应于 Pdet1 的功率电平的检测电压信号 Vdet_W,并经由选择高频段或低频段的选择开关 SSW2 输出到半导体芯片外部。在低频段的 W-CDMA (或 LTE) 模式下进行动作时,来自 CPL2 的检测功率信号 Pdet2 输入到 PDETBK_LB3, PDETBK_LB3 生成对应于 Pdet2 的功率电平的 Vdet_W,并经由 SSW2 输出到半导体芯片外部。

[0119] 同样,在高频段的 EDGE 模式下进行动作时,来自 CPL3 的检测功率信号 Pdet3 输入

到 PDETBK_HB3, PDETBK_HB3 生成与 Pdet3 的功率电平相对应的检测电压信号 Vdet_E, 并经由 SSW2 输出到半导体芯片外部。在低频段的 EDGE 模式下进行动作时, 来自 CPL4 的检测功率信号 Pdet4 输入到 PDETBK_LB3, PDETBK_LB3 生成对应于 Pdet4 的功率电平的 Vdet_E, 并经由 SSW2 输出到半导体芯片外部。

[0120] 另一方面, 在高频段的 GSM 模式下进行动作时, 来自 CPL3 的 Pdet3 输入到 PDETBK_HB3, PDETBK_HB3 生成对应于 Pdet3 的功率电平的检测电压信号 Vdet_G, 并经由 SSW2 输出到自动功率控制电路 APC。在低频段的 GSM 模式下进行动作时, 来自 CPL4 的 Pdet4 输入到 PDETBK_LB3, PDETBK_LB3 生成对应于 Pdet4 的功率电平的 Vdet_G, 并经由 SSW2 输出到 APC。而且, 如图 2 中叙述的那样, 利用经由 APC 的反馈控制对输出功率信号 Pout_HB2 或 Pout_LB2 的功率电平进行控制。

[0121] 《功率检测电路块的结构(变形例)[1]》

[0122] 图 17 是表示图 16 的高频功率放大器模块的功率检测电路块的详细的结构例的电路图。图 17 所示的功率检测电路块与图 16 的 PDETBK_LB3(或 PDETBK_HB3) 相对应。该功率检测电路块成为以下的结构: 即, 与上述的图 9 的结构例相比, 图 9 的 PDETC_CM 置换成了图 17 的共用检波部 PDETC_CM2, 而且, 添加了线性检波部 PDETC_LN 和选择开关 SSW20。图 17 的 PDETC_CM2 与图 9 的 PDETC_CM 的不同之处在于, 在各放大电路 AMP1 ~ AMP5 中分别添加了电源开关 PSW21 ~ PSW25、以及在电平检测电路 DET6 的输入与接地电源电压 VSS 之间添加了开关 SW20。除此之外的结构与图 9 相同, 因此, 省略详细的说明。

[0123] 线性检波部 PDETC_LN 包括: 交流耦合用电容 C6; 电平检测电路 DET7; 电流镜电路 CM3; 以及电流电压转换电路 IVC2。DET7 由源极接地的 NMOS 晶体管 MN21 所构成, 检测功率信号 Pdet' 经由 C6 输入到 MN21 的栅极。CM3 例如由晶体管尺寸比为 1:1 的 PMOS 晶体管 MP20、MP21 所构成, MP20 接受 MN21 的源漏电流 Ids, 并转换到 MP21。IVC2 由二极管连接的 NMOS 晶体管 MN22 所构成, 接受 MP21 的 Ids 并将其转换为电压。选择开关 SSW20 对来自与上述的 PDETC_CM2 相对应的电流电压转换电路 IVC 的输出电压, 或来自 PDETC_LN 内的 IVC2 的输出电压进行选择, 并输出到 DC 放大电路 AMPdc。

[0124] 在这样的结构例中, 在 GSM 模式及 EDGE 模式时, PDETC_CM2 接受检测功率信号 Pdet(相当于图 16 的 Pdet3 或 Pdet4), 并进行与上述的图 9 的 PDETC_CM 相同的动作。在此情况下, 根据模式设定信号 Mct1, 将上述的各电源开关 PSW21 ~ PSW25 控制成导通, 将开关 SW20 控制成断开。来自 PDETC_CM2 的输出电流通过 IVC 转换为电压, 该电压经由 SSW20、AMPdc 作为检测电压信号 Vdet 进行输出。另外, 对 SSW20 的选择对象也基于 Mct1 进行控制。

[0125] 另一方面, 在 W-CDMA(或 LTE) 模式时, PDETC_LN 接受检测功率信号 Pdet'(相当于图 16 的 Pdet1 或 Pdet2) 来进行动作。此时, 在 PDETC_CM2 内, 将各电源开关 PSW21 ~ PSW25 控制成断开, 将开关 SW20 控制成导通。PDETC_LN 中, MN21(DET7) 生成对应于 Pdet' 的电平的电流, IVC2 将该电流转换为电压。然后, 该电压经由 SSW20、AMPdc 作为 Vdet 进行输出。

[0126] 由此, 在本实施方式 2 中, 在 W-CDMA(或 LTE) 模式时, 使用图 3(a) 中叙述的线性检波方式成为主要特征之一。在 W-CDMA(或 LTE) 标准中, 与 GSM、EDGE 标准相比, 要求更低的功率消耗。此外, 如上所述, 在 W-CDMA 模式中, 与 EDGE 模式的情况相同, 成为检测电压

信号 V_{det} 输出到芯片外部的结构,因此,优选 $P_{det}' - V_{det}$ 的关系为线性函数。因此,为了同时满足上述要求,此处,使用对 P_{det}' 、 V_{det} 均利用线性尺度观察时能得到线性函数特性的线性检波方式。在线性检波方式中,如图 17 所示,能使小面积(即,节省电力)的电路即 PDETC_LN 进行动作,能使 PDETC_CM2 成为电源阻断状态,因此,能实现更低的功率消耗。另外,在 W-CDMA(或 LTE)模式中,通常,与 EDGE 模式相比,由于输出功率的控制范围较为狭窄,因此,即使不是对数检波方式,而是线性检波方式,也能充分应对。

[0127] 《功率检测电路块的结构(变形例)[2]》

[0128] 图 18 是表示图 16 的高频功率放大器模块的功率检测电路块的其它结构例的电路框图。如上所述,通过使用图 17 的结构例,能进行对数检波、对数-线性检波、及线性检波,但另外设置线性检波部 PDETC_LN 有可能会增大电路面积。因此,使用图 18 的结构例是有益的。图 18 所示的功率检测电路块 PDETBKc 与图 16 的 PDETBK_LB3(或 PDETBK_HB3)相对应,并包括:共用检波部 PDETC_3CM;电流电压转换电路 IVC;以及 DC 放大电路 AMPdc。IVC 将来自 PDETC_3CM 的输出电流转换为电压,并经由 AMPdc 进行输出。该输出电压成为检测电压信号 V_{det} 。

[0129] 共用检波部 PDETC_3CM 成为以下结构,即,与图 7 的共用检波部 PDETC_CM 相比,在放大电路 AMP1 ~ AMP5 中添加了电源开关 PSW,而且,还添加了开关 SW30、SW31 及乘法电路 MUL7,而且,图 7 的 SSW10 变更为了图 18 的选择开关 SSW30。除此之外的结构与图 7 相同,因此,省略详细的说明。SW30 设置在乘法电路 MUL2 与加法电路 ADD3 之间,SW31 设置在乘法电路 MUL5 与加法电路 ADD6 之间。MUL7 与上述乘法电路 MUL3、MUL6 并联设置,此处,例如具有 1 倍的系数。SSW30 将加法电路 ADD3 的输出与 MUL3、MUL6 和 MUL7 中的某一个相连接。另外,PSW、SW30、SW31、SSW30 的动作基于模式设定信号 Mct1 来进行。此外,功率检测信号 P_{det} 相当于图 16 中的 P_{det1} ~ P_{det4} 中的任意一个。

[0130] 在这样的结构例中,例如,在 GSM 模式或 EDGE 模式时,将电源开关 PSW 驱动为导通,将 SW30、SW31 驱动为导通,SSW30 选择 MUL3 和 MUL6 中的某一个。在此情况下,图 18 的结构例与图 7 的结构例等效,进行与图 7 的情况相同的动作。另一方面,在 W-CDMA(或 LTE)模式时,将 PSW 驱动为断开,将 SW30、SW31 驱动为断开,SSW30 选择 MUL7。在此情况下,AMP1 ~ AMP5 周围的对数检波部分成为电源阻断状态,利用电平检测电路 DET6 对 P_{det} 的电平进行检测,其输出电流经由 ADD3、SSW30、MUL7、ADD6 输出到 IVC。

[0131] 由此,与图 17 的情况相同,在 W-CDMA(或 LTE)模式时,对 $P_{det} - V_{det}$ 的关系能用线性函数来近似,而且,能实现较低的功率消耗,能使整个功率检测电路块的面积比图 17 的情况更小。另外,并非需要同时设置 SW30、SW31,也可以仅设置其中的一个。例如,在仅设有 SW30 的情况下,在 EDGE 模式时,将 SSW11 的选择对象设为 MUL2 侧,将 SW30 控制为导通即可,在 W-CDMA(或 LTE)模式时,将 SSW11 的选择对象设为 MUL2 侧,将 SW30 控制为断开即可。另一方面,在仅设有 SW31 的情况下,在 GSM 模式时,将 SSW11 的选择对象设为 MUL5 侧,将 SW31 控制为导通即可,在 W-CDMA(或 LTE)模式时,将 SSW11 的选择对象设为 MUL5 侧,将 SW31 控制为断开即可。此外,也可以在 ADD2 与 SSW11 之间设置一个开关来代替 SW30、SW31。即,在 W-CDMA(或 LTE)模式时,只要设置使 ADD2 的输出在 ADD3 和 ADD6 中均得不到反映的控制电路即可。

[0132] 图 19 是表示图 18 中的共用检波部的示意性结构例的图。图 18 的共用检波部

PDETC_3CM 从概念上来说由共用的对数检波电路 LGC2、共用的线性检波电路 LNG、将它们的输出进行加工、合成的合成电路 SYNS2 所构成。LGC2 相当于图 18 中的 DET1 ~ DET4 周围的结构, LNC 相当于图 18 中的 DET6 周围的结构。图 19 的结构例与上述的图 8 的结构例相比, 在 LGC2 内的各放大电路 AMP1 ~ AMP4 中添加了电源开关 PSW, 而且, 对 SYNS2 内的结构进行了稍许变更。

[0133] SYNS2 成为以下的结构, 即, 与图 8 的 SYNS 相比, 与权重 WT3、WT4 并联地添加了权重 WT5, 随之在选择开关块 SSWBK2 的选择分支上添加了 WT5, 而且, 在 WT1、WT2 的输出与加法电路 ADD11 的输入之间添加了开关 SW40。在图 19 中, 在对数 - 线性检波 (GSM 模式) 或对数检波 (EDGE 模式) 时, 在 PSW 为导通、SW40 为导通的状态下进行与图 8 相同的动作。另一方面, 在线性检波 (W-CDMA (或 LTE) 模式) 时, 在 PSW 为断开、SW40 (与图 18 的 SW30、SW31 相对应) 为断开的状态下, SYNS2 基于 LNC 的输出生成具有权重 WT5 (与图 18 的 MUL7 相对应) 的输出, 并将其经由 ADD11 (与图 18 的 ADD6 相对应) 进行输出。

[0134] 《功率检测电路块的结构 (变形例) [2] 的细节》

[0135] 图 20 是表示图 18 的功率检测电路块的详细的结构例的电路图。图 20 的结构例与上述图 9 的结构例的不同之处在于, 在各放大电路 AMP1 ~ AMP5 中添加了电源开关 PSW21 ~ PSW25, 并添加了 SW30、SW31、MUL7, 图 9 的 SSW10 置换成了图 20 的 SSW30。SW30 连接在构成乘法电路 MUL2 的 NMOS 晶体管 MN9 的漏极与加法电路 ADD3 之间, SW31 连接在构成电流镜电路 CM2 的 PMOS 晶体管 MP6 的漏极与加法电路 ADD6 之间。不过, 如果 SW30、SW31 例如构成为使未被选择开关 SSW11 选择的晶体管 (MN8 或 MN9) 的栅极成为接地电源电压 VSS, 则也能削减 SW30 和 SW31 中的某一个。

[0136] 乘法电路 MUL7 由构成乘法电路 MUL3、MUL6、MUL7 的一部分的 PMOS 晶体管 MP7、以及与 PMOS 晶体管 MP7 之间构成晶体管尺寸比为 1:1 的电流镜电路的 PMOS 晶体管 MP30 所构成。MP30 的漏极与构成 MUL3、MUL6 的另一部分的 PMOS 晶体管 MP8、MP9 的漏极进行共用连接。此处, 选择开关 SSW30 将 MP7 的栅极有选择地与 MP8、MP9、MP30 的栅极中的某一个进行连接。通过这样的乘法电路及选择开关的结构, 如图 9 中也叙述的那样能减小面积。

[0137] 以上, 通过使用本实施方式 2 的半导体集成电路装置及高频功率放大器模块, 典型地, 能以较小的面积实现多个检波方式 (具体而言, 对数检波、对数 - 线性检波、及线性检波)。此外, 与实施方式 1 的情况相同, 通过各乘法电路的系数能容易地将各检波方式中的电气特性进行优化。另外, 此处, 将乘法电路 MUL7 的系数设为 1 倍, 当然, 也可以进行适当的变更。

[0138] 以上, 基于实施方式对本发明人所完成的发明进行了具体的说明, 但本发明并不限于上述实施方式, 只要在不脱离其要点的范围内能进行各种变更。

[0139] 工业上的实用性

[0140] 本实施方式的半导体集成电路装置及高频功率放大器模块尤其适用于能支持多模式 / 多频带的移动电话, 但并不限于此, 还能广泛地应用于需要进行发送功率的检波的所有无线通信系统。

[0141] 标号说明

[0142] ADD 加法电路

[0143] AMP 放大电路

- [0144] ANT 天线
- [0145] ANTSW 天线开关
- [0146] APC 自动功率控制电路
- [0147] BBU 基带单元
- [0148] BSCTL 偏置控制电路
- [0149] C 电容
- [0150] CM 电流镜电路
- [0151] CPL 定向耦合器 (耦合器)
- [0152] DAC 数字 / 模拟转换电路
- [0153] DET 电平检测电路
- [0154] DPX 双工器
- [0155] EA 误差放大器
- [0156] HPA 高频功率放大装置
- [0157] IVC 电流电压转换电路
- [0158] LGC 对数检波电路
- [0159] LNC 线性检波电路
- [0160] LPF 低通滤波器
- [0161] MIC 麦克风
- [0162] MIPI 串行控制电路
- [0163] MN NMOS 晶体管
- [0164] MNTi 输入匹配电路
- [0165] MNT_o 输出匹配电路
- [0166] MP PMOS 晶体管
- [0167] MUL 乘法电路
- [0168] Mct1 模式设定信号
- [0169] PA 功率放大电路
- [0170] PACP 半导体芯片 (半导体集成电路装置)
- [0171] PDET_{BK} 功率检测电路块
- [0172] PDETC_{CM} 共用检波部
- [0173] PDETC_{LG} 对数检波部
- [0174] PDETC_{LGLN} 对数 - 线性检波部
- [0175] PSW 电源开关
- [0176] Pdet 检测功率信号
- [0177] Pin 输入功率信号
- [0178] Pout 输出功率信号
- [0179] R 电阻
- [0180] RFIC 高频信号处理装置
- [0181] RFMD 高频功率放大器模块
- [0182] RFSYS 高频系统部

- [0183] RX 接收信号
- [0184] Ratt 衰减用电阻（衰减电路）
- [0185] SAW SAW 滤波器
- [0186] SPK 扬声器
- [0187] SSW 选择开关
- [0188] SSWBK 选择开关块
- [0189] SW 开关
- [0190] SYNS 合成电路
- [0191] TX 发送信号
- [0192] VDD 电源电压
- [0193] VRAMP 功率指示信号
- [0194] VSS 接地电源电压
- [0195] Vdet 检测电压信号
- [0196] WT 权重

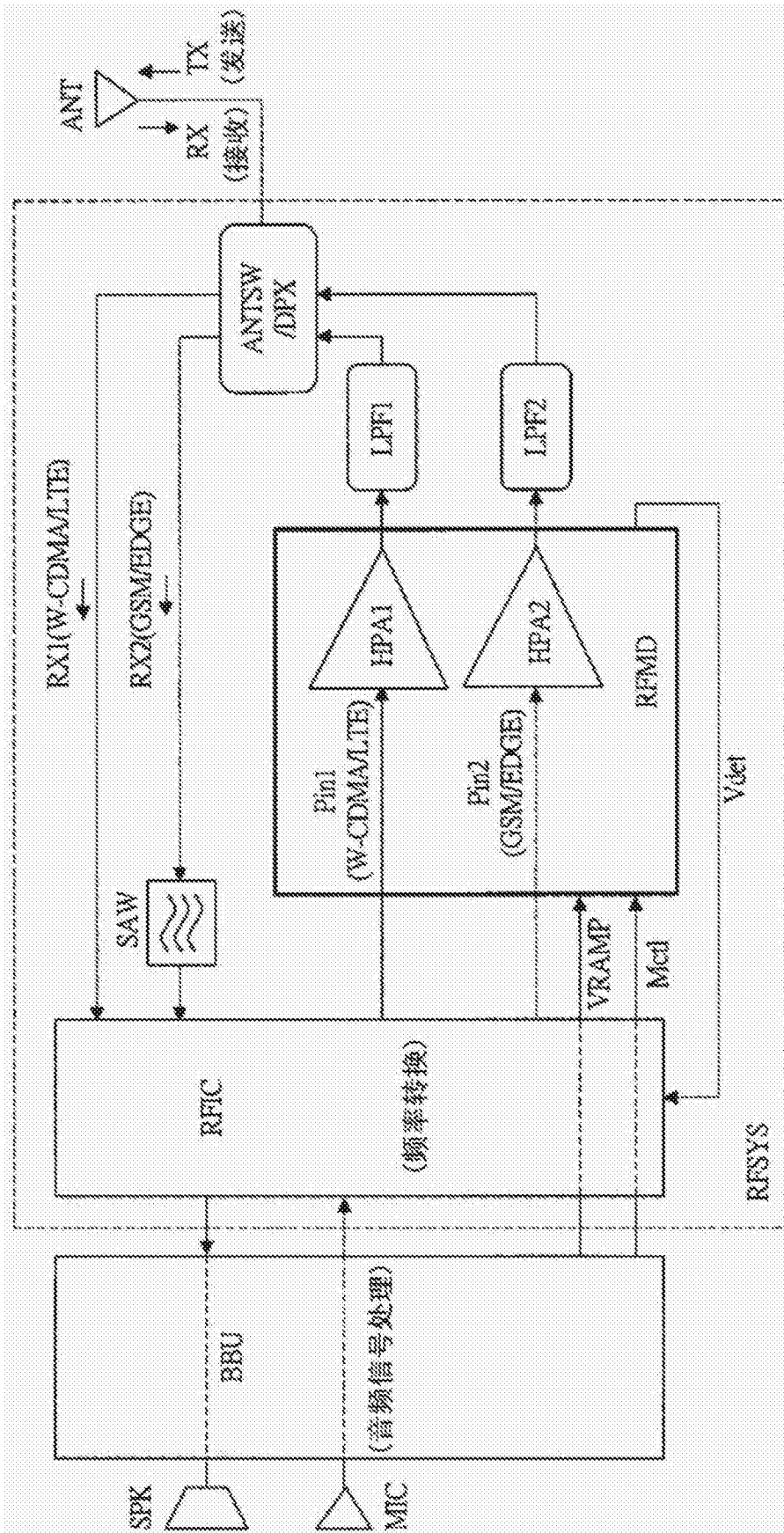


图 1

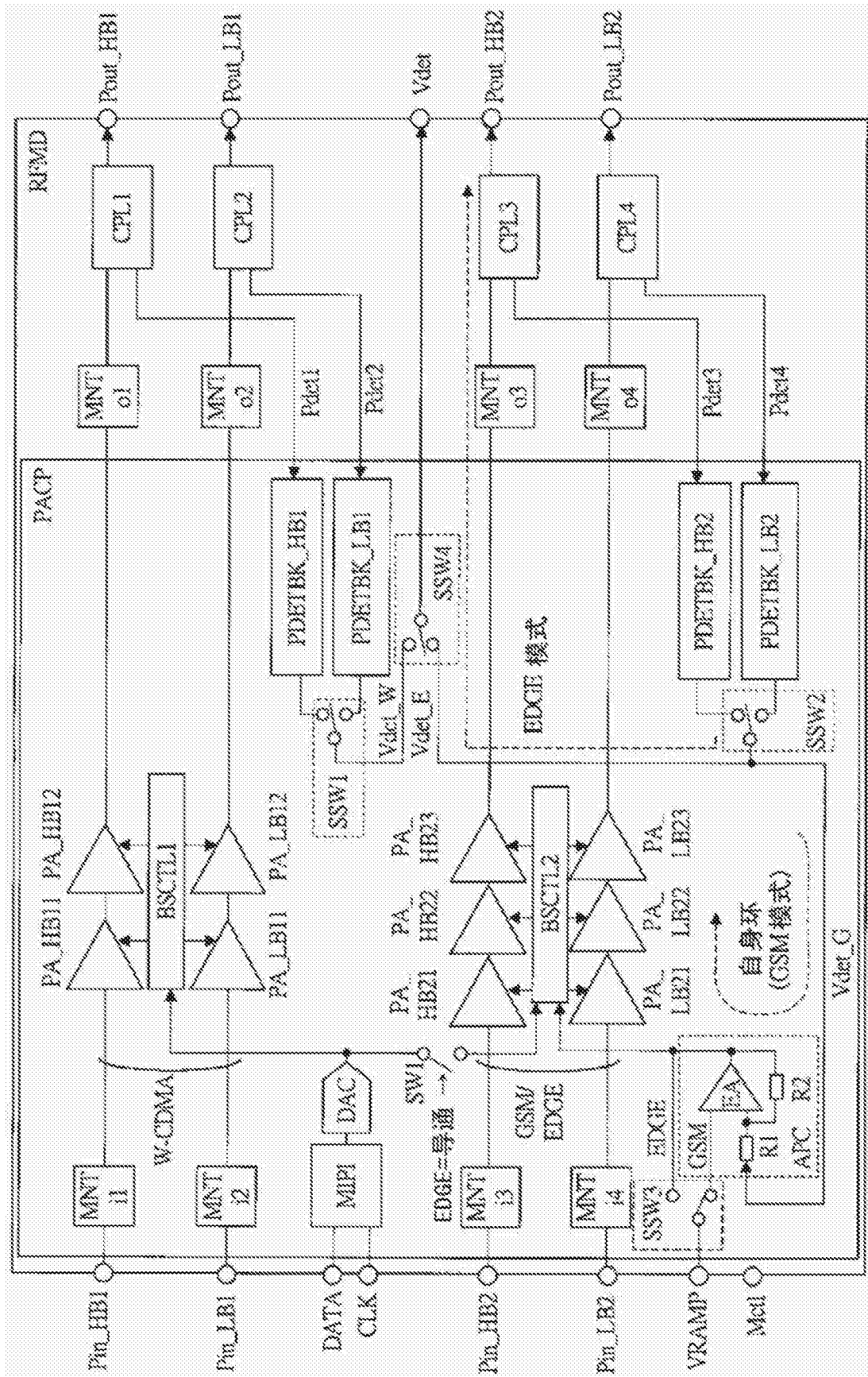


图 2

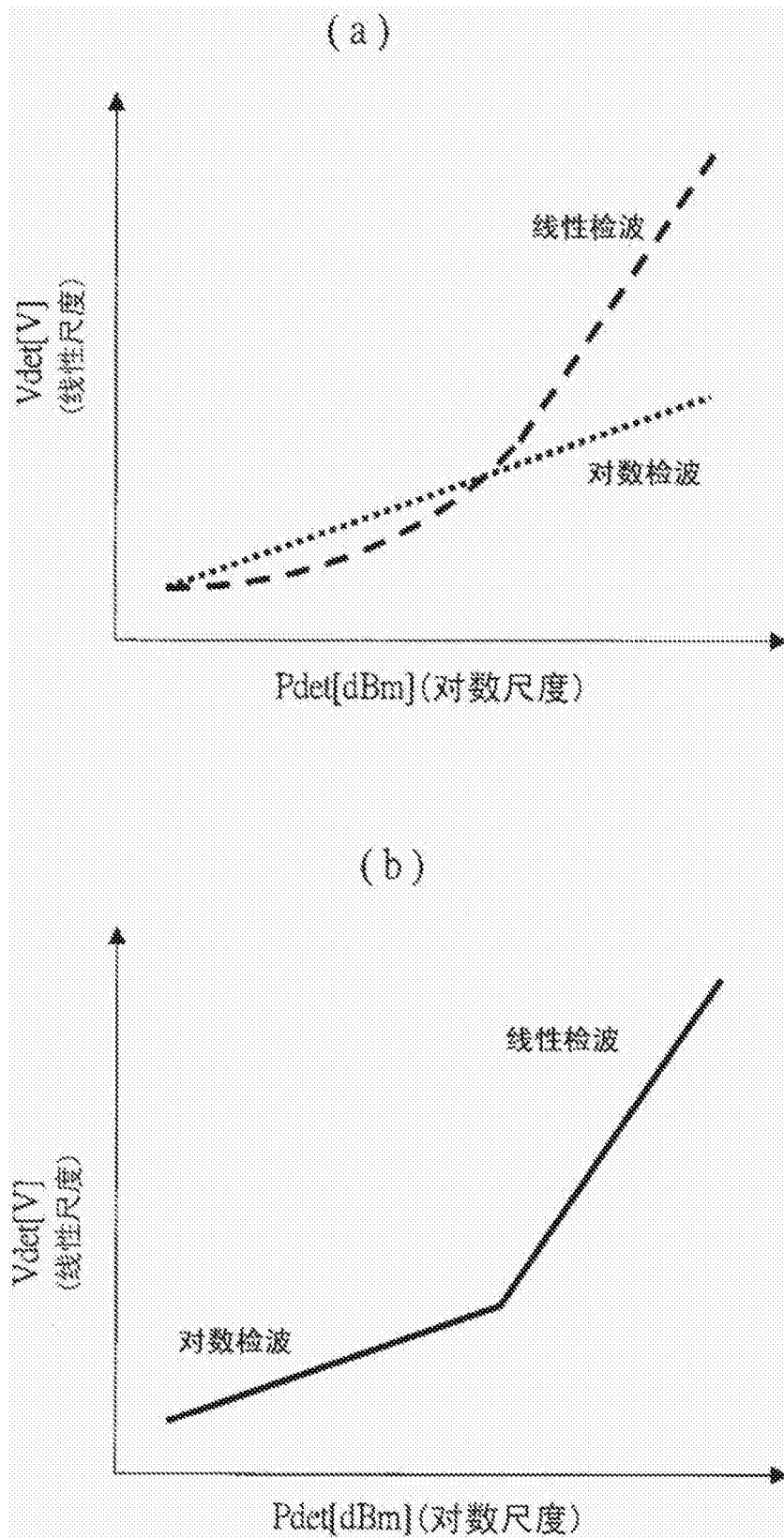


图 3

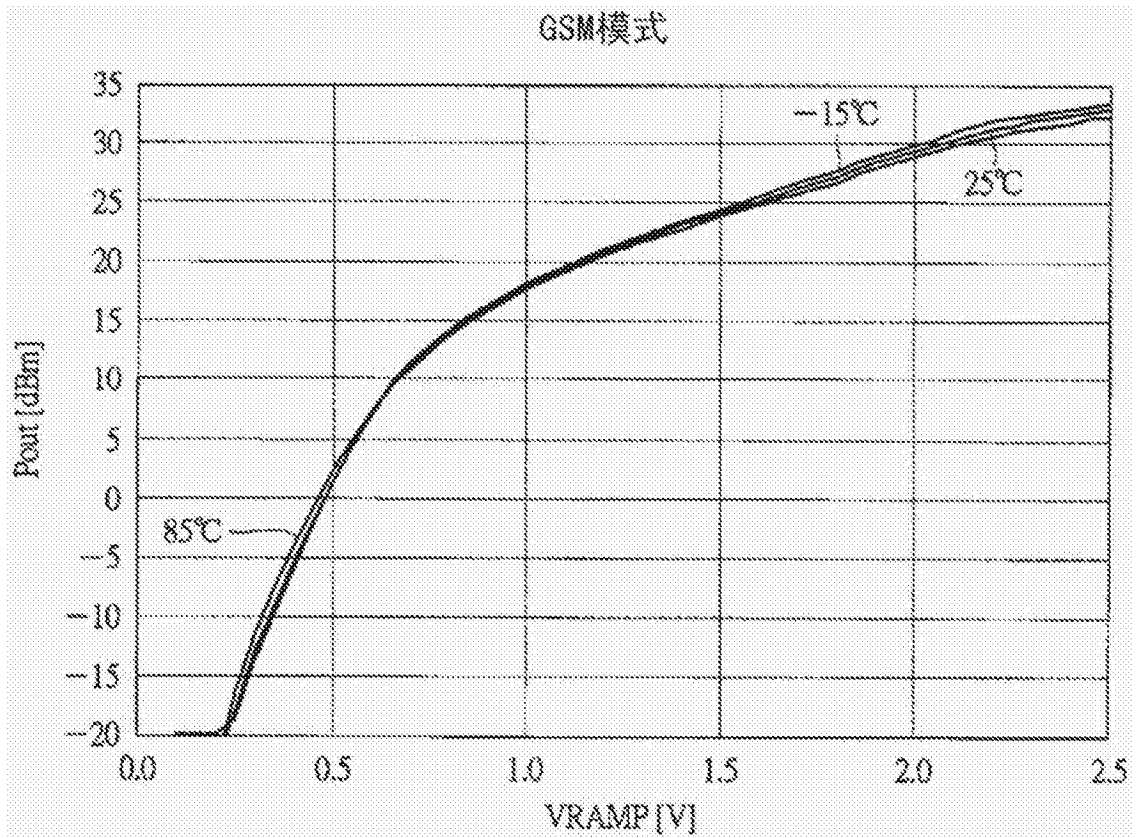


图 4

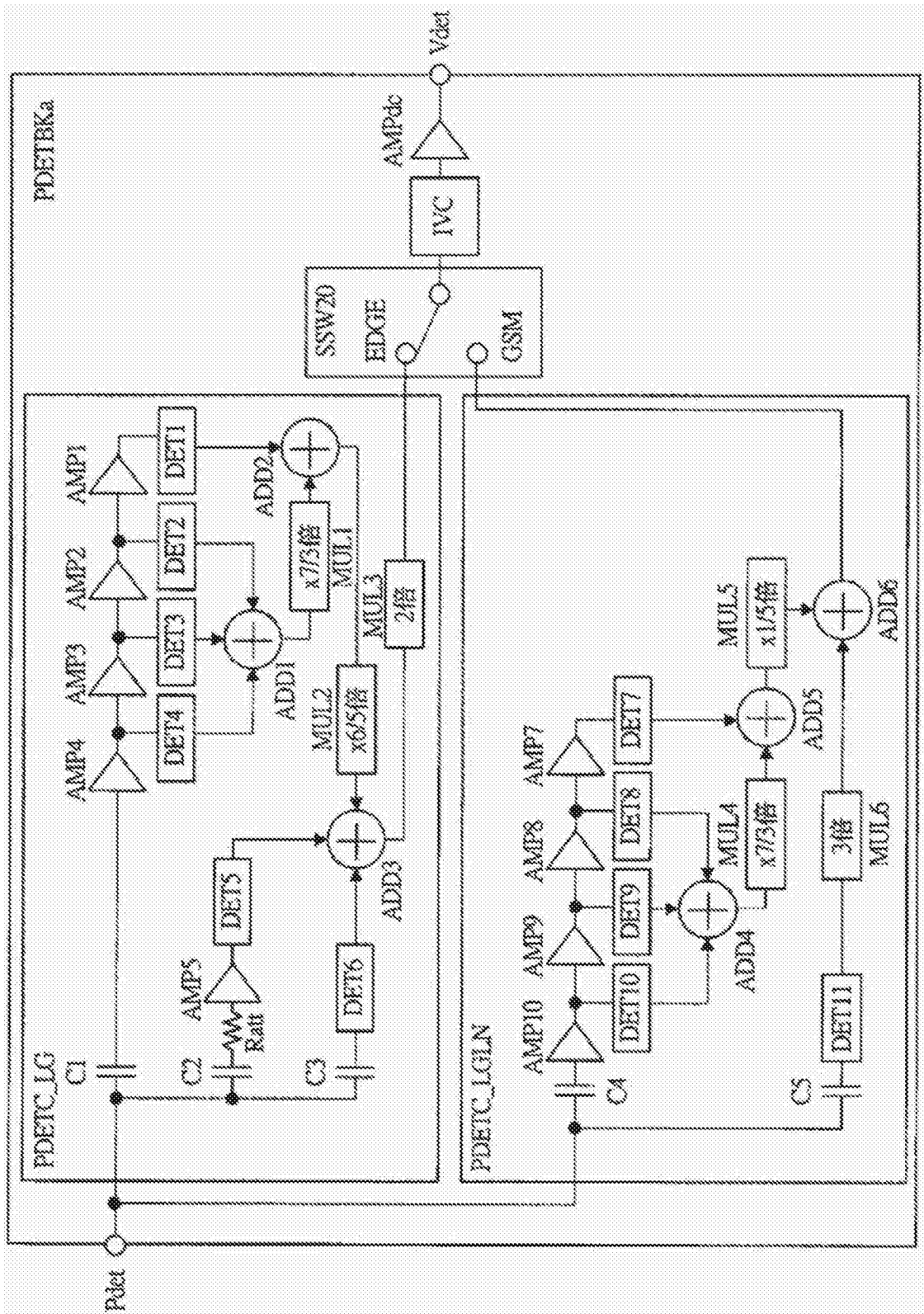


图 5

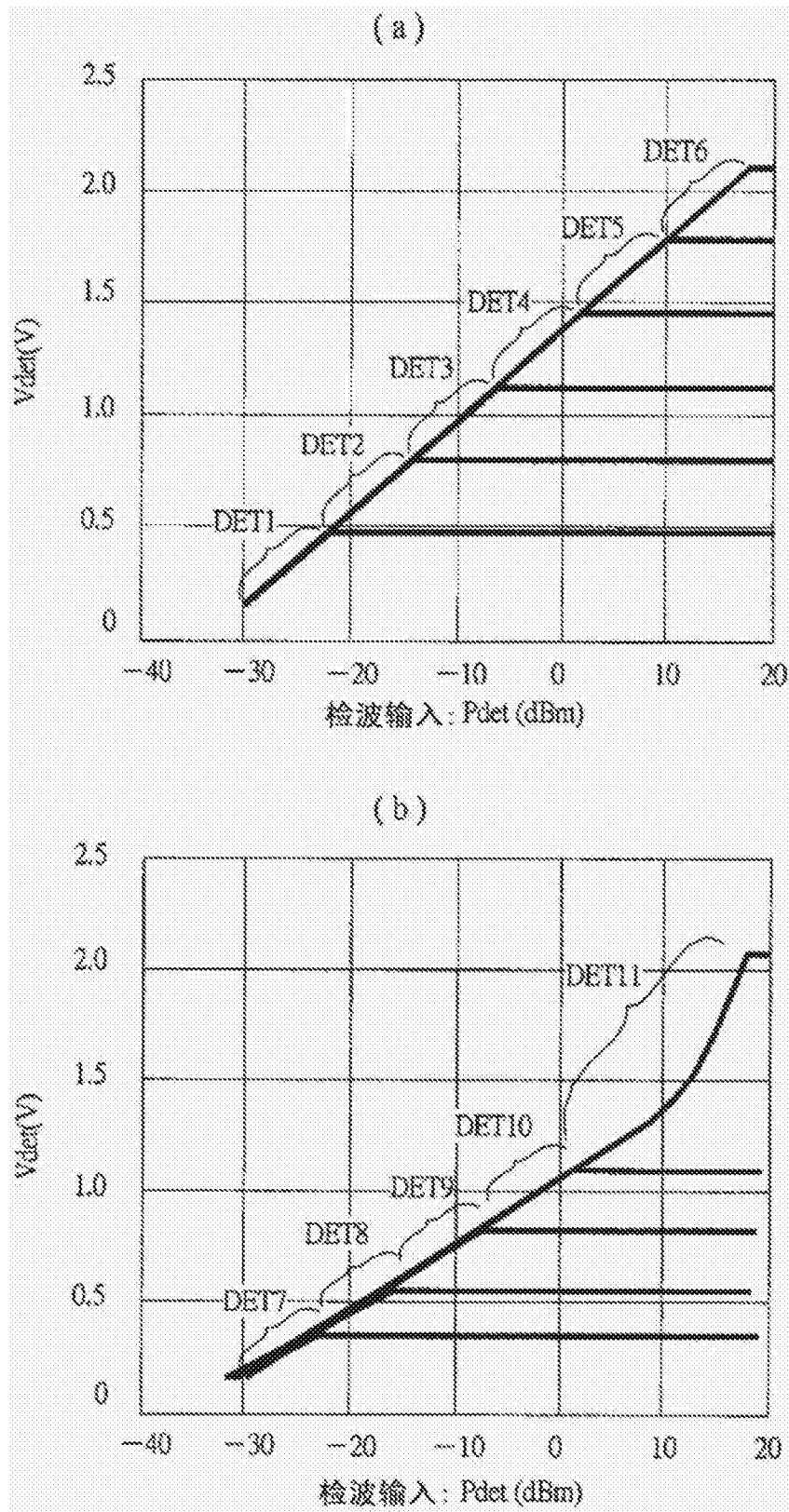


图 6

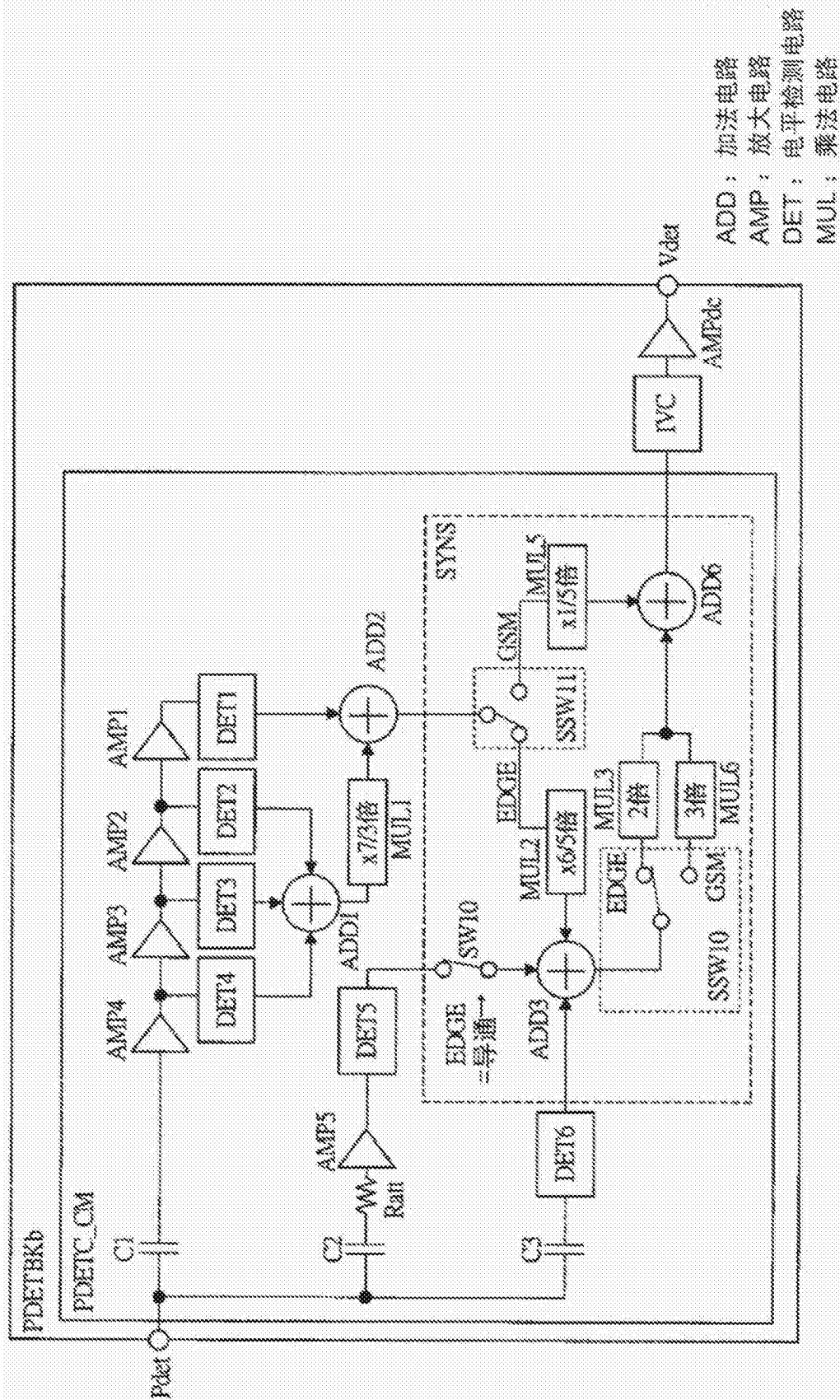


图 7

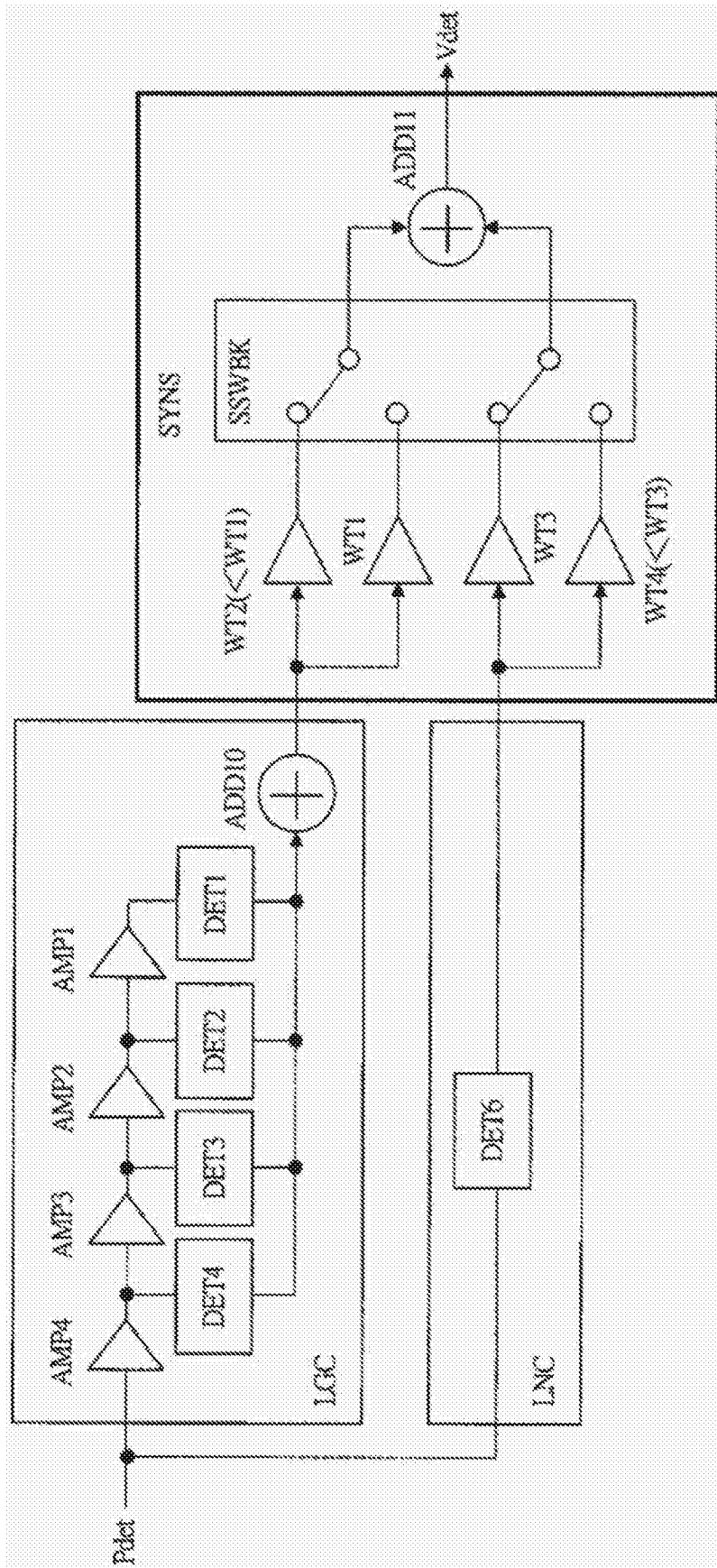


图 8

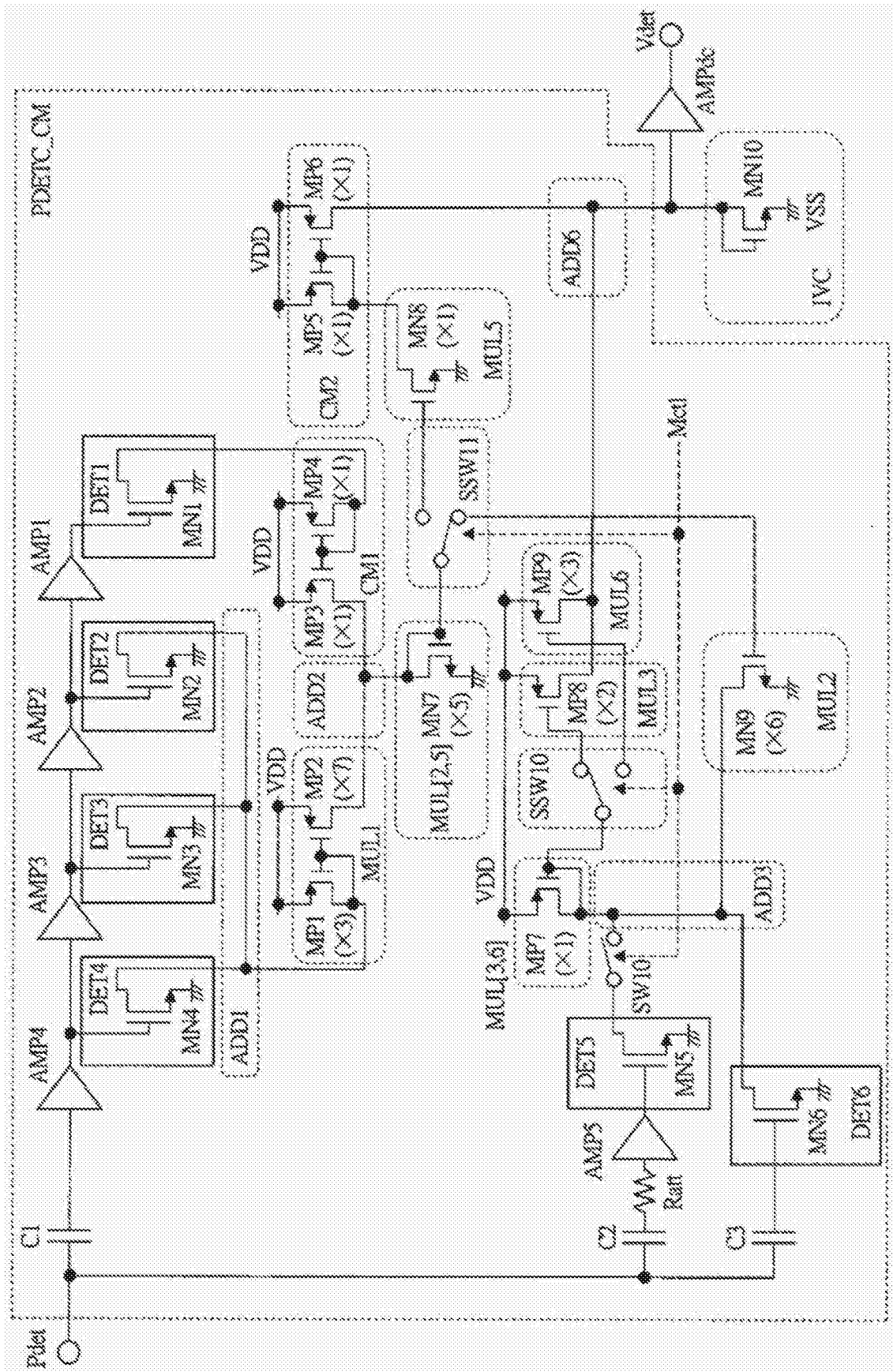


图 9

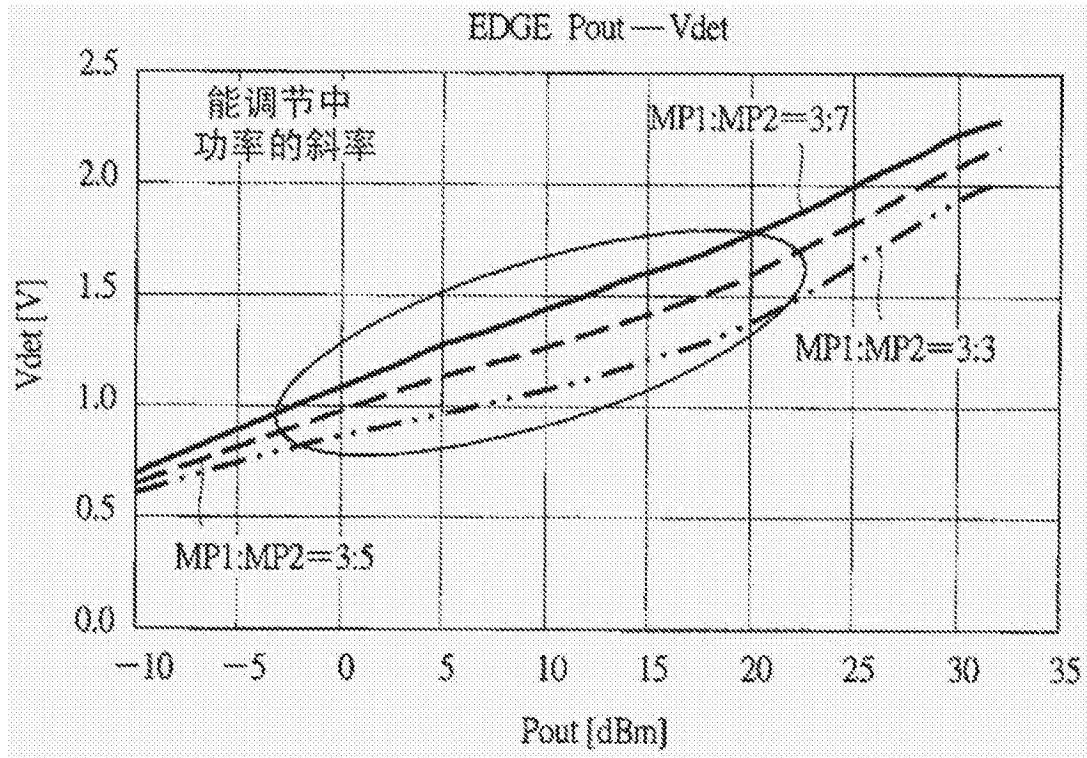


图 10

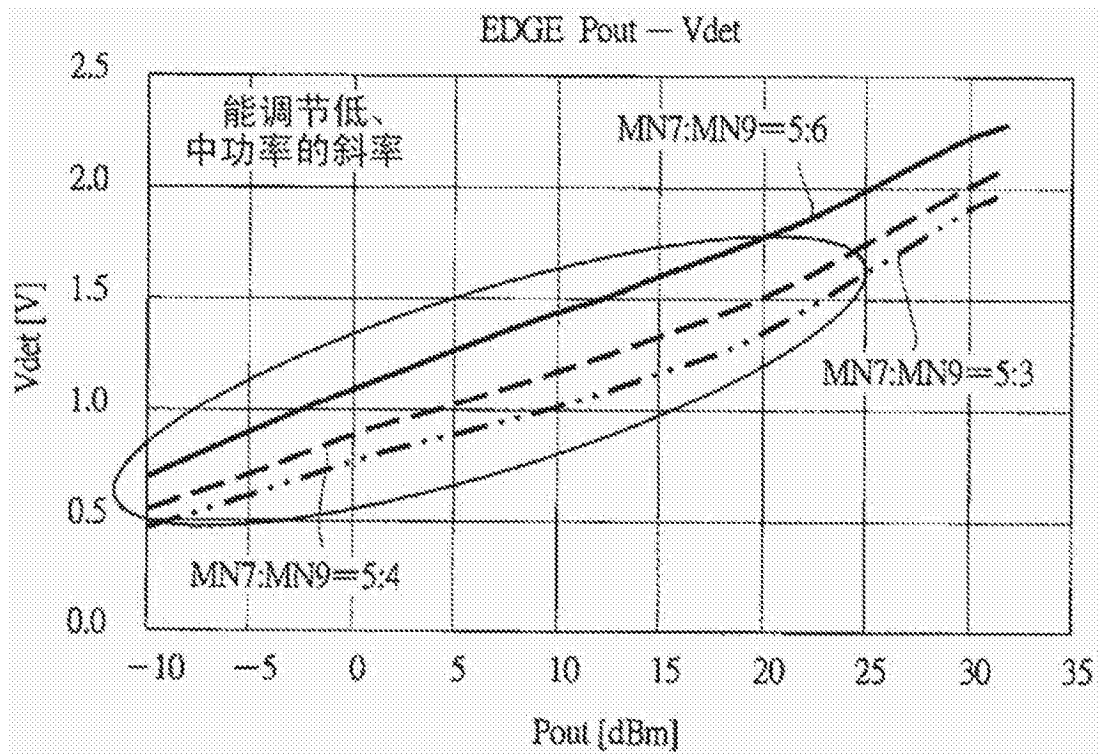


图 11

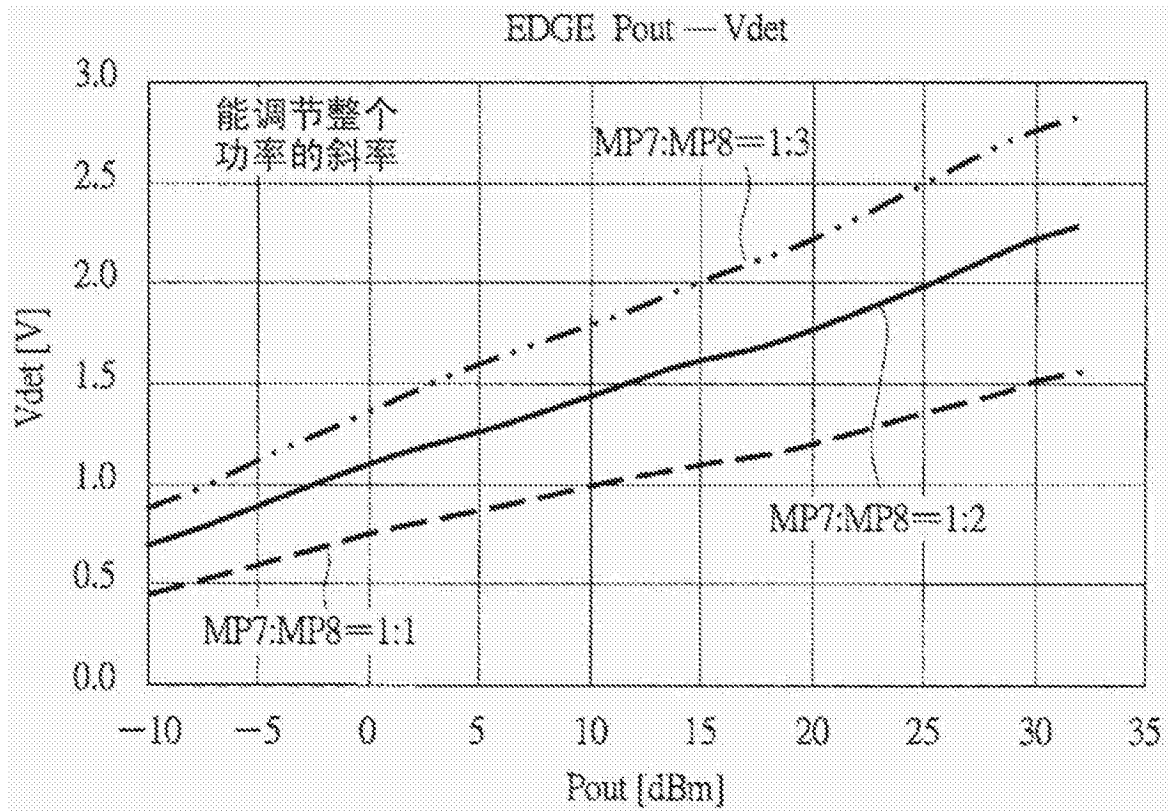


图 12

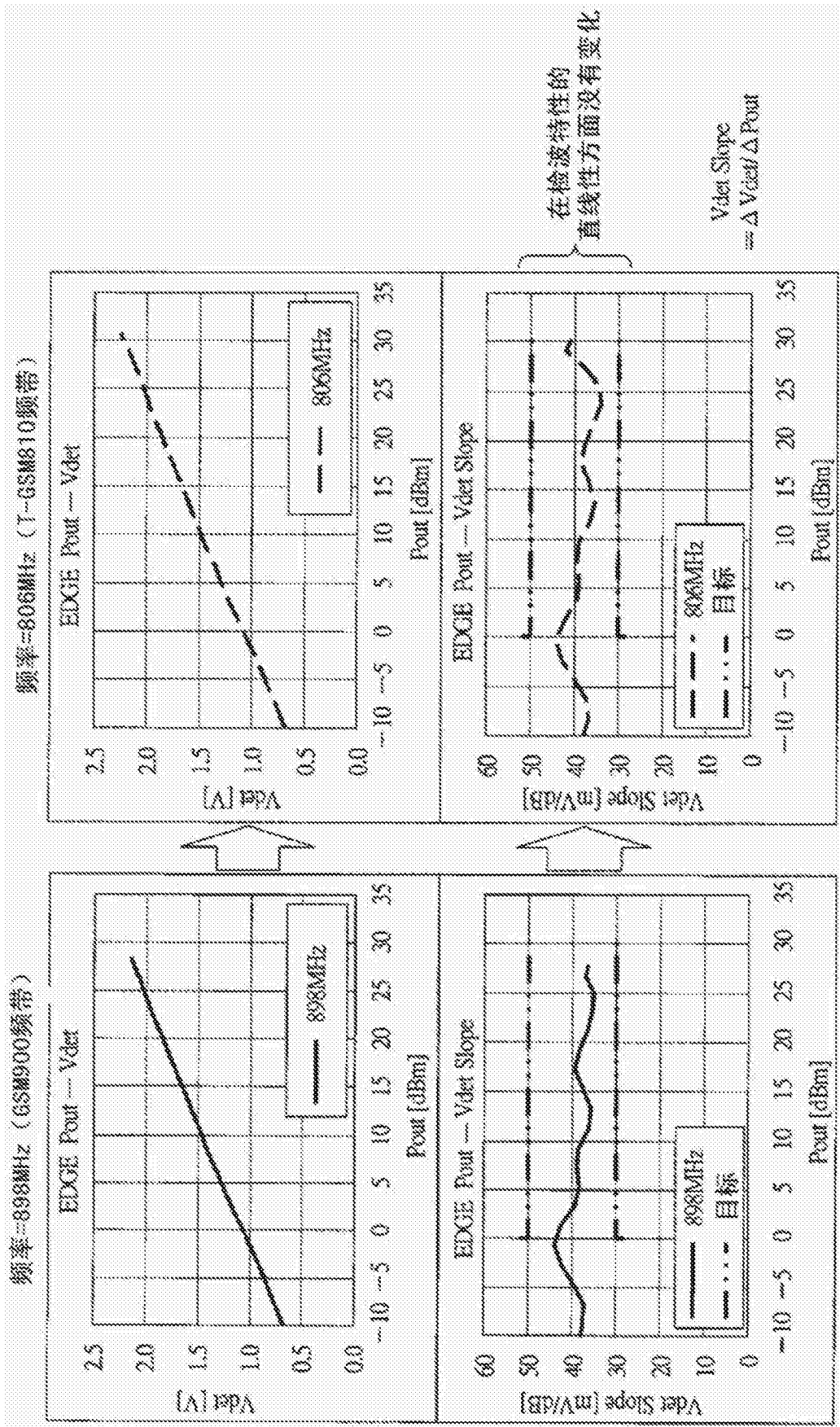


图 13

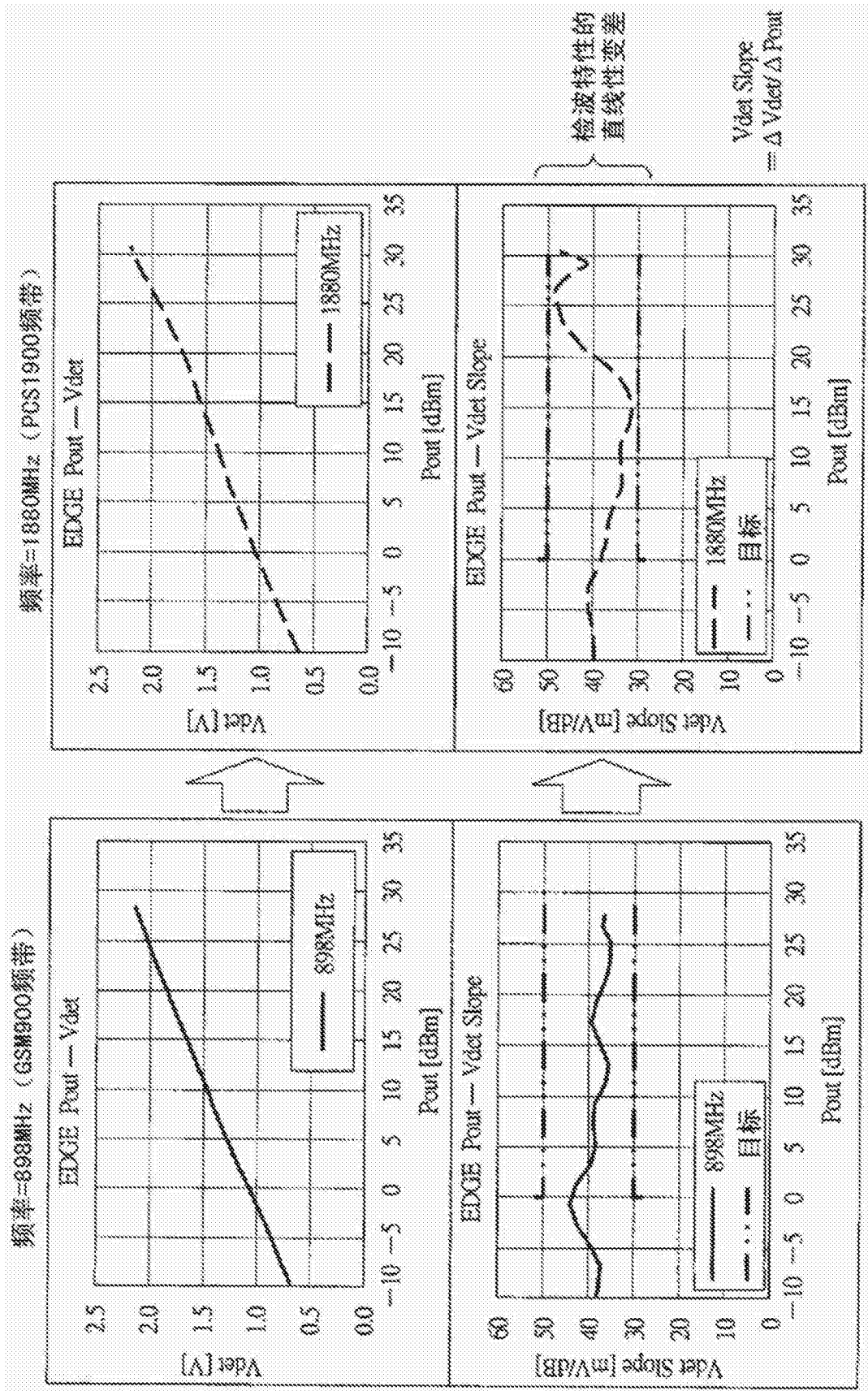


图 14

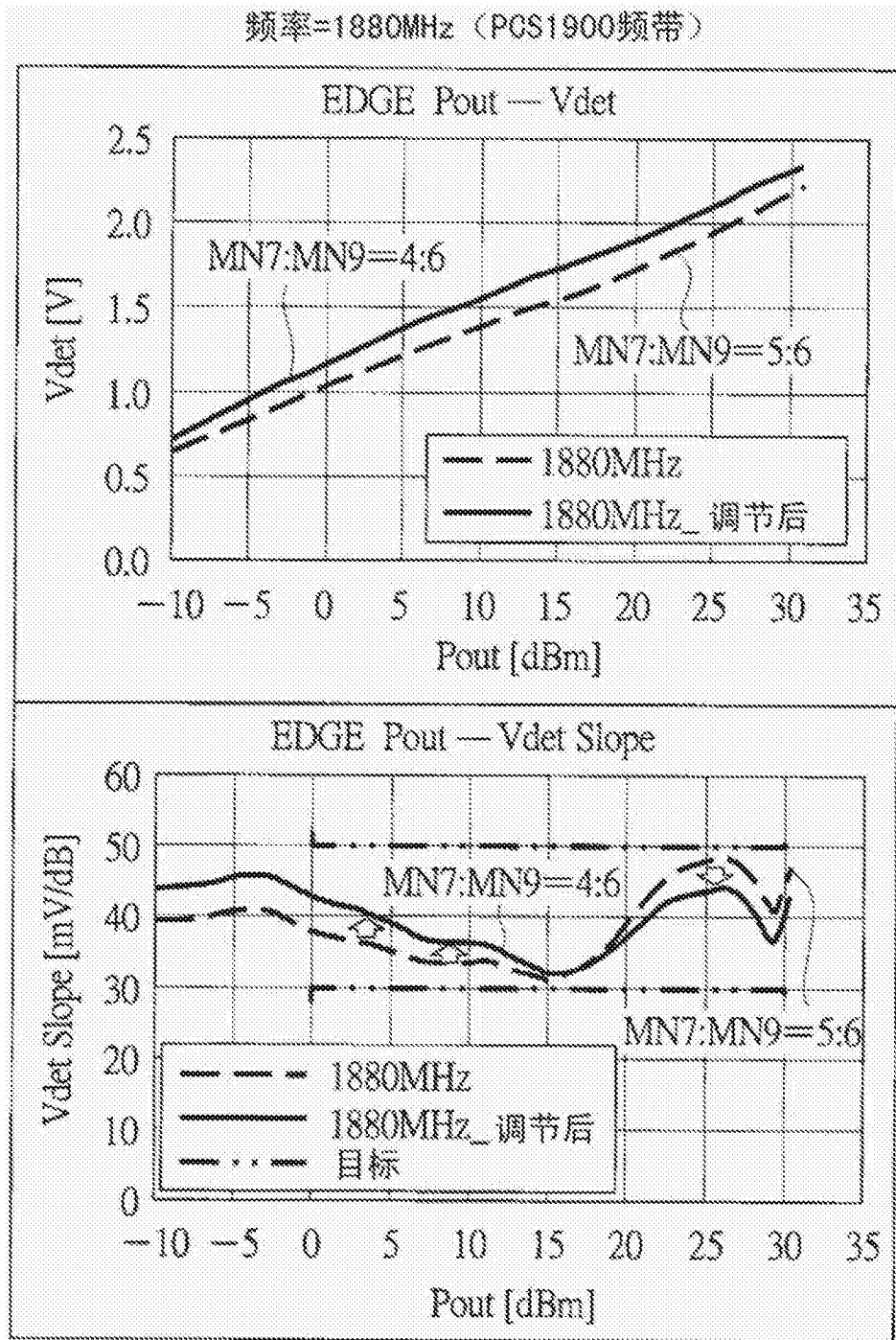


图 15

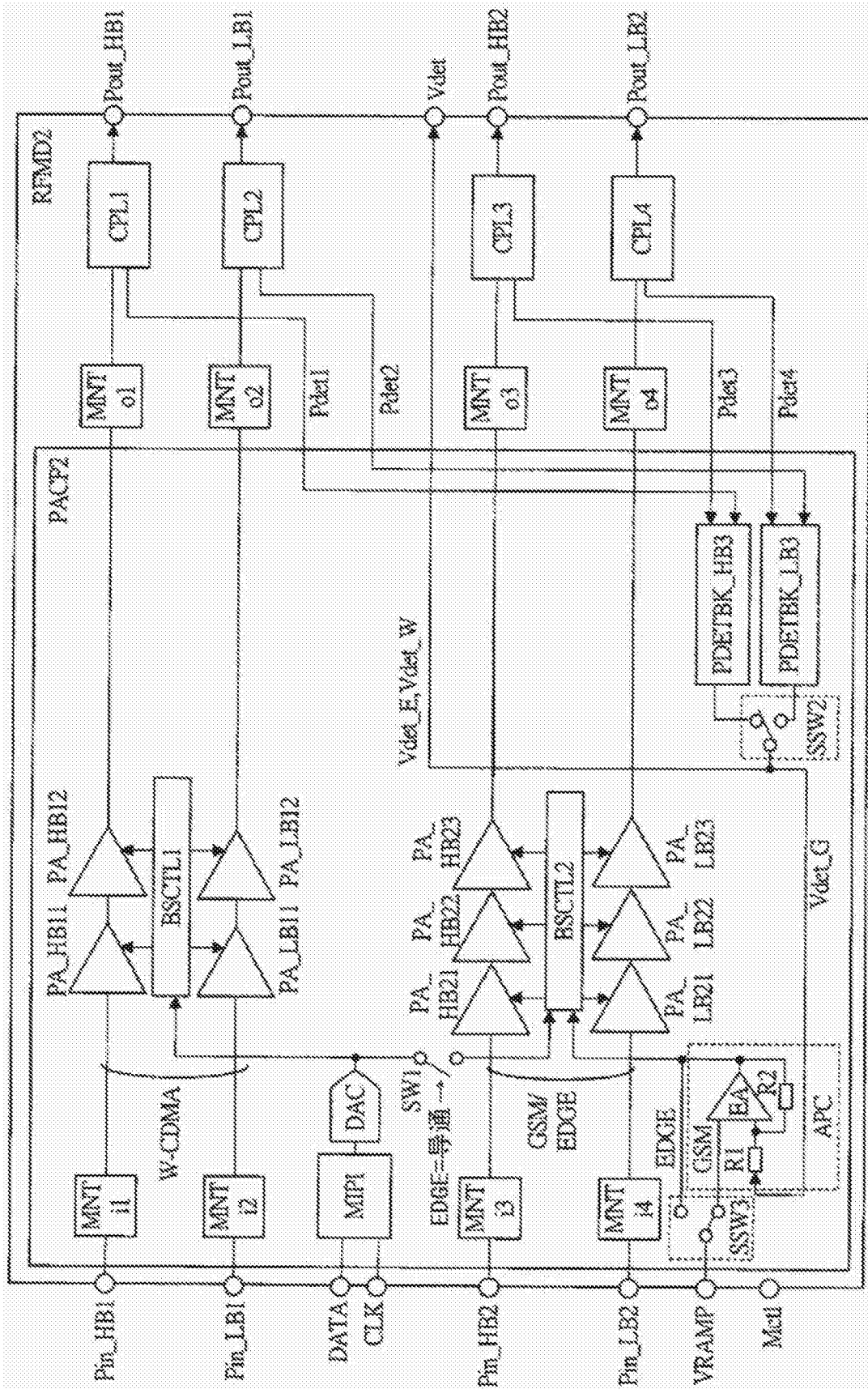


图 16

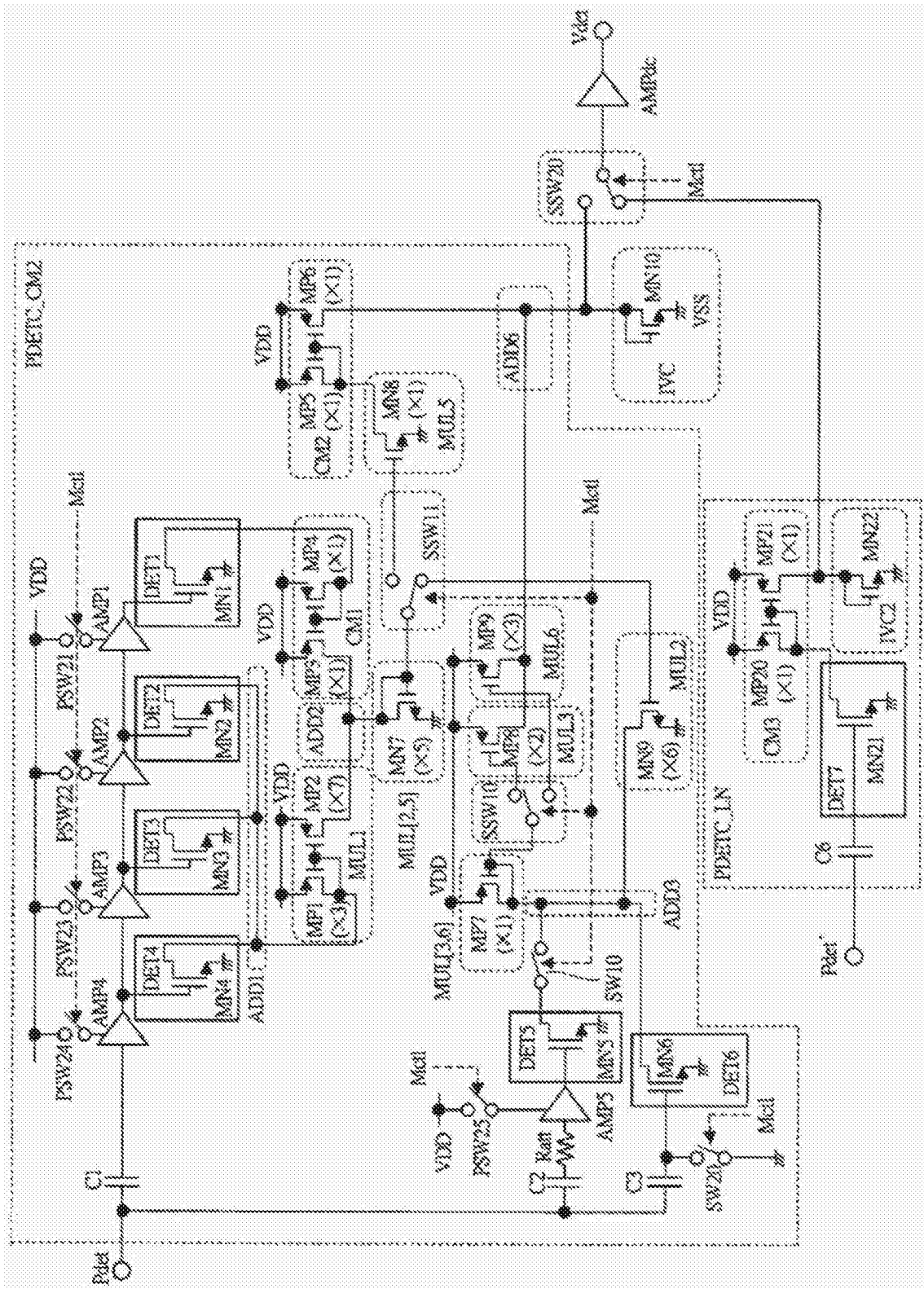


图 17

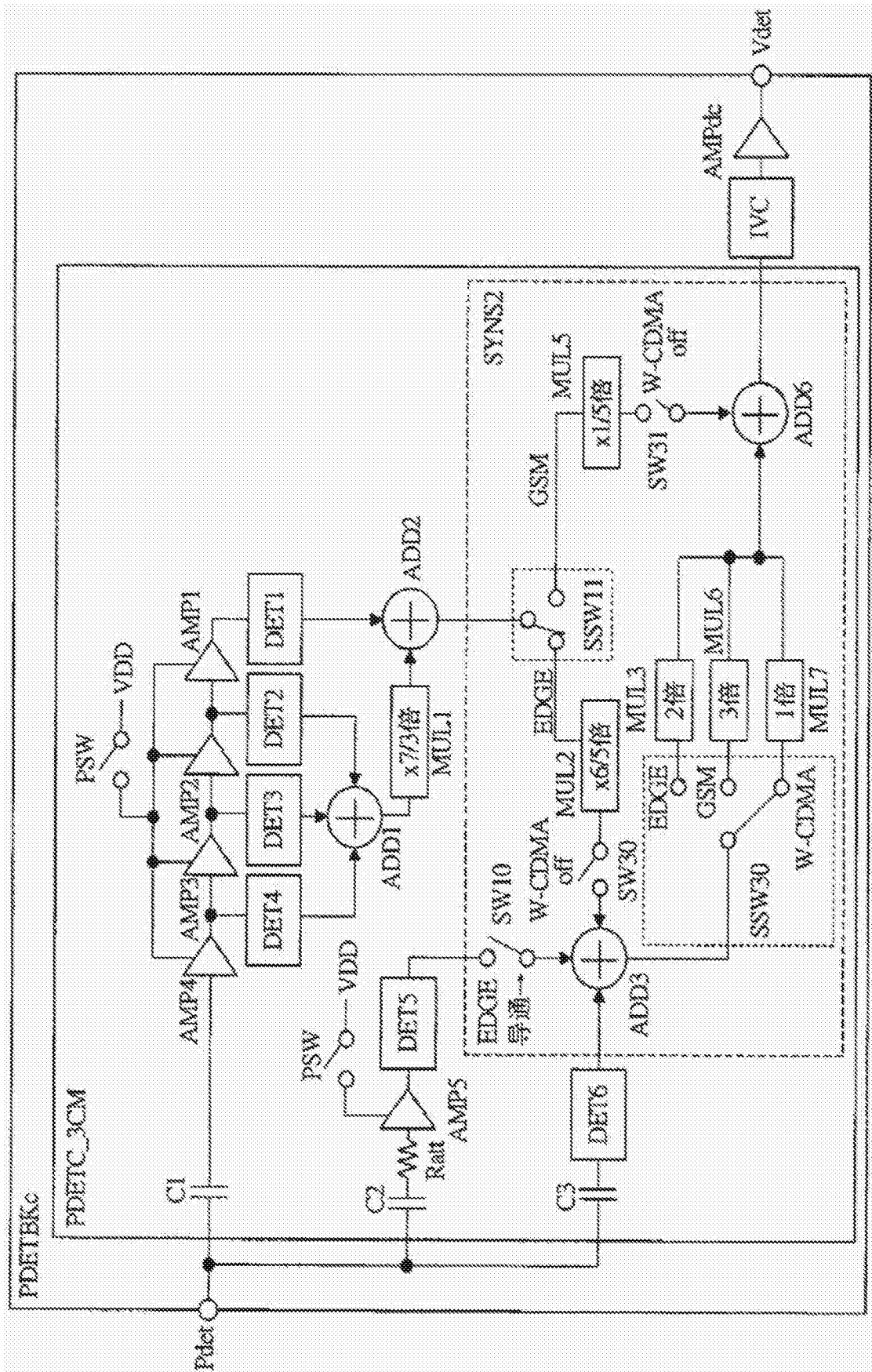


图 18

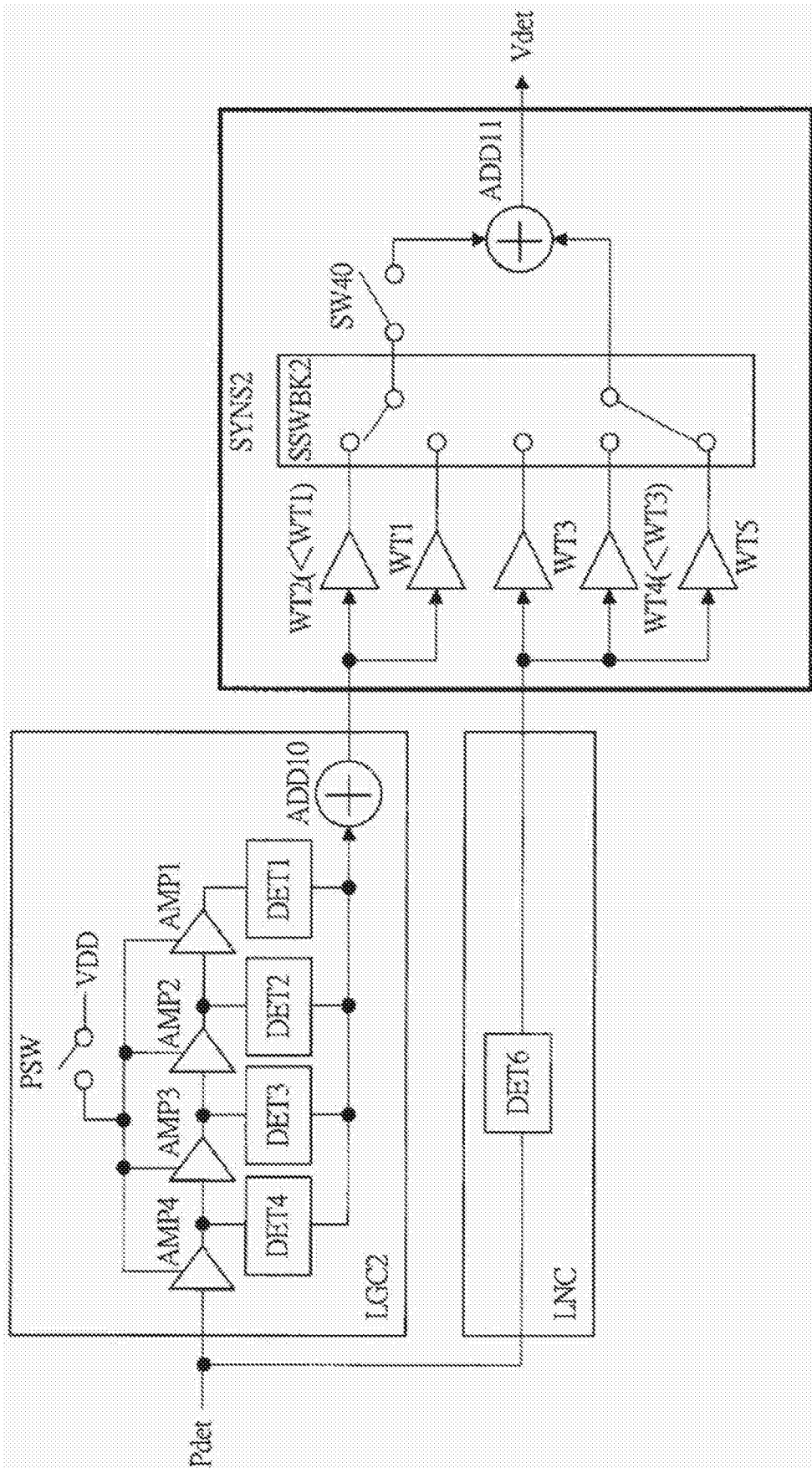


图 19

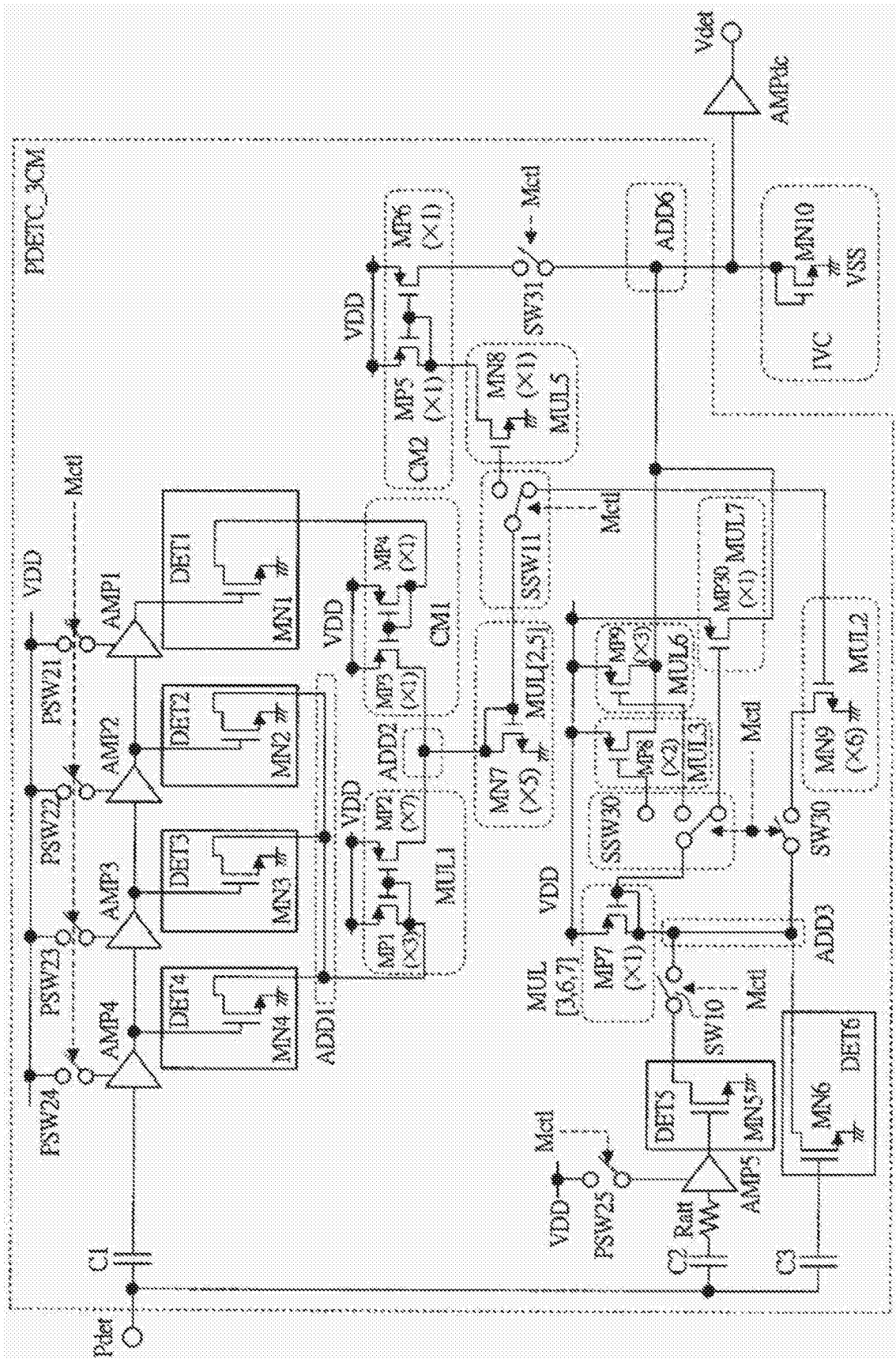


图 20