



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월28일  
(11) 등록번호 10-0966360  
(24) 등록일자 2010년06월18일

(51) Int. Cl.

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2004-7018671

(22) 출원일자(국제출원일자) 2003년05월13일

심사청구일자 2008년05월13일

(85) 번역문제출일자 2004년11월18일

(65) 공개번호 10-2004-0106568

(43) 공개일자 2004년12월17일

(86) 국제출원번호 PCT/US2003/015194

(87) 국제공개번호 WO 2003/100835

국제공개일자 2003년12월04일

(30) 우선권주장

10/151,269 2002년05월20일 미국(US)

(56) 선행기술조사문현

US6278164 B1

EP0707344 A

전체 청구항 수 : 총 24 항

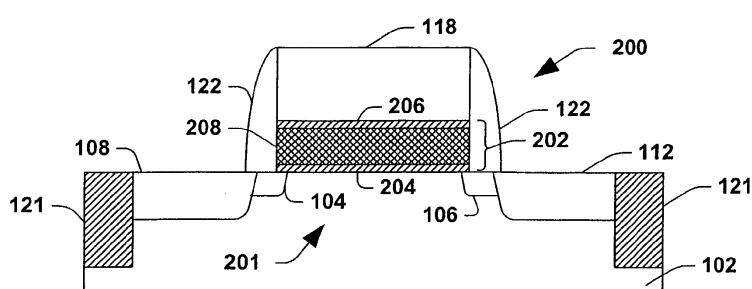
심사관 : 정두한

(54) 원격 산란 감소를 통한 고성능 MOS 트랜지스터의 게이트 산화물 공정 방법

### (57) 요 약

본 발명은 원격 산란을 감소시킴과 동시에 게이트 누설 전류를 감소시킴으로써, 트랜지스터의 캐리어 이동도를 개선하는 높은  $k$ 의 유전 물질의 게이트 절연물(202, 402)을 제공하는 MOS 트랜지스터 구조(200, 210, 400) 및 그 제조 방법(300, 500)을 개시한다.

대 표 도 - 도3



## 특허청구의 범위

### 청구항 1

반도체 기판에 형성된 소스 및 드레인 영역과, 여기서 상기 소스 및 드레인 영역 사이에는 채널 영역이 정의되며;

상기 채널 영역 바로 위에 있는 게이트 절연물과; 그리고

상기 게이트 절연물 위에 있는 도핑된 폴리실리콘 게이트를 포함하며,

여기서, 상기 게이트 절연물은 상기 채널 영역 바로 위에 있는 제 1 실리콘 이산화물층과, 상기 제 1 실리콘 이산화물층 위에 있는 높은 k의 물질층과, 그리고 상기 높은 k의 물질층 위에 있는 제 2 실리콘 이산화물층을 포함하는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 2

반도체 기판에 형성된 소스 및 드레인 영역과, 여기서 상기 소스 및 드레인 영역 사이에는 채널 영역이 정의되며;

상기 채널 영역 위에 있는 게이트 절연물과; 그리고

상기 게이트 절연물 위에 있는 도핑된 폴리실리콘 게이트를 포함하며,

여기서, 상기 게이트 절연물은 상기 채널 영역 위에 있는 제 1 실리콘 이산화물층과, 상기 제 1 실리콘 이산화물층 위에 있는 높은 k의 물질층과, 그리고 상기 높은 k의 물질층 위에 있는 제 2 실리콘 이산화물층을 포함하며,

상기 제 1, 2 실리콘 이산화물층들은 모노층들인 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 3

제 2 항에 있어서,

상기 도핑된 폴리실리콘 게이트는,

상기 제 2 실리콘 이산화물층 위에 있는 계면 부분(interface portion)과; 그리고

상기 계면 부분 위에 있는 게이트 전극 부분을 포함하며;

상기 도핑된 폴리실리콘 게이트의 상기 계면 부분의 도편트 농도는 상기 도핑된 폴리실리콘 게이트의 상기 게이트 전극 부분의 도편트 농도 보다 낮은 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 4

제 3 항에 있어서,

상기 도핑된 폴리실리콘 게이트의 상기 계면 부분의 도편트 농도는 상기 게이트 전극 부분의 도편트 농도 보다 적어도 6배 낮은 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 5

제 3 항에 있어서,

상기 도핑된 폴리실리콘 게이트의 상기 계면 부분은  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 또는 그 미만의 도편트 농도를 갖는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 6

제 5 항에 있어서,

상기 도핑된 폴리실리콘 게이트의 상기 게이트 전극 부분은  $6 \times 10^{19}$  atoms/cm<sup>3</sup> 또는 그 이상의 도편트 농도를 갖는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 7

제 3 항에 있어서,

상기 도핑된 폴리실리콘 게이트의 상기 게이트 전극 부분은 300Å 내지 1000Å의 두께를 갖는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 8

제 7 항에 있어서,

상기 도핑된 폴리실리콘 게이트의 상기 계면 부분은 30Å 내지 60Å의 두께를 갖는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 9

반도체 기판에 형성된 소스 및 드레인 영역과, 여기서 상기 소스 및 드레인 영역 사이에는 채널 영역이 정의되며;

상기 반도체 기판의 표면 위의 상기 채널 영역 위에 형성된 게이트 절연물과; 그리고

상기 게이트 절연물 위에 있는 높은 k의 금속 게이트 전극을 포함하며,

여기서, 상기 게이트 절연물은 상기 채널 영역 바로 위에 있는 실리콘 이산화물층과, 그리고 상기 실리콘 이산화물층 위에 있는 높은 k의 유전 물질을 포함하고,

상기 높은 k의 금속은 상기 높은 k의 유전 물질과 대응하는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 10

제 9 항에 있어서,

상기 실리콘 이산화물층은 모노층으로 이루어지는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 11

제 9 항에 있어서,

상기 높은 k의 유전 물질은  $TiO_2$ 로 이루어지고, 상기 높은 k의 금속은 Ti로 이루어지는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 12

제 9 항에 있어서,

상기 높은 k의 유전 물질은  $Ta_2O_5$ 로 이루어지고, 상기 높은 k의 금속은 Ta로 이루어지는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 13

제 9 항에 있어서,

상기 높은 k의 유전 물질은  $Al_2O_3$ 로 이루어지고, 상기 높은 k의 금속은 Al로 이루어지는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 14

제 9 항에 있어서,

상기 높은 k의 유전 물질은  $HfO_2$ 로 이루어지고, 상기 높은 k의 금속은 Hf로 이루어지는 것을 특징으로 하는 MOS 트랜지스터.

**청구항 15**

제 9 항에 있어서,

상기 높은  $k$ 의 금속 게이트 전극은 상기 높은  $k$ 의 유전 물질 바로 위에 놓임으로써, 상기 높은  $k$ 의 금속 게이트 전극과 상기 높은  $k$ 의 유전 물질 간에 직접적인 컨택을 형성하여 어떠한 층이 삽입되는 것을 막는 것을 특징으로 하는 MOS 트랜지스터.

**청구항 16**

MOS 트랜지스터를 제조하는 방법에 있어서,

실리콘 기판의 표면에 제 1 실리콘 이산화물층을 형성하는 단계와;

상기 제 1 실리콘 이산화물층 위에 높은  $k$ 의 유전층을 형성하는 단계와;

상기 높은  $k$ 의 유전층 위에 제 2 실리콘 이산화물층을 형성하는 단계와;

상기 제 2 실리콘 이산화물층 위에 폴리실리콘층을 형성하는 단계와;

상기 폴리실리콘층을 패터닝하여, 게이트 전극을 정의하는 단계와; 그리고

상기 게이트 전극을 마스크로서 이용하여 상기 실리콘 기판 내에 소스 및 드레인 영역을 형성함으로써, 상기 게이트 전극 아래의 상기 소스 영역과 드레인 영역 사이에 채널 영역을 정의하는 단계를 포함하며, 상기 제 1, 2 실리콘 이산화물층들은 모노층들인 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

**청구항 17**

제 16 항에 있어서, 상기 폴리실리콘층을 형성하는 단계는:

상기 제 2 실리콘 이산화물 모노층 위에 제 1 도핑된 폴리실리콘층을 형성하는 단계와, 여기서 상기 제 1 도핑된 폴리실리콘층은 제 1 두께 및 제 1 도펀트 농도를 가지며; 그리고

상기 제 1 도핑된 폴리실리콘층 위에 제 2 도핑된 폴리실리콘층을 형성하는 단계를 포함하며,

여기서, 상기 제 2 도핑된 폴리실리콘층은 제 2 두께 및 제 2 도펀트 농도를 갖고, 상기 제 2 두께는 상기 제 1 두께 보다 크며, 상기 제 2 도펀트 농도는 상기 제 1 도펀트 농도 보다 높은 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

**청구항 18**

MOS 트랜지스터를 제조하는 방법에 있어서,

실리콘 기판의 표면에 실리콘 이산화물 모노층을 형성하는 단계와;

상기 실리콘 이산화물 모노층 위에 높은  $k$ 의 유전층을 형성하는 단계와;

상기 높은  $k$ 의 유전층 위에 높은  $k$ 의 금속층을 형성하는 단계와, 여기서 상기 높은  $k$ 의 금속은 상기 높은  $k$ 의 유전체와 대응하며;

상기 높은  $k$ 의 금속층을 패터닝하여 금속 게이트 전극을 정의하는 단계와; 그리고

상기 금속 게이트 전극을 마스크로서 이용하여 상기 실리콘 기판 내에 소스 및 드레인 영역을 형성함으로써, 상기 금속 게이트 전극 아래의 상기 소스 영역과 드레인 영역 사이에 채널 영역을 정의하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

**청구항 19**

제 1 항에 있어서,

상기 제 1 실리콘 이산화물층과 상기 제 2 실리콘 이산화물층 중 적어도 하나는 두께가 10Å 미만인 것을 특징으로 하는 MOS 트랜지스터.

**청구항 20**

제 1 항에 있어서,

상기 제 1 실리콘 이산화물층과 상기 제 2 실리콘 이산화물층 중 적어도 하나는 모노층으로 이루어지는 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 21

제 2 항에 있어서,

상기 제 1 실리콘 이산화물층과 상기 제 2 실리콘 이산화물층 중 적어도 하나는 두께가 10Å 미만인 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 22

제 9 항에 있어서,

상기 실리콘 이산화물층은 두께가 10Å 미만인 것을 특징으로 하는 MOS 트랜지스터.

### 청구항 23

제 16 항에 있어서,

상기 제 1 실리콘 이산화물층과 상기 제 2 실리콘 이산화물층 중 적어도 하나는 두께가 10Å 미만인 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

### 청구항 24

제 18 항에 있어서,

상기 실리콘 이산화물 모노층은 두께가 10Å 미만인 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

## 명세서

### 기술 분야

[0001]

본 발명은 일반적으로 규모 축소(scale-down: 이하, 스케일다운이라 칭한다)된 치수들을 갖는 전계 효과 트랜지스터들의 제조에 관한 것으로서, 특히 누설 전류를 감소시킴과 아울러, 산란 감소를 통한 캐리어 이동도를 개선하는 게이트 절연물들을 갖는 트랜지스터의 제조 공정에 관한 것이다.

### 배경 기술

[0002]

모놀리식 집적 회로(IC) 기술이 끊임없이 진보함에 있어서 오랫동안 추구되어 왔던 중요한 목적은 IC 치수들의 스케일다운이다. 이러한 IC 치수들의 스케일다운은 면적 캐패시턴스(area capacitance)를 줄이고, 집적 회로들의 보다 고속의 성능을 달성하는 것을 돋는다. 또한, IC의 다이 면적을 줄이게 되면, 반도체 웨이퍼당 보다 많은 다이를 제공함으로써 수율을 보다 높일 수 있다. 이러한 장점들은 IC 치수들을 지속적으로 스케일다운시킬 수 있는 추진력이 된다.

[0003]

도 1을 참조하여, 모놀리식 IC의 공통 구성요소는 반도체 기판(102) 내에 또는 그 위에 제조된 MOS 트랜지스터(100)이다. 서브 미크론 또는 나노미터 치수들을 갖는 스케일다운된 MOS 트랜지스터(100)는 반도체 기판(102)의 능동 디바이스 영역(126) 내에 형성되는 드레인 확장 영역(104) 및 소스 확장 영역(106)을 포함한다. 이러한 드레인 확장 영역(104) 및 소스 확장 영역(106)은 서브 미크론 또는 나노미터 치수들을 갖는 MOS 트랜지스터(100)의 단채널 효과를 최소화하기 위한 얇은 접합들로서, 이는 집적 회로 제조 분야의 당업자에게 알려져 있다.

[0004]

트랜지스터 디바이스(100)는 또한 드레인 영역(108) 및 소스 영역(112)을 포함한다. 이러한 드레인 영역(108) 및 소스 영역(112)은 보다 깊은 접합들로서 제조되며, 이에 따라 이들 내에는 각각 비교적 큰 크기의 드레인 실리사이드 및 소스 실리사이드(미도시)가 형성됨으로써, 각각 드레인 및 소스에 대한 저 저항 컨택을 제공한다. 드레인 확장 접합(104)과 소스 확장 접합(106), 및 드레인 영역(108)과 소스 영역(112)은 NMOS(N-채널 트랜지스터)에 대해서는 N형 도편트로 도핑되고 PMOS(P-채널) 디바이스에 대해서는 P형 도편트로 도핑된다.

[0005]

이 트랜지스터(100)는 또한 게이트 유전체(116), 및 폴리실리콘으로 된 게이트 전극(118)을 포함한다. 전형적으로, 이 폴리실리콘 게이트 전극(118) 위에는 게이트 실리사이드(미도시)가 형성되어 디바이스(100)의 게이트에

대한 선택을 제공한다. 트랜지스터(100)는, 예를 들어 얇은 트렌치 절연 구조들(121)에 의해 반도체 기판(102) 내의 다른 집적 회로 디바이스들과 전기적으로 절연된다. 이러한 얇은 트렌치 절연 구조들(121)은 반도체 기판(102) 내에 MOSFET(100)이 제조되는 능동 디바이스 영역(126)을 정의한다.

[0006] 상기 디바이스(100)는 또한 게이트 전극(118) 및 게이트 유전체(116)의 측벽들에 배치되는 스페이서(122)를 포함한다. 이러한 스페이서(122)가 실리콘 질화물( $Si_3N_4$ )로 이루어지면, 스페이서 라이너 산화물(미도시)이 게이트 전극(118) 및 게이트 유전체(116)의 측벽들과 스페이서(122) 간의 벼파충으로서 증착될 수 있다.

[0007] 트랜지스터(100)의 치수들이 수십 나노미터로 스케일다운됨에 따라, 단채널 효과에 의해 디바이스(100)의 성능이 저하된다. 드레인 확장 영역(104)과 소스 확장 영역(106) 간의 짧은 채널 길이로 인해 야기되는 단채널 효과는 집적 회로 제조 분야의 당업자에게 알려져 있다. MOS 디바이스의 성능을 상당히 저하시킬 수 있는 단채널 효과로 인해, 게이트 전극(118) 상의 바이어스에 의해 트랜지스터(100)의 전기적인 특성을 제어하기가 어려워졌다.

[0008] 통상적으로, MOSFET(100)의 게이트 유전체(116)는 실리콘 이산화물( $SiO_2$ )이고, 게이트 전극은 폴리실리콘으로 이루어진다. 속도 성능을 높이기 위해 트랜지스터(100)의 채널 길이 및 폭 치수들이 스케일다운됨에 따라, 게이트 유전체(116)와 게이트 전극(118)의 두께 또한 그에 대응하여 스케일다운되는바, 이는 집적 회로 제조 분야의 당업자에게 알려져 있다. 하지만, 디바이스(100)의 채널 길이 및 폭 치수들이 수십 나노미터로 스케일다운됨에 따라, 게이트 유전체(116)가 실리콘 이산화물( $SiO_2$ )일 때 이 게이트 유전체(116)의 두께 또한 수십 Å으로 스케일다운된다. 이러한 얇은 게이트 유전체(116)를 이용하게 되면, 일부 경우들에서 전하 캐리어들이 게이트 유전체(116)를 통해 쉽게 터널링되는바, 이는 집적 회로 제조 분야의 당업자에게 알려져 있다.

[0009] 전하 캐리어들이 게이트 유전체(116)를 통해 터널링하면, 게이트 누설 전류가 바람직하지 못하게 증가하여, 정적 파워 소모를 증가시키고 심지어 회로를 고장나게 한다. 또한, 전하 캐리어들이 게이트 절연층(116)을 통해 터널링하게 되면, 트랜지스터의 채널에서의 전하 캐리어의 축적이 감소하게 되어, MOSFET의 채널 저항을 바람직하지 못하게 증가시킨다. 또한, 얇은 게이트 유전체(116)를 이용하게 되면, 게이트 전극(118)에서의 전하 축적에 의해 디바이스의 채널의 표면에서의 전하 캐리어의 산란이 바람직하지 못하게 증가한다. 이러한 전하 캐리어 산란의 증가는 또한 MOSFET의 채널을 통해 보다 높은 저항을 야기시키고 전하 이동도를 감소시킨다.

[0010] 게이트 유전체(116)가 실리콘 이산화물( $SiO_2$ )일 때 이 얇은 게이트 유전체(116)의 단점들에 비추어, 도 2를 참조하면, 실리콘 이산화물( $SiO_2$ )의 유전 상수보다 큰 유전 상수를 갖는 유전 물질(즉, 높은  $k$ 의 유전 상수 물질)로 이루어지는 게이트 유전체(152)를 갖는 MOS 트랜지스터(150)가 도시된다. 도 1, 2에서 동일한 참조 부호를 갖는 디바이스 구조들은 유사한 구조 및 기능을 갖는 요소들을 나타낸다. 보다 높은 유전 상수를 갖는 유전 물질은 동일한 캐패시턴스를 달성하기 위해 보다 두꺼운 두께를 갖는다. 따라서, 수십 나노미터의 스케일다운된 치수들을 갖는 전계 효과 트랜지스터들에 있어서, 게이트 유전체(152)가 높은  $k$ 의 유전 상수 물질로 이루어지면, 이 게이트 유전체(152)는 게이트 유전체가 실리콘 이산화물( $SiO_2$ )로 이루어질 때(수십 Å) 보다 두꺼운 두께(수백 Å)를 갖는다.

[0011] 수십 나노미터의 스케일다운된 치수들을 갖는 전계 효과 트랜지스터들에 있어서, 높은  $k$ 의 유전 상수를 갖는 게이트 유전체(152)는 자신을 통한 전하 캐리어의 터널링을 최소화하기 위해 보다 큰 두께를 갖는다. 게이트 유전체(152)를 통한 전하 캐리어 터널링은 이 게이트 유전체의 두께에 의해 지수적으로 최소화된다. 실리콘 이산화물( $SiO_2$ )의 유전 상수 보다 큰 유전 상수를 갖는 유전 물질들은 집적 회로 제조 분야의 당업자에게 알려져 있다.

[0012] 게이트 절연물로서 이용되는 높은  $k$ 의 유전 물질들이 게이트 누설을 감소시키는 역할을 함에도 불구하고, 이러한 물질들은 전하 이동도를 감소시킴으로써, 트랜지스터의 속도에 악영향을 준다. 따라서, 개선된 트랜지스터의 구조 및 제조 방법이 필요하다.

### 발명의 상세한 설명

[0013] 이하, 본 발명의 일부 양상들에 대한 기본적인 지식을 제공하기 위한 본 발명의 간략화된 요약을 제시한다. 이 요약이 본 발명의 광범위한 개요는 아니다. 이러한 요약은 본 발명의 기본적인 또는 중요한 요소들을 확인하고자 하는 것도 아니며, 본 발명의 범위를 정하고자 하는 것도 아니다. 이러한 요약의 주요 목적은 이후 제시되는 보다 상세한 설명에 대한 도입부로서 본 발명의 일부 개념들을 단순화된 형태로 제시하는 것이다. 본 발명은 전

보된 게이트 절연물 디바이스 구조들에서 감소된 원격 산란을 나타내는 개선된 MOS 트랜지스터에 관한 것이다.

[0014] 본 발명의 일 양상에 따르면, 소스 영역과 드레인 영역이 실리콘 기판(이는 소스 영역과 드레인 영역 사이에 있는 채널 영역을 갖는다)에 존재하는 MOS 트랜지스터가 개시된다. 게이트 절연물이 채널 영역 위에 존재하는바, 이 게이트 절연물은 모노층(monolayer)들과 같은 2개의 얇은 실리콘 이산화물층 사이에 삽입된 높은 k의 유전층으로 이루어진다. 도핑된 폴리실리콘이 게이트 절연물 위에 놓여진다. 높은 k의 유전층의 표면 및 저면을 둘러싸는 얇은 실리콘 이산화물층들은 각각 게이트 절연물과 실리콘 기판 간에 그리고 게이트 절연물과 도핑된 폴리실리콘 게이트 간에 양질의 계면(quality interface)을 제공한다. 이러한 양질의 계면에 의해, 높은 k의 유전층이 트랜지스터의 캐리어 이동도에 악영향을 주지 않으면서 게이트 누설 전류를 감소시킴으로써 트랜지스터의 성능을 개선할 수 있다.

[0015] 본 발명의 다른 양상에 따르면, MOS 트랜지스터는 도핑된 폴리실리콘 게이트를 포함하는바, 이 게이트는 게이트 절연물 바로 윗쪽에 놓여지는 계면 부분 및 이 계면 부분 위에 놓여지는 게이트 전극 부분을 포함한다. 도핑된 폴리실리콘 게이트의 계면 부분과 게이트 전극 부분은 서로 다른 두께 및 도편트 농도를 갖는다. 특히, 계면 부분이 게이트 전극 부분 보다 실질적으로 더 얇으며, 게이트 전극 부분 보다 약 6배 또는 그 이상 적은 도편트 농도를 갖는다. 도핑된 폴리실리콘 게이트의 계면 부분의 커스터마이즈(customize)되는 폴리 게이트 도핑은 폴리 게이트 공핍(depletion)에 악영향을 거의 주지 않으면서 캐리어 이동도를 개선하며, 이에 따라 종래 기술에 비해 트랜지스터의 성능을 개선한다.

[0016] 본 발명의 또 다른 양상에 따르면, 개선된 캐리어 이동도를 갖는 MOS 트랜지스터 제조 방법이 제공된다. 이 방법은 실리콘 기판 위에 게이트 절연물을 형성하는 단계를 포함하는바, 여기서 게이트 절연물은 모노층들과 같은 2개의 얇은 실리콘 이산화물층들 간에 삽입되는 높은 k의 유전 물질로 이루어진다. 이러한 얇은 실리콘 이산화물층들이 예를 들어 분자 범 에피택시(MBE) 또는 원자 층 에피택시(ALE)를 이용하여 형성됨과 동시에, 높은 k의 유전체가 예를 들어 화학 기상 증착(CVD) 또는 반응성 스퍼터링에 의해 형성된다. 이후, 도핑된 폴리실리콘층이 형성되고 패터닝되어 게이트 전극을 정의한다. 소스 영역 및 드레인 영역이, 예를 들어 마스크로서 폴리 게이트를 이용한 이온 주입에 의해 실리콘 기판에 형성된다.

[0017] 본 발명의 다른 양상에 따르면, 상기 방법은 도핑된 폴리실리콘층을 2개의 부분으로 분리하여 형성하는 단계를 더 포함한다. 제 1 폴리실리콘층(예를 들어, 계면 부분)이 게이트 절연물과 접촉하면서 제 1 도편트 농도로 형성되고, 제 2 폴리실리콘층(예를 들어, 게이트 전극 부분)이 그 위에 형성되는바, 이는 제 1 도편트 농도 보다 실질적으로 높은 제 2 도편트 농도를 갖는다. 예를 들어, 제 1 폴리실리콘층이 증착되고 제 1 도편트 농도로 제자리에서 도핑된 다음, 제 2 폴리실리콘층이 증착되고 보다 높은 제 2 도편트 농도로 제자리에서 도핑된다. 대안적으로, 단일 폴리실리콘층이 증착된 다음, 제 1 에너지 레벨에서 제 1 도핑을 행하고, 이 제 1 에너지 레벨 보다 낮은 제 2 에너지 레벨에서 제 2 도핑을 행한다. 이러한 방법으로, 활성화되면, 커스터마이즈되는 폴리 도핑 프로파일이 폴리 게이트에 확립되어, 산란으로 인한 캐리어 이동도의 저하를 감소시킨다.

[0018] 본 발명의 또 다른 양상에 따르면, 다른 MOS 트랜지스터가 개시된다. 이 MOS 트랜지스터는 실리콘 기판 내의 소스 영역과 드레인 영역을 포함하고, 상기 실리콘 기판은 소스 영역과 드레인 영역 사이의 채널 영역을 갖는다. 게이트 절연물이 채널 영역 위에 존재하는바, 이는 실리콘 기판 위에 있는 모노층과 같은 얇은 실리콘 이산화물층 및 그 위에 형성되는 높은 k의 유전층을 포함한다. 높은 k의 금속 게이트 전극이 높은 k의 유전층 위에 존재하는바, 여기서 높은 k의 금속 물질은 높은 k의 유전 물질과 일치한다. 예를 들어, 높은 k의 유전체가  $HfO_2$ 로 이루어지고 높은 k의 금속 게이트가  $Hf$ 로 이루어지거나, 또는 높은 k의 유전체가  $Ta_2O_5$ 로 이루어지고 높은 k의 금속 게이트가  $Ta$ 로 이루어질 수 있다. 얇은  $SiO_2$ 층을 이용함으로써, 기판과 게이트 절연물 간에 양질의 계면이 존재하게 되어, 원격 산란을 감소시킴으로써, 캐리어 이동도를 개선한다. 또한, 높은 k의 유전 물질을 높은 k의 금속 물질과 대응하게 함으로써, 게이트 절연물/게이트 전극의 계면에 양질의 계면이 존재하게 되어, 캐리어 이동도를 더욱 개선한다.

[0019] 본 발명의 또 다른 양상에 따르면, 개선된 캐리어 이동도를 갖는 상기의 MOS 트랜지스터를 제조하는 방법이 개시된다. 이 방법은 실리콘 기판 위에 게이트 절연물을 형성하는 단계를 포함하는바, 여기서 상기 게이트 절연물은 모노층과 같은 얇은 실리콘 이산화물층 위에 있는 높은 k의 유전 물질로 이루어진다. 얇은 실리콘 이산화물층은 예를 들어 분자 범 에피택시(MBE) 또는 원자 층 에피택시(ALE)를 이용하여 형성되고, 높은 k의 유전층은 예를 들어 화학 기상 증착(CVD) 또는 반응성 스퍼터링에 의해 형성된다. 이후, 높은 k의 금속층이 높은 k의 유전층 위에 형성되는바, 여기서 상기 높은 k의 금속 물질은 높은 k의 유전 물질과 대응하며, 이에 따라 게이트

절연물과 금속 게이트 전극 간에 양질의 계면을 제공한다.

[0020] 본 발명의 예시적인 일 양상에서는, 높은  $k$ 의 유전 물질이 반응성 스퍼터링 및 동일 챔버에서의 후속되는 스퍼터링 공정에 의해 형성되며, 여기서 관련된 환경에서의 산소 함유량이 실질적으로 감소됨으로써 게이트 절연물/게이트 전극 계면에 어떠한 계면층도 형성되지 않게 하는 공정이 용이하게 된다.

[0021] 상기 목적 및 관련 목적을 달성하기 위해, 본 발명은 하기에서 충분히 설명되는 특징들을 포함한다. 하기의 설명 및 첨부 도면들은 본 발명의 예시적인 특정 실시예들을 상세히 설명한다. 하지만, 이러한 실시예들은 본 발명의 원리가 이용될 수 있는 다양한 방법들중 단지 일부 만을 나타낸다. 본 발명의 다른 목적들, 장점들 및 신규 특징들은 도면을 참조하여 고려되는 하기의 상세한 설명으로부터 명확해질 것이다.

### 실시예

[0029] 이제, 첨부 도면들을 참조하여 본 발명에 대해 상세히 설명하는바, 전체적으로 동일한 참조 부호는 동일한 요소를 나타내는 데에 이용된다. 본 발명은 게이트 절연물 구조를 이용하여 트랜지스터의 캐리어 이동도에 대한 종래의 구조들의 지금까지의 악영향을 완화시키면서 게이트 누설 전류를 감소시킴으로써, 트랜지스터의 속도를 개선하는 MOS 트랜지스터 구조 및 제조 방법을 제공한다.

[0030] 이제, 도 3을 참조하면, 본 발명의 일 양상에 따른 LDD 타입의 MOS 트랜지스터(200)의 부분 단면도로서, 소스 영역(108), 드레인 영역(112), 확장 영역들(104, 106) 및 절연 영역들(121)이 실리콘 기판(102) 내에 존재한다. 소스 및 드레인 영역들(108, 112)(및 본 예에서는 이들의 관련 확장 영역들)은 측면으로 분리되거나 또는 서로 이격됨으로써, 실리콘 기판 내에서 이들 간에 채널 영역(201)을 정의한다. 게이트 전극(118), 예를 들어 폴리실리콘 게이트 전극이 게이트 절연물(202)의 위에 있으며, 이 게이트 절연물(202)은 채널 영역(201) 위에 있다. 본 발명의 일 양상에 따르면, 게이트 절연물(202)은 도시된 바와 같이 2개의 얇은 실리콘 이산화물층들( $\text{SiO}_2$ )(204, 206) 및 이들 사이에 삽입된 높은  $k$ 의 유전 물질(208)로 이루어진다.

[0031] 본 발명의 발명자들은, 높은  $k$ 의 유전 물질의 게이트 절연물들이 유익하게는 유익한 전기적 두께를 비교적 일정하게 유지하면서(이는 게이트 누설 전류의 감소를 돋는다) 절연물의 물리적 두께를 증가시킬 수 있음에도 불구하고, 이러한 높은  $k$ 의 유전 물질은 불리하게도 트랜지스터의 캐리어 이동도를 감소시킨다는 것을 알았다. 보다 특별하게, 높은  $k$ 의 유전 물질의 게이트 절연물은 불량한 계면 품질로 인해 트랜지스터의 캐리어 이동도를 적어도 부분적으로 감소시킨다. 즉, 본 발명의 발명자들은 게이트 절연물/실리콘 기판의 계면 및 게이트 절연물/폴리게이트의 계면 모두에서의 불충분한 계면이 원격 산란 효과로 인한 실질적인 트랜지스터 이동도의 감소의 원인이 된다는 것을 알게 되었다.

[0032] 얇은  $\text{SiO}_2$ 층(204)은 실리콘 기판(102)의 채널 부분(201)에 대해 높은 품질의 계면을 제공하는데, 이는 실리콘과  $\text{SiO}_2$ 가 우수한 결합을 형성하기 때문이다. 대조적으로, 질화물 또는 다른 높은  $k$  타입의 물질들에 대한 실리콘의 결합은 불량하며, 이러한 불충분한 계면 품질은 산란을 일으켜, 트랜지스터의 캐리어 이동도를 불리하게 감소시킨다. 이와 대조적으로, 도 3에 나타낸 바와 같이,  $\text{SiO}_2$ 는 실리콘 기판 및 질화 물질(및 기타 높은  $k$ 의 물질들) 모두와 우수한 결합을 형성하며, 이에 따라 이  $\text{SiO}_2$ 는 유익하게도 급격한 이행(abrupt transition)과 대비되는 완만한 물질 이행을 제공한다. 따라서, 게이트 절연물(202)은 캐리어 이동도에 악영향을 주는 원격 산란을 감소시키는 역할을 한다.

[0033] 본 발명의 일 양상에 따르면, 얇은  $\text{SiO}_2$ 층들(204, 206)의 두께는 가능한한 얇게 형성되며, 바람직하게는 모노층들이다. 과거에, 종래의 게이트 절연물들이 제조될 때, 계면 산화물들이 종종 형성되었는데, 이러한 계면층들(예를 들어, 약 10 Å 또는 그 이상의 두께를 갖는다)은 바람직하지 않기 때문에, 이러한 층들을 제거하기 위해 상당한 노력을 했다. 본 발명에 따르면,  $\text{SiO}_2$  계면층들(204, 206)은 얇고, 이러한  $\text{SiO}_2$ 는 계면 산화물의 두께(예를 들어, 약 10 Å) 보다 적은 두께를 갖는 것으로 정의되며, 바람직하게는 단일  $\text{SiO}_2$  분자의 두께(예를 들어, 약 2 Å)를 갖는 모노층이다.

[0034]  $\text{SiO}_2$ 층들(204, 206)의 두께가 중요한 이유는 다음과 같다. 도 3에 도시된 게이트 절연물 스택(202)을 이용하게 되면, 이 스택(202)의 유효 캐패시턴스( $C_{\text{eff}}$ )는 다음과 같이 결정될 수 있다:

$$1/C_{\text{eff}} = 1/C_{\text{SiO}_2(\text{bottom})} + 1/C_{\text{high-}k} + 1/C_{\text{SiO}_2(\text{top})}$$

- [0036] 스택의 각 층에 대해  $C=k/d$ 이기 때문에, 두께( $d$ )가 알려진 경우에는 기여 캐패시턴스를 확정할 수 있다. 예를 들어, 각  $\text{SiO}_2$ 층이 높은  $k$  층(208) 만큼 두껍고(예를 들어,  $d=10\text{\AA}$ ),  $k_{\text{SiO}_2}=4$ 이며,  $C_{\text{eff}}$ (단위 무시)는 다음과 같이 결정될 수 있다.
- [0037]  $1/C_{\text{eff}} = 10/4 + 10/30 + 10/4 = 5.33$ , 이에 따라  $C_{\text{eff}} = 0.1875$ 이다.
- [0038]  $C_{\text{eff}}$  및 알려져있는  $d_{\text{total}}(30\text{\AA})$ 을 이용하여, 게이트 절연물에 대한 유효 유전 상수,  $k_{\text{eff}}=5.6$ 이 결정될 수 있다.  $\text{SiO}_2$ 에 대한  $k$ 는 약 4이기 때문에, 높은  $k$ 의 물질은 종래의  $\text{SiO}_2$  게이트 산화물에 비해 거의 개선된 점이 없다. 대안적으로,  $\text{SiO}_2$ 층들(204, 206)이 본 발명에서와 같이 작은 경우(예를 들어, 약  $2\text{\AA}$ ), 상기에서 (높은  $k$  물질의  $10\text{\AA}$ 의 두께를 이용하여) 수행했던 계산과 유사한 계산을 수행하면, 스택(202)의 유효 유전 상수,  $k_{\text{eff}}=10.5$ 가 되는바, 이전에와 비교하여 유전 상수가 거의 2배 증가한다.
- [0039] 높은 품질의 실리콘 기판/게이트 절연물 계면에 부가하여, 상부의  $\text{SiO}_2$ 층(206) 또한 게이트 절연물과 폴리 게이트(118) 간에 높은 품질의 계면을 제공하는 역할을 함으로써, 캐리어 이동도를 더욱 개선시킨다.
- [0040] 본 발명의 다른 양상에 따르면, 도 3의 게이트 절연물(202)은 도 4의 트랜지스터(210)와 같은 다른 MOS 트랜지스터 내에 통합될 수 있다. 이 트랜지스터(210)는 소스/드레인 영역들(108, 112), 확장 영역들(104, 106), 절연 영역들(121), 게이트 절연물(202) 및 측벽 스페이서들(122)을 갖는 도 3의 트랜지스터(200)와 일부 유사하다. 하지만, 이 트랜지스터(210)는 도핑된 폴리실리콘 게이트(218)를 갖는바, 이는 2개의 부분들, 즉 게이트 절연물(202) 위에 있는 계면 부분(218a) 및 이 계면 부분(218a) 위에 있는 게이트 전극 부분(218b)을 갖는다. 이러한 게이트 전극(218)은 산란(예를 들어, 쿨롱 산란)을 감소시켜 트랜지스터의 캐리어 이동도를 개선하는 도편트 프로파일을 나타내도록 커스터마이즈된다.
- [0041] 일 예에서, 폴리 게이트의 계면 부분(218a)은 두께(220) 및 게이트 전극 부분(218b) 보다 실질적으로 낮은 도편트 농도를 갖는다. 예를 들어, 계면 부분(218a)은 약  $30\text{\AA}$  또는 그 이상 및 약  $60\text{\AA}$  또는 그 미만의 두께를 갖는 반면, 게이트 전극 부분(218b)은 이 보다 실질적으로 두꺼운 약  $300\text{\AA}$  또는 그 이상 및 약  $1,000\text{\AA}$  또는 그 미만의 두께(222)를 갖는다. 또한, 계면 부분(218a)의 도편트 농도는 게이트 전극 부분(218b) 보다 약 6배 적은 도편트 농도를 갖는다. 예를 들어, 계면 부분(218b)은 약  $6 \times 10^{19}$  원자/ $\text{cm}^3$  또는 그 이상의 도편트 농도를 갖는 게이트 전극 부분과 비교하여 약 6배 적은 약  $1 \times 10^{19}$  원자/ $\text{cm}^3$ 의 도편트 농도를 갖는다.
- [0042] 도 4의 커스터마이즈된 폴리 게이트(218)는 게이트 절연물(202) 근처의 계면 부분(218a)에서 보다 낮은 도편트 농도를 가짐으로써 쿨롱 산란을 감소시키지만, 이러한 계면 부분의 도편트 농도는 폴리 공핍에 크게 기여할 정도로 충분히 낮지 않아, 폴리 공핍에 관련된 어떠한 실질적인 악영향도 없이 캐리어 이동도를 개선한다. 또한, 폴리 게이트(218)의 계면 부분(218a)은 트랜지스터(210)의 게이트 저항에 실질적으로 영향을 주지 않을 정도로 충분히 얇다.
- [0043] 본 발명의 또 다른 양상에 따라, 도 3 및 4에 도시된 게이트 절연물(202)을 갖는 MOS 트랜지스터의 제조 방법에 대해 도 5의 방법(300)을 참조하여 설명한다. 유념할 사항으로서, 본 발명에 따르면, 하기에서 이 방법(300)이 일련의 행동들 또는 이벤트들로서 예시되어 설명되지만, 본 발명은 이러한 행동들 또는 이벤트들의 예시된 순서로 한정되지 않고, 일부 행동들은 본원에 예시되어 설명되는 것과 다른 순서로 실행되고/되거나 다른 행동들 또는 이벤트들과 동시에 실행될 수 있다. 또한, 본 발명에 따른 방법을 구현하는 데에 예시된 모든 단계들이 다 필요한 것은 아니다. 또한, 유념할 사항으로서, 본 발명에 따른 방법은 본원에 예시되어 설명되는 장치 및 시스템 뿐 아니라 예시되지 않은 다른 시스템들에 관련해서도 구현될 수 있다.
- [0044] 방법(300)은 단계(302)에서 시작되어, 단계(304)에서 제 1 얇은 실리콘 이산화물( $\text{SiO}_2$ )층을 실리콘 기판 위에 형성한다. 본 예에 따르면, 이러한 얇은  $\text{SiO}_2$ 막은 약  $10\text{\AA}$  보다 작으며, 바람직하게는 약  $2\text{\AA}$  또는 그 미만의 모노층이다. 일 예에 따르면, 이러한 얇은  $\text{SiO}_2$ 막은 분자 범 에피택시(MBE) 또는 원자 층 에피택시 또는 증착(ALE)에 의해 형성되지만, 얇은  $\text{SiO}_2$ 막을 형성하는 다른 방법들이 이용될 수 있고, 이러한 모든 형성 기술은 본 발명의 범위 내에 있는 것으로 고려된다.
- [0045] 예를 들어, MBE를 이용하여, 실리콘 기판을 증착 챔버, 바람직하게는 극히 높은 진공 환경에 배치한다. (산소를 함유하는) 소스 물질을 제공하는 유출 셀(effusion cell)은 바람직하게는, 순식간에(즉, 수분의 1초에서) 셔터

를 단도록 동작하는 1개 이상의 셔터들에 의해 제어됨으로써, 초당 약 몇 Å의 성장 속도가 염격히 제어될 수 있게 된다. 또한, 제어를 유지하기 위해, MBE 증착 이전에 실리콘 기판이 세정(예를 들어, 습식/건식 세정 또는 환원)되어 실리콘 기판 표면 상의 모든 계면 산화물을 제거하는바, 이러한 세정은 증착 챔버의 외부 또는 내부에서 수행될 수 있다.

[0046] 방법(300)은 단계(306)로 진행되는바, 여기에서는 높은 k 물질의 유전층이 제 1 얇은  $\text{SiO}_2$ 층 위에 형성된다. 예를 들어, 높은 k의 유전 물질은 화학 기상 증착(CVD), 반응성 스퍼터링, ALE 또는 MBE를 이용하여 형성될 수 있지만, 높은 k 막을 형성하는 어떠한 방법이라도 이용될 수 있으며, 이러한 대안들은 본 발명의 범위 내에 있는 것으로 여겨진다. 일반적으로, 높은 k 유전 물질은 약 4.0의  $\text{SiO}_2$ 의 유전 상수 보다 큰 유전 상수를 갖는 어떠한 물질이다. 따라서, 본 발명에서, 높은 k 물질은 약 4-10의 유전 상수를 갖는  $\text{SiN}_x$ 와 같은 물질들, 약 10-100의 유전 상수를 갖는  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{HfO}_2$  또는  $\text{ZrO}_2$ , 및 심지어 100 이상의 유전 상수를 갖는 PZT 또는 BST와 같은 극히 높은 유전 상수 물질들을 포함한다. 이러한 모든 유전 물질들은 본 발명의 범위 내에 있는 것으로 여겨진다. 상기 예에서, 높은 k 물질은 단계(306)에서 약 5Å 또는 그 이상, 바람직하게는 10Å 또는 그 이상의 두께로 형성된다.

[0047] 도 5의 방법(300)은 단계(308)로 진행되어, 높은 k 유전 물질 위에 제 2 얇은  $\text{SiO}_2$ 막을 형성한다. 단계(304)에서와 유사한 방식으로 제 2 얇은  $\text{SiO}_2$ 막이 형성되어, (예를 들어, 약 10Å 또는 그 미만의) 높은 품질의 얇은 층, 바람직하게는 (예를 들어, 약 2Å 또는 그 미만의) 모노층을 형성한다. 이후, 단계(310)에서, 예를 들어 CVD를 이용하여 제 2 얇은  $\text{SiO}_2$ 층 위에 폴리실리콘층을 형성하지만, (MBE, 스퍼터링, ALE 등과 같은) 다른 증착 공정이 이용될 수 있으며, 이들은 본 발명의 범위 내에 있는 것으로 여겨진다. 폴리실리콘층은 바람직하게는 도핑되는바, 이러한 도핑은 증착 이후에, 예를 들어 이온 주입을 이용하여 제자리에서 수행될 수 있다.

[0048] 본 발명의 예시적인 일 양상에서, 단계(310)에서의 폴리실리콘의 형성은 도 4에 도시되어 그와 관련하여 설명된 것과 유사한 2개의 부분들을 갖는 폴리실리콘막을 형성하기 위한 멀티 스텝 공정이 될 수 있다. 예를 들어, 단계(310)는 제 2 얇은  $\text{SiO}_2$ 층 위에 계면 폴리실리콘층을 제 1 두께(예를 들어, 약 30-60Å)로 형성한 다음, 예를 들어 약  $1 \times 10^{19}$  원자/ $\text{cm}^3$ 의 제 1 도편트 농도로 제자리에서 도핑하는 제 1 폴리실리콘 증착 공정을 포함한다. 이후, 제 2 두께(예를 들어, 약 300-1000Å)를 갖고, 예를 들어 약  $6 \times 10^{19}$  원자/ $\text{cm}^3$ 의 제 2 도편트 농도로 제자리에서 도핑되는 게이트 전극층을 형성하기 위한 제 2 폴리실리콘 증착 공정이 수행될 수 있다.

[0049] 대안적으로, 계면층이 형성되고 이온 주입에 의해 제 1 도편트 농도로 도핑된 다음, 제 2 게이트 전극층이 형성되고, 이온 주입에 의해 제 2 도편트 농도로 도핑될 수 있다. 또 다른 대안으로서, 단일 폴리실리콘층이 형성된 다음, 2개의 개별적인 이온 주입 단계들이 수행되는바, 먼저 보다 낮은 주입량 및 높은 에너지에서의 제 1 이온 주입이 수행되어 도편트를 계면 부분까지 아래로 드라이브인시킨다. 그런 다음, 제 2의 보다 낮은 에너지에서 제 2 주입이 수행되어, 인터페이스 부분까지 아래로 연장되지 않으면서 게이트 전극 부분을 통해 도편트를 드라이브인시킴으로써, 커스터마이즈된 도편트 프로파일을 생성한다. 이러한 커스터마이즈된 도핑된 폴리 게이트층을 형성하기 위한 어떠한 방법이라도 이용될 수 있으며, 이는 본 발명의 범위 내에 있는 것으로 여겨진다.

[0050] 이어서, 단계(312)에서, 폴리실리콘층을 패터닝하여 폴리실리콘 게이트를 정의한다. 예를 들어, 이러한 패터닝은 전형적인 리소그래피 공정, 및 이후의 식각, 예를 들어 일반적인 이방성 반응성 이온 식각(RIE)에 따라 수행될 수 있다. 하지만, 폴리 게이트를 패터닝하는 어떠한 방법이라도 이용될 수 있으며, 이는 본 발명의 범위 내에 있는 것으로 여겨진다.

[0051] 방법(300)은 단계(314)로 진행되어, 소스/드레인 영역들이 형성된다. 본 발명의 예시적인 일 양상에 따르면, 소스/드레인 영역들은 폴리 게이트를 정의한 후 이온 주입에 의해 형성되는바, 이때 실리콘 기판에 자기 정렬되는 소스/드레인 영역들을 형성하기 위한 마스크로서 폴리 게이트가 이용된다. 대안적으로, 필요에 따라, 이러한 소스/드레인 영역들은 단계들(304, 306, 308, 310 및 312)에서의 형성 공정들 이전에 이온 주입에 의해 형성됨으로써, 상기 행동들이 소스/드레인을 형성한 이후에 수행될 수 있다. 본 발명의 또 다른 대안적인 양상에 따르면, LDD 타입의 MOS 디바이스는 패터닝된 폴리 게이트를 마스크로서 이용하여 확장 영역 주입을 행한 다음, 종래의 형성 기술에 따라 폴리 게이트 측벽들에 측벽 스페이서들을 형성함으로써 형성된다. 이후, 폴리 게이트 및 측벽 스페이서들을 마스크로서 이용하여 이온 주입을 함으로써 소스/드레인 영역들을 형성하는바, 이 소스/드레인 영역들은 자신들의 대응하는 확장 영역들과 함께 자기 정렬된다. 이후, 방법(300)은 단계(316)에서 끝난다.

다.

[0052] 본 발명의 또 다른 양상에 따라, 도 6은 높은  $k$ 의 유전 물질들을 이용함으로써 트랜지스터의 캐리어 이동도에 실질적으로 악영향을 주지 않으면서 누설 전류를 감소시키는 다른 MOS 타입의 트랜지스터(400)를 도시한다. 이 트랜지스터(400)는 소스/드레인 영역들(108, 112), 확장 영역들(104, 106), 절연 영역들(121) 및 측벽 스페이서들(122)을 갖는 도 3의 트랜지스터(200)와 일부 유사하다. 하지만, 이 트랜지스터(400)는 다른 타입의 게이트 절연물(402)을 갖는다, 이 게이트 절연물(402)은 실리콘 기판의 채널 영역(201) 위에 있는 얇은  $\text{SiO}_2$  계면층(404) 및 이 위에 있는 높은  $k$ 의 유전 물질층(406)을 포함한다.

[0053] 상기  $\text{SiO}_2$  계면층(404)은 유익하게는 아래의 실리콘 및 윗쪽의 높은  $k$ 의 유전 물질층(406)에 대해 우수한 물질 매치(match)를 제공한다. 이러한 양질의 계면은 원격 산란을 감소시킴으로써, 높은  $k$  유전체들을 이용하는 종래 기술의 디바이스에 비해 캐리어 이동도를 개선한다. 상기 설명한 바와 같이,  $\text{SiO}_2$  계면층(404)은 계면 타입 산화물층들 보다 얇고(예를 들어, 약 10Å 또는 그 미만), 바람직하게는 모노머층이며(예를 들어, 약 2Å 또는 그 미만), 이에 따라 유익하게는 게이트 절연물(402)의 유효 유전 상수( $k_{\text{eff}}$ )를 실질적으로 감소시키지 않으면서 산란을 감소시킨다.

[0054] 도 6에 도시한 바와 같이, 높은  $k$  금속 타입의 금속 게이트 전극(408)이 게이트 절연물(402) 위에 배치된다. 이 높은  $k$ 의 금속 게이트 전극(408)은 게이트 절연물(402)에 이용되는 높은  $k$  유전 물질과 일치하는 높은  $k$  금속 물질을 포함하며, 이에 따라 다른 얇은  $\text{SiO}_2$ 층을 필요로 하지 않으면서 우수한 품질의 계면을 제공함으로써, 게이트 절연물(402)의 유전 상수를 최대화할 수 있다.

[0055] 본 발명에 따르면, 게이트 절연물의 높은  $k$ 의 유전 물질과 높은  $k$ 의 금속 물질이 대응한다는 것은, 예를 들어 높은  $k$ 의 유전 물질이  $\text{Ta}_2\text{O}_5$ 라면, 대응하는 높은  $k$ 의 금속 물질은  $\text{Ta}$ 가 됨을 의미한다. 유사하게, 높은  $k$ 의 유전 물질이  $\text{TiO}_2$  또는  $\text{HfO}_2$ 이면, 대응하는 높은  $k$ 의 금속 게이트 물질은 각각  $\text{Ti}$  또는  $\text{Hf}$ 가 된다. 대응하는 높은  $k$  금속을 이용함으로써, 높은  $k$  유전 물질층(406)과 높은  $k$  금속 게이트층(408) 간의 계면이 높은 물질의 계면이 되어, 원격 산란을 감소시킨다. 상기 방식으로, 도 6의 트랜지스터(400)는 유익하게는 높은 유전 상수의 게이트 절연물(402)을 제공하는 바, 이 게이트 절연물(402)은 원격 산란을 감소시킴과 동시에 게이트 누설 전류를 감소시킬 수 있는 상당한 물리적 두께를 가짐으로써, 유익하게는 트랜지스터의 캐리어 이동도를 개선한다.

[0056] 도 7은 도 6의 트랜지스터(400)의 제조 방법(500)을 나타낸다. 유념할 사항으로서, 본 발명에 따르면, 하기에서 이 방법(500)이 일련의 행동들 또는 이벤트들로서 예시되어 설명되지만, 본 발명은 이러한 행동들 또는 이벤트들의 예시된 순서로 한정되지 않고, 일부 행동들은 본원에 예시되어 설명되는 것과 다른 순서로 실행되고/되거나 다른 행동들 또는 이벤트들과 동시에 실행될 수 있다. 또한, 본 발명에 따른 방법을 구현하는 데에 예시된 모든 단계들이 다 필요한 것은 아니다. 또한, 유념할 사항으로서, 본 발명에 따른 방법은 본원에 예시되어 설명되는 장치 및 시스템 뿐 아니라 예시되지 않은 다른 시스템들에 관련해서도 구현될 수 있다.

[0057] 방법(500)은 단계(502)에서 시작되어, 단계(504)에서 제 1 얇은 실리콘 이산화물( $\text{SiO}_2$ )을 실리콘 기판 위에 형성한다. 본 예에 따르면,  $\text{SiO}_2$ 막은 약 10Å 보다 적으며, 바람직하게는 약 2Å 또는 그 미만의 모노층이다. 일 예에 따르면, 이러한 얇은  $\text{SiO}_2$ 막은 분자 범 에피택시(MBE) 또는 원자 층 에피택시 또는 증착(ALE)에 의해 형성되지만, 얇은  $\text{SiO}_2$ 막을 형성하는 다른 방법들이 이용될 수 있고, 이러한 모든 형성 기술은 본 발명의 범위 내에 있는 것으로 고려된다.

[0058] 예를 들어, MBE를 이용하여, 실리콘 기판을 증착 챔버, 바람직하게는 극히 높은 진공 환경에 배치한다. (산소를 함유하는) 소스 물질을 제공하는 유출 셀은 바람직하게는, 순식간에 셔터를 닫도록 동작하는 1개 이상의 셔터들에 의해 제어됨으로써, 초당 약 몇 Å의 성장 속도가 염격히 제어될 수 있게 된다. 또한, 제어를 유지하기 위해, MBE 증착 이전에 실리콘 기판이 세정(예를 들어, 습식/건식 세정 또는 환원)되어 실리콘 기판 표면 상의 모든 계면 산화물을 제거하는 바, 이러한 세정은 증착 챔버의 외부 또는 내부에서 수행될 수 있다.

[0059] 방법(500)은 단계(506)로 진행되는 바, 여기에서는 높은  $k$  물질의 유전층이 제 1 얇은  $\text{SiO}_2$ 층 위에 형성된다. 예를 들어, 높은  $k$ 의 유전 물질은 화학 기상 증착(CVD), 반응성 스퍼터링, ALE 또는 MBE를 이용하여 형성될 수 있지만, 높은  $k$  막을 형성하는 어떠한 방법이라도 이용될 수 있으며, 이러한 대안들은 본 발명의 범위 내에 있는 것으로 여겨진다. 일반적으로, 높은  $k$  유전 물질은 약 4.0의  $\text{SiO}_2$ 의 유전 상수 보다 큰 유전 상수를 갖는 어떠

한 물질이다. 따라서, 본 발명에서, 높은 k 물질은 약 4-10의 유전 상수를 갖는  $\text{SiN}_x$ 와 같은 물질들, 약 10-100의 유전 상수를 갖는  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{HfO}_2$  또는  $\text{ZrO}_2$ , 및 심지어 100 이상의 유전 상수를 갖는 PZT 또는 BST와 같은 극히 높은 유전 상수 물질들을 포함한다. 이러한 모든 유전 물질들은 본 발명의 범위 내에 있는 것으로 여겨진다. 상기 예에서, 높은 k 물질은 단계(506)에서 약 10Å 또는 그 이상의 두께로 형성된다.

[0060] 도 7의 방법(500)은 단계(508)로 진행되어, 예를 들어 화학 기상 증착(CVD), 반응성 스퍼터링, ALE 또는 MBE를 이용하여 높은 k의 유전층 위에 높은 k의 금속 게이트 전극층을 형성하지만, 높은 k막을 형성할 수 있는 어떠한 방법이라도 이용될 수 있으며, 이러한 대안들은 본 발명의 범위 내에 있는 것으로 여겨진다.

[0061] 본 발명의 예시적인 일 양상에 따르면, 단계들(506 및 508)은 동일한 공정 챔버에서 수행되며, 각각 반응성 스퍼터링 및 스퍼터링에 의해 형성된다. 예를 들어, 높은 k의 유전층을 형성하는 데에는, (예를 들어, 적어도 산소가 존재하는) 산화 환경에서 이온들로 높은 k의 금속 물질 타겟에 충격을 가하는 반응성 스퍼터링 공정이 이용된다. 상기 방식으로, 높은 k의 물질 타겟을 이용하여 높은 k의 유전막이 형성된다. 이후, 공정 챔버 내에서 산화 환경을 감소시키거나 또는 바람직하게는 제거하여 높은 k의 금속으로 된 막이 형성되게 함으로써, 높은 k의 금속 게이트 전극층을 형성한다. 이러한 방식으로, 높은 k의 게이트 유전층과 높은 k의 금속 게이트 전극층 간에 깨끗한 계면이 얹어질 수 있다.

[0062] 이어서, 단계(510)에서, 높은 k의 금속 게이트층이 패터닝되어 높은 k의 금속 게이트 전극을 정의한다. 예를 들어, 이러한 패터닝은 종래의 리소그래피 공정, 및 이후의 식각, 예를 들어 일반적인 이방성 반응성 이온 식각(RIE)에 따라 수행될 수 있다. 하지만, 높은 k의 금속 게이트를 패터닝하는 어떠한 방법이라도 이용될 수 있으며, 이는 본 발명의 범위 내에 있는 것으로 여겨진다.

[0063] 방법(500)은 단계(512)로 진행되어, 소스/드레인 영역들이 형성된다. 본 발명의 예시적인 일 양상에 따르면, 소스/드레인 영역들은 폴리 게이트를 정의한 후 이온 주입에 의해 형성되는바, 이때 실리콘 기판에 자기 정렬되는 소스/드레인 영역들을 형성하기 위한 마스크로서 폴리 게이트가 이용된다. 대안적으로, 필요에 따라, 이러한 소스/드레인 영역들은 단계들(504, 506, 508 및 510)에서의 형성 공정들 이전에 이온 주입에 의해 형성됨으로써, 상기 단계들의 행동들이 소스/드레인을 형성한 이후에 수행될 수 있다. 본 발명의 또 다른 대안적인 양상에 따르면, LDD 타입의 MOS 디바이스는 패터닝된 폴리 게이트를 마스크로서 이용하여 확장 영역 주입을 행한 다음, 통상적인 형성 기술에 따라 폴리 게이트 측벽들에 측벽 스페이서들을 형성함으로써 형성된다. 이후, 폴리 게이트 및 측벽 스페이서들을 마스크로서 이용하여 이온 주입을 함으로써 소스/드레인 영역들을 형성하는바, 이 소스/드레인 영역들은 자신들의 대응하는 확장 영역들과 함께 자기 정렬된다. 이후, 방법(500)은 단계(514)에서 끝난다.

[0064] 본 발명이 바람직한 특정 실시예 또는 실시예들과 관련하여 개시되어 설명되었지만, 본 상세한 설명 및 첨부 도면들을 읽고 이해하게 된다면 본 발명의 등가의 변경들 및 수정들이 당업자에게 자명해질 것이다. 특히 상기 설명한 구성 요소들(어셈블리들, 디바이스들, 회로들 등)에 의해 수행되는 다양한 기능들과 관련하여, 이러한 구성 요소들을 설명하는 데에 이용되는 ("수단"에 대한 언급을 포함한) 용어들은, 비록 본원에 도시된 본 발명의 예시적인 실시예들에서 기능을 수행하는 개시된 구조와 구조적으로 같지 않다고 하더라도, 달리 나타내지 않는 한 설명한 구성 요소들의 지정된 기능을 수행하는(즉, 기능적으로 같은) 어떠한 구성 요소에 대응하는 것으로 의도된다. 또한, 본 발명의 특정한 특징이 몇 개의 실시예들 중 단지 하나와 관련하여 개시되었지만, 어떠한 소정의 응용 또는 특정 응용에 대해 요구되고 유익한 경우, 이러한 특징은 다른 실시예들의 1개 이상의 다른 특징들과 결합될 수 있다.

### 산업상 이용 가능성

[0065] 본 발명의 구조 및 방법은 캐리어 이동도에 악영향을 주지 않으면서 누설 전류를 감소시키는 트랜지스터들을 제공하기 위한 반도체 공정 분야에서 이용될 수 있다.

### 도면의 간단한 설명

[0022] 도 1은 통상적인 게이트 산화물을 이용하는 종래의 LDD 타입의 MOS 트랜지스터의 부분 단면도이다.

[0023] 도 2는 높은 k의 유전층 타입의 게이트 절연물을 이용하는 종래의 LDD 타입의 MOS 트랜지스터의 부분 단면도이다.

[0024] 도 3은 본 발명의 일 양상에 따른, 캐리어 이동도에 실질적으로 영향을 주지 않으면서 누설 전류를 감소시키는

게이트 절연물을 이용하는 LDD 타입의 MOS 트랜지스터의 부분 단면도이다.

[0025] 도 4는 본 발명의 다른 양상에 따른, 도 3의 게이트 절연물을 이용하고, 트랜지스터의 이동도를 더욱 개선하기 위해 게이트 절연물 계면에 커스터마이즈된 계면 부분을 갖는 폴리 게이트 전극을 더 포함하는 LDD 타입의 MOS 트랜지스터의 부분 단면도이다.

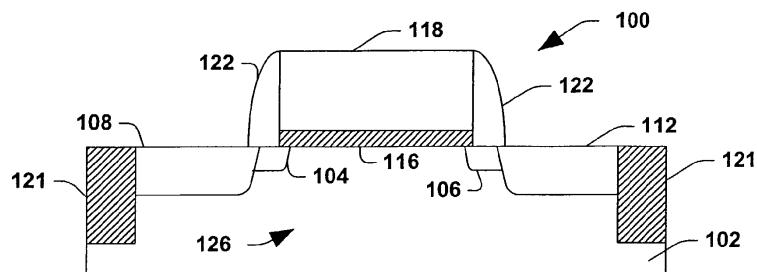
[0026] 도 5는 본 발명의 또 다른 양상에 따른, 트랜지스터의 이동도를 실질적으로 감소시키지 않으면서 누설 전류를 감소시키는 MOS 트랜지스터 제조 방법을 나타낸 흐름도이다.

[0027] 도 6은 본 발명의 또 다른 양상에 따른, 트랜지스터의 이동도에 실질적으로 영향을 주지 않으면서 누설 전류를 감소시키는 게이트 절연물 및 금속 게이트 구조를 갖는 LDD 타입의 MOS 트랜지스터의 부분 단면도이다.

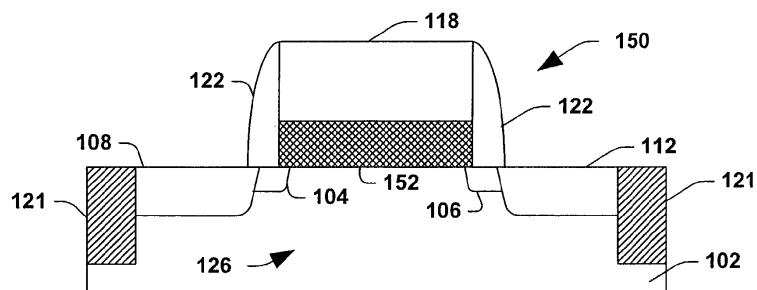
[0028] 도 7은 본 발명의 또 다른 양상에 따른, 트랜지스터의 이동도에 실질적으로 영향을 주지 않으면서 누설 전류를 감소시키는 게이트 절연물 및 금속 게이트 구조를 갖는 MOS 트랜지스터를 제조하는 방법을 나타낸 흐름도이다.

## 도면

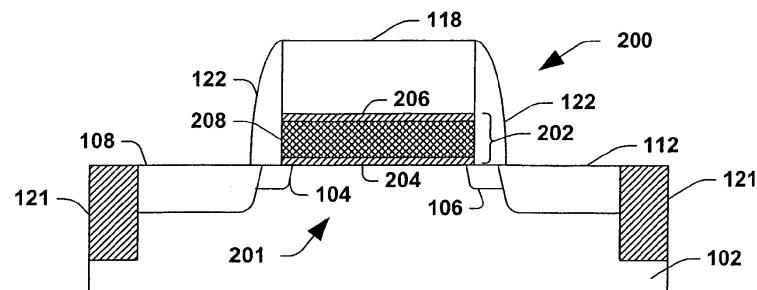
### 도면1



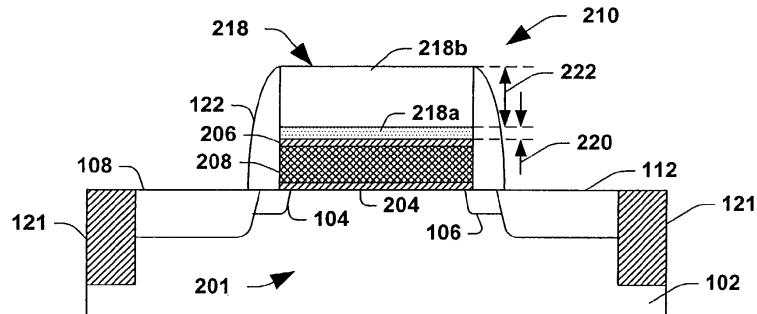
### 도면2



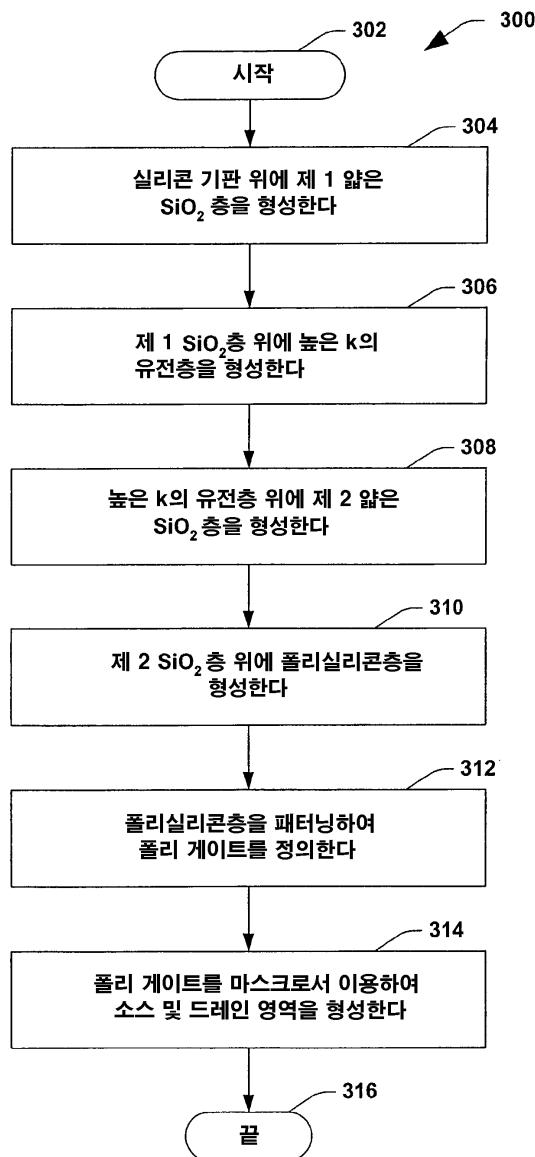
### 도면3



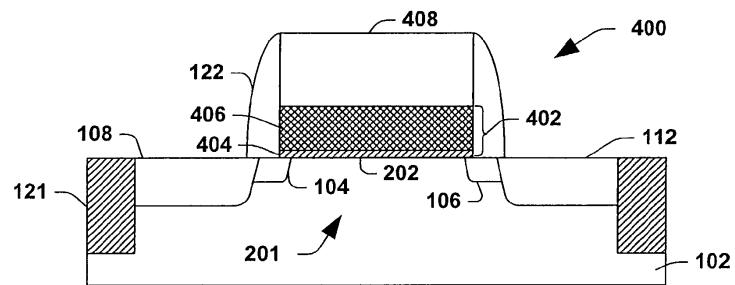
## 도면4



## 도면5



## 도면6



## 도면7

