



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월05일  
(11) 등록번호 10-1046556  
(24) 등록일자 2011년06월29일

(51) Int. Cl.

G11C 7/06 (2006.01) G11C 11/4091 (2006.01)

H03F 3/45 (2006.01)

(21) 출원번호 10-2009-0022250

(22) 출원일자 2009년03월16일

심사청구일자 2009년03월16일

(65) 공개번호 10-2009-0099490

(43) 공개일자 2009년09월22일

(30) 우선권주장

JP-P-2008-068162 2008년03월17일 일본(JP)

JP-P-2009-062364 2009년03월16일 일본(JP)

(56) 선행기술조사문헌

US20070153569 A1

KR1020080010360 A

전체 청구항 수 : 총 20 항

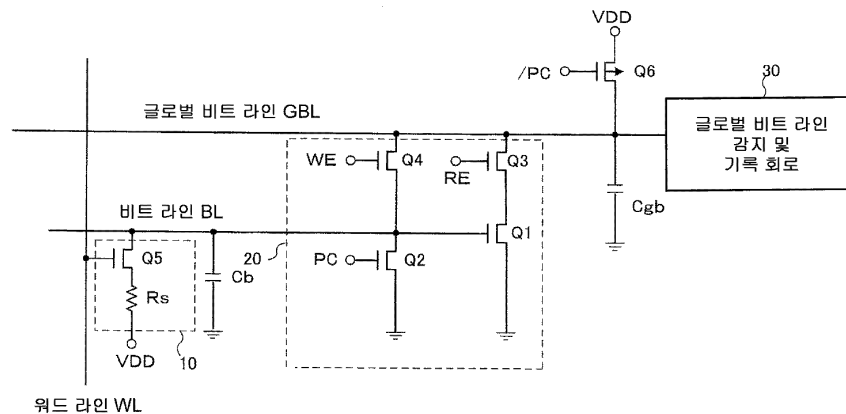
심사관 : 윤난영

(54) 단일 중단 감지 증폭기를 갖는 반도체 디바이스

(57) 요약

신호 전압이 단일 MOS 트랜지스터에 의해 증폭되어, 칩면적이 증가되는 것을 방지한다. 반도체 저장 디바이스 내의 감지 증폭기는, 단일한 입/출력 단자와 전원 단자 사이의 저항값의 크기에 기초하여 정보를 저장하는 메모리 셀을 가지며, 그 반도체 저장 디바이스는, 메모리 셀로부터의 신호 판독 동안 비트 라인 커패시턴스가 감소되는 구조를 갖고, 증폭기는 단일-중단 구조를 갖는 단일 MOS 트랜지스터를 이용하여 입/출력 단자로부터 출력된 신호를 증폭한다.

대표도



## 특허청구의 범위

### 청구항 1

입/출력 단자와 전원 단자 사이의 저항값, 또는 상기 입/출력 단자에 접속된 셀 트랜지스터의 온 (ON) 전류값에 기초하여, 정보를 저장하는 메모리 셀;

상기 메모리 셀로/로부터 상기 정보를 입력/출력하기 위해 상기 입/출력 단자에 접속되는 비트 라인;

상기 비트 라인 상에서 데이터 신호를 증폭하기 위해 상기 비트 라인에 접속된 게이트를 갖는 단일-종단 (single-ended) 감지 증폭기로서 동작하는 제 1 전계 효과 트랜지스터;

상기 비트 라인의 전위를 미리 결정된 제 1 전위로 제어하기 위해 상기 비트 라인에 접속되는 제 2 전계 효과 트랜지스터;

상기 제 1 전계 효과 트랜지스터의 출력 신호를 글로벌 비트 라인에 공급하는 제 3 전계 효과 트랜지스터; 및

상기 글로벌 비트 라인 상에서 신호를 검출하기 위해 상기 글로벌 비트 라인에 접속되는 글로벌 비트 라인 감지 증폭기를 포함하며,

상기 비트 라인의 상기 미리 결정된 제 1 전위는 상기 메모리 셀을 통해 흐르는 전류에 따라 변화하고, 상기 제 1 전계 효과 트랜지스터는 상기 비트 라인의 변화된 전위에 따라 전류를 흐르게 하는, 반도체 디바이스.

### 청구항 2

제 1 항에 있어서,

상기 제 2 전계 효과 트랜지스터는, 상기 메모리 셀로부터 상기 비트 라인으로 정보가 출력되기 이전에, 상기 비트 라인의 전위를 상기 미리 결정된 제 1 전위로 제어하는, 반도체 디바이스.

### 청구항 3

제 1 항에 있어서,

상기 제 3 전계 효과 트랜지스터는, 상기 메모리 셀이 액세스된 이후에 미리 결정된 시간 동안 도전 상태가 되어, 상기 제 1 전계 효과 트랜지스터가 상기 비트 라인의 변화된 전위에 따라 전류를 흐르게 하는, 반도체 디바이스.

### 청구항 4

제 1 항에 있어서,

상기 비트 라인 및 상기 글로벌 비트 라인은 계층적 구조를 구성하고,

상기 메모리 셀은 워드 라인에 접속된 선택 단자를 갖고,

상기 전원 단자는 제 1 전원에 접속되고,

상기 제 1 전계 효과 트랜지스터는 제 2 전원에 접속된 소스를 갖고,

상기 제 2 전계 효과 트랜지스터는, 제 1 신호 라인에 접속된 게이트, 제 3 전원에 접속된 소스, 및 상기 비트 라인에 접속된 드레인을 갖고,

상기 제 3 전계 효과 트랜지스터는, 제 2 신호 라인에 접속된 게이트, 상기 제 1 전계 효과 트랜지스터의 드레인에 접속된 소스, 및 상기 글로벌 비트 라인에 접속된 드레인을 갖고,

상기 제 1 전원 및 상기 제 3 전원은 상이한 전압값을 갖고, 상기 미리 결정된 제 1 전위가 상기 비트 라인에 부여되고, 상기 미리 결정된 제 1 전위는 상기 메모리 셀을 통해 흐르는 전류에 따라 변화하는, 반도체 디바이스.

### 청구항 5

제 1 항에 있어서,

상기 메모리 셀의 제 1 정보에 대응하는 저항값 및 상기 비트 라인의 커패시턴스에 기초한 제 1 시상수가 상기 메모리 셀의 제 2 정보에 대응하는 저항값 및 상기 비트 라인의 커패시턴스에 기초한 제 2 시상수보다 1000 배 이상 크고,

상기 메모리 셀의 제 1 정보에 대응하는 저항값은 상기 메모리 셀의 제 2 정보에 대응하는 저항값보다 높은, 반도체 디바이스.

#### 청구항 6

제 1 항에 있어서,

상기 메모리 셀에 정보를 기록하기 위해, 상기 비트 라인과 상기 글로벌 비트 라인 사이에 접속된 제 4 전계 효과 트랜지스터를 더 포함하는, 반도체 디바이스.

#### 청구항 7

제 1 항에 있어서,

상기 메모리 셀의 전원 단자는 제 1 전원에 접속되고,

상기 제 1 전계 효과 트랜지스터는, 제 2 전원에 접속된 소스, 및 상기 제 3 전계 효과 트랜지스터를 통해 상기 글로벌 비트 라인에 접속된 드레인을 갖고,

상기 제 2 전계 효과 트랜지스터는, 제 3 전원에 접속된 소스, 및 상기 비트 라인에 접속된 드레인을 갖고,

상기 반도체 디바이스는, 상기 글로벌 비트 라인의 전위를 미리 결정된 제 2 전위로 제어하기 위해, 상기 글로벌 비트 라인과 제 4 전원 사이에 접속된 제 5 전계 효과 트랜지스터를 더 포함하고,

상기 제 1 전원 및 상기 제 3 전원은 상이한 전압값을 갖고, 상기 미리 결정된 제 1 전위가 상기 비트 라인에 부여되고, 상기 미리 결정된 제 1 전위는 상기 메모리 셀을 통해 흐르는 전류에 따라 변화하고,

상기 제 2 전원 및 상기 제 4 전원은 상이한 전압값을 갖고, 상기 미리 결정된 제 2 전위가 상기 글로벌 비트 라인에 부여되고, 상기 미리 결정된 제 2 전위는 상기 제 1 전계 효과 트랜지스터를 통해 흐르는 전류에 따라 변화하는, 반도체 디바이스.

#### 청구항 8

제 7 항에 있어서,

상기 제 3 전원 및 상기 제 4 전원은 상이한 전압값을 갖는, 반도체 디바이스.

#### 청구항 9

제 7 항에 있어서,

상기 제 3 전원 및 상기 제 4 전원은 동일한 전압값을 갖는, 반도체 디바이스.

#### 청구항 10

제 1 항에 있어서,

상기 메모리 셀은, 저장된 정보에 따라 저항값이 변화하는 저항기 및 전계 효과 트랜지스터를 포함하는, 반도체 디바이스.

#### 청구항 11

제 1 항에 있어서,

상기 메모리 셀은, 플로팅 바디 (floating body) 전계 효과 트랜지스터, 게이트 절연막에 전하 트랩 영역이 제공되는 전계 효과 트랜지스터, 및 게이트 절연막에 강유전체 재료를 갖는 전계 효과 트랜지스터 중 임의의 하나를 포함하는, 반도체 디바이스.

## 청구항 12

입/출력 단자와 전원 단자 사이의 저항값, 또는 상기 입/출력 단자에 접속된 셀 트랜지스터의 온 (ON) 전류값에 기초하여, 정보를 저장하는 메모리 셀;

상기 메모리 셀로/로부터 상기 정보를 입력/출력하기 위해 상기 입/출력 단자에 접속되는 비트 라인;

상기 비트 라인 상에서 데이터 신호를 증폭하기 위해 상기 비트 라인에 접속된 게이트를 갖는 단일-종단 감지 증폭기로서 동작하는 제 1 전계 효과 트랜지스터;

상기 비트 라인의 전위를 미리 결정된 제 1 전위로 제어하기 위해 상기 비트 라인에 접속되는 제 2 전계 효과 트랜지스터;

상기 제 1 전계 효과 트랜지스터의 출력 신호를 글로벌 비트 라인에 공급하는 제 3 전계 효과 트랜지스터; 및

상기 글로벌 비트 라인 상에서 신호를 검출하기 위해 상기 글로벌 비트 라인에 접속되는 글로벌 비트 라인 감지 증폭기를 포함하며,

상기 제 2 전계 효과 트랜지스터는, 상기 메모리 셀이 액세스되기 이전에, 상기 비트 라인을 상기 미리 결정된 제 1 전위로 설정하기 위해 도전 상태가 되고,

상기 비트 라인의 상기 미리 결정된 제 1 전위는, 상기 메모리 셀이 액세스된 이후에 상기 메모리 셀을 통해 흐르는 전류에 따라 변화하고, 상기 제 1 전계 효과 트랜지스터는 상기 비트 라인의 변화된 전위에 따라 전류를 흐르게 하는, 반도체 디바이스.

## 청구항 13

제 12 항에 있어서,

상기 제 3 전계 효과 트랜지스터는, 상기 메모리 셀이 액세스된 이후 미리 결정된 시간 동안 도전 상태가 되어, 상기 제 1 전계 효과 트랜지스터가 상기 비트 라인의 변화된 전위에 따라 전류를 흐르게 하는, 반도체 디바이스.

## 청구항 14

제 12 항에 있어서,

상기 글로벌 비트 라인을 미리 결정된 제 2 전위로 제어하기 위해, 상기 글로벌 비트 라인과 제 4 전원 사이에 접속된 제 5 전계 효과 트랜지스터를 더 포함하며,

상기 제 5 전계 효과 트랜지스터는, 상기 메모리 셀이 액세스되기 이전에, 상기 글로벌 비트 라인을 상기 미리 결정된 제 2 전위로 설정하기 위해 도전 상태가 되고,

상기 글로벌 비트 라인의 상기 미리 결정된 제 2 전위는, 상기 메모리 셀이 액세스된 이후에 상기 제 1 전계 효과 트랜지스터를 통해 흐르는 전류를 따라 변화하는, 반도체 디바이스.

## 청구항 15

제 13 항에 있어서,

상기 비트 라인의 전압은, 상기 메모리 셀의 제 1 정보에 대응하는 저항값으로 흐르는 전류에 따라 상기 제 1 전계 효과 트랜지스터의 문턱 전압보다 낮아지고, 상기 제 3 전계 효과 트랜지스터가 상기 미리 결정된 시간 동안 도전 상태가 된 경우, 상기 비트 라인의 전압은, 상기 메모리 셀의 제 2 정보에 대응하는 저항값으로 흐르는 전류에 따라 상기 제 1 전계 효과 트랜지스터의 문턱 전압보다 높아지며,

상기 메모리 셀의 제 1 정보에 대응하는 저항값은 상기 메모리 셀의 제 2 정보에 대응하는 저항값보다 높은, 반도체 디바이스.

## 청구항 16

입/출력 단자와 전원 단자 사이의 저항값, 또는 상기 입/출력 단자에 접속된 셀 트랜지스터의 온 (ON) 전류값에 기초하여, 정보를 저장하는 메모리 셀;

상기 메모리 셀로/로부터 상기 정보를 입력/출력하기 위해 상기 입/출력 단자에 접속되는 비트 라인;

상기 비트 라인 상에서 데이터 신호를 증폭하기 위해 상기 비트 라인에 접속된 게이트를 갖는 단일-종단 감지 증폭기로서 동작하는 제 1 전계 효과 트랜지스터;

상기 비트 라인의 전위를 미리 결정된 제 1 전위로 제어하기 위해 상기 비트 라인에 접속되는 제 2 전계 효과 트랜지스터;

상기 제 1 전계 효과 트랜지스터의 출력 신호를 글로벌 비트 라인에 공급하는 제 3 전계 효과 트랜지스터; 및

상기 글로벌 비트 라인 상에서 신호를 검출하기 위해 상기 글로벌 비트 라인에 접속된 글로벌 비트 라인 감지 증폭기를 포함하며,

상기 비트 라인의 상기 미리 결정된 제 1 전위는, 상기 메모리 셀을 통해 흐르는 전류 및 상기 제 2 전계 효과 트랜지스터를 통해 흐르는 전류에 따라 변화하고, 상기 제 1 전계 효과 트랜지스터는 상기 비트 라인의 변화된 전위에 따라 전류를 흐르게 하는, 반도체 디바이스.

#### 청구항 17

제 16 항에 있어서,

상기 제 3 전계 효과 트랜지스터는, 상기 메모리 셀이 액세스된 이후 미리 결정된 시간 동안 도전 상태가 되어, 상기 제 1 전계 효과 트랜지스터가 상기 비트 라인의 변화된 전위에 따라 상기 전류를 흐르게 하는, 반도체 디바이스.

#### 청구항 18

제 16 항에 있어서,

상기 글로벌 비트 라인을 미리 결정된 제 2 전위로 제어하기 위해, 상기 글로벌 비트 라인과 제 4 전원 사이에 접속된 제 5 전계 효과 트랜지스터를 더 포함하며,

상기 글로벌 비트 라인의 상기 미리 결정된 제 2 전위는, 상기 제 1 전계 효과 트랜지스터를 통해 흐르는 전류 및 상기 제 5 전계 효과 트랜지스터를 통해 흐르는 전류에 따라 변화하는, 반도체 디바이스.

#### 청구항 19

제 17 항에 있어서,

상기 비트 라인의 전압은, 상기 메모리 셀의 제 1 정보에 대응하는 저항값으로 흐르는 전류에 따라 상기 제 1 전계 효과 트랜지스터의 문턱 전압보다 낮아지고, 상기 제 3 전계 효과 트랜지스터가 상기 미리 결정된 시간 동안 도전 상태가 된 경우, 상기 비트 라인의 전압은, 상기 메모리 셀의 제 2 정보에 대응하는 저항값으로 흐르는 전류에 따라 상기 제 1 전계 효과 트랜지스터의 문턱 전압보다 높아지며,

상기 메모리 셀의 제 1 정보에 대응하는 저항값은 상기 메모리 셀의 제 2 정보에 대응하는 저항값보다 높은, 반도체 디바이스.

#### 청구항 20

제 16 항에 있어서,

상기 메모리 셀에 정보를 기록하기 위해, 상기 비트 라인과 상기 글로벌 비트 라인 사이에 접속된 제 4 전계 효과 트랜지스터를 더 포함하는, 반도체 디바이스.

### 명세서

#### 발명의 상세한 설명

#### 기술 분야

[0001] 본 출원은 반도체 디바이스에서 이용되는 감지 증폭기에 관한 것이고, 더 상세하게는, 가변 저항 메모리 셀을

갖는, 반도체 디바이스에서의 적절한 감지 증폭기, 및 데이터 프로세싱 시스템에 관한 것이다.

## 배경 기술

[0002] 저항값 또는 트랜지스터의 "온 (on)" 전류의 크기에 기초하여 정보를 저장하는 종래의 메모리 셀이 공지되어 있다. 일반적으로 이러한 타입의 메모리 셀은, 로우 메모리 상태에서도 10 kΩ 내지 수백 kΩ 범위의 비교적 높은 저항값을 가지며, 따라서, 통상적으로 매우 민감한 차동 전류 감지 증폭기 (일본특허공개공보 제 2004-39231 호 참조) 를 이용하여 감지 증폭이 수행된다.

## 발명의 내용

### 해결 하고자하는 과제

[0003] 그러나, 종래의 전류 감지 증폭기는 큰 전용 표면적을 가지며, 이러한 타입의 감지 증폭기가 모든 비트 라인에 제공되는 경우 칩 면적이 현저하게 증가되는 결점을 가진다.

[0004] 따라서, 본 발명은 전술한 결점의 관점에서 개발되었고, 본 발명의 목적은, 단일 MOS 트랜지스터에 의해 단일한 전압이 증폭되어, 칩 면적이 증가되는 것을 방지하는 감지 증폭기 및 데이터 프로세싱 시스템을 제공하는 것이다.

### 과제 해결수단

[0005] 전술한 결점을 극복하기 위해 본 발명은 후술하는 양태들을 포함한다.

[0006] (1) 본 발명은, 입/출력 단자와 전력 공급 단자 사이의 저항값 또는 그 입/출력 단자에 접속된 셀 트랜지스터의 온 전류값에 기초하여 정보를 저장하는 메모리 셀; 그 메모리 셀로/로부터 정보를 입력/출력하기 위해 입/출력 단자에 접속되는 비트 라인; 비트 라인 상의 데이터 신호를 증폭하기 위해 그 비트 라인에 접속된 게이트를 갖는 단일-종단 (single-ended) 감지 증폭기로서 동작하는 제 1 전계효과 트랜지스터; 비트 라인의 전위를 미리 결정된 제 1 전위로 제어하기 위해 비트 라인에 접속되는 제 2 전계효과 트랜지스터; 제 1 전계효과 트랜지스터의 출력 신호를 글로벌 비트 라인에 공급하는 제 3 전계효과 트랜지스터; 및 글로벌 비트 라인 상에서 신호를 검출하기 위해, 글로벌 비트 라인에 접속되는 글로벌 비트 라인 감지 증폭기를 포함하는 반도체 디바이스를 제공하며, 비트 라인의 미리 결정된 제 1 전위는 메모리 셀을 통해 흐르는 전류에 따라 변화하고, 제 1 전계효과 트랜지스터는 비트 라인의 변화된 전위에 따라 전류를 흐르게 한다.

[0007] (2) 또한, 본 발명은, 입/출력 단자와 전력 공급 단자 사이의 저항값 또는 그 입/출력 단자에 접속된 셀 트랜지스터의 온 전류값에 기초하여 정보를 저장하는 메모리 셀; 그 메모리 셀로/로부터 정보를 입력/출력하기 위해 입/출력 단자에 접속되는 비트 라인; 비트 라인 상의 데이터 신호를 증폭하기 위해 그 비트 라인에 접속된 게이트를 갖는 단일-종단 감지 증폭기로서 동작하는 제 1 전계효과 트랜지스터; 비트 라인의 전위를 미리 결정된 제 1 전위로 제어하기 위해 비트 라인에 접속되는 제 2 전계효과 트랜지스터; 제 1 전계효과 트랜지스터의 출력 신호를 글로벌 비트 라인에 공급하는 제 3 전계효과 트랜지스터; 및 글로벌 비트 라인 상에서 신호를 검출하기 위해 글로벌 비트 라인에 접속되는 글로벌 비트 라인 감지 증폭기를 포함하는 반도체 디바이스를 제공하며, 제 2 전계효과 트랜지스터는, 메모리 셀이 액세스되기 전에 비트 라인을 미리 결정된 제 1 전위로 설정하기 위해 도전 상태가 되고, 비트 라인의 미리 결정된 제 1 전위는, 메모리 셀이 액세스된 이후 메모리 셀을 통해 흐르는 전류에 따라 변화하고, 제 1 전계효과 트랜지스터는 비트 라인의 변화된 전위에 따라 전류를 흐르게 한다.

[0008] (3) 또한, 본 발명은, 입/출력 단자와 전력 공급 단자 사이의 저항값 또는 그 입/출력 단자에 접속된 셀 트랜지스터의 온 전류값에 기초하여 정보를 저장하는 메모리 셀; 그 메모리 셀로/로부터 정보를 입력/출력하기 위해 입/출력 단자에 접속되는 비트 라인; 비트 라인 상의 데이터 신호를 증폭하기 위해 그 비트 라인에 접속된 게이트를 갖는 단일-종단 감지 증폭기로서 동작하는 제 1 전계효과 트랜지스터; 비트 라인의 전위를 미리 결정된 제 1 전위로 제어하기 위해 비트 라인에 접속되는 제 2 전계효과 트랜지스터; 제 1 전계효과 트랜지스터의 출력 신호를 글로벌 비트 라인에 공급하는 제 3 전계효과 트랜지스터; 및 글로벌 비트 라인 상에서 신호를 검출하기 위해 글로벌 비트 라인에 접속되는 글로벌 비트 라인 감지 증폭기를 포함하는 반도체 디바이스를 제공하며, 비트 라인의 미리 결정된 제 1 전위는 메모리 셀을 통해 흐르는 전류 및 제 2 전계효과 트랜지스터를 통해 흐르는 전류에 따라 변화하고, 제 1 전계효과 트랜지스터는 비트 라인의 변화된 전위에 따라 전류를 흐르게 한다.

## 효과

[0009] 본 발명을 통해, 메모리 셀로부터 신호가 판독될 때 비트 라인의 커패시턴스가 감소되어, 높은 저항을 갖는 가변 저항 메모리 셀을 통하는 경우에도 신속한 충전 및 방전이 가능해지는 구성이 채택된다. 따라서, 신호가 단일 MOS 트랜지스터에 의해 증폭되어, 감지 증폭기의 표면적은 현저하게 감소될 수 있다.

[0010] 계층적 비트 라인 구조를 이용하여, 모든 비트 라인에 감지 증폭기가 제공될 수 있기 때문에, 페이지-오픈 기법(page-open policy)에 기반한 DRAM에 호환가능한 메모리가 제공될 수 있다.

[0011] 또한, 복수의 감지 증폭기가 글로벌 비트 라인에 접속되고 정보 판독 및 기록 제어가 글로벌 감지 증폭기를 통해 수행되는 계층적 비트 라인 구조를 이용하여, 칩 면적 및 전류 소모가 증가하는 것을 방지하면서 DRAM과의 호환성이 유지될 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0012] 본 발명의 기술한 특성 및 이점은, 첨부한 도면을 참조하여 다음의 특정한 바람직한 실시형태의 설명으로부터 더 명백해질 것이다.

[0013] 이하, 본 발명의 실시형태를 첨부한 도면을 참조하여 상세히 설명한다.

[0014] 여기서 기술하는 실시형태들의 구성 요소들은 기존의 구성 요소들 등으로 대체될 수 있고, 다른 기존의 구성 요소들과의 조합을 포함하는 다양한 변형에 또한 가능하다. 따라서, 청구항에 기술된 바와 같이 본 발명의 범주는 여기서 기술하는 실시형태에 의해 제한되지 않는다.

[0015] <제 1 실시형태>

[0016] 본 발명의 제 1 실시형태를 도 1 및 도 2를 이용하여 기술한다. 본 실시형태에서, 반도체 디바이스로서 계층적 비트 라인 구조를 갖는 메모리 어레이의 실시예를 기술한다. 복수의 메모리 셀이 접속되는 로컬 비트 라인인 비트 라인의 길이는 계층적 비트 라인 구조의 경우 감소될 수 있고, 따라서, 비트 라인의 커패시턴스는 감소되고, 메모리 셀로부터 판독되는 신호의 진폭은 증가될 수 있다. 따라서, 계층적 비트 라인 구조는 바람직한 실시예이지만, 본 발명은 이 실시예에 한정되지 않는다.

[0017] 본 실시형태의 구성은, 단일 신호가 입력되고, 오직 하나의 신호가 증폭되고, 그 증폭된 신호가 출력되는 단일-종단 감지 증폭기에 관련된 기술이다. 통상적인 차동 감지 증폭기는 단일-종단 감지 증폭기보다 더 높은 이득을 가지며, 또한, 잡음에 더 저항력이 있다. 또한, 차동 감지 증폭기의 높은 이득은 증폭된 출력 신호를 변경하는데 소요되는 시간을 감소시킨다. 한편, 단일-종단 감지 증폭기는 잡음에 매우 민감하며, 증폭된 출력을 발생시키기 위해 더 높은 입력 신호를 요구한다. 비트 라인에 접속되는 전술한 감지 증폭기는 단일-종단 감지 증폭기이다.

[0018] 또한, 트랜지스터는 전계효과 트랜지스터(FET)이면 충분하고, MOS(Metal Oxide Semiconductor) 이외에, 본 발명은 MIS(Metal-Insulator Semiconductor) 트랜지스터 및 다양한 다른 FET에 적용될 수 있다. NMOS 트랜지스터가 제 1 도전 타입 트랜지스터의 통상적인 예이고, PMOS 트랜지스터가 제 2 도전 타입 트랜지스터의 통상적인 예이다.

[0019] 또한, 본 발명에서, 비트 라인 전압은, 메모리 셀, VSS 전원 또는 또 다른 전압을 구동시키기 위한 공통 내부 전압(예를 들어, 외부 전원으로부터 스탭 다운된 내부 전원 전압)에 의해 제어된다. 예를 들어, 이 실시형태들의 특징적 특성은, 메모리 셀이 액세스된 이후, 그 메모리 셀의 정보가 "1"인지 "0"인지 여부에 무관하게, 비트 라인 전압이 내부 전원 전압 또는 VSS의 소정의 전위로부터(VSS 또는 내부 전원 전압의) 일 방향으로 천이한다는 점이다. 반도체 디바이스의 외부 전원 및 내부 전원의 전압이 1V(CMOS 타입의 감지 증폭기가 동작하는 동작점의 한계에 근접한 전압임) 근처로 낮춰지는 반도체 디바이스에서, 비트 라인의 제어 전압은, 단일-종단 감지 증폭기를 이용하여 더 빠른 속도와 안정성의 향상된 시너지 효과, 및 제조 조건에서의 편차에 기인한 회로 안정성을 생성하는 감지 방식과 결합된다.

[0020] <메모리 셀 및 감지 증폭기의 구조>

[0021] 도 1은, 본 실시형태에 따른 가변 저항 메모리 셀에 대응하는 감지 증폭기를 포함하는 가변 저항 메모리 셀의 일부의 회로를 도시하는 도면이다.

[0022] 도 1은, 워드 라인 WL, 비트 라인 BL, 워드 라인 WL과 비트 라인 BL의 교차부에 제공되는 메모리 셀(10), 감지 증폭기(20), 글로벌 비트 라인 GBL, 및 글로벌 비트 라인 감지 및 기록 회로(30)를 도시한다.



- [0023] 이 구성에서, 비트 라인 BL 은 감지 증폭기를 구성하는 nMOS 트랜지스터 Q1 의 게이트에 접속되고, 이 비트 라인으로 판독되는 신호 전압은 감지/증폭되어 드레인 전류로 변환된다. 프리차지 신호 PC 가 비트 라인 프리차지 nMOS 트랜지스터 Q2 의 게이트에 입력되고, PC 가 하이 상태인 경우 비트 라인 BL 은 접지 전위 VSS 로 프리차지된다.
- [0024] 선택 신호 RE 가 감지 증폭기 판독 선택 nMOS 트랜지스터 Q3 의 게이트에 의해 수신되고, 글로벌 비트 라인 GBL 과 감지 증폭기의 출력 노드인 nMOS 트랜지스터 Q1 의 드레인이 선택적으로 접속된다. 선택 신호 WE 가 감지 증폭기 기록 선택 nMOS 트랜지스터 Q4 의 게이트에 의해 수신되고, 비트 라인 BL 과 글로벌 비트 라인 GBL 이 선택적으로 접속된다.
- [0025] nMOS 트랜지스터 Q3 과 nMOS 트랜지스터 Q1 이 직렬로 접속되는 한 이는 충분하고, 그 연결 순서는 본질적으로 제한되지 않는다. 이상적으로, 다수의 nMOS 트랜지스터 Q3 이 글로벌 비트 라인 GBL 에 접속되기 때문에, 글로벌 비트 라인 GBL 의 낮은 잡음 효과가 강조되는 경우, nMOS 트랜지스터 Q3 은 도 1 에 도시된 바와 같이 글로벌 비트 라인 GBL 측에 접속되어야 한다.
- [0026] 복수의 비트 라인 BL 및 복수의 메모리 셀이, 도면에 도시되지 않은 복수의 다른 감지 증폭기를 통해 글로벌 비트 라인 GBL 에 접속되고, 판독 동작시에, nMOS 트랜지스터 Q3 은 선택된 메모리 셀이 속하는 감지 증폭기만을 글로벌 비트 라인 GBL 에 접속시킨다. 그 결과, nMOS 트랜지스터 Q1 은 비트 라인 BL 로 판독된 신호를 따라 글로벌 비트 라인 GBL 을 구동시키고, 글로벌 비트 라인 감지 및 기록 회로 (30) 는 그 글로벌 비트 라인 GBL 로 전달된 신호를 래치하여, 외부 회로 (미도시) 에 출력한다.
- [0027] "데이터 신호인 메모리 셀 (10) 의 정보를 로컬 비트 라인을 통해 최초로 증폭시키는 단일-종단 감지 증폭기 (감지 증폭기 (20))" 가 계층적 비트 라인 구조에 접속된다. 감지 증폭기 (20) 는, 단일-종단 감지 증폭기인 증폭기 Q1, 및 증폭기의 출력을 글로벌 비트 라인에 접속시키는 판독용 선택 트랜지스터 Q3 을 포함한다.
- [0028] 선택 트랜지스터 Q3 은, 글로벌 비트 라인과 증폭기의 출력을 접속시키는 제어 신호지만, 또한, 그 제어 신호는, 복수의 로컬 비트 라인과 단일 글로벌 비트 라인을 선택하는 다른 선택 정보 또는 어드레스 신호를 포함할 수도 있다. 일반적으로, 다수의 메모리 셀 및 감지 증폭기 (20) 가 로컬 비트 라인 BL 에 접속되어 메모리 어레이를 형성하기 때문에, 로컬 비트 라인 BL 의 배선 피치는 글로벌 비트 라인 GBL 의 배선 피치와 동일하거나 더 작다.
- [0029] 기록 동작시에, nMOS 트랜지스터 Q4 는, 선택된 메모리 셀이 속하는 감지 증폭기만을 글로벌 비트 라인 GBL 에 접속시킨다. 글로벌 비트 라인 감지 및 기록 회로 (30) 가, 도면에 도시되지 않은 외부 회로로부터 기록 데이터를 수신하고 글로벌 비트 라인 GBL 을 구동시키는 경우, 비트 라인 BL 은 nMOS 트랜지스터 Q4 를 통해 구동되고, 이것은 메모리 셀에 데이터가 기록되게 한다.
- [0030] 메모리 셀 (10) 은, 저항값의 크기에 기초하여 데이터를 저장하기 위한 저항 소자 Rs 및 선택 nMOS 트랜지스터 Q5 로 구성된다. nMOS 트랜지스터 Q5 의 게이트는 워드 라인 WL 에 접속되고, 드레인은 비트 라인 BL 에 접속되고, 소스는 저항 소자 Rs 의 일 단자에 접속된다. 저항 소자 Rs 의 다른 일 단자는 전원 전위 VDD 에 접속된다.
- [0031] 이 도면에 도시되지 않은 복수의 다른 메모리 셀들이 비트 라인 BL 에 접속되고, 그 결과, 본 실시형태에서 비트 라인 BL 의 기생 커패시턴스 Cb 는, 예를 들어, 10 fF 이다. 특별히 제한되지는 않지만, 본 실시형태의 저항 소자 Rs 에서 고저항 상태의 저항 분포의 하한 Rs[H]min 은 100 M $\Omega$  이고, 저저항 상태의 저항 분포의 상한 Rs[L]max 은 100 k $\Omega$  이다. 그 결과, 저항 소자 Rs 및 비트 라인 기생 커패시턴스 Cb 로 구성된 시스템의 시간상수  $\tau$  는, 저항 소자가 고저항 상태인 경우 1  $\mu$ s 이상이고, 저항 소자가 저저항 상태인 경우 1 ns 이하이다.
- [0032] 메모리 셀로의 전류의 흐름은, nMOS 트랜지스터 Q2 의 전원인 제 3 전원 (VSS) 과는 다른 전압값을 갖는 메모리 셀 (10) 의 전원인 제 1 전원 (VDD) 의 당연한 결과이고, 적어도 메모리 셀 정보에서의 차이에 따른 전술한 시간상수에서의 차이에 따르는 비트 라인 전압에 관하여, nMOS 트랜지스터 Q1 에 의해 공급되는 각각의 전류에서의 차이를 그 비트 라인 전압에 대응하도록 조절하는 것이 가능하다. 더 상세하게는, 고저항 상태의 저항 분포의 하한 Rs[H]min 이 10 M $\Omega$  인 경우, nMOS 트랜지스터 Q1 에 의해 공급된 전류는 제 1 전원 (VDD) 을 다소 증가 시킴으로써 유지될 수 있다. 이것은, 제 1 전원 (VDD) 과 제 3 전원 (VSS) 사이의 차동 전압의 값 (상대값) 을 변경함으로써 행해질 수 있고, 예를 들어, 메모리 셀의 기록 특성 등에 기인한, 메모리 셀에 의해 공급되는 전류값에서의 편차에 따라 최적의 감지를 제공하는 것을 가능하게 하는 효과를 가진다. 또한, nMOS 트랜지스터 Q1 에 접속된 제 2 전원 (VSS) 과 이하 기술하는 nMOS 트랜지스터 Q6 에 접속된 제 4 전원 (VDD) 사이의



전압값에서의 차이는 전술한 것과 동일한 효과를 가진다. 제 3 전원과 제 4 전원 사이의 전압값에서의 차이 또한 동일한 효과를 가진다. 한편, 제 3 전원 및 제 4 전원에 대해 동일한 전압값을 가지는 것은, 메시에 배열된 2 개의 전원 모두의 전원 배선이 복수의 메모리 셀로 구성된 메모리 어레이에서 공유될 수 있게 한다.

[0033] 그 결과, 판독 동안, nMOS 트랜지스터 Q5 가 턴온되고 비트 라인 BL 이 충전 및 방전을 시작할 수 ns 후에, 비트 라인 BL 의 전위에서의 적절한 차이가 저항 소자의 저항값의 크기에 의해 생성되기 때문에, 감지 증폭 동작은 감지 주기를 그 수 ns 내로 설정함으로써 마진을 갖는 nMOS 트랜지스터 Q1 에 의해 실행될 수 있다. 메모리 셀의 저항값에 따라 연산된 기생 커패시턴스 및 감지 주기의 계획된 지속기간이 획득되도록, 비트 라인 BL 에 접속된 메모리 셀의 수는 전술한 동작 원리에 따라 다양한 수로 설정될 수도 있다.

[0034] 글로벌 비트 라인 프리차지 pMOS 트랜지스터 Q6 은 프리차지 신호 PC 의 반전 신호 /PC 를 게이트에서 수신하고, /PC 가 로우 상태인 경우, 글로벌 비트 라인 GBL 은 전원 전위 VDD 로 프리차지된다. 글로벌 비트 라인의 기생 커패시턴스는 Cgb 로서 표시된다.

[0035] <판독 동안 감지 증폭기의 동작 파형>

[0036] 도 2 는 판독 동안 감지 증폭기의 동작 파형을 도시하는 도면이다. 수평축은 시간을 나타내고, 수직축은 전압을 나타낸다. 도 2a 는 메모리 셀의 저저항 상태를 판독하는 경우를 도시하고, 도 2b 는 고저항 상태를 판독하는 경우를 도시한다.

[0037] 먼저, 저저항 상태를 판독하는 경우, 프리차지 해제 주기에서 PC 는 로우이고 /PC 는 하이이고, nMOS 트랜지스터 Q2 및 pMOS 트랜지스터 Q6 각각은 턴오프되고 (비도전성이 되고), 비트 라인 BL 및 글로벌 비트 라인 GBL 은 각각 VSS 및 VDD 로 프리차지되는 상태로 플로팅중이다. 즉, nMOS 트랜지스터 Q2 는, 메모리 셀로부터 비트 라인에 정보가 출력되기 이전에, 비트 라인을 미리 결정된 제 1 전위 (VSS) 로 제어한다. 적어도 이 동작은, 이전 사이클에서 판독된 다른 메모리 셀의 이력 정보를 클리어하는 효과를 가진다.

[0038] 그 후, 셀 선택 주기가 발생하는 경우, 신호 전압은, 워드 라인 WL 이 하이로 변경될 때 (nMOS 트랜지스터 Q5 는 도전성이 되었음) 메모리 셀 (10) 의 저저항 상태에 대응하는 시상수에서 비트 라인 BL 로 판독되고, 선택 신호 RE 가 하이로 변경되는 경우 (nMOS 트랜지스터 Q3 이 도전성이 됨), 감지 주기가 개시되고, RE 가 로우로 변경될 때 (nMOS 트랜지스터 Q3 이 비도전성이 됨) 감지 주기가 종료된다.

[0039] 감지 주기에서, 비트 라인의 전위가 nMOS 트랜지스터 Q1 의 문턱 전압  $V_t$  의 분포의 상한보다 높기 때문에, nMOS 트랜지스터 Q1 의 드레인 전류는 크고, 글로벌 비트 라인 GBL 의 기생 커패시턴스 Cgb 에 의해 충전된 전하는 급속도로 쇠퇴 (withdraw) 된다. 따라서, 글로벌 비트 라인 GBL 의 전위는 VDD 로부터 VSS 로 급속도로 방전된다.

[0040] 즉, nMOS 트랜지스터 Q3 은, 메모리 셀이 액세스된 이후 미리 결정된 시간 동안 도전 상태이고, nMOS 트랜지스터 Q1 은 비트 라인의 천이된 전압에 따라 전류를 공급하고, 글로벌 비트 라인의 전위는 천이된다.

[0041] 미리 결정된 시간 동안 도전 상태를 유지하는 이유는, 적어도 비트 라인의 전위가 메모리 셀 정보에 따른 다른 시상수에서 천이하고, 매우 긴 시간 후, 비트 라인 전압은 모든 정보에 대해 VDD 에 도달하기 때문이다. 즉, 메모리 셀 정보에 대응하는 신호의 글로벌 비트 라인으로의 전송은, 시상수에서의 차이가 비트 라인 전압에서의 차이로 표시되는 시간 내에 실행되어야 한다. 미리 결정된 시간 동안 nMOS 트랜지스터 Q3 을 도전성으로 유지하는 것은, 최적의 비트 라인 전압 상태 (단일 감지 증폭기 nMOS 트랜지스터 Q1 에 의해 공급된 전류의 상태) 의 시간 동안에만 메모리 셀 정보로서의 전압을 글로벌 비트 라인에 인가하는 것을 나타내고, 글로벌 비트 라인 상에서 감지 증폭기의 오작동을 방지하는 효과를 가진다.

[0042] 감지 주기의 종료시에 글로벌 비트 라인 GBL 의 전위는 VSS 이고, 이 전위는 글로벌 비트 라인 감지 및 기록 회로 (30) 에 의해 로우로 검출되고, 로우 데이터로 판독된다. nMOS 트랜지스터 Q1 의 문턱 전압  $V_t$  의 분포는, 제조 시간에서의 치수 편차, 게이트 절연막 두께에서의 편차, 및 채널 불순물 분포에서의 편차와 같은 인자들에 기인한 문턱 전압의 변동 범위를 나타낸다.

[0043] 고저항 상태를 판독하는 경우, 프리차지 해제 주기에서 PC 는 최초에 로우이며 /PC 는 하이이고, nMOS 트랜지스터 Q2 및 pMOS 트랜지스터 Q6 는 각각 턴온되고, 비트 라인 BL 및 글로벌 비트 라인 GBL 은 각각 VSS 및 VDD 로 프리차지되는 상태로 플로팅중이다.

[0044] 그 후, 셀 선택 주기가 발생하는 경우, 신호 전압은, 워드 라인 WL 이 하이로 변화할 때 메모리 셀 (10) 의 고저항 상태에 대응하는 시상수에서 비트 라인 BL 로 판독되고, 선택 신호 RE 가 하이로 변화할 때 감지 주기가

개시되고, RE 가 로우로 변화할 때 감지 주기가 종료된다.

- [0045] 감지 주기 동안, 비트 라인의 전위는 nMOS 트랜지스터 Q1 의 문턱 전압  $V_t$  의 분포의 하한보다 낮게 유지되기 때문에, nMOS 트랜지스터 Q1 의 드레인 전류는 작고, 글로벌 비트 라인 GBL 의 기생 커패시턴스  $C_{gb}$  에 의해 충전된 전하의 쇠퇴는 거의 존재하지 않는다. 감지 주기의 종료시에 글로벌 비트 라인 GBL 의 전위는 실질적으로 VDD 로 유지되기 때문에, 전위는 글로벌 비트 라인 감지 및 기록 회로 (30) 에 의해 높은 것으로 검출되고, 하이 데이터로 판독된다.
- [0046] nMOS 트랜지스터 Q2 가 프리차지 신호 PC 에 의해 도전 상태가 되는 주기는 메모리 셀의 도전 주기와 중첩될 수도 있다. 이것은, 단일-종단 감지 증폭기에 안정된 판독 특성이 제공될 수 있게 한다. 더 상세하게는, 비트 라인의 미리 결정된 제 1 전위가 메모리 셀에 의해 공급된 전류 및 nMOS 트랜지스터 Q2 에 의해 공급된 전류에 따라 전이를 겪고, nMOS 트랜지스터 Q1 은 비트 라인의 천이된 전압에 따라 전류를 공급하여, 전술한 플로팅 주기가 제거될 수 있고, 잡음에 저항적인 감지가 가능하다. 또한, pMOS 트랜지스터 Q6 가 프리차지 신호 PC 의 반전 신호 /PC 에 의해 도전 상태가 되는 주기는 nMOS 트랜지스터 Q1 의 도전 주기와 중첩될 수도 있다. 이 중첩의 효과는 전술한 효과와 동일하다.
- [0047] <제 2 실시형태>
- [0048] 본 발명의 제 2 실시형태를 도 3 및 도 4 를 이용하여 기술한다.
- [0049] 도 3 은 본 실시형태에 따른 가변 저항 메모리 셀에 대응하는 감지 증폭기를 포함하는 가변 저항 메모리 셀 어레이의 일부의 회로를 도시한다. 도시된 기본적 구조는 제 1 실시형태와 동일하기 때문에, 이하, 상이한 구성요소만을 기술한다.
- [0050] <메모리 셀 및 감지 증폭기의 구조>
- [0051] 프리차지 신호 PC 의 반전 신호 /PC 가 비트 라인 프리차지 pMOS 트랜지스터 Q2 의 게이트에 입력되고, /PC 가 로우 상태인 경우 비트 라인 BL 은 전력 공급 전위 VDD 로 프리차지된다.
- [0052] 메모리 셀 (11) 은 저항값의 크기에 기초하여 데이터를 저장하기 위해 저항 소자  $R_s$  및 nMOS 트랜지스터 Q5 로 구성된다. nMOS 트랜지스터 Q5 의 게이트는 워드 라인 WL 에 접속되고, 드레인선 비트 라인 BL 에 접속되고, 소스는 저항 소자  $R_s$  의 일 단자에 접속된다. 저항 소자  $R_s$  의 다른 일 단자는 접지 전위 VSS 에 접속된다.
- [0053] <판독 동안 감지 증폭기의 동작 파형>
- [0054] 도 4 는 판독 동안 감지 증폭기의 동작 파형을 도시하는 도면이다. 기본 동작은 제 1 실시형태와 동일하기 때문에, 이하, 상이한 부분만을 기술한다.
- [0055] 먼저, 저저항 상태를 판독한 경우, /PC 는 프리차지 해제 주기에서 하이로 변경되고, pMOS 트랜지스터 Q2 및 pMOS 트랜지스터 Q6 각각은 턴오프되고, 비트 라인 BL 및 글로벌 비트 라인 GBL 은 VDD 로 프리차지되는 상태로 플로팅중이다.
- [0056] 그 후, 셀 선택 주기가 발생하는 경우, 신호 전압은, 워드 라인 WL 이 하이로 변경될 때 메모리 셀 (11) 의 저저항 상태에 대응하는 시상수에서 비트 라인 BL 로 판독된다. 선택 신호 RE 가 순차적으로 하이로 변경된 경우, 감지 주기가 시작하고, 그 감지 주기는 RE 가 로우로 변경될 때 종료된다.
- [0057] 감지 주기 동안, 비트 라인 BL 의 전위는 nMOS 트랜지스터 Q1 의 문턱 전압  $V_t$  의 분포의 하한보다 낮기 때문에, nMOS 트랜지스터 Q1 의 드레인 전류는 작고, 글로벌 비트 라인 GBL 의 기생 커패시턴스  $C_{gb}$  에 의해 충전된 전하의 쇠퇴는 거의 존재하지 않는다.
- [0058] 감지 주기의 종료시에 글로벌 비트 라인 GBL 의 전위는 실질적으로 VDD 로 유지되기 때문에, 그 전위는 글로벌 비트 라인 감지 및 기록 회로 (30) 에 의해 하이로 검출되고, 반전 회로 (미도시) 에 의해 반전되고, 로우 데이터로 판독된다.
- [0059] 고저항 상태를 판독한 경우, 먼저, /PC 는 프리차지 해제 주기에서 하이로 변경되고, pMOS 트랜지스터 Q2 및 pMOS 트랜지스터 Q6 은 각각 턴오프되고, 비트 라인 BL 및 글로벌 비트 라인 GBL 은 VDD 로 프리차지되는 상태로 플로팅중이다.
- [0060] 그 후, 셀 선택 주기가 발생한 경우, 신호 전압은, 워드 라인 WL 이 하이로 변경될 때 메모리 셀 (11) 의 고저

항 상태에 대응하는 시상수에서 비트 라인 BL 로 판독된다. 선택 신호 RE 가 순차적으로 하이로 변경된 경우, 감지 주기가 시작하고, 그 감지 주기는 RE 가 로우로 변경될 때 종료한다.

[0061] 감지 주기 동안, 비트 라인 BL 의 전위는 nMOS 트랜지스터 Q1 의 문턱 전압  $V_t$  의 분포의 상한보다 높게 유지되기 때문에, nMOS 트랜지스터 Q1 의 드레인 전류는 크고, 글로벌 비트 라인 GBL 의 기생 커패시턴스  $C_{gb}$  에 의해 충전된 전하는 급속도로 쇠퇴된다. 따라서, 글로벌 비트 라인 GBL 의 전위는 VSS 로 급속도로 방전된다.

감지 주기의 종료시에 글로벌 비트 라인 GBL 의 전위는 VSS 이고, 이 전위는 글로벌 비트 라인 감지 및 기록 회로 (30) 에 의해 로우로 검출되고, 반전 회로 (미도시) 에 의해 반전되고, 하이 데이터로 판독된다.

[0062] <제 3 실시형태>

[0063] 본 발명의 제 3 실시형태를 도 5 및 도 6 을 이용하여 기술한다.

[0064] 도 5 는 본 실시형태에 따른 가변 저항 메모리 셀에 대응하는 감지 증폭기를 포함하는 가변 저항 메모리 셀의 일부의 회로를 도시한다. 도시된 기본적 구조는 제 1 실시형태와 동일하기 때문에, 이하, 상이한 구성요소만을 기술한다.

[0065] <메모리 셀 및 감지 증폭기의 구조>

[0066] 비트 라인 BL 은 감지 증폭기를 구성하는 pMOS 트랜지스터 Q1 의 게이트에 접속되고, pMOS 트랜지스터 Q1 은 비트 라인에 판독된 신호 전압을 감지/증폭하고, 그 신호 전압을 드레인 전류로 변환한다. 감지 증폭기 판독 선택 pMOS 트랜지스터 Q3 은 게이트에서 선택 신호의 반전 신호 /RE 를 수신하고, 감지 증폭기의 출력 노드인 pMOS 트랜지스터 Q1 의 드레인과 글로벌 비트 라인 GBL 을 선택적으로 접속시킨다. 글로벌 비트 라인 프리차지 nMOS 트랜지스터 Q6 은 게이트에서 프리차지 신호 PC 를 수신하고, 글로벌 비트 라인 GBL 은 PC 가 하이 상태인 경우 접지 전위 VSS 로 프리차지된다.

[0067] <판독 동안 감지 증폭기의 동작 파형>

[0068] 도 6 은 판독 동안 감지 증폭기의 동작 파형을 도시하는 도면이다. 기본 동작은 제 1 실시형태와 동일하기 때문에, 이하, 상이한 부분만을 기술한다.

[0069] 먼저, 저저항 상태를 판독한 경우, PC 는 프리차지 해제 주기에서 로우로 변경되고, nMOS 트랜지스터 Q2 및 nMOS 트랜지스터 Q6 각각은 턴오프되고, 비트 라인 BL 및 글로벌 비트 라인 GBL 은 VSS 로 프리차지되는 상태로 플로팅중이다.

[0070] 그 후, 셀 선택 주기가 발생하는 경우, 신호 전압은, 워드 라인 WL 이 하이로 변경될 때 메모리 셀 (12) 의 저저항 상태에 대응하는 시상수에서 비트 라인 BL 로 판독된다. 선택 신호 RE 의 반전 신호 /RE 가 로우로 변경되는 경우, 감지 주기가 시작되고, 그 감지 주기는 /RE 가 하이로 변경되는 경우 종료된다.

[0071] 감지 주기 동안, 비트 라인 BL 의 전위는 pMOS 트랜지스터 Q1 의 문턱 전압  $V_t$  의 분포의 상한보다 높기 때문에, pMOS 트랜지스터 Q1 의 전류는 작고, 글로벌 비트 라인 GBL 의 기생 커패시턴스  $C_{gb}$  는 거의 충전되지 않는다.

[0072] 감지 주기의 종료시에 글로벌 비트 라인 GBL 의 전위는 실질적으로 VSS 로 유지되기 때문에, 그 전위는 글로벌 비트 라인 감지 및 기록 회로 (30) 에 의해 로우로 검출되고, 로우 데이터로 판독된다.

[0073] 고저항 상태를 판독한 경우, 먼저, PC 는 프리차지 해제 주기에서 로우로 변경되고, nMOS 트랜지스터 Q2 및 nMOS 트랜지스터 Q6 각각은 턴오프되고, 비트 라인 BL 및 글로벌 비트 라인 GBL 은 VSS 로 프리차지되는 상태로 플로팅된다.

[0074] 그 후, 셀 선택 주기가 발생하는 경우, 신호 전압은, 워드 라인 WL 이 하이로 변경될 때 메모리 셀 (12) 의 고저항 상태에 대응하는 시상수에서 비트 라인 BL 로 판독된다. 선택 신호 RE 의 반전 신호 /RE 가 순차적으로 로우로 변경되는 경우, 감지 주기가 시작되고, 그 감지 주기는 /RE 가 하이로 변경되는 경우 종료된다.

[0075] 감지 주기 동안, 비트 라인 BL 의 전위는 pMOS 트랜지스터 Q1 의 문턱 전압  $V_t$  의 분포의 하한보다 낮게 유지되기 때문에, pMOS 트랜지스터 Q1 의 드레인 전류는 크고, 글로벌 비트 라인 GBL 의 기생 커패시턴스는 급속도로 충전된다. 따라서, 글로벌 비트 라인 GBL 의 전위는 VSS 로부터 VDD 로 급속도로 충전된다. 감지 주기의 종료시에 글로벌 비트 라인 GBL 의 전위는 VDD 이고, 이 전위는, 글로벌 비트 라인 감지 및 기록 회로 (30) 에 의해 하이로 검출되고, 하이 데이터로 판독된다.

- [0076] <제 4 실시형태>
- [0077] 본 발명의 제 4 실시형태를 도 7 및 도 8 을 이용하여 기술한다.
- [0078] 도 7 은 본 실시형태에 따른 가변 저항 메모리 셀에 대응하는 감지 증폭기를 포함하는 가변 저항 메모리 셀 어레이의 일부의 회로를 도시한다. 도시된 기본 구조는 제 1 실시형태와 동일하기 때문에, 이하, 상이한 구성 요소만을 기술한다.
- [0079] <메모리 셀 및 감지 증폭기의 구조>
- [0080] 비트 라인 BL 은, 감지 증폭기를 구성하는 pMOS 트랜지스터 Q1 의 게이트에 접속되고, pMOS 트랜지스터 Q1 은 비트 라인으로 판독되는 신호 전압을 감지/증폭하고, 그 신호 전압을 드레인 전류로 변환한다. 프리차지 신호 PC 의 반전 신호 /PC 는 비트 라인 프리차지 pMOS 트랜지스터 Q2 의 게이트에 입력되고, 비트 라인 BL 은, /PC 가 로우 상태인 경우 전원 전위 VDD 로 프리차지된다.
- [0081] 감지 증폭기 판독 선택 pMOS 트랜지스터 Q3 은 선택 신호 RE 의 반전 신호 /RE 를 게이트에서 수신하고, 감지 증폭기의 출력 노드인 pMOS 트랜지스터 Q1 의 드레인과 비트 라인 GBL 을 선택적으로 접속시킨다.
- [0082] 메모리 셀 (13) 은 저항값의 크기에 기초하여 데이터를 저장하기 위해 저항 소자 Rs 및 선택 nMOS 트랜지스터 Q5 로 구성된다. nMOS 트랜지스터 Q5 의 게이트는 워드 라인 WL 에 접속되고, 드레인은 비트 라인 BL 에 접속되고, 소스는 저항 소자 Rs 의 일 단자에 접속된다. 저항 소자 Rs 의 다른 일 단자는 접지 전위 VSS 에 접속된다.
- [0083] 글로벌 비트 라인 프리차지 nMOS 트랜지스터 Q6 은 게이트에서 프리차지 신호 PC 를 수신하고, 글로벌 비트 라인 GBL 은, PC 가 하이 상태인 경우 접지 전위 VSS 로 프리차지된다.
- [0084] <판독 동안 감지 증폭기의 동작 파형>
- [0085] 도 8 은 판독 동안 감지 증폭기의 동작 파형을 도시하는 도면이다. 기본 동작은 제 1 실시형태와 동일하기 때문에, 이하, 상이한 부분만을 기술한다.
- [0086] 먼저, 저저항 상태를 판독하는 경우, PC 는 로우로 변경되고, /PC 는 프리차지 해제 주기에서 하이로 변경되고, pMOS 트랜지스터 Q2 및 nMOS 트랜지스터 Q6 각각은 턴오프되고, 비트 라인 BL 및 글로벌 비트 라인 GBL 은 각각 VDD 및 VSS 로 프리차지되는 상태로 플로팅중이다.
- [0087] 그 후, 셀 선택 주기가 발생하는 경우, 신호 전압은, 워드 라인 WL 이 하이로 변경될 때 메모리 셀 (13) 의 저저항 상태에 대응하는 시상수에서 비트 라인 BL 로 판독된다. 선택 신호의 반전 신호 /RE 가 순차적으로 로우로 변경되는 경우, 감지 주기가 시작하고, 감지 주기는 /RE 가 하이로 변경될 때 종료된다.
- [0088] 감지 주기 동안, 비트 라인 BL 의 전위는 pMOS 트랜지스터 Q1 의 문턱 전압  $V_t$  의 분포의 하한보다 낮게 유지되기 때문에, pMOS 트랜지스터 Q1 의 드레인 전류는 크고, 글로벌 비트 라인 GBL 의 전위는 VSS 로부터 VDD 로 급속도로 충전된다.
- [0089] 감지 주기의 종료시에 글로벌 비트 라인 GBL 의 전위는 VDD 이고, 이 전위는, 글로벌 비트 라인 감지 및 판독 회로 (30) 에 의해 하이로 검출되고, 반전 회로 (미도시) 에 의해 반전되고, 로우 데이터로 판독된다.
- [0090] 고저항 상태를 판독한 경우, 먼저, PC 는 로우로 변경되고, /PC 는 프리차지 해제 주기에서 하이로 변경되고, pMOS 트랜지스터 Q2 및 nMOS 트랜지스터 Q6 은 각각 턴오프되고, 비트 라인 BL 및 글로벌 비트 라인 GBL 은 각각 VDD 및 VSS 로 프리차지되는 상태로 플로팅중이다.
- [0091] 그 후, 셀 선택 주기가 발생하는 경우, 신호 전압은, 워드 라인 WL 이 하이로 변경될 때 메모리 셀 (13) 의 고저항 상태에 대응하는 시상수에서 비트 라인 BL 로 판독된다. 선택 신호의 반전 신호 /RE 가 순차적으로 로우로 변경되는 경우, 감지 주기가 시작하고, 그 감지 주기는 /RE 가 하이로 변경될 때 종료된다.
- [0092] 감지 주기 동안, 비트 라인 BL 의 전위는 pMOS 트랜지스터 Q1 의 문턱 전압  $V_t$  의 분포의 상한보다 높게 유지되기 때문에, pMOS 트랜지스터 Q1 의 드레인 전류는 작고, 글로벌 비트 라인 GBL 의 기생 커패시턴스  $C_{gb}$  는 거의 충전되지 않는다. 감지 주기의 종료시에 글로벌 비트 라인 GBL 의 전위는 실질적으로 VSS 로 유지되기 때문에, 그 전위는, 글로벌 비트 라인 감지 및 판독 회로 (30) 에 의해 로우로 검출되고, 반전 회로 (미도시) 에 의해 반전되고, 하이 데이터로서 판독된다.



- [0093] 기술한 실시형태들에 따르면, 신호가 메모리 셀로부터 판독되는 경우 비트 라인 커패시턴스가 감소되어, 가변 저항 메모리 셀이 높은 저항을 가지는 경우에도 급속도로 충전 및 방전이 가능한 구성이 채택된다. 따라서, 신호는 단일 MOS 트랜지스터에 의해 증폭되고, 따라서, 감지 증폭기의 표면적은 현저하게 감소될 수 있다. 복수의 증폭기가 글로벌 비트 라인에 접속되는 계층적 비트 라인 구조를 이용하여, 글로벌 감지 증폭기를 통해 정보 판독 및 기록 제어가 수행되고, 칩 면적 및 전류 소모를 증가시키지 않으면서 DRAM 과의 호환성이 유지될 수 있다.
- [0094] <제 1 변형예>
- [0095] 도 9 는 가변 저항 메모리 셀의 제 1 변형예를 도시한다. 감지 증폭기 부분의 구조는 도 1 과 동일하기 때문에, 이 구조는 또한 도 3, 도 5 및 도 7 에 도시된 회로들에 적용될 수 있다.
- [0096] 본 변형예의 메모리 셀 (14) 은 저항값의 크기에 기초하여 데이터를 저장하기 위해 저항 소자 Rs 및 선택 nMOS 트랜지스터 Q5 로 구성된다. nMOS 트랜지스터 Q5 의 게이트는 워드 라인 WL 에 접속되고, 드레인은 전원 전위 VDD 에 접속되고, 소스는 저항 소자 Rs 의 일 단자에 접속된다. 저항 소자 Rs 의 다른 일 단자는 비트 라인 BL 에 접속된다. 본 변형예의 메모리 셀 (14) 가 이용되는 경우의 동작은 도 1 과 실질적으로 동일하고, 메모리 셀 (14) 이 도 3, 도 5 및 도 7 에 도시된 회로들에 적용되는 경우의 동작은 도 3, 도 5 및 도 7 에 도시된 메모리 셀이 이용되는 경우의 동작과 실질적으로 동일하다.
- [0097] <제 2 변형예>
- [0098] 도 10 은 가변 저항 메모리 셀의 제 2 변형예를 도시한다. 감지 증폭기 부분의 구조는 도 1 과 동일하기 때문에, 이 구조는 또한 도 3, 도 5 및 도 7 에 도시된 회로들에 적용될 수 있다.
- [0099] 본 변형예의 메모리 셀 (15) 은 플로팅-바디 nMOS 트랜지스터 Q5 로 구성되며, 이 nMOS 트랜지스터 Q5 의 게이트는 워드 라인 WL 에 접속되고, 드레인은 전원 전위 VDD 에 접속되고, 소스는 비트 라인 BL 에 접속된다.
- [0100] nMOS 트랜지스터 Q5 의 플로팅 바디에 정공이 축적되는 상태에서는, nMOS 트랜지스터 Q5 의 문턱 전압  $V_t$  가 감소하고, "온" 저항이 감소한다. 이 시점에 "온" 전류의 하한  $i(H)_{min}$  은, 예를 들어,  $10 \mu A$  이다. nMOS 트랜지스터 Q5 의 플로팅 바디에 정공이 축적되지 않는 경우에는, nMOS 트랜지스터 Q5 의 문턱 전압  $V_t$  가 증가하고, "온" 저항이 증가한다. 이 시점에 "온" 전류의 상한  $i(L)_{max}$  는, 예를 들어,  $10 nA$  이다. 도 1, 도 3, 도 5 및 도 7 에 도시된 메모리 셀의 동작에서 저항 소자를 통해 흐르는 전류는 본 변형예의 nMOS 트랜지스터 Q5 의 "온" 전류와 실질적으로 동일하기 때문에, 본 변형예를 이용한 동작은 도 2, 도 4, 도 6 및 도 8 에 도시된 것과 동일한 방법으로 이용할 수 있다.
- [0101] <제 3 변형예>
- [0102] 도 11 은 가변 저항 메모리 셀의 제 3 변형예를 도시한다. 감지 증폭기 부분의 구조는 도 1 과 동일하기 때문에, 이 구조는 또한 도 3, 도 5 및 도 7 에 도시된 회로들에 적용될 수 있다.
- [0103] 본 변형예의 메모리 셀 (16) 은, 전하 트랩 영역이 게이트 절연막에 제공되는 nMOS 트랜지스터 Q5 로 구성되고, nMOS 트랜지스터 Q5 의 전하 트랩 영역에 전자가 축적되는 상태, 및 nMOS 트랜지스터 Q5 의 전하 트랩 영역에 전자가 축적되지 않는 상태에 따라 정보가 저장된다. nMOS 트랜지스터 Q5 의 게이트는 워드 라인 WL 에 접속되고, 드레인은 전원 전위 VDD 에 접속되고, 소스는 비트 라인 BL 에 접속된다.
- [0104] nMOS 트랜지스터 Q5 의 전하 트랩 영역에 전자가 축적되지 않는 상태에서는, nMOS 트랜지스터 Q5 의 문턱 전압  $V_t$  가 감소하고, "온" 저항이 감소한다. 이 시점에 "온" 전류의 하한  $i(H)_{min}$  은, 예를 들어,  $10 \mu A$  이다. nMOS 트랜지스터 Q5 의 전하 트랩 영역에 전자가 축적되는 경우, nMOS 트랜지스터 Q5 의 문턱 전압  $V_t$  가 증가하고, "온" 저항이 증가한다. 이 시점에 "온" 전류의 상한  $i(L)_{max}$  는, 예를 들어,  $10 nA$  이다. 도 1, 도 3, 도 5 및 도 7 에 도시된 메모리 셀의 동작에서 저항 소자를 통해 흐르는 전류는 본 변형예의 nMOS 트랜지스터 Q5 의 "온" 전류와 실질적으로 동일하기 때문에, 본 변형예를 이용한 동작은 도 2, 도 4, 도 6 및 도 8 에 도시된 것과 동일한 제어 방법을 이용할 수 있다.
- [0105] <제 4 변형예>
- [0106] 도 12 는 가변 저항 메모리 셀의 제 4 변형예를 도시한다. 감지 증폭기 부분의 구조는 도 1 과 동일하기 때문에, 이 구조는 또한 도 3, 도 5 및 도 7 에 도시된 회로들에 적용될 수 있다.
- [0107] 본 변형예의 메모리 셀 (17) 은, 게이트 절연막에 강유전체가 이용되는 구조를 갖는 nMOS 트랜지스터 Q5 로 구

성되고, 그 강유전체 막의 극성 방향에 따라 정보가 저장된다. nMOS 트랜지스터의 게이트는 워드 라인 WL에 접속되고, 드레인 전위 VDD에 접속되고, 소스는 비트 라인 BL에 접속된다.

[0108] nMOS 트랜지스터 Q5의 강유전체 막의 극성 방향이, 채널층이 포지티브인 상태인 경우에는, nMOS 트랜지스터 Q5의 문턱 전압  $V_t$ 가 감소하고, "온" 저항이 감소한다. 이 시점에 "온" 전류의 하한  $i(H)_{min}$ 은, 예를 들어, 10  $\mu A$ 이다. nMOS 트랜지스터 Q5의 강유전체 막의 극성 방향이, 채널층이 네거티브인 상태인 경우에는, nMOS 트랜지스터 Q5의 문턱 전압  $V_t$ 가 증가하고, "온" 저항이 증가한다. 이 시점에 "온" 전류의 상한  $i(L)_{max}$ 는, 예를 들어, 10 nA이다. 도 1, 도 3, 도 5 및 도 7에 도시된 메모리 셀의 동작에서 저항 소자를 통해 흐르는 전류는 본 변형예의 nMOS 트랜지스터 Q5의 "온" 전류와 실질적으로 동일하기 때문에, 본 변형예를 이용한 동작은 도 2, 도 4, 도 6 및 도 8에 도시된 것과 동일한 제어 방법을 이용할 수 있다.

[0109] 전술한 변형예들에 따르면, 메모리 셀이, 저항 및 MOS 트랜지스터, 플로팅-바디 MOS 트랜지스터, 게이트 절연막에 전하 트랩 영역이 제공되는 MOS 트랜지스터, 또는 게이트 절연막에 강유전체가 이용되는 MOS 트랜지스터로 구성되는 경우, 그 메모리 셀은, 전술한 실시형태들에서 기술한 단일-종단 감지 증폭기의 제어 방법과 동일한 제어 방법에 의해 제어될 수 있다.

[0110] 전술한 실시형태들에 따른 감지 회로에서는, 단일 전압이 단일 MOS 트랜지스터에 의해 증폭되어, 칩 면적이 증가되는 것이 방지된다. 따라서, 이 감지 회로는 높은 집적도를 갖는 데이터 프로세싱 시스템 등에 이용될 수 있다.

[0111] 본 발명의 실시형태를 첨부한 도면을 참조하여 상세히 설명했지만, 본 발명의 특정 구성은 이 실시형태들에 제한되지 않으며, 또한 본 발명은, 본 발명의 의도된 범주를 벗어나지 않는 범위에서의 설계 등을 포함한다.

[0112] 예를 들어, MOS 트랜지스터의 극성은 본 실시형태들에서 전술한 바와 같이 구성되었지만, MOS 트랜지스터의 극성들이 모두 반전된 회로 또한 구성될 수 있다. 이 경우, 전원 전위와 접지의 관계는 반전되고, 제어 신호의 극성 또한 반전된다.

### 도면의 간단한 설명

[0113] 도 1은 제 1 실시형태에 따른 감지 증폭기 및 가변 저항 메모리 셀의 구조를 도시하는 도면.

[0114] 도 2는 제 1 실시형태에 따른 감지 증폭기에서의 동작 파형을 도시하는 도면.

[0115] 도 3은 제 2 실시형태에 따른 감지 증폭기 및 가변 저항 메모리 셀의 구조를 도시하는 도면.

[0116] 도 4는 제 2 실시형태에 따른 감지 증폭기에서의 동작 파형을 도시하는 도면.

[0117] 도 5는 제 3 실시형태에 따른 감지 증폭기 및 가변 저항 메모리 셀의 구조를 도시하는 도면.

[0118] 도 6은 제 3 실시형태에 따른 감지 증폭기에서의 동작 파형을 도시하는 도면.

[0119] 도 7은 제 4 실시형태에 따른 감지 증폭기 및 가변 저항 메모리 셀의 구조를 도시하는 도면.

[0120] 도 8은 제 4 실시형태에 따른 감지 증폭기에서의 동작 파형을 도시하는 도면.

[0121] 도 9는 제 1 변형예에 따른 메모리 셀 및 감지 증폭기의 구조를 도시하는 도면.

[0122] 도 10은 제 2 변형예에 따른 메모리 셀 및 감지 증폭기의 구조를 도시하는 도면.

[0123] 도 11은 제 3 변형예에 따른 메모리 셀 및 감지 증폭기의 구조를 도시하는 도면.

[0124] 도 12는 제 4 변형예에 따른 메모리 셀 및 감지 증폭기의 구조를 도시하는 도면.

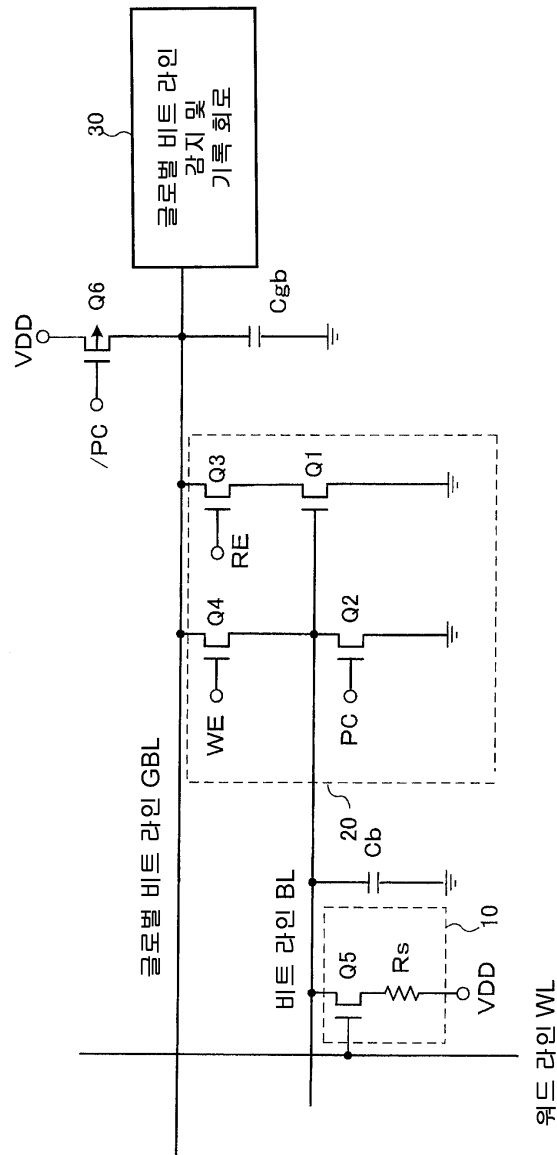
[0125] \*도면의 주요 부분에 대한 부호의 설명\*

[0126] 10, 11, 12, 13, 14, 15, 16, 17 : 메모리 셀

[0127] 20 : 감지 증폭기

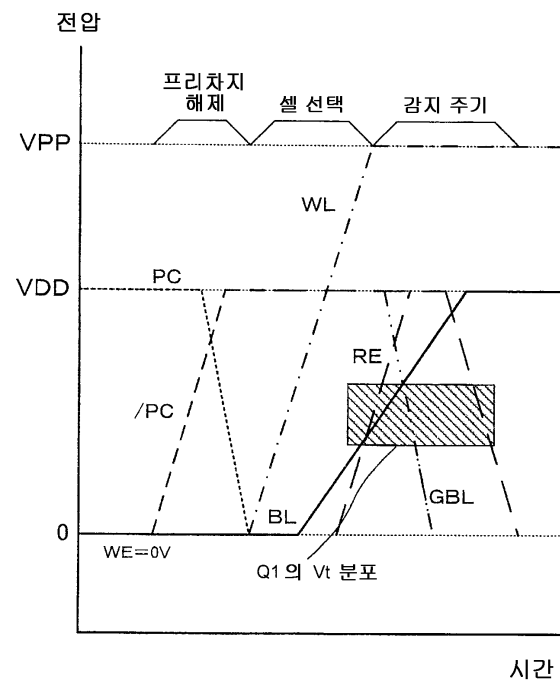
[0128] 30 : 글로벌 비트 라인 감지 및 기록 회로

도면  
도면1

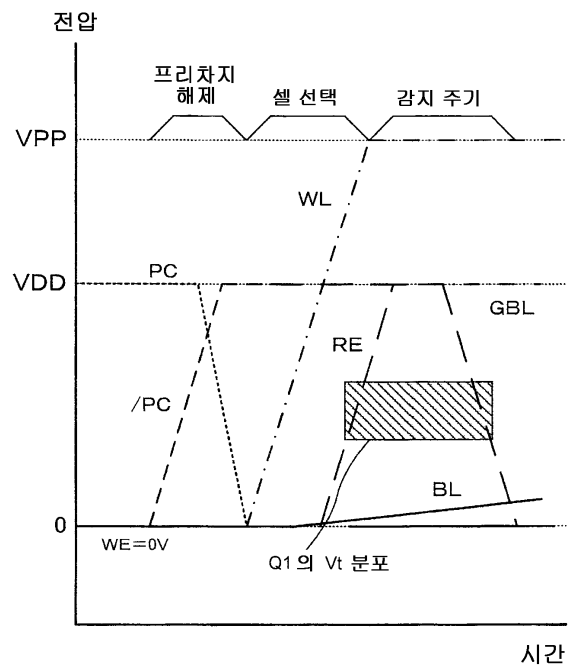




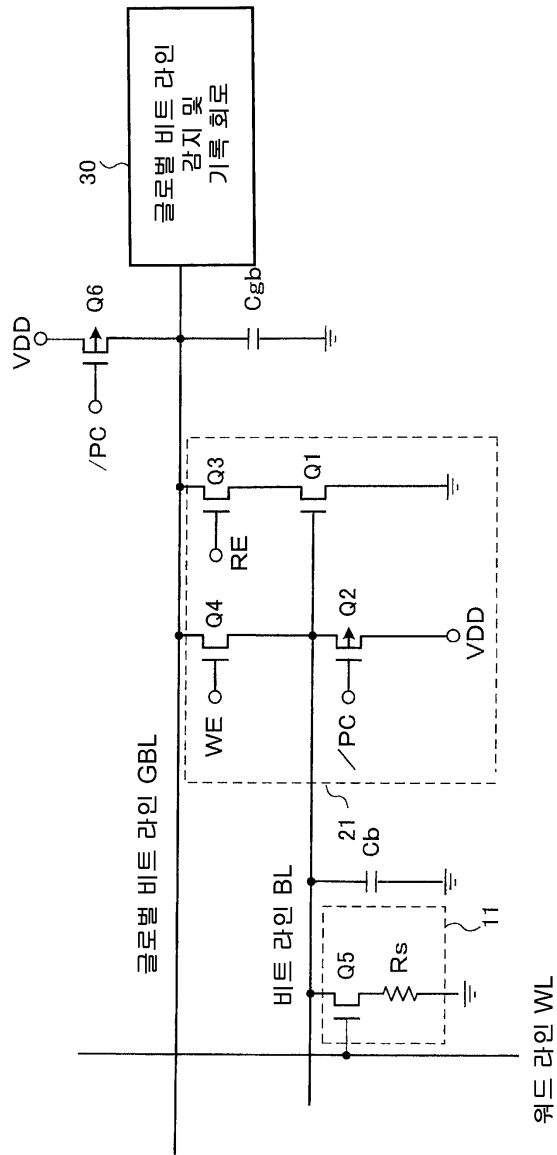
도면2a



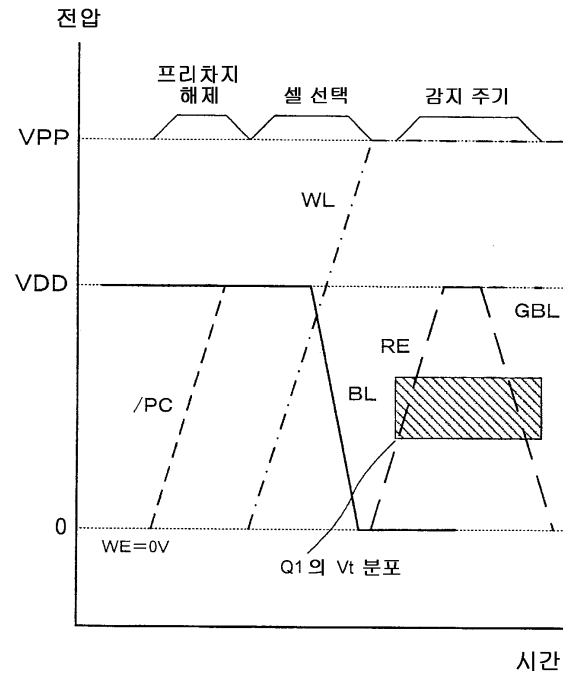
도면2b



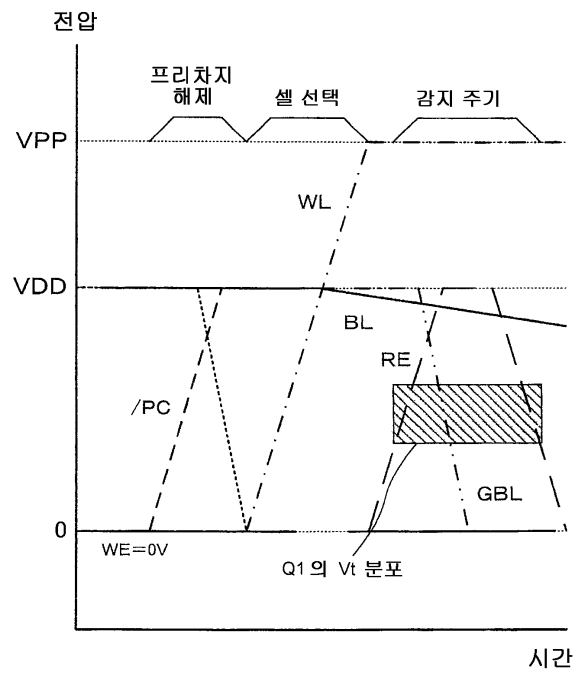
도면3



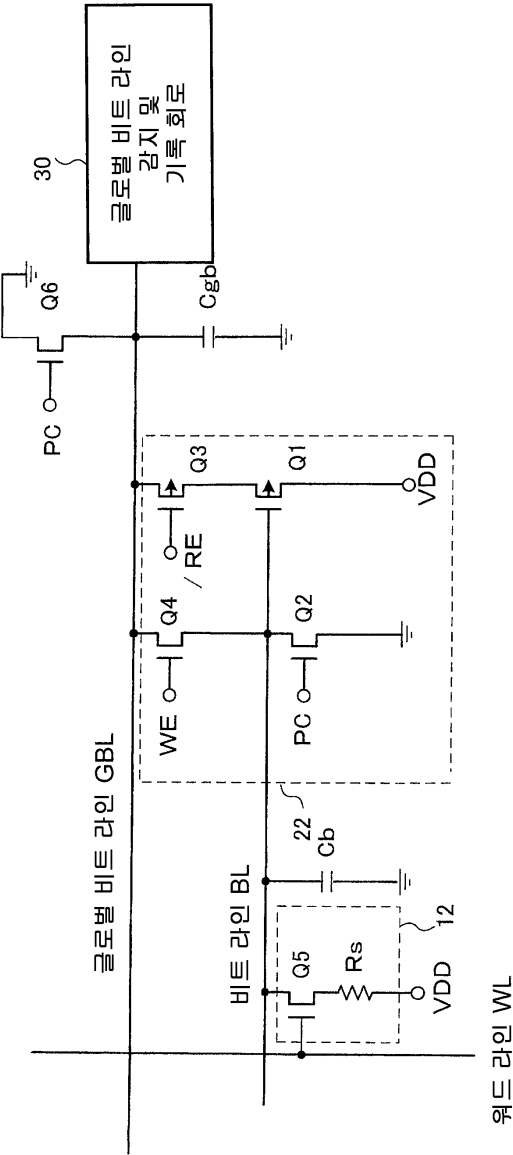
도면4a



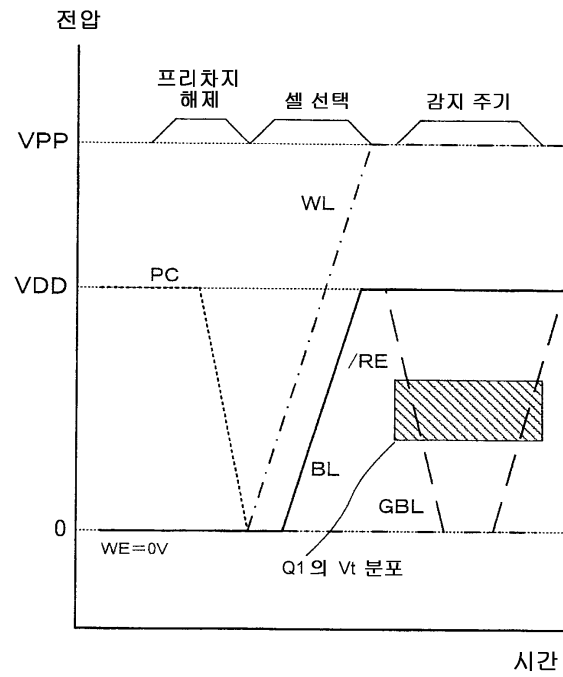
도면4b



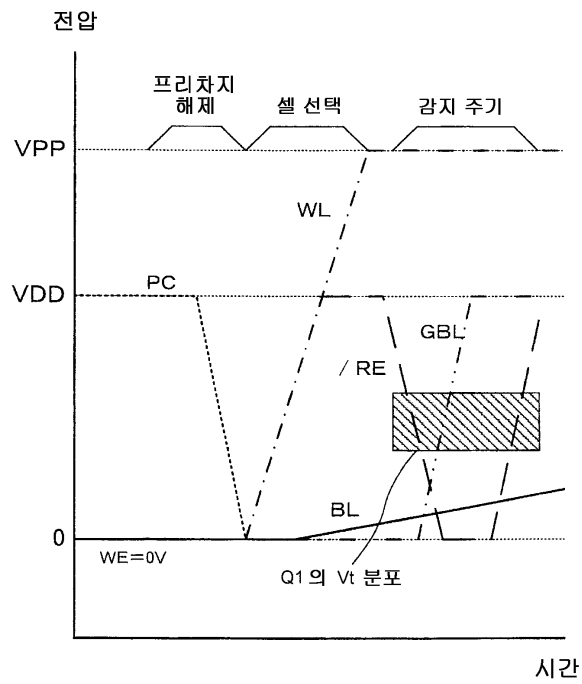
도면5



도면6a

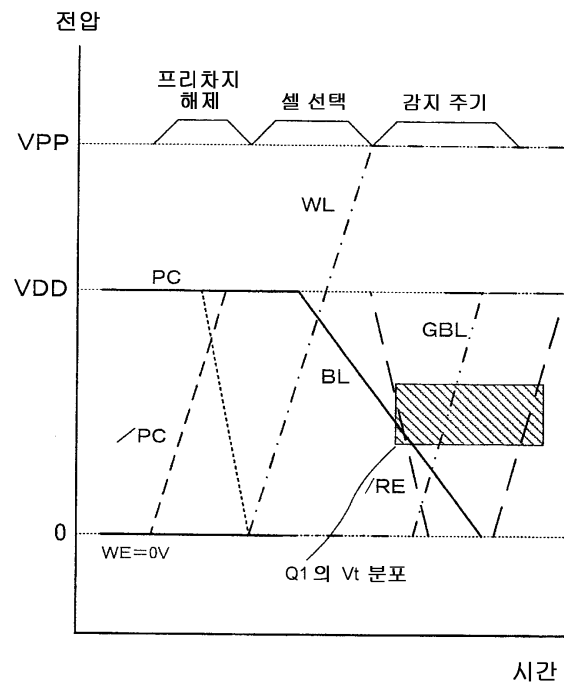


도면6b

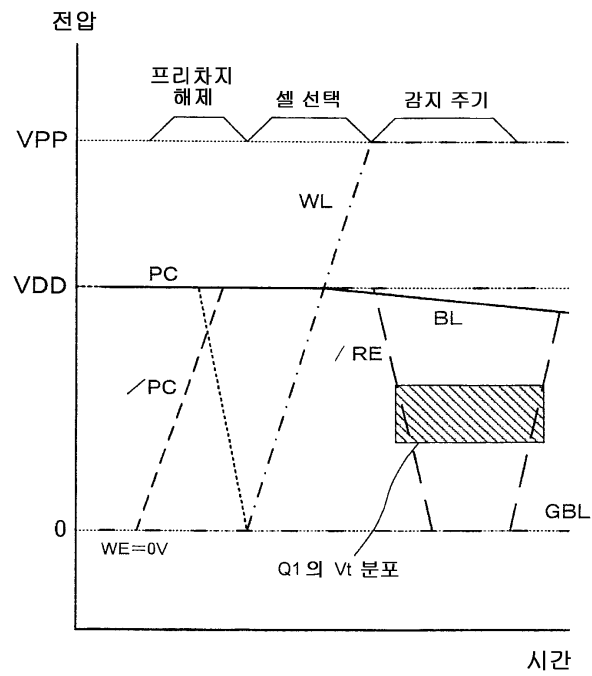




도면8a

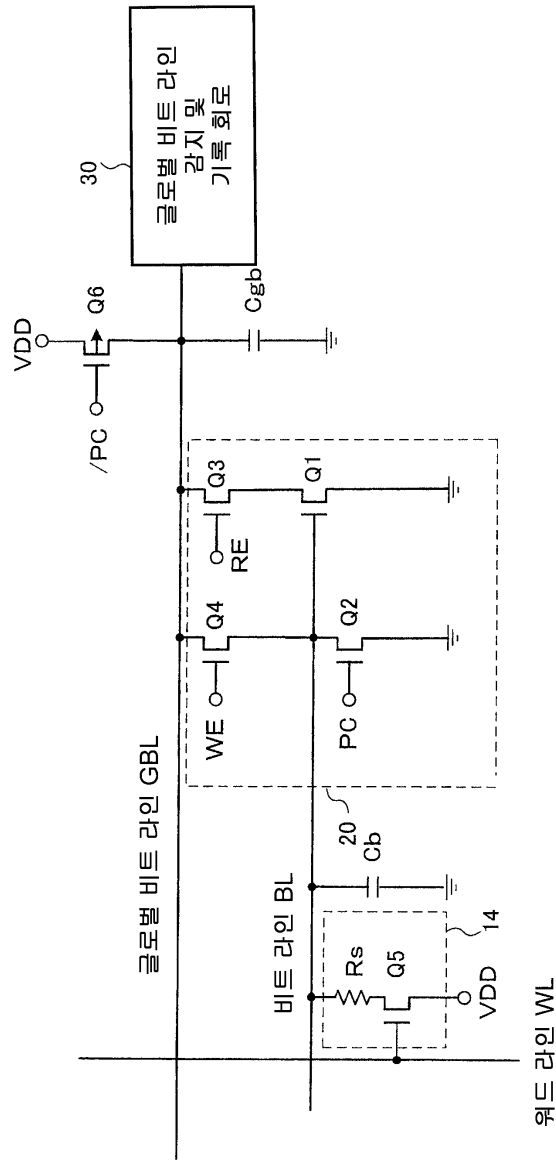


도면8b





도면9



도면10

