

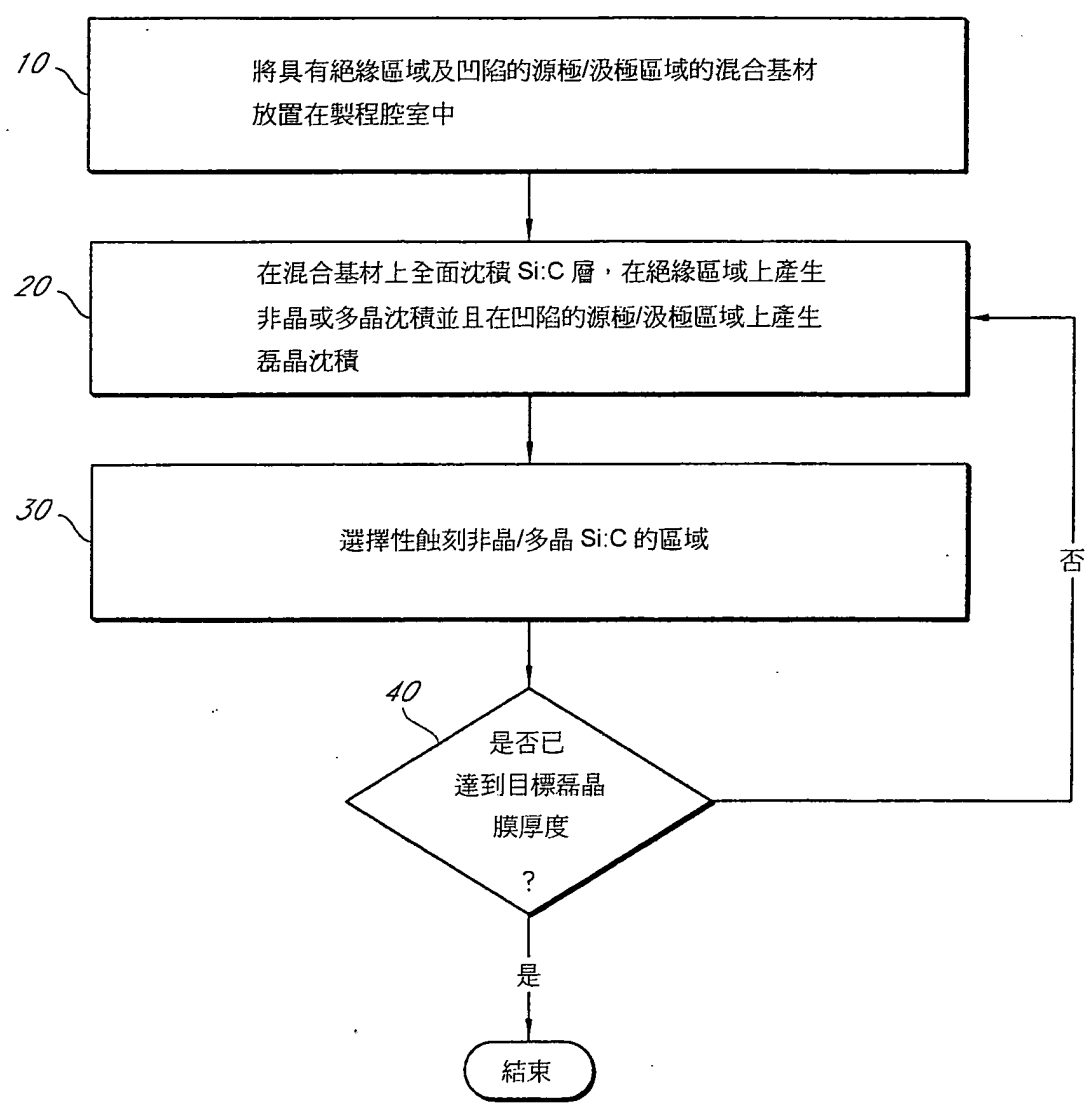


圖 1

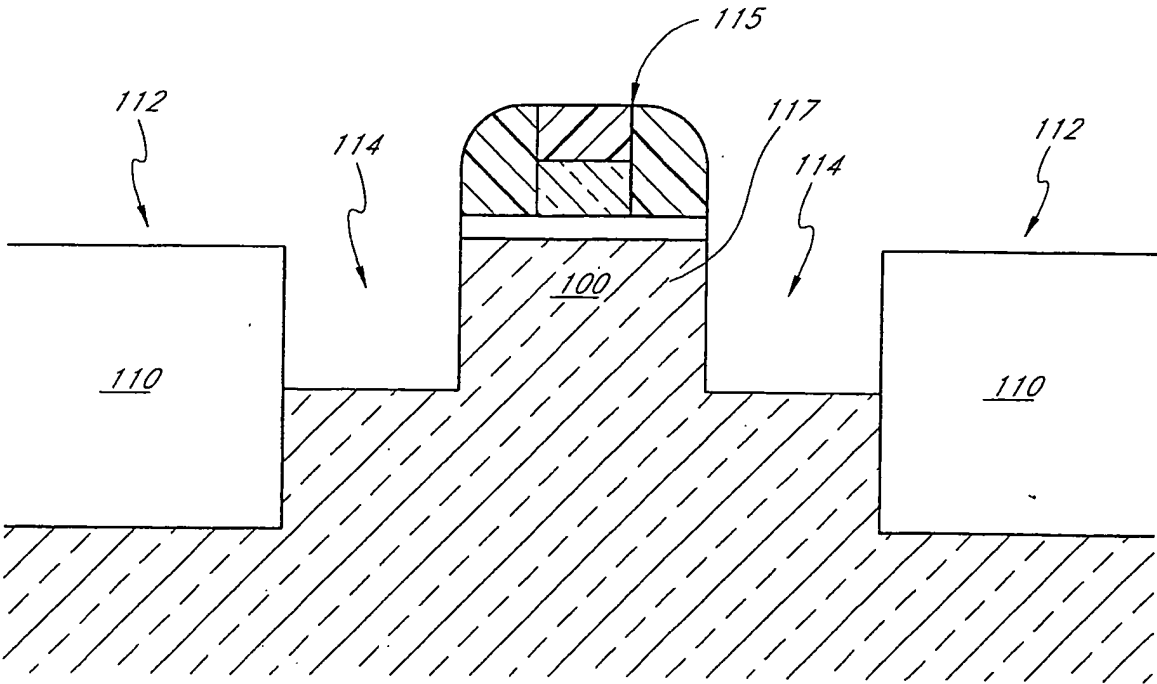


圖 2

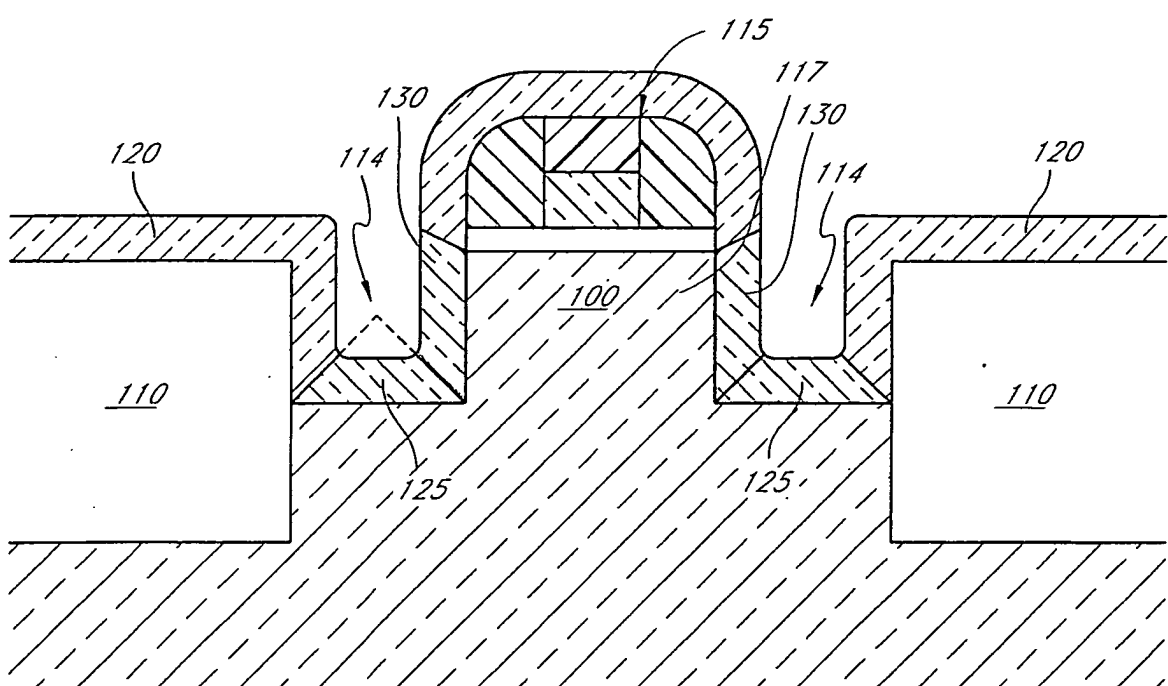


圖 3

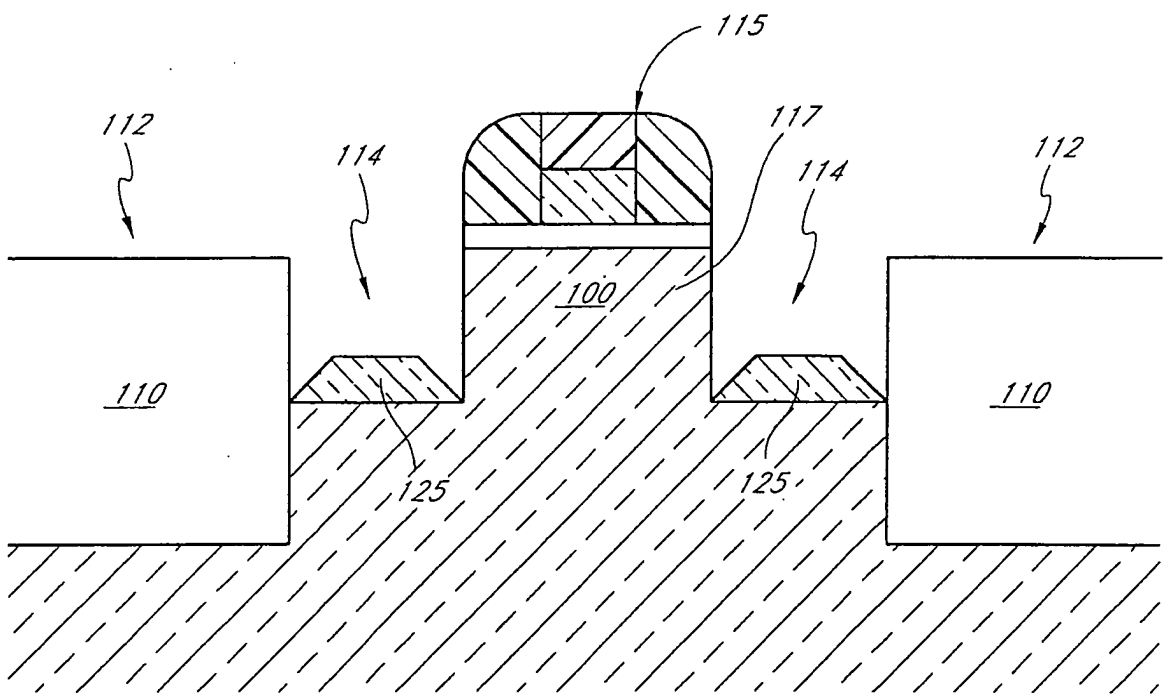


圖 4

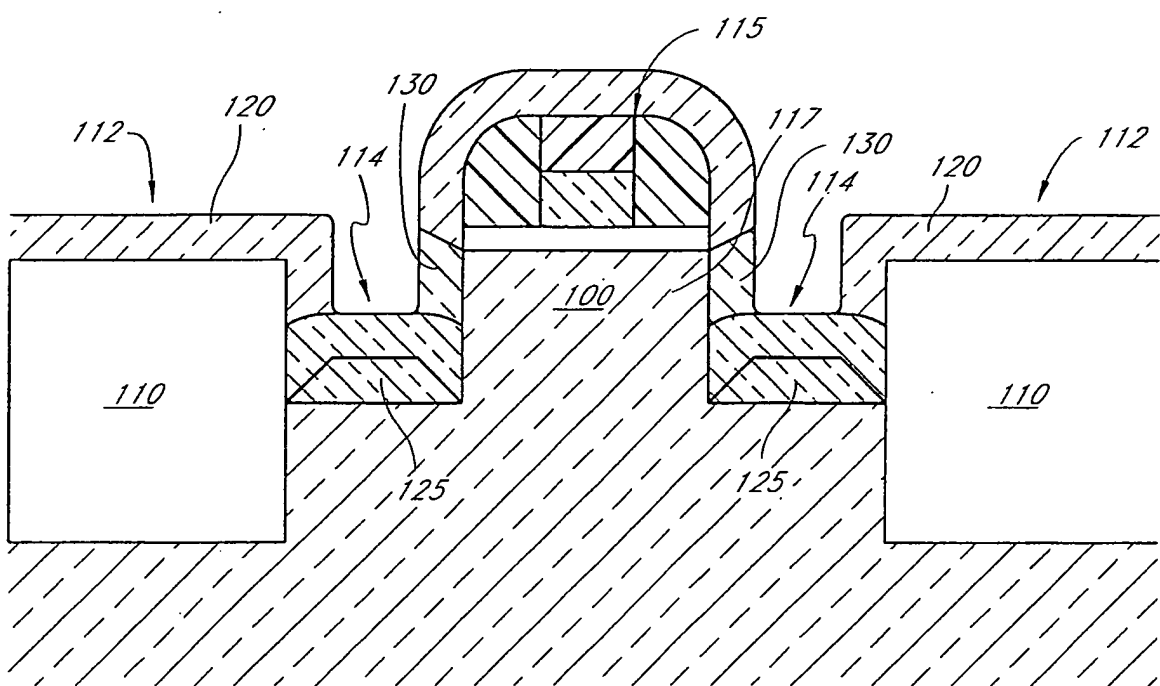


圖 5A

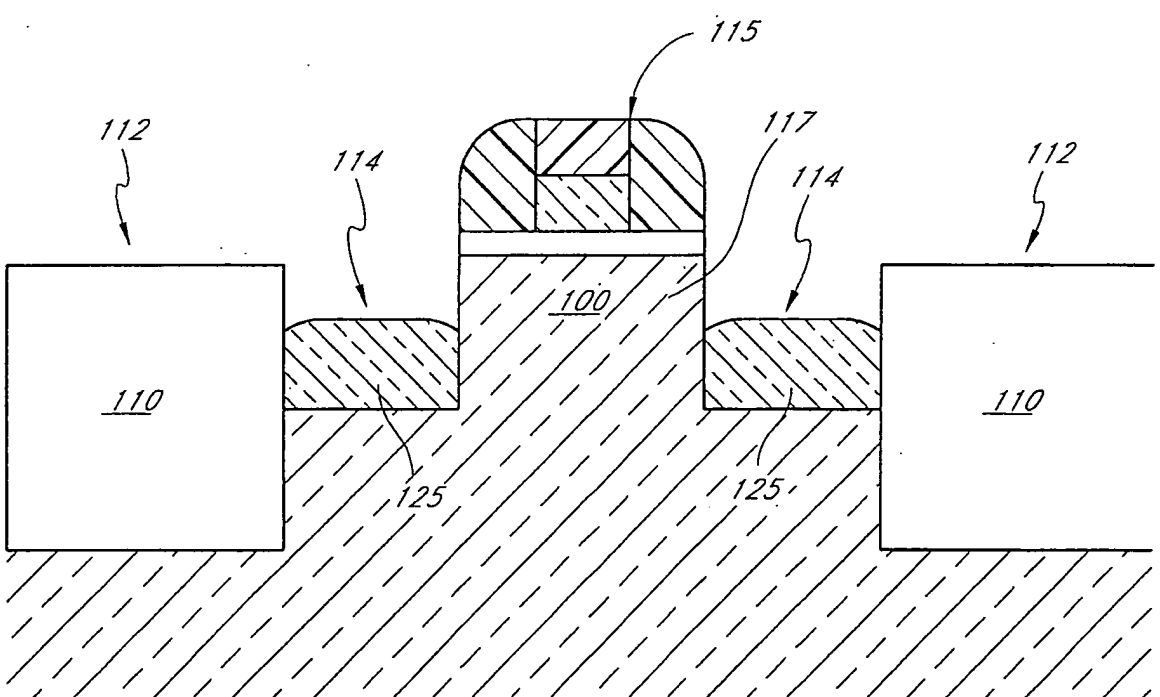


圖 5B

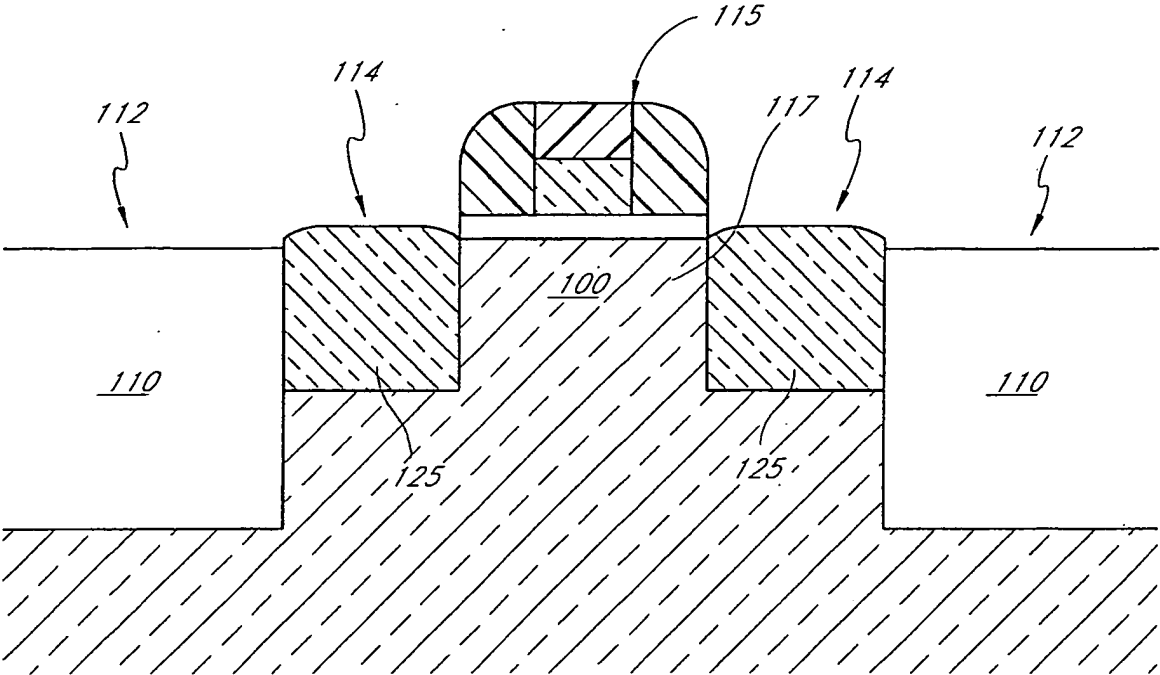


圖 5C

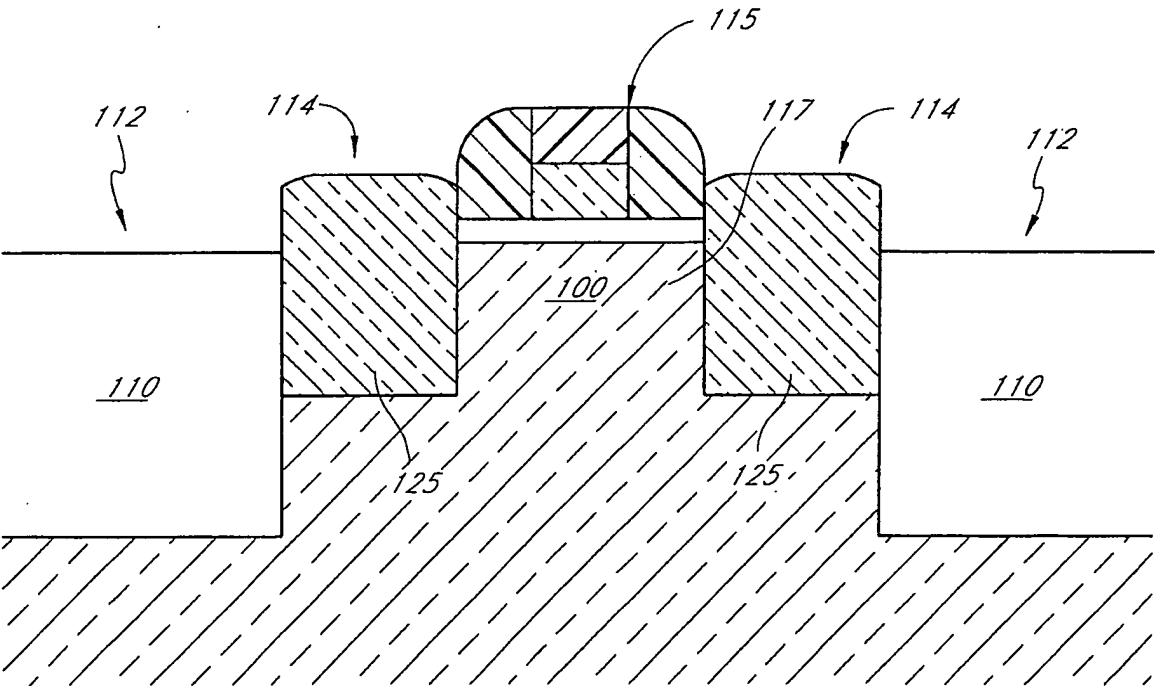


圖 5D

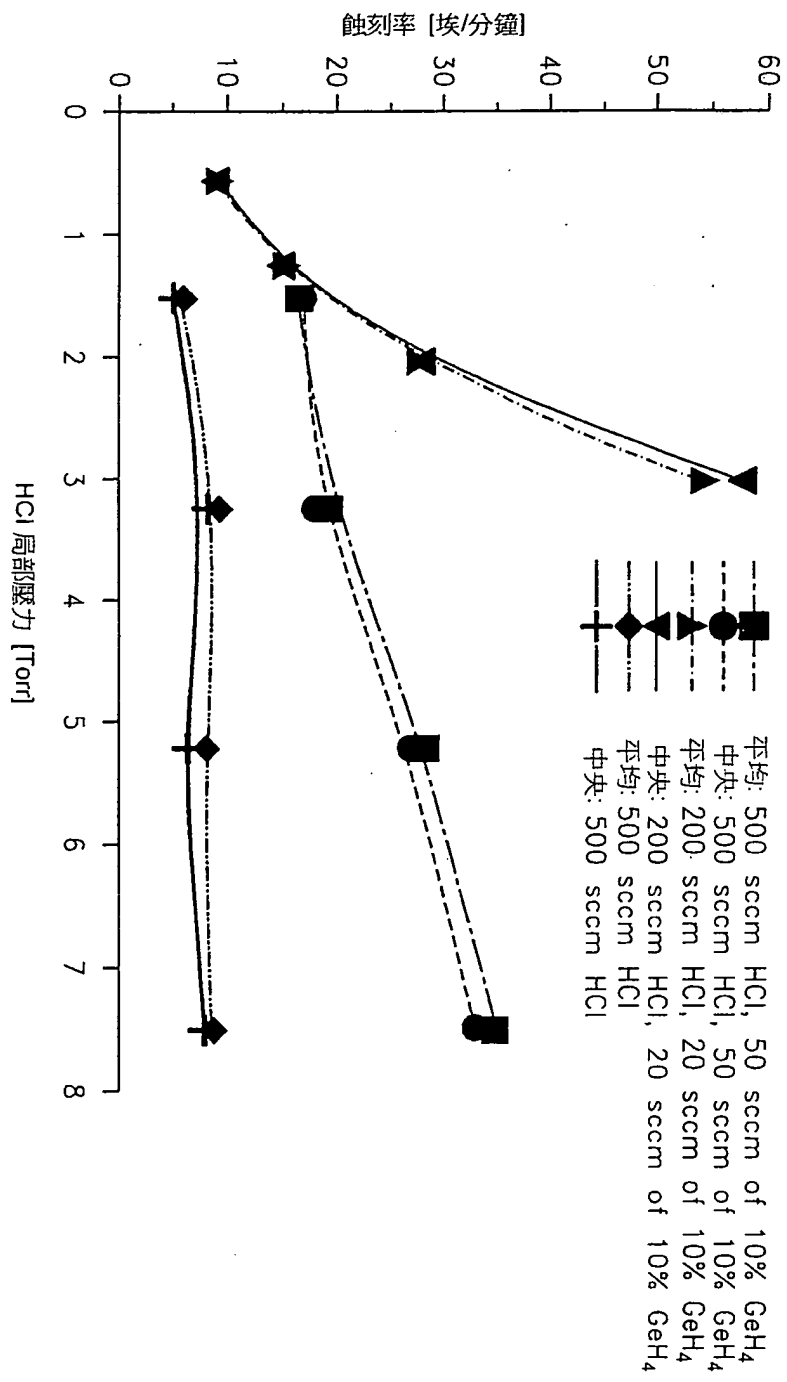


圖 6

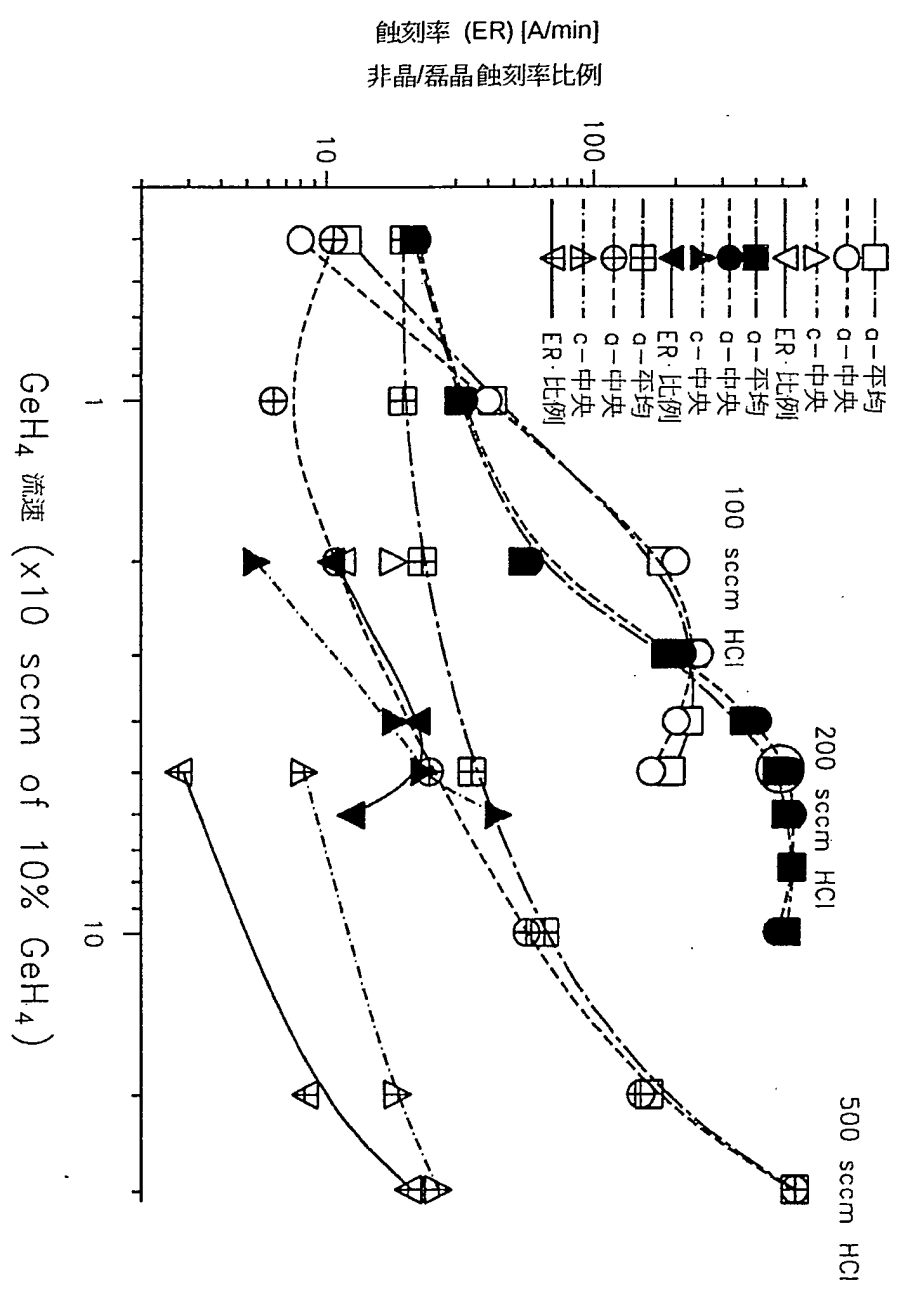


圖 7

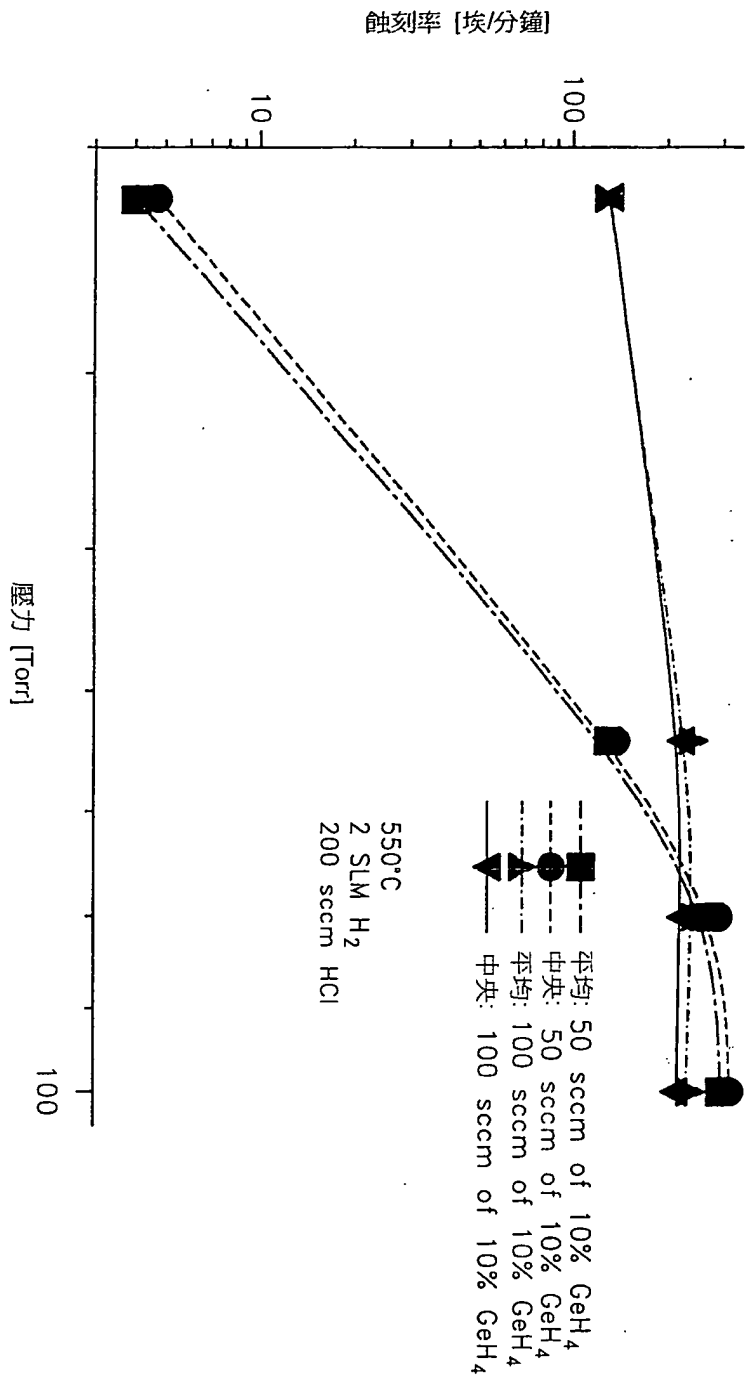


圖 8

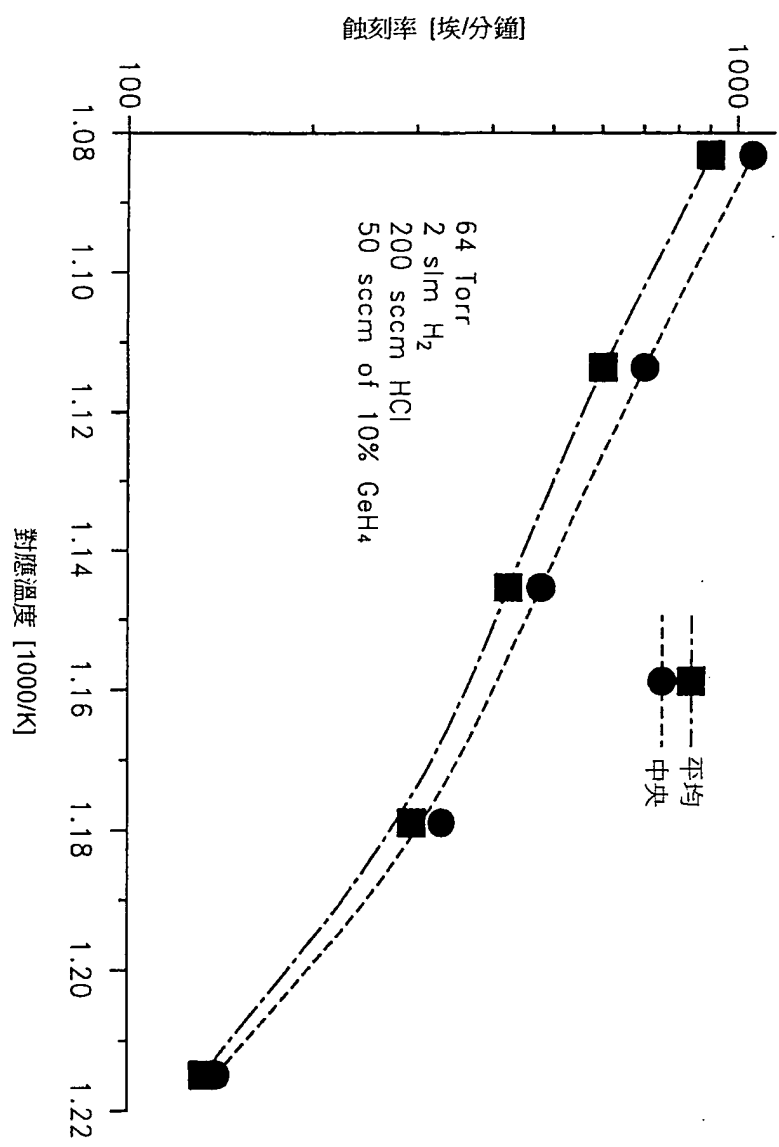


圖 9

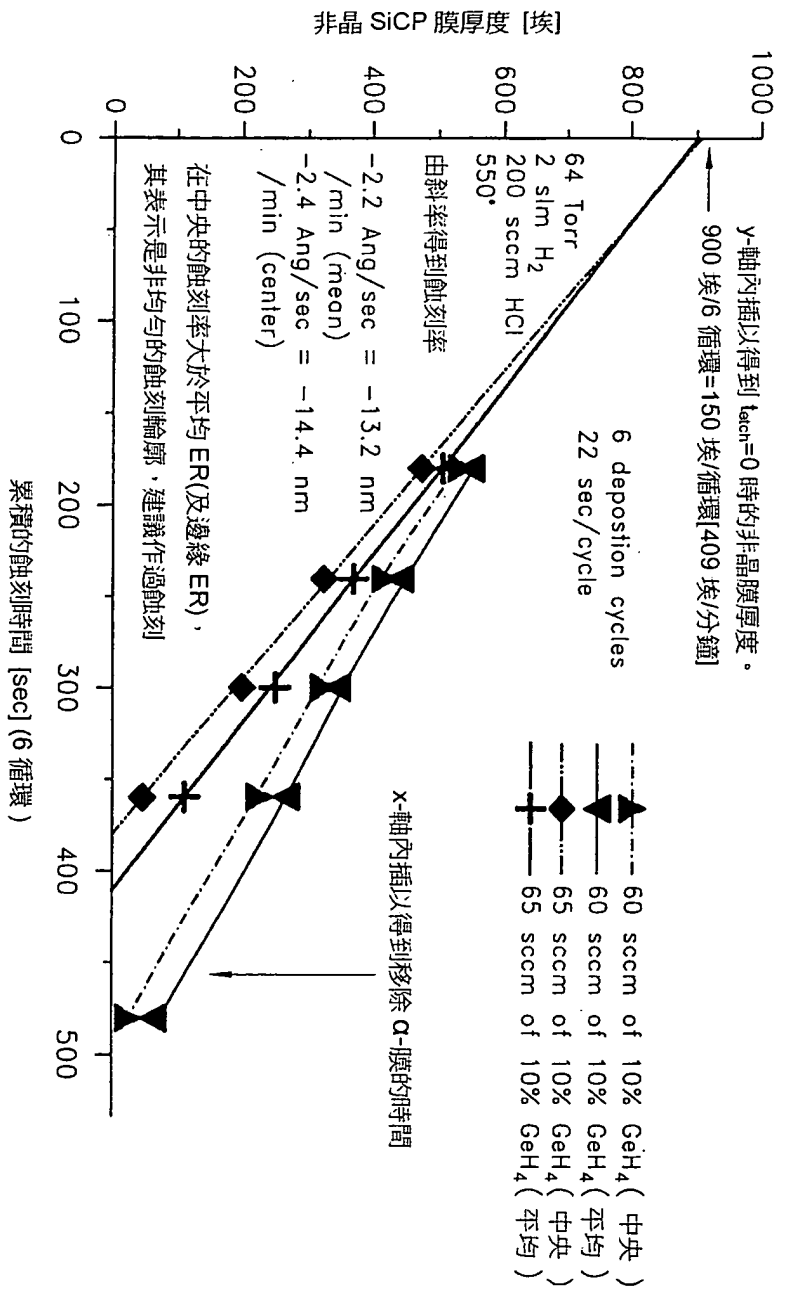


圖 10

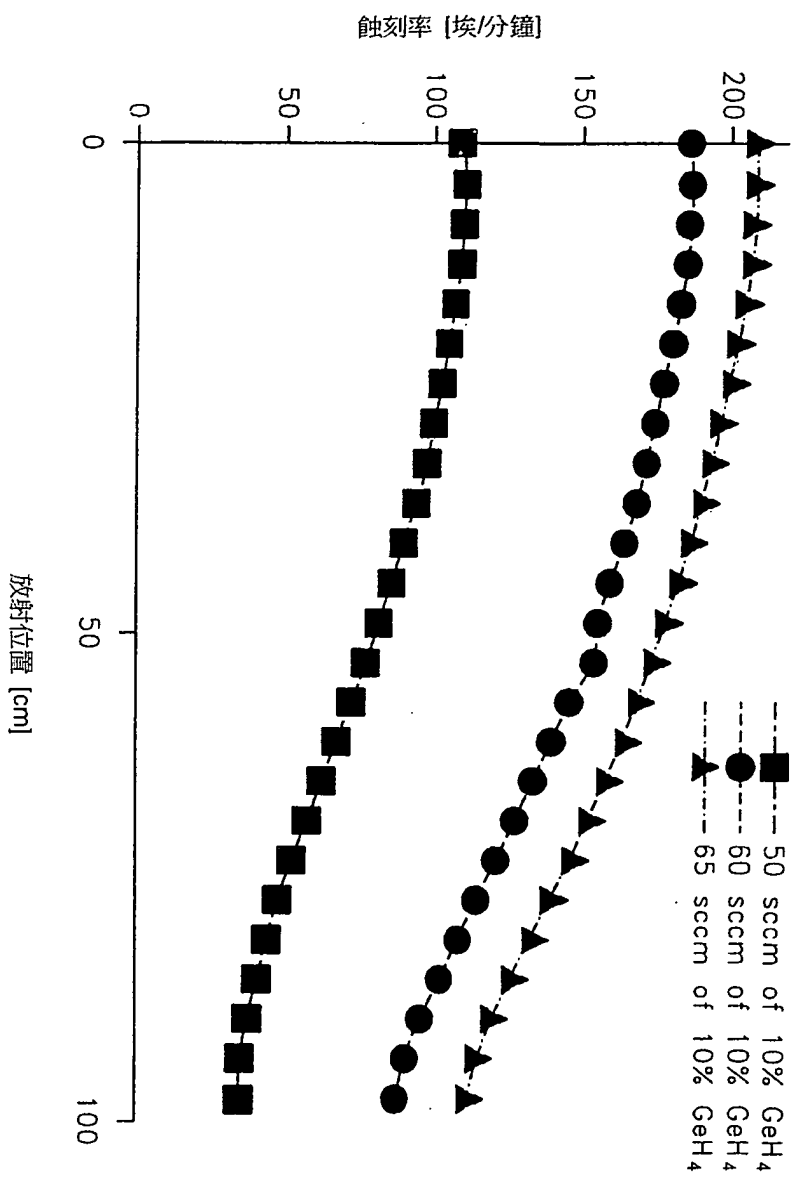


圖 11

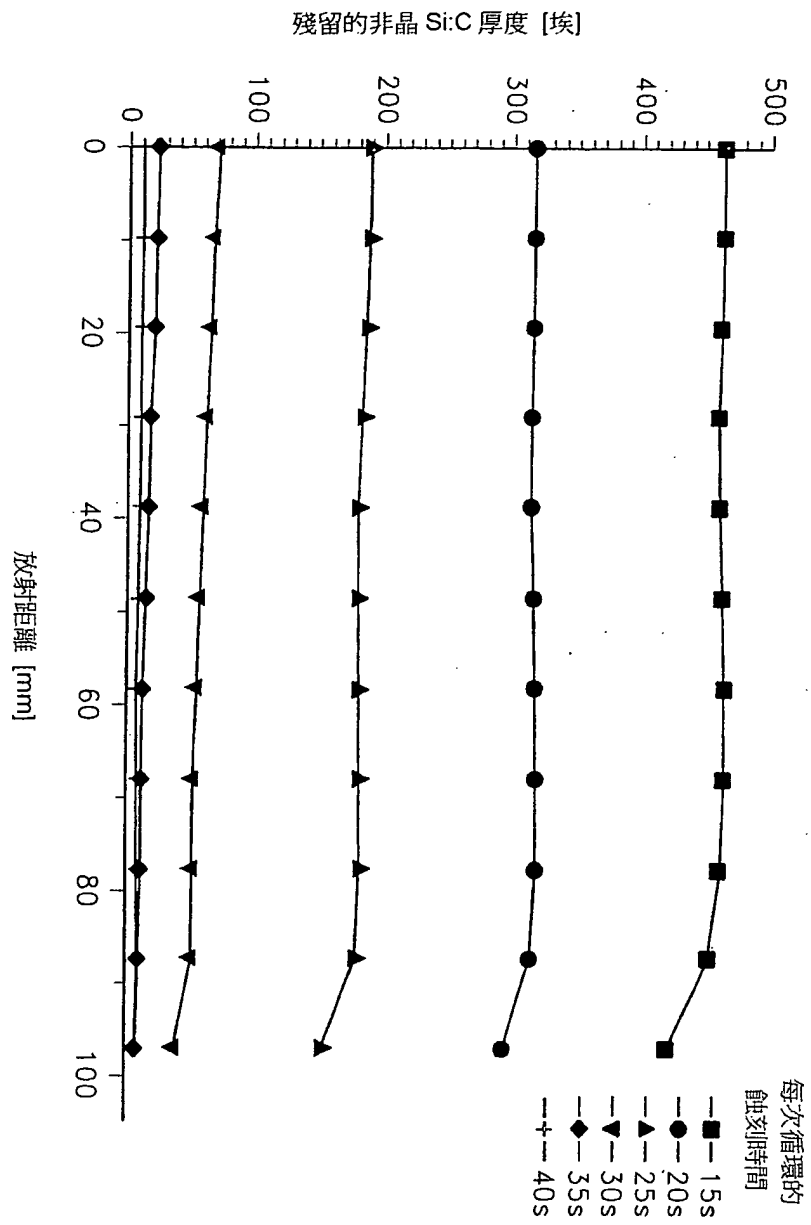


圖 12

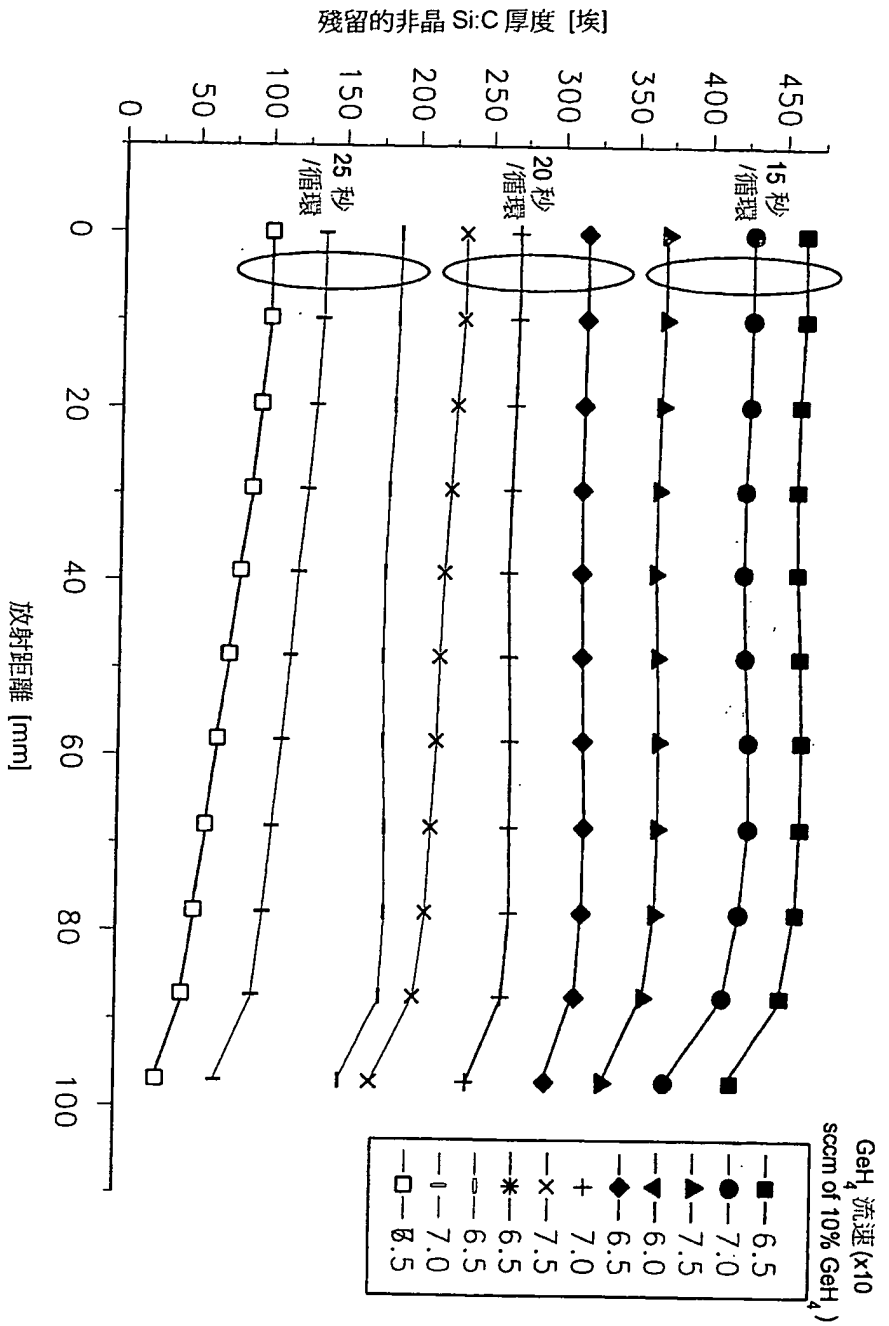
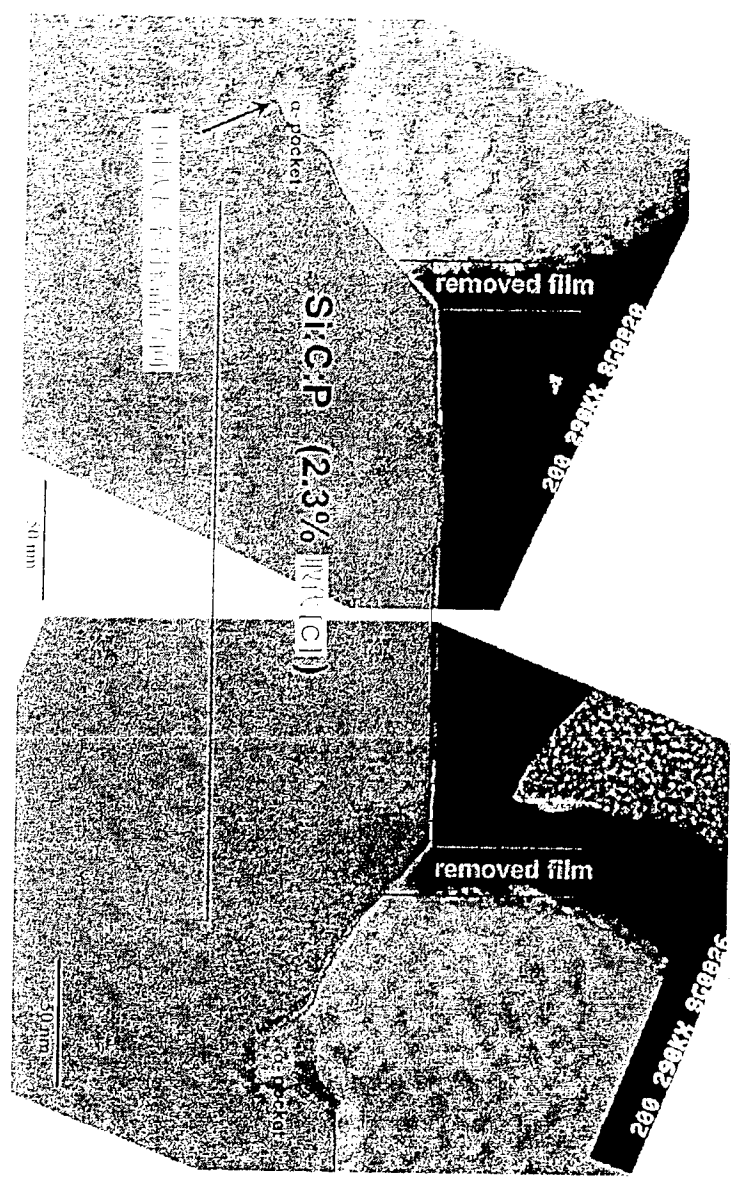
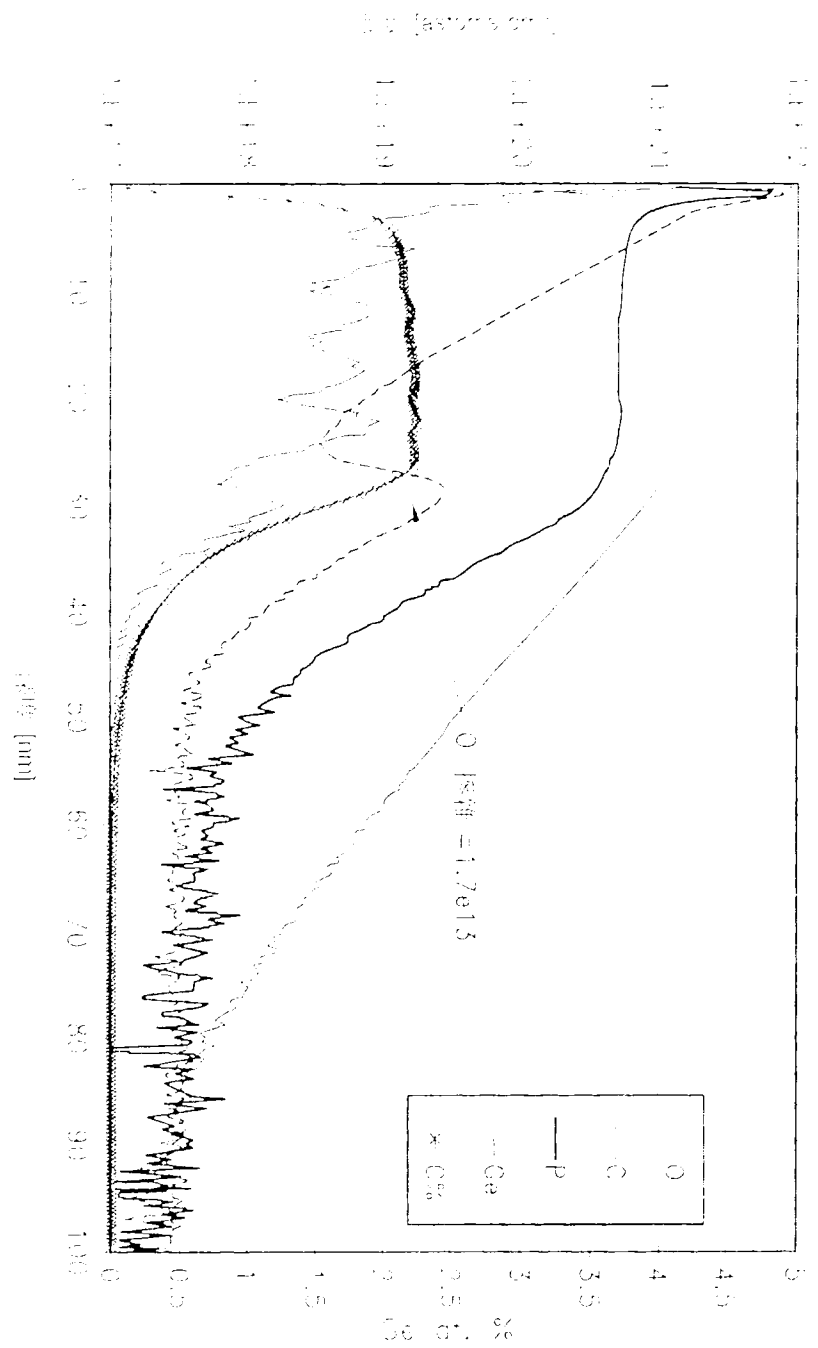


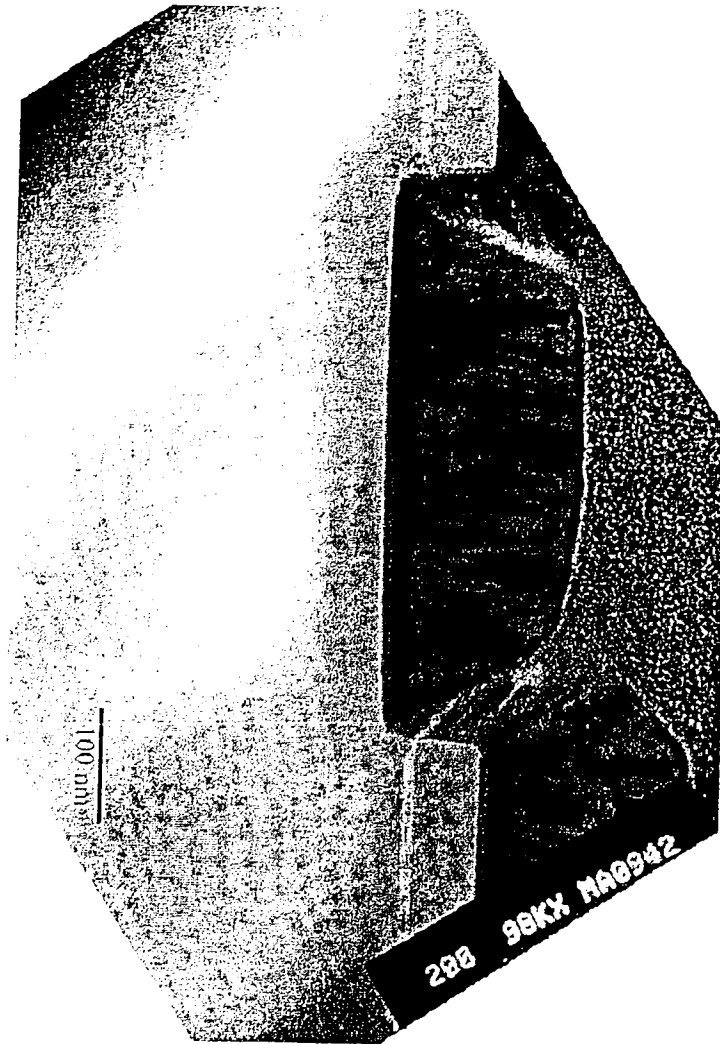
圖 13

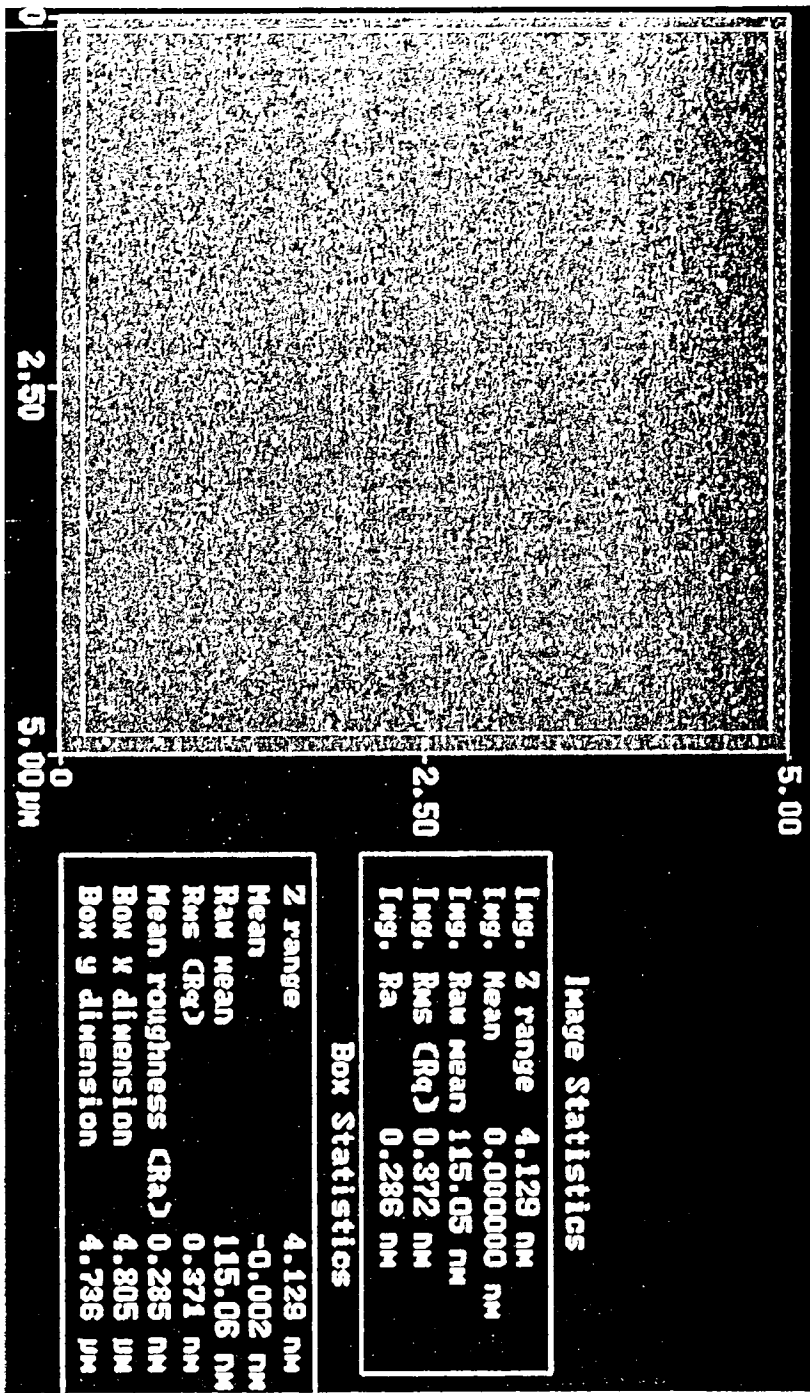


14



16





17



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096118850

※ 申請日期：96.5.25

※IPC 分類：H01L 21/205 (2006.01)

一、發明名稱：(中文/英文)

半導體膜之選擇性磊晶成長

SELECTIVE EPITAXIAL FORMATION OF SEMICONDUCTOR
FILMS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

ASM 美國股份有限公司

ASM AMERICA, INC.

代表人：(中文/英文) 圖德 衛斯特桑德/Todd, Westersund

住居所或營業所地址：(中文/英文)

美國亞利桑那州 85034-7200 鳳凰城東大學大道 3440 號

3440 EAST UNIVERSITY DRIVE, PHOENIX, AZ 85034-7200, UNITED
STATES OF AMERICA

國 籍：(中文/英文) 美國/US

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 波爾 麥特喜愛斯/BAUER, MATTHIAS

2. 威克斯 基斯 多倫/WEEKS, KEITH DORAN

國 籍：(中文/英文) 1.德國/DE 2.美國/US

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006/9/28；11/536,463
2. 美國；2006/6/7；60/811,703

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於在半導體製程中的含矽材料的沈積，且特別是有關於在半導體窗上選擇性形成含矽材料。

【先前技術】

在形成積體電路時，磊晶層經常設計在選擇的位置，例如在場絕緣區域內的主動區域，或是特別定義的源極與汲極區域。在沈積之後，當選擇性的自場氧化區域上移除非磊晶材料（非晶矽或多晶矽）時，通常會考慮同時提供化學氣相沈積(chemical vapor deposition, CVD)與蝕刻化學物質，並調整參數以在絕緣區域不產生沈積並且在暴露的半導體窗上產生磊晶沈積。此種製程，已知的是選擇性磊晶 CVD，其優點是在絕緣物上，例如氧化矽或氮化矽，的半導體沈積製程的成核率低。這樣的選擇性磊晶 CVD 另外的優點是，磊晶層相較於非晶矽與多晶矽材料來說更容易被蝕刻。

以選擇性磊晶形成半導體層通常包括會產生應變(strain)的一系列程序。半導體材料，例如矽、鍺以及矽鍺混合物，的電性通常會受到材料的應變的程度的影響。例如，矽在張應變(tensile strain)的情況下能提高其電子遷移率，而矽鍺混合物在壓應變(compressive strain)的情況下能提高其電子遷移率。在多變的半導體製程的應用中，提高半導體材料的效能的方法通常會被考慮、重視且高度的應用。半導體製程一般用於製造積體電路以及其他領域的元

件，其通常具有嚴格的品質要求。例如，半導體製程技術也可以用於平面顯示器以及微機電系統的製造。

許多有關降低矽-及含鍺材料的應變的研究都著重於利用不同結晶材料之間的晶格常數。例如，結晶鍺的晶格常數是 5.65 埃，結晶矽的晶格常數是 5.431 埃，且鑽石碳的晶格常數是 3.567 埃。異質磊晶牽涉沈積特定結晶材料的膜層至不同結晶材料上，以使沈積層接納底層單結晶材料的晶格常數。例如，藉由異質磊晶沈積將應變的矽鍺層形成於單結晶的矽基材上。由於鍺原子稍微比矽原子大，但所沈積的異質磊晶矽鍺受到在底下具有較小晶格常數的矽的抑制，矽鍺會被壓應變的程度會隨著鍺含量而變化。通常，矽鍺層的能帶隙(band gap)會隨著矽鍺中的鍺含量的增加而從純矽的能帶隙 1.12 eV 單純往純鍺的能帶隙 0.67 eV 降低。在另一方法中，藉由異質磊晶沈積矽層至鬆弛的矽鍺層時，張應變通常會存在於薄的單結晶矽層中。在此實例中，異質磊晶沈積的矽會被應變，這是因為其晶格常數被抑制到底下的鬆弛的矽鍺的較大的晶格常數。張應變的異質磊晶矽通常具有較高的電子遷移率。在上述兩種方法中，應變都是在元件(例如電晶體)製造之前於基材階段發展的。

在這些實例中，透過在晶格結構中將矽原子與其他原子置換可以引入應變至單晶的含矽材料中。此技術典型的是可取代的摻雜。例如，以鍺原子取代單晶矽的晶格結構中的一些矽原子可以在取代的摻雜的單晶矽材料中產生壓

應變，這是因為所置換的鍺原子比矽原子大。因此，也可以透過取代摻雜碳以於單晶矽中引入張應變，這是因為所置換的碳原子比矽原子小。更詳細的說明於參考資料“Substitutional Carbon Incorporation and Electronic Characterization of $\text{Si}_{1-y}\text{C}_y/\text{Si}$ and $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y/\text{Si}$ Heterojunctions” by Judy L. Hoyt, Chapter 3 in “Silicon-Germanium Carbon Alloy”, Taylor and Francis, pp. 59–89 (New York 2002)有描述，其為本發明之參考文獻，在此稱為“Hoyt 文獻”。然而，不可取代的雜質將不會引入應變。

類似地，導電摻雜物應也可以取代地併入磊晶層中以其具有導電性。這些摻雜物不是在沈積時併入就是需要回火以活化取代及摻雜活化至一特定程度。以原位方式(in situ)摻入符合晶格常數的雜質或導電摻雜物，由於回火會消耗熱預算，因此通常摻雜步驟與回火步驟兩者是以非原位(ex-situ)方式進行以使摻雜物併入晶格結構中。然而，實際上原位取代摻雜的趨勢是在沈積過程中會併入不可取代的摻雜物，例如，有間隙地併入了叢簇於矽中，而不是取代晶格結構中的矽原子。不可取代的摻雜牽涉了，例如，矽的碳摻雜、矽鍺的碳摻雜以及以導電活性摻雜物對矽與矽鍺的摻雜。在上述參考文獻的第 73 頁的圖 3.10 中描述到，先前的沈積方法可以使結晶矽具有原位摻雜的取代碳原子含量高達 2.3% 原子百分比，其是對應晶格間隙超過 5.4 埃以及張應力低於 1.0 GPa。

【發明內容】

依據本發明之目的，本發明提出一種在半導體窗中選

擇性形成半導體材料的方法，此包括在化學氣相沈積腔室中提供基材，上述之基材包括絕緣表面以及單晶半導體表面。全面沈積半導體材料於基材的絕緣表面以及單晶半導體表面，以使在絕緣表面上的非磊晶半導體材料與在單晶半導體表面上的磊晶半導體材料的厚度比例約小於 1.6：1。選擇性地自絕緣表面移除非磊晶半導體材料，其中上述之全面沈積以及選擇性移除之步驟是在化學氣相沈積腔室中進行。

依據本發明之另一目的，本發明提出一種選擇性形成半導體材料的方法。首先全面沈積半導體材料以於基材的單晶半導體表面上形成磊晶材料並且於基材的絕緣表面上形成非磊晶材料。透過暴露全面沈積的半導體材料在包括鹵化物源與鍍源的蝕刻化學物中，以選擇性地自絕緣表面移除非磊晶材料。至少重複一次上述之全面沈積以及選擇性移除步驟。

依據本發明之另一目的，本發明提出一種在基材上的選擇位置形成含矽材料的方法。此方法包括提供基材，其具有位在場絕緣區域之中的暴露的單晶半導體窗。藉由在基材上通入三矽烷以在單晶半導體窗以及場絕緣區域上方全面沈積含矽材料。接著，自場絕緣區域上方選擇性移除含矽材料。之後，以多次循環重複地進行上述之全面沈積與選擇性移除。

依據本發明之另一目的，本發明提出一種選擇性形成磊晶半導體材料的方法。此方法包括提供基材，其已形成

有絕緣區域以及半導體窗。在絕緣區域沈積非晶半導體材料並且在半導體窗上沈積磊晶半導體材料。接著選擇性自絕緣區域上蝕刻非晶半導體材料，並且留下在半導體窗中的至少一些磊晶半導體材料。之後，以多次循環重複地進行上述之全面沈積與選擇性移除。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

沈積技術通常會在基材的不同區域調整其沈積量或沈積型態。例如，US 6,998,305 模擬了在矽上的選擇性沈積的蝕刻與沈積反應。為了控制在第三型的表面(又稱為暴露的電晶體的閘極)的沈積，US 6,998,305 教示以循環地交替選擇性沈積與蝕刻。然而，其發明人有提到選擇沈積的化學物質有時候會在沈積層上產生非預期的作用。當所述的實施例以碳-摻雜矽作為特殊實例以應用於 NMOS 時，熟習該領域的人可以體會所述的方法可以應用於許多半導體應用，也就是在欲使用選擇性形成一膜層但蝕刻劑卻會干擾沈積層性質時。

沈積方法可用於製造多種取代的摻雜單晶含矽材料。例如，其可以藉由進行相對高的速率的沈積步驟以進行結晶矽的原位取代摻雜，其是以三矽烷作為矽源並以含碳氣體或蒸氣作為碳源。碳-摻雜的含矽混合物是互補於矽鍍系統。取代摻雜的程度是 70% 或更高，其是以取代碳摻

雜的重量百分比來表示，且其是基於在矽中的碳摻雜(取代與非取代)的總量而言。形成碳-摻雜的含矽材料可以解決一些問題，包括在碳與矽之間的晶格的不搭配、在矽中的碳的低溶解度以及碳-摻雜矽的沈澱的傾向。而有關原位取代結晶矽的碳摻雜的詳細描述可以參考美國專利申請號 11/343,275(在 2006/1/30 提出申請，代理人檔號為 ASMEX.511A)。

在此所使用的『含矽材料』以及類似的用語是廣義的包含含矽材料的多種變化，其包括但不限制為矽(包括結晶矽)、碳-摻雜矽 (Si:C) 以及碳-摻雜矽鍺 (SiGe:C)。在此所使用的『碳-摻雜矽』、『 Si:C 』、『矽鍺』、『碳-摻雜矽鍺』、『 SiGe:C 』及類似的用語所指的材料包含多種比例的必要的化學元素以及選擇性的其他次要含量的元素。例如，『矽鍺』包含了矽、鍺以及選擇性的其他元素，其例如是摻雜物，如碳或導電活性摻雜物。而『 Si:C 』以及『 SiGe:C 』並非化學劑量的形式，因此其並非限定材料含特定比例的元素。另外，『 Si:C 』以及『 SiGe:C 』並不排除有其他的摻雜物，因此磷以及碳-摻雜矽材料包括在『 Si:C 』以及『 Si:C:P 』中。在含矽薄膜中的摻雜物(例如碳、鍺或導電活性摻雜物)的百分比在此是以原子百分比來表示，除非有特別的聲明指出。

透過以 X 光繞射量測摻雜的含矽材料的垂直晶格間距可以得知在含矽材料中碳取代摻雜的量，之後藉由在單晶矽與單晶碳(鑽石)之間以內插方式來應用 Vegard's Law。

例如，透過以 X 光繞射量測摻雜的含矽材料的垂直晶格間距以得知在含矽材料中碳取代摻雜的量，之後應用 Vegard's Law。有關此技術的詳細描述可參考 Hoyt 文獻。另外，可以利用二次離子質譜(SIMS)以得知摻雜矽中的總碳量。此外，可以藉由自總碳含量減去取代碳的含量來得到非取代碳的量。再者，可以以相似的方式取得其他含矽材料中的其他取代元素的含量。

在此所使用的『基材』是指沈積在其上的工作件，或是其表面會暴露在一種或多種沈積氣體。例如，在特定的實施例中，基材是單晶矽晶圓、半導體在絕緣體上的基材、磊晶矽基材、矽鍍基材或是在晶圓上沈積有 III-V 族材料。工作件不限是晶圓，其還可以是玻璃、塑膠或是其他應用於半導體製程的基材。如 US 6,900,155 中所揭露，『混合基材』是具有兩種或多種表面型態的基材。例如，特定的應用的混合基材包括具有第一表面型態的第一表面以及具有第二表面型態的第二表面。在特定的實施例中，碳-摻雜的含矽層是選擇性的形成在單晶半導體材料層，同時最小化且更佳地避免在鄰近的介電質或絕緣質上沈積。介電材料之範例包括二氧化矽（其包括低介電常數形式，諸如，碳-摻雜或氟-摻雜的二氧化矽）、氮化矽、金屬氧化物以及金屬矽酸鹽。『磊晶的』、『磊晶地』、『異質磊晶的』、『異質磊晶地』以及類似用語在本文中表示按以下方式將結晶含矽材料沈積至結晶基材上：所沈積層採用或遵循基材之晶格常數。當所沈積層之組合物與基材之組合物不同時，將

磊晶沈積視為異質磊晶。

即使材料由同一元素製成，若暴露的表面之形態（結晶性）不同，則表面亦可不同。本文中描述之製程可用於將含矽的膜沈積於各種各樣的基材上，但尤其可用於沈積至具有混合表面形態之混合基材上。此混合基材包括具有第一表面形態之第一暴露表面以及具有第二表面形態之第二暴露表面。在本文中，『表面形態』是指基材表面之結晶結構。非晶與結晶為不同形態之範例。多晶形態是由有序晶體之無序排列組成之結晶結構，且因此具有中等有序度（degree of order）。多晶材料中之原子在每一晶體中是有序的，但晶體自身關於彼此在長距離上無序。單晶形態是具有高的長距有序度之結晶結構。磊晶膜的特徵在於與基材（膜生長於其上，通常為單晶的）相同的晶體結構以及定向。此等材料中之原子排列於在相對長的距離（按原子標度）上持續之晶格狀結構中。非晶形態是具有低有序度之非結晶結構，因為原子沒有明確的週期性排列。其他形態包括微結晶以及非晶材料與結晶材料之混合物。如本文中所使用，『單晶』或『磊晶』是用以描述通常用於電晶體製造之非常大的晶體結構，其中可能具有可容許數目個缺陷。熟習此技藝者應瞭解，層之結晶性通常沿著連續體自非晶變成多晶至單晶；熟習此技藝者可易於判定何時將晶體結構視為單晶或磊晶，而不管低密度缺陷。混合基材之具體範例包括（但不限於）單晶/多晶、單晶/非晶、磊晶/多晶、磊晶/非晶、單晶/介電質、磊晶/介電質、導體/介電

質以及半導體/介電質。用語“混合基材”包括具有兩個以上的不同類型之表面的基材，且因此熟習此技藝者應理解，本文中描述之用於將含矽膜沈積至具有兩個類型之表面之混合基材上的方法亦可適用於具有三個或三個以上的不同類型之表面的混合基材。

當成長至凹陷的源極/汲極區域時，張應變的碳-摻雜矽膜(Si:C 膜)提供具有增進電子遷移率的張應變矽通道，其特別有利於 NMOS 元件。此有助於消除提供鬆弛的矽鍺緩衝層以支撐應變的矽層的需要。在這樣的應用裡，透過使用摻雜源或是前驅物源，導電活性摻雜物可以有利地併入原位摻雜。利用磷的導電活性取代摻雜的高程度也會貢獻張應力。較佳用於導電摻雜物的前驅物是摻雜氫化物，其包括 n-型摻雜前驅物，例如磷化氫、砷蒸氣以及砷化三氫。矽烷磷化氫，例如 $(\text{H}_3\text{Si})_{3-x}\text{PR}_x$ ，以及矽烷砷化三氫，例如 $(\text{H}_3\text{Si})_{3-x}\text{AsR}_x$ 其中 $x = 0, 1$ 或 2 且 $\text{R}_x = \text{H}$ 及/或重氫 (D)皆是可替換磷與砷摻雜的前驅物。磷與砷特別是用於於 NMOS 元件的源極與汲極區域的摻雜。 SbH_3 以及三甲基銻是銻與銻的替代來源。這種摻雜前驅物可以用於製備以下所述之薄膜，其包括硼-、磷-、銻-、銻-以及砷-摻雜的矽、Si:C、矽鍺以及 SiGe:C 薄膜與混合物。

張應變的 Si:C 膜的選擇性磊晶的形成

目前所發展的技術已用於在暴露的半導體窗(例如在混合基材的凹陷的源極/汲極區域)中選擇性形成張應變的

Si:C 膜。例如，可完成選擇性形成的方法包括(a)使用三矽烷作為矽前驅物以在混合基材上全面沈積 Si:C 膜，以及(b)選擇性的蝕刻形成在混合基材的絕緣部分上方的非磊晶層。步驟(a)與(b)會重複地循環直到在凹陷的源極/汲極區上方達到目標磊晶膜厚度。

形成凹陷的源極/汲極區域的方法可通過乾蝕刻與後續的 HF 清洗及原位活火。在實施例中，當使用乾蝕刻、選擇性成長的沈積時，薄的矽晶種層(約 1nm 至 3nm 之間)可減少蝕刻所造成的損害。晶種層還可覆蓋住在先前摻雜佈植製程中所造成的傷害。在一實施例中，這樣的晶種層的選擇性地沈積可以藉由同時提供 HCl 以及二氯矽烷且在約攝氏 700-800 度的溫度來達成。

依據較佳實施例，圖 1 之流程圖說明循環的全面沈積與蝕刻製程，且在圖 2 至圖 5D 的圖式中說明了部分形成的半導體結構。當描述到在凹陷的源極/汲極區域中使用 Si:C 沈積，其可以理解的是在此所描述的技術也可以用於其他情況的磊晶薄膜的選擇性形成，例如在尚未定義任何閘極以及沒有凹陷區域之前的被場絕緣結構圍繞的主動區島狀物。

特別是，圖 1 的方塊 10 說明具有絕緣區域以及凹陷的源極/汲極區域的混合基材是放置在製程腔室中。圖 2 繪示了一個實施例，其混合基材包括了形成在半導體基材 100(例如是矽晶圓)中的圖案化絕緣結構 110。所繪示的絕緣結構 110 是填入氧化物的淺溝渠絕緣結構(STI)，其定義

出場絕緣區域 112 且鄰接位於閘極 115 結構兩側的凹陷的源極/汲極區域 114。值得注意的是，閘極 115 位於基材的通道區域 117 的上方。而通道 117、源極與汲極區域 114 定義一電晶體主動區域，其一般都會被場絕緣結構 112 包圍，以避免其與鄰近的元件產生干擾。在其他的佈局中，多個電晶體可以被場絕緣結構圍繞。在一案例中，閘極 115 結構的頂部可以蓋上介電層，如圖所繪示。此表面在之後沈積時有類似場區域 110 的作用，且在場區域中選擇性維持的情況之後也可以應用於閘極的頂部。在另一案例中，閘極 115 並未被覆蓋有介電層，而之後閘極的表面可以成長多晶矽材料其可以透過多晶矽材料的原位蝕刻而移除，但相較於確保在場絕緣結構 110 上沒有殘留的多晶矽材料來說，可能會應用不同的選擇性條件(壓力、流速等等)。

如圖 1 操作方塊 20 所示，以及圖 3 所示，利用三矽烷作為矽前驅物以在混合基材上沈積全面 Si:C 層，其會在氧化區域 112 上形成非晶或多晶(非-磊晶)的沈積 120，並且在凹陷的源極汲極區域 114 上形成低磊晶沈積 125 以及側壁磊晶沈積 130。值得注意的是，『全面沈積』指的是在每一沈積相中在非晶絕緣體 110 與單晶區域 114 兩者上的淨沈積。而在全面沈積時較佳的是缺乏蝕刻劑(缺乏鹵化物)，這樣的沈積即可以視為『無選擇性』。但是，可以考慮加入一些含量的蝕刻劑來調整在不同區域的沈積厚度的比例，其說明如下。在一實施例中，若考慮加入一些量的蝕刻劑，此沈積製程將會部分地選擇性的但仍然是全面

的，因為每一沈積相會在絕緣結構 110 以及單晶區域 114 兩者上方有淨沈積。

之後，在操作方塊 30(圖 1)中，選擇性蝕刻非晶或多晶的沈積 120 以及側壁磊晶沈積 130 之區域，以形成圖 4 之結構。較佳的是，在凹陷的源極/汲極區域 114 中的低磊晶層 125 在選擇性蝕刻的過程中只有一點或完全沒有磊晶沈積的 Si:C 被移除。更詳細的說明如下，氣相蝕刻化學物較佳的是包括鹵化物(例如含氟、溴或氯的氣相化合物)，較佳的是氟源，例如是 HCl 或 Cl₂。更佳的是，蝕刻化學物還包含了鍺源(例如鍺化合物，諸如單鍺化物(GeH₄)、有機金屬 Ge 前驅物、固態鍺源)，以改善蝕刻率。在此同時，非磊晶材料 120 會被選擇性地移除，且一些磊晶材料會被留下，一些會被移除。側壁磊晶層 130 是一個不一樣的面且相較於低磊晶層 125 來說也較有缺陷(因為在兩表面的成長速率不同)。因此，與非磊晶材料 120 在一起的側壁磊晶層 130 較容易被移除。因此，每一次製程的循環可以漸漸地從凹陷 114 底部填起，在其他的佈局中，磊晶材料可以藉由製程留下即使是在側壁上的，假如其品質是好的且不會影響選擇性填入的目的的話。

此製程將會一直重複直到在凹陷的源極/汲極區域 114 上方的磊晶 Si:C 的目標厚度已經達到，如決定方塊 40(圖 1)所示，且其圖式如圖 5A(全面 Si:C 層 120 的第二次循環沈積)以及圖 5B(蝕刻第二次循環的 Si:C 層以留下磊晶 Si:C 且其在凹陷的源極/汲極區域 114 的磊晶層 125 厚度有

增加)。圖 5C 繪示更多循環之後的結果，其留下的磊晶填滿了源極汲極區 114，且選擇性磊晶層 125 稍微與場氧化物 110 共平面。圖 5D 繪示更多循環之後的結果，其留下的磊晶形成了升起的源極/汲極區域 114。

選擇性形成製程更可以包括另外的沈積製程與選擇性自介電區域蝕刻的循環，但可以不需要碳摻雜以形成頂蓋層。頂蓋層可以有或沒有導電摻雜物。例如，圖 5 所示的上升的源極汲極區域 125 的部分，其位於原先基材表面之上（例如在通道 117 之上），可以是沒有碳的，因為其不需要貢獻應變至通道 117 上。

在一實施例中，沈積的 Si:C 膜可以選擇性地包含導電活性摻雜物，其特別適合 NMOS 元件，其例如是磷或砷，而沈積成磷-摻雜 Si:C 膜或砷-摻雜 Si:C 膜（分別是 Si:C:P 或 Si:C:As 膜）。此 Si:C 膜的沈積非晶-對-磊晶成長率比例較佳的是介於 1.0 : 1 以及 1.6 : 1 之間，更佳的是介於 1.0 : 1 以及 1.3 : 1 之間，最佳的是介於 1.0 : 1 以及 1.1 : 1 之間，如此一來，在絕緣體上的膜層厚度以及在凹陷的源極/汲極區域上的膜層厚度會幾乎相同。運用非晶（或一般稱為非-磊晶）對磊晶成長速率比例的方式可以有利於增進在後續蝕刻製程之後在非晶與結晶 Si:C 之間的界面的琢面角度的運用，且能減少移除時所需蝕刻的時間，其是相對於在絕緣體上的較大厚度而言。較佳的是，Si:C 沈積的非晶區域具有一點點或沒有結晶（主要是非晶），如此有助於此區域的後續蝕刻。另外，通過厚度比例接近 1 : 1

以減少過多的非-磊晶沈積，可以減少需自場區域(以及選擇性地自閘極)清除非-磊晶沈積的蝕刻相的長度。

在一較佳實施例中，Si:C 膜是利用原位化學氣相蝕刻技術而選擇性地自混合基材蝕刻掉。化學氣相蝕刻技術可以選擇性地與簡單的溫度尖點(temperature spike)一同進行。在一實施例中，溫度尖點的用法可以利用在 US 2003/0036268(2002 年 5 月 29 日申請，代理人檔號 ASMEX.317A)所述之製程來進行。如該文獻內所述，利用具有藉由冷石英或其他透明壁而放射加熱的單一晶圓磊晶沈積工具，可以將溫度尖點充滿電力至上燈管一段時間(例如，約 12-15 秒)儘管對下燈管去耦電力比。在此種方法中，晶圓的溫度可以快速的上升儘管感受器的溫度明顯的變化。晶圓的溫度較佳的是自載入溫度上升，其是介於攝氏 100 至 400 度之間，較佳的是介於攝氏 200-350 度之間。由於溫度尖點的短暫停留以及蝕刻相的關係，在感受器感受到尖峰溫度的情況之前可以允許晶圓冷卻。這種方法可以減少晶圓在溫度循環中所需的時間，其是相較於較巨大的晶圓/感受器的組合的循環時間。使用這種溫度尖點的反應器的實例是 EPSILON®系列的單晶圓磊晶化學氣相沈積腔室，其可由 ASM America, Inc (Phoenix., AZ)購得。

然而，在另一實施例中，為了有助於維持取代碳以及導電活性摻雜物的高濃度，儘管在同時間需最小化溫度上升/穩定的時間，蝕刻溫度較佳的是保持在低的狀態。使用低溫蝕刻還可以降低導電活性摻雜原子在蝕刻過程中被去

活化的可能性。例如，以氯氣來蝕刻有助於允許蝕刻溫度降低，進而幫助維持取代碳以及導電活性摻雜物。

蝕刻相的低溫條件能夠使沈積相的溫度與其粗略地匹配，儘管在低溫時能達到高摻雜物的優勢。蝕刻率可以促使允許這些不會犧牲產率的低溫條件，其是透過在蝕刻相過程中使用鍍源（例如 GeH_4 、 GeCl_4 、有機金屬鍍前驅物、固態鍍源）以取代以快速升溫以改善產率的方法。在此所使用的『等溫』的循環全面沈積與蝕刻指的是沈積與蝕刻兩步驟彼此是在 $\pm 50^\circ\text{C}$ 以內，較佳的是在 $\pm 10^\circ\text{C}$ 以內，最佳的是在 $\pm 5^\circ\text{C}$ 以內。等溫製程的優點是可以改善產率以及減少升溫以及穩定所需的時間。類似地，全面沈積與蝕刻兩製程較佳的是『等壓』，例如是彼此在 ± 50 Torr 以內，較佳的是在 ± 20 Torr 以內。等溫以及/或等壓條件有利於產率，以避免升溫與穩定所需的時間。

如圖 1 所示，進行全面沈積隨後進行選擇性蝕刻這樣兩階段的製程可以選擇性的重複循環，直到在凹陷的源極/汲極區域上的目標磊晶層厚度已經達到。製程參數的實例統整於以下的表 A 中，其列出了參數的較佳的操作點以及較佳的操作範圍。由表 A 所示，製程條件-例如腔室溫度、腔室壓力以及攜帶氣體流速-較佳的是在沈積與蝕刻兩相中實質上相似，因而提高產率。因此以下的實例在循環的兩個相中是利用等溫與等壓的條件。在其他實施例中則使用了其他參數。

表 A

表 A	製程相						
	穩定腔室的時間與大氣壓	預-沈積	沈積	後-沈積製程氣體的清淨	預-烘烤蝕刻劑的穩定	快速-烘烤的溫度尖點(選擇性的)	後-烘烤冷卻與溫度穩定
時間(sec)		5 (2.5-7.5)	15 (5-20)	5 (2.5-7.5)	5 (2.5-7.5)	6.5 (3.0-10)	12.5 (10-15)
溫度(°C)	550 (500-650)	550 (500-650)	550 (500-650)	550 (500-650)	550 (500-650)	temp spike	550 (500-650)
壓力(Torr)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)
H ₂ /He (slm)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)
Cl ₂ /HCl (sccm)					200 (5-1000)	200 (5-1000)	200 (5-1000)
Si ₃ H ₈ (mg/min)		75 (50-200)	75 (50-200)	75 (50-200)			
CH ₃ SiH ₃ (sccm)		150 (10-300)	150 (10-300)	150 (10-300)			
PH ₃ (sccm)		50 (10-200)	50 (10-200)	50 (10-200)			

使用表 A 所提供的參數可以達到的淨成長速率較佳的是介於 4 nm/min 與 11 nm/min 之間，更佳的是介於 8 nm/min 與 11 nm/min 之間，其是對選擇性在凹陷的源極與汲極區域沈積 Si:C:P 膜而言。另外，也可能形成具有高達 Vegard' law 所訂出的 3.6% 的取代碳含量的 Si:C:P 膜，其電阻值是介於約 0.4-2.0 mΩ cm。透過運用此沈積條件，可以取得其他薄膜性質。

在此所揭露的蝕刻製程過程中，每一蝕刻相的磊晶 Si:C 的蝕刻會遠慢於非晶或多晶 Si:C 的蝕刻(蝕刻選擇比為 10：1 至 30：1)。有缺陷的磊晶材料較佳的是在此蝕刻相中移除，在一較佳實施例中，循環的沈積與蝕刻製程條件會轉變成降低或減少在氧化物上的淨成長，儘管在每次循環中在凹陷的源極/汲極區域的淨成長都有達到目標。此

循環製程有別於傳統選擇性沈積製程，傳統選擇性沈積製程是沈積與蝕刻會同時產生。

以下表與表 C 列出兩個沈積與蝕刻的實例的過程與所產生的厚度，其是利用類似表 A 的參數。透過增加 Si_3H_8 的部分壓力與最佳化蝕刻劑部分壓力，以改變參數進而調整沈積率與蝕刻率兩者。

表 B

沈積相		蝕刻相	
成長率 [nm/min]	28	13	非晶蝕刻率[nm/min]
沈積時間[s]	22	47.4	最小蝕刻時間 [s]
		60	% 過蝕刻
		75.8	有效蝕刻時間 [s]
沈積的非晶厚度[nm]	10.27	16.43	移除的非晶厚度[nm]
沈積的磊晶厚度 [nm] 每一沈積步驟	9.78	0.82	移除的 c 厚度 [nm]每一蝕刻步驟
非晶/磊晶成長率	1.05	20	原位蝕刻選擇比
清潔(預磊晶+ 後磊晶) [s]	25	25	清潔(預磊晶+ 後磊晶) [s]

最終時間/循環[s] 122.8
最終厚度/循環[nm] 8.96
平均成長率[nm/min] 4.38

表 C

沈積相		蝕刻相	
成長率 [nm/min]	80	25	蝕刻率[nm/min]
沈積時間[s]	8	25.6	最小蝕刻時間 [s]
		30	% 過蝕刻
		33.28	有效蝕刻時間 [s]
沈積的非晶厚度[nm]	10.67	13.87	移除的非晶厚度[nm]
沈積的磊晶厚度 [nm] 每一 沈積步驟	10.67	0.693	移除的 c 厚度 [nm]每一蝕刻 步驟
非晶/磊晶成長率	1	20	原位蝕刻選擇比
清潔(預磊晶+ 後磊晶) [s]	20	20	清潔(預磊晶+ 後磊晶) [s]

最終時間/循環[s] 61.3

最終厚度/循環[nm] 9.977

平均成長率[nm/min] 9.76

表 A 中的製程參數是使用 Cl₂/HCl 蝕刻化學物。在另一實施例中，在蝕刻化學物中所包括的約 20 sccm 至 200 sccm 之間的 10%GeH₄ 是作為蝕刻催化劑。在此實施例中，在蝕刻化學物中包含鍍源(例如 GeH₄、GeCl₄、有機金屬鍍前驅物、固態鍍源) 的優點是可以增進蝕刻率以及蝕刻選擇比。另外，使用鍍作為催化劑的另一優點是可允許在較低溫下蝕刻，且允許在蝕刻過程中忽略溫度尖點，如先前所述有關等溫製程的討論。其他有關鍍是在非晶、多晶以及單晶矽，以及後續蝕刻富含鍍的矽材料的蝕刻的討論，可以見以下的文獻資料，如 Mitchell et al., “Germanium diffusion in polysilicon emitters of SiGe heterojunction bipolar transistors fabricated by germanium implantation”, *J. of Appl.*

Phys., 92(11), pp. 6924–6926 (1 December 2002) ; Wu et al., "Stability and mechanism of selective etching of ultrathin Ge films on the Si(100) surface," *Phys. Rev. B*, **69** (2004) ; 以及 Bogumilowicz et al., "Chemical vapour etching of Si, SiGe and Ge with HCl; applications to the formation of thin relaxed SiGe buffers and to the revelation of threading dislocations upon chlorine adsorption," *Semicond. Sci. & Tech.*, no. 20, pp. 127-134, (2005)。

圖 6 為碳-摻雜矽膜的非晶區域的蝕刻率與在蝕刻化學物中 HCl 局部壓力的關係圖，其是在攝氏 600 度的定溫條件下。藉由降低 H₂ 攜帶氣體的流速，可以提高 HCl 以及 GeH₄ 的局部壓力，進而提到在此實施例中的非晶蝕刻率。例如，圖 6 指出在蝕刻化學物中含有 20sccm 的 10% GeH₄(符號▼以及▲)可增加後續非晶的蝕刻率。

圖 7 為蝕刻率以及非晶/磊晶蝕刻率比例與在蝕刻化學物中 GeH₄ 流速的關係圖，其是在攝氏 600 度的定溫、固定 2 slm 的 H₂ 攜帶氣體流速以及 64 Torr 的定壓條件下。非晶的蝕刻率以"a-"字首表示，磊晶蝕刻率以"c-"字首表示，而蝕刻率比例以"ER"表示。GeH₄ 流速的增加會導致非晶/磊晶蝕刻率比例增加至一個點，之後再加入 GeH₄ 將降低蝕刻選擇比。例如，在圖 7 中，包含 200sccm HCl 以及約 30-40 sccm 10% GeH₄ 的蝕刻化學物所產生的非晶/磊晶蝕刻率，其無法藉由較高或較低的 GeH₄ 流速而得到。

圖 8 為對於在蝕刻化學物中不同 GeH₄ 的流速，其 Si:C

膜的非晶區域的蝕刻率與腔室壓力的關係圖，且其是在攝氏 550 度的定溫條件、固定 2 slm 的 H_2 攜帶氣體流速以及固定 200sccm 的 HCl 蝕刻劑流速的條件下。透過提高腔室壓力在約 80 Torr 之後，依附 GeH_4 的流速的蝕刻率的關係就會下降。然而，當 50sccm 的 10% GeH_4 包含在蝕刻化學物中時，腔室壓力從 64Torr 增加至 80Torr，將使非晶的蝕刻率增加約兩個係數。

圖 9 為碳-摻雜矽膜的非晶區域的蝕刻率與對應溫度的關係圖，其是在 64Torr 的定壓、固定 2 slm 的 H_2 攜帶氣體流速、固定 200sccm 的 HCl 蝕刻劑流速以及 50sccm 的 10% GeH_4 的條件下。使用這些化學物，絕對蝕刻率非常高，即使在非常低溫中。

圖 10 為碳-摻雜矽膜的非晶區域的厚度與累積蝕刻時間的關係圖，其是在 64Torr 的定壓、固定 2 slm 的 H_2 攜帶氣體流速以及固定 200sccm 的 HCl 蝕刻劑流速的條件下。圖 10 中的線的斜率表示非晶 $Si:C$ 膜的蝕刻率。如圖所示，在沈積物的中間的蝕刻率會大於在沈積薄膜邊緣的蝕刻率。因此，在一實施例中，”過蝕刻”晶圓會增加非晶 $Si:C$ 自晶圓邊緣緩慢蝕刻而移除的機會。從圖 10 的線來推斷 y 軸，應可估計初非晶膜厚度以及成長率。另外，從圖 10 的線來推斷 x 軸，應可估算出蝕刻整個非晶材料的時間。圖 10 繪示的是以所提供的製程條件可得到約 140 埃/分鐘的蝕刻率。

圖 11 為沈積在晶圓上的碳-摻雜矽膜的非晶區域的蝕

刻率與晶圓上的放射位置的關係圖，其是在攝氏 550 度的定溫、在 64Torr 的定壓、固定 2 slm 的 H_2 攜帶氣體流速以及固定 200sccm 的 HCl 蝕刻劑流速的條件下。圖 11 顯示出在晶圓邊緣的蝕刻率略低於晶圓中心的蝕刻率。

圖 12 為對於不同的蝕刻循環期間，在晶圓上的碳-摻雜矽膜的非晶區域的厚度與晶圓上的放射位置的關係圖，其是在攝氏 550 度的定溫、在 80Torr 的定壓、固定 2 slm 的 H_2 攜帶氣體流速、固定 200sccm 的 HCl 蝕刻劑流速以及 6.5sccm 的 GeH_4 蝕刻劑流速的條件下。

圖 13 為對於不同的 GeH_4 蝕刻化學物以及不同的蝕刻循環期間，沈積在晶圓上的碳-摻雜矽膜的非晶區域的厚度與晶圓上的放射位置的關係圖。如圖 13 所示，越長的蝕刻循環以及越高的 GeH_4 流速會導致更不均勻的蝕刻。在另一實施例中，此效應可藉由提供延長期間的最終蝕刻循環來補償，以提供充分的”過蝕刻”來移除殘留在晶圓中心的非晶 $Si:C$ 。因此，便能預期在每一循環中沈積與蝕刻對應的小厚度，其較佳的是介於 1-10 nm/cycle，更佳的是介於 2-5 nm/cycle。值得注意的是，所使用的條件與表 A 類似，以達到 4-11 nm/min 的淨沈積率。

圖 14 是在圖案化基底上進行一沈積循環以及一蝕刻循環所形成的碳-摻雜矽結構的局部圖。在圖中，結晶 $Si:C:P$ 會出現在磊晶基材區域的上方，而非晶 $Si:C:P$ 會出現在氧化物的上方。由於依據所暴露的結晶方位會使沈積物的成長率不同，因此會在非晶/磊晶界面形成非晶口袋。

在圖 14 的結構中，非晶蝕刻率對磊晶蝕刻率的比例超過 20。圖 16 是在圖案化基底上進行多次沈積循環以及多次蝕刻循環所形成的碳-摻雜矽結構的局部圖。與圖 14 相較，實質上所有的非晶 Si:C:P 都會從氧化物表面移除，而導致假選擇磊晶成長。圖 17 為利用在此所揭露的技術而選擇性沈積的磊晶碳-摻雜矽膜的原子力顯微分析。

圖 15 為元素濃度與使用在此所揭露的技術而形成的碳-摻雜膜的深度。如圖所示，由於在蝕刻相的過程中使用 GeH_4 ，相對最高程度的者會併入 Si:C 膜中。較佳的是，併入的鍺是低於 5 % 原子百分比，更佳的是低於 2% 原子百分比，最佳的是低於 1 % 原子百分比。

圖 18 顯示使用在此所揭露的技術而形成的碳-摻雜膜的 x-光繞射振動曲線。此曲線指出不同的沈積/蝕刻循環的品質，以及對應增加單甲基矽烷(MMS)流速，其是對應矽磊晶膜中較高的取代 C 的濃度。

在此所揭露的用於選擇性磊晶沈積 Si:C 膜的技術相較於傳統技術有許多優點。例如，循環地自絕緣區域移除多晶或非晶 Si:C 可以改善非晶 Si:C 與磊晶 Si:C 之間的界面。特別是，循環製程允許磊晶成長發生於界面區域，該處反而不會發生非-磊晶成長。另外，在實施例中，蝕刻過程中的溫度尖點可以忽略，因而蝕刻循環可以在與沈積循環等溫或略高的條件下進行，而低溫條件有許多的優點。藉由降低溫度（即/或壓力）的梯度與穩定時間可以改善產率。沈積的溫度也可以低到足夠達到高（例如 1.0~3.6 at

C%)取代碳含量，且大部分的取代碳與電性活性摻雜物在蝕刻過程中會留下，因而導致在最後薄膜中有高取代碳與摻雜物濃度。

許多特徵可以使產率提升。例如使用三矽烷可以在非常低溫的條件下增進沈積率，因而可以降低沈積相的過程而不會犧牲例如因低溫以及高沈積率而產生的沈積取代摻雜物的濃度。前驅物的順序以及選擇可以促進在非晶絕緣區域上大的或整體的非晶沈積，且也可使在單晶以及非晶區域上有相對均勻的厚度(厚度比例小於 1.6：1)，以減少在蝕刻相過程中過蝕刻的時間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是選擇性地形成磊晶半導體材料的製程流程圖，其是在混合基材的凹陷源極/汲極區域中沈積碳-摻雜矽。

圖 2 是繪示部分形成的半導體結構，其包括形成在半導體基材中的圖案化的絕緣區域。

圖 3 繪示是在圖 2 之部分形成的半導體結構之後，在混合基材的表面上進行碳-摻雜矽層的全面沈積。

圖 4 是繪示是在圖 3 之部分形成的半導體結構之後，進行選擇性化學氣相蝕刻製程以自混合基材的氧化區域移除碳-摻雜矽。

圖 5A-圖 5D 是繪示是在圖 4 之部分形成的半導體結構，其是在進行幾次的全面沈積與選擇性蝕刻的循環之後。

圖 6 為碳-摻雜矽膜的非晶區域的蝕刻率與在蝕刻化學物中 HCl 局部壓力的關係圖。

圖 7 為蝕刻率以及非晶(“a”)與磊晶(“c”)蝕刻率比例與在蝕刻化學物中 GeH_4 流速的關係圖。

圖 8 為對於在蝕刻化學物中不同 GeH_4 的流速，其 Si:C 膜的非晶區域的蝕刻率與腔室壓力的關係圖。

圖 9 為碳-摻雜矽膜的非晶區域的蝕刻率與對應溫度的關係圖。

圖 10 為碳-摻雜矽膜的非晶區域的厚度與累積蝕刻時間的關係圖。

圖 11 為沈積在晶圓上的碳-摻雜矽膜的非晶區域的蝕刻率與晶圓上的放射位置的關係圖。

圖 12 為對於不同的蝕刻循環期間，在晶圓上的碳-摻雜矽膜的非晶區域的厚度與晶圓上的放射位置的關係圖。

圖 13 為對於不同的 GeH_4 蝕刻化學物以及不同的蝕刻循環期間，沈積在晶圓上的碳-摻雜矽膜的非晶區域的厚度與晶圓上的放射位置的關係圖。

圖 14 是在圖案化基底上進行一沈積循環以及一蝕刻循環所形成的碳-摻雜矽結構的局部圖。

圖 15 為元素濃度與使用在此所揭露的技術而形成的碳-摻雜膜的深度。

圖 16 是在圖案化基底上進行多次沈積循環以及多次

蝕刻循環所形成的碳-摻雜矽結構的局部圖。

圖 17 為利用在此所揭露的技術而選擇性沈積的磊晶碳-摻雜矽膜的原子力顯微分析。

圖 18 顯示使用在此所揭露的技術而形成的碳-摻雜膜的 x-光繞射振動曲線。

【主要元件符號說明】

10、20、30、40：步驟

100：半導體基材

110：絕緣結構

112：場絕緣區域

114：源極/汲極區域

115：閘極

117：通道區域

120：沈積

125：低磊晶沈積

130：側壁磊晶沈積

五、中文發明摘要：

磊晶層 (125) 是透過重複地循環全面沈積與選擇性蝕刻而選擇性地形成在半導體窗 (114) 中。全面性沈積會留下非磊晶材料 (120) 在例如場氧化物的絕緣區域 (112) 上，且選擇性蝕刻傾向移除非磊晶材料 (120) 而且所沈積磊晶材料 (124) 會一次一次的建立起。磊晶材料 (125) 的品質會改善相對的在絕緣物 (112) 上不會產生沈積的選擇製程。在上述製程的蝕刻過程中，使用鍍催化劑可以促進蝕刻率並且能夠使等溫及/或等壓的條件在循環中較容易維持。另外，使用三矽烷、在絕緣區域 (112) 上形成非晶材料 (120) 以及在蝕刻沈積時最小化非晶對磊晶材料的厚度比例可以改善產率與品質。

六、英文發明摘要：

Epitaxial layers (125) are selectively formed in semiconductor windows (114) by a cyclical process of repeated blanket deposition and selective etching. The blanket deposition phases leave non-epitaxial material (120) over insulating regions (112), such as field oxide, and the selective etch phases preferentially remove non-epitaxial material (120) while deposited epitaxial material (125) builds up cycle-by-cycle. Quality of the epitaxial material (125) improves relative to selective processes where no deposition occurs on insulators (112). Use of a germanium catalyst during the etch phases of the process aids etch rates and facilitates economical maintenance of isothermal and/or isobaric conditions throughout the cycles. Throughput and quality are improved by use of trisilane, formation of amorphous material (120) over the insulating regions (112) and minimizing the thickness ratio of amorphous:epitaxial material in each deposition phase.

十、申請專利範圍：

1.一種在半導體窗中選擇性形成半導體材料的方法，包括：

在一化學氣相沈積腔室中提供一基材，該基材包括多數個絕緣表面以及多數個單晶半導體表面；

全面沈積一半導體材料於該基材的該些絕緣表面以及該些單晶半導體表面，以使在該些絕緣表面上的非磊晶半導體材料與在該些單晶半導體表面上的磊晶半導體材料的厚度比例約小於 1.6：1；

選擇性地自該些絕緣表面移除該非磊晶半導體材料，

其中該全面沈積以及該選擇性移除之步驟是在該化學氣相沈積腔室中進行，

所述方法更包括以多次循環重複地全面沈積以及選擇性移除，其中每次的循環會增加在該些單晶半導體表面上的磊晶材料的厚度。

2.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該半導體材料包括碳-摻雜矽。

3.如申請專利範圍第 2 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該碳-摻雜矽包括介於 0.1%~3.6%原子百分比之間的可取代的碳。

4.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該些單晶半導體表面包括凹陷的源極/汲極區域，且該磊晶材料會產生應力在一中間通

道區域。

5.如申請專利範圍第 4 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該選擇性移除步驟包括自該凹陷的源極/汲極區域的側壁移除該磊晶材料，且留下該凹陷的源極/汲極區域的底部的該磊晶材料。

6.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該全面沈積步驟包括非選擇性沈積。

7.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該全面沈積步驟包括通入不含鹵化物的氣體源。

8.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該全面沈積步驟包括在該些絕緣表面明顯地形成非晶矽半導體材料。

9.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中每一次的全面沈積步驟在該些絕緣表面上所沈積的非磊晶材料的厚度與在該些單晶半導體表面上的所沈積的磊晶材料的厚度的比例約為介於 1.0 : 1 與 1.3 : 1 之間。

10.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該磊晶材料包括原位形成的磷-以及碳-摻雜矽。

11.如申請專利範圍第 10 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該磊晶材料的阻值介於約

0.4 mΩ.cm 與 2mΩ.cm 之間。

12.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該全面沈積與該選擇性移除步驟兩者都是在彼此±10°C之內。

13.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該全面沈積與該選擇性移除步驟兩者都是在彼此±5°C之內。

14.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該選擇性移除步驟包括通入一鋇源以及一鹵化物源至該化學氣相沈積腔室內。

15.如申請專利範圍第 1 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該全面沈積步驟包括通入三矽烷至該化學氣相沈積腔室內。

16.如申請專利範圍第 15 項所述之在半導體窗中選擇性形成半導體材料的方法，其中該全面沈積步驟更包括通入一適合的碳源以及一適合的導電摻雜源至該化學氣相沈積腔室內。

17.一種選擇性形成半導體材料的方法，包括：

全面沈積一含矽半導體材料以於一基材的多數個單晶半導體區域上形成磊晶材料並且於該基材的多數個絕緣區域上形成非磊晶材料；

透過暴露全面沈積的該含矽半導體材料在包括一鹵化物源與一鋇源的一蝕刻化學物中，以選擇性地自該些絕緣區域移除該非磊晶材料；以及

至少重複一次該全面沈積以及該選擇性移除步驟。

18.如申請專利範圍第 17 項所述之選擇性形成半導體材料的方法，其中該全面沈積步驟包括通入三矽烷至載入有該基材的一化學氣相沈積腔室內。

19.如申請專利範圍第 17 項所述之選擇性形成半導體材料的方法，其中該全面沈積步驟包括在每一次循環中沈積約 1 nm~10 nm 的厚度。

20.如申請專利範圍第 17 項所述之選擇性形成半導體材料的方法，其中該全面沈積與該選擇性移除步驟是在一化學氣相沈積腔室內等溫等壓進行。

21.如申請專利範圍第 17 項所述之選擇性形成半導體材料的方法，其中該些單晶半導體區域包括多數個凹陷區域。

22.如申請專利範圍第 21 項所述之選擇性形成半導體材料的方法，其中在該些凹陷區域的該磊晶材料會對該基材的鄰近區域產生應變。

23.如申請專利範圍第 17 項所述之選擇性形成半導體材料的方法，其中該含矽半導體材料包括碳-摻雜矽。

24.一種在基材上的選擇位置形成含矽材料的方法，包括：

提供一基材，其具有位在多數個場絕緣區域之中的多數個暴露的單晶半導體窗；

藉由在該基材上通入三矽烷以在該些單晶半導體窗以及該些場絕緣區域上方全面沈積一含矽材料；

透過暴露全面沈積的該含矽材料在包括一鍍源的一蝕刻化學物中，以自該些場絕緣區域上方選擇性移除該含矽材料；以及

以多次循環重複地全面沈積與選擇性移除。

25.如申請專利範圍第 24 項所述之在基材上的選擇位置形成含矽材料的方法，其中全面沈積該含矽材料包括在該基材上通入含有三矽烷的碳源，且該含矽材料包括碳-摻雜矽。

26.如申請專利範圍第 25 項所述之在基材上的選擇位置形成含矽材料的方法，其中選擇性移除包括自該些場絕緣區域上蝕刻該非磊晶材料且其速率快於自該些單晶半導體窗上移除該磊晶材料的速率。

27.如申請專利範圍第 26 項所述之在基材上的選擇位置形成含矽材料的方法，其中該些單晶半導體窗包括多個凹陷結構，且選擇性移除更包括自該些凹陷結構的側壁移除該磊晶材料並且留下該些凹陷結構底部的磊晶材料。

28.如申請專利範圍第 24 項所述之在基材上的選擇位置形成含矽材料的方法，其中選擇性移除更包括暴露該基材至一鹵化物蝕刻劑中。

29.如申請專利範圍第 24 項所述之在基材上的選擇位置形成含矽材料的方法，其中該些單晶半導體窗包括多個凹陷結構，其是相對於該些場絕緣區域的上表面。

30.如申請專利範圍第 24 項所述之在基材上的選擇位置形成含矽材料的方法，其中全面沈積以及選擇性移除是

在等溫及/或等壓的條件下進行。

31.如申請專利範圍第 24 項所述之在基材上的選擇位置形成含矽材料的方法，其中全面沈積以及選擇性移除所產生的該含矽材料的淨成長速率是介於 4 nm/min 與 11 nm/min 之間。

32.一種選擇性形成磊晶半導體材料的方法，包括：

提供一基材，其已形成有多數個絕緣區域以及多數個半導體窗；

在該些絕緣區域沈積一非晶含矽半導體材料並且在該些半導體窗上沈積一磊晶含矽半導體材料；

透過暴露沈積的該非晶含矽半導體材料及該磊晶含矽半導體材料在包括一鍍源的一蝕刻化學物中，以選擇性自該些絕緣區域上蝕刻該非晶含矽半導體材料，並且留下在該些半導體窗中的至少一些磊晶含矽半導體材料；以及

以多次循環重複地全面沈積與選擇性移除。

33.如申請專利範圍第 32 項所述之選擇性形成磊晶半導體材料的方法，其中該些半導體窗包括多個凹陷結構，其位於該些絕緣區域的上表面下方，且該重複步驟包括將該磊晶含矽半導體材料填入該些凹陷結構。

34.如申請專利範圍第 33 項所述之選擇性形成磊晶半導體材料的方法，其中該沈積步驟包括將碳-摻雜矽填入該些凹陷結構以形成凹陷的源極/汲極結構。

35.如申請專利範圍第 34 項所述之選擇性形成磊晶半導體材料的方法，其中該沈積步驟包括原位提供導電摻雜

物至該凹陷的源極/汲極結構。

36.如申請專利範圍第 34 項所述之選擇性形成磊晶半導體材料的方法，其中該沈積步驟包括形成碳-摻雜矽。

37.如申請專利範圍第 36 項所述之選擇性形成磊晶半導體材料的方法，其中該沈積步驟更包括在該碳-摻雜矽上方形成一無碳蓋層。

38.如申請專利範圍第 32 項所述之選擇性形成磊晶半導體材料的方法，其中該重複步驟包括形成升起的源極/汲極結構。

39.如申請專利範圍第 32 項所述之選擇性形成磊晶半導體材料的方法，其中該沈積步驟包括沈積磷-以及碳-摻雜矽。

40.如申請專利範圍第 32 項所述之選擇性形成磊晶半導體材料的方法，其中該些半導體窗包括位於該些絕緣區域的上表面下方的多個凹陷結構且在該些凹陷結構內的該磊晶含矽半導體材料會對一鄰接區域產生側向張應變。

41.如申請專利範圍第 40 項所述之選擇性形成磊晶半導體材料的方法，其中該鄰接區域是一電晶體通道區域。

42.如申請專利範圍第 40 項所述之選擇性形成磊晶半導體材料的方法，其中該選擇性移除更包括自該些凹陷結構的側壁移除該磊晶含矽半導體材料，並且留下位於該些凹陷結構的底部的該磊晶含矽半導體材料。

43.如申請專利範圍第 32 項所述之選擇性形成磊晶半導體材料的方法，其中該選擇性移除更包括暴露該基材至

一氣源中。

44.如申請專利範圍第 32 項所述之選擇性形成磊晶半導體材料的方法，其中在每一次的沈積步驟中，在該些絕緣區域上的該非晶含矽半導體材料的厚度與在該些半導體窗上的該磊晶含矽半導體材料的厚度的比例小於約 1.6:1。

45.如申請專利範圍第 44 項所述之選擇性形成磊晶半導體材料的方法，其中該比例約介於 1.0:1 至 1.3:1 之間。

七、指定代表圖：

(一)本案指定代表圖為：圖 1

(二)本代表圖之元件符號簡單說明：

10、20、30、40：步驟

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無