

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4195778号

(P4195778)

(45) 発行日 平成20年12月10日(2008.12.10)

(24) 登録日 平成20年10月3日(2008.10.3)

(51) Int.Cl.

F I

G 0 6 F 9/38 (2006.01)

G 0 6 F 9/38 3 1 0 A

請求項の数 3 (全 13 頁)

(21) 出願番号	特願2001-41237 (P2001-41237)	(73) 特許権者	398038580
(22) 出願日	平成13年2月19日 (2001.2.19)		ヒューレット・パカード・カンパニー
(65) 公開番号	特開2001-236220 (P2001-236220A)		HEWLETT-PACKARD COMPANY
(43) 公開日	平成13年8月31日 (2001.8.31)		アメリカ合衆国カリフォルニア州パロアルト
審査請求日	平成18年10月6日 (2006.10.6)		ハノーバー・ストリート 3000
(31) 優先権主張番号	09/506972	(74) 代理人	100087642
(32) 優先日	平成12年2月18日 (2000.2.18)		弁理士 古谷 聡
(33) 優先権主張国	米国 (US)	(74) 代理人	100063897
			弁理士 古谷 馨
		(74) 代理人	100076680
			弁理士 溝部 孝彦

最終頁に続く

(54) 【発明の名称】 マイクロプロセッサの命令プリフェッチ量制御のための装置および方法

(57) 【特許請求の範囲】

【請求項 1】

コンピュータによって実行可能な命令からなるソフトウェアプログラムを組み入れ、コンピュータによって読出し可能なコンピュータプログラム記憶媒体であって、前記コンピュータが、命令をプリフェッチするための方法を実行するためのマイクロプロセッサを含み、前記命令をプリフェッチするための方法が、

シフトレジスタ内の予め選択されたビット位置が予め選択された論理値に設定され、かつ前記マイクロプロセッサが、プリフェッチ命令アドレスの受け入れ準備ができており、

前記プリフェッチ命令アドレスをアドレスレジスタへ書き込むステップと、

プリフェッチが命令キャッシュに発行されるステップと、

前記プリフェッチ命令アドレスを、次のプリフェッチ命令アドレスのアドレスの値にインクリメントするステップと、

前記命令キャッシュが前記プリフェッチを実行したとき、

前記シフトレジスタが左側入力と右側入力とを有し、各入力が前記シフトレジスタ内に論理値をシフトする能力を有していて、前記予め選択された論理値の補数を前記左側入力において前記シフトレジスタ内にシフトするステップと、

前記マイクロプロセッサが前記命令キャッシュ内のキャッシュラインからの最後の命令をフェッチするとき、前記予め選択された論理値に等しい値を、前記右側入力において前記シフトレジスタ内にシフトするステップとを含む、コンピュータプログラム記憶媒体。

10

20

## 【請求項 2】

命令をプリフェッチするためのコンピュータが使用可能な方法であって、  
シフトレジスタ内の予め選択されたビット位置が予め選択された論理値に設定され、マイクロプロセッサが、プリフェッチ命令アドレスを受け入れる準備ができているとき、  
前記プリフェッチ命令アドレスをアドレスレジスタへ書き込むステップと、  
プリフェッチが命令キャッシュに発行されるステップと、  
前記プリフェッチ命令アドレスを、次のプリフェッチ命令アドレスのアドレスの値にインクリメントするステップと、  
前記命令キャッシュがプリフェッチを実行したとき、  
前記シフトレジスタが左側入力と右側入力とを有し、各入力が前記シフトレジスタ内に前記論理値をシフトする能力を有していて、前記予め選択された論理値の補数を前記左側入力において前記シフトレジスタ内にシフトするステップと、  
前記マイクロプロセッサが前記命令キャッシュ内のキャッシュラインからの最後の命令をフェッチするとき、前記予め選択された論理値に等しい値を、前記右側入力において前記シフトレジスタ内にシフトするステップとを含む、コンピュータが使用可能な方法。

10

## 【請求項 3】

命令をプリフェッチするための装置であって、  
入力および出力を有するインクリメントと、  
SET A および SET B 制御ポートと、入力 INPUT A および INPUT B と、出力とを有するアドレスレジスタであって、そのアドレスレジスタの前記出力は、前記インクリメントの前記入力に接続され、前記インクリメントの前記出力は前記 INPUT B に接続される、アドレスレジスタと、  
左側入力と、右側入力と、2 つ以上のビット位置とを含むシフトレジスタであって、そのシフトレジスタは、SET B を介して前記アドレスレジスタに接続され、各入力が、論理値を前記シフトレジスタ内にシフトする能力を有し、プロセッサ制御回路によってプリフェッチ条件が検出されたとき、前記アドレスレジスタは前記 INPUT A を介して、前記プリフェッチ条件に関連するターゲット命令アドレスを受け入れる能力を有しており、前記シフトレジスタが、前記左側入力に接続されるビット位置を前記予め選択された論理値の補数に、かつ前記シフトレジスタの全ての他のビット位置を前記予め選択された論理値に初期化されることができ、前記シフトレジスタ内の予め選択されたビット位置が前記予め選択された論理値に設定され、かつマイクロプロセッサが前記プリフェッチ命令アドレスを受け入れる準備ができているとき、前記 SET B が前記アドレスレジスタに格納されたアドレスの前記インクリメントによるインクリメントをイネーブルにし、命令キャッシュがプリフェッチを実行したとき、前記シフトレジスタは前記予め選択された論理値の前記補数を前記左側入力において前記シフトレジスタ内にシフトする能力を有し、前記マイクロプロセッサが前記命令キャッシュのキャッシュラインからの最後の命令をフェッチするとき、前記シフトレジスタは、前記予め選択された論理値に等しい値を、前記右側入力において前記シフトレジスタ内にシフトする能力を有する、シフトレジスタとを含む、命令をプリフェッチするための装置。

20

30

## 【発明の詳細な説明】

40

## 【0001】

## 【発明の属する技術分野】

本発明はマイクロプロセッサに関し、より詳細にはプリフェッチ性能を最適化するための方法および装置に関する。

## 【0002】

## 【従来の技術】

最近のマイクロプロセッサは典型的には命令プリフェッチ処理を実施する。プリフェッチ処理は、プロセッサハードウェアがキャッシュのうちのより高いレベルから、あるいはメモリから命令を命令キャッシュにロードあるいはプリフェッチ（先取り）することを試みるための機構である。命令キャッシュへのロードが、プロセッサが命令をフェッチする時

50

点より前に行われる場合には、キャッシュミスおよび関連する性能の犠牲は生じないであろう。これらの各プリフェッチ動作は、多数の命令を命令キャッシュへロードしようとするであろう。そのようにロードされる命令の数は典型的には、キャッシュライン内の命令の数に等しい。キャッシュラインは、キャッシュに対して読み出し、または書き込みされることができる基本的なデータの量と定義される。

#### 【 0 0 0 3 】

命令プリフェッチは、プリフェッチ命令を介してプログラムによって、ハードウェアによって、またはその両方の組み合わせによって開始される。プリフェッチは、ほんのいくつかの命令をロードしようとする場合もあれば、長いシーケンスの命令をロードしようとする場合もある。問題は、長いシーケンスの命令をプリフェッチする際に生じる可能性がある。具体的には、制御流れの変化または分岐に起因して実行されることのない命令がプリフェッチされる場合がある。この状況では、2つの理由によって性能が劣化する可能性がある。第一に、各プリフェッチは、プロセッサおよびシステムリソース、例えばより高いレベルのキャッシュ、システムバスおよびメモリユニットを用いる必要がある。プリフェッチによって、これらのリソースが用いられる場合には、例えばロードあるいはストア動作のような他の動作がそれらのリソースを利用できなくなる。第二に、命令が命令キャッシュへプリフェッチされるとき、既存の命令を上書きすることによって、それらの命令のためのメモリ空間が作られなければならない。これらの既存の命令はワーキングセットの一部を形成する場合がある、すなわちそれらの命令は、近いうちにプロセッサによって必要とされる可能性がある。従って、多数の命令が命令キャッシュへプリフェッチされているが、まだプロセッサによってフェッチされていない場合に生じる過剰なプリフェッチ処理によって、リソースは無駄にされ、命令キャッシュ内の有用な命令は、一度も用いられることのない命令によって置き換えられる可能性がある。

#### 【 0 0 0 4 】

従って、プロセッサが現在の命令ポインタから命令をフェッチしている場所より前にプリフェッチされる命令の数を制限する必要がある。命令ポインタより前のある一定の距離で、プロセッサがプリフェッチすることができる機構を設けることが望ましく、かつ大きな利点になるであろう。

#### 【 0 0 0 5 】

##### 【発明が解決しようとする課題】

かかるプリフェッチ処理が、フェッチングプロセスのレイテンシーを隠すことに役立つとともに、あまりにも前方でプリフェッチを行って、メモリバンド幅のようなリソースを無駄にし、命令キャッシュ内の有用な命令を置き換えてしまうようなことなしに、命令フェッチにおけるキャッシュミスを防ぐことである。

#### 【 0 0 0 6 】

##### 【課題を解決するための手段】

代表的な実施形態では、本発明は、マイクロプロセッサによる命令アドレスプリフェッチの比率を制御するための方法および装置を提供する。以前のプリフェッチ処理のための方法は、プロセッサが現在の命令ポインタから命令をフェッチしている場所より前にプリフェッチされる命令の数を制限することに注力しておらず、メモリバンド幅を無駄にし、命令キャッシュ内の有用な命令を置き換えてしまう可能性を生じていた。

#### 【 0 0 0 7 】

代表的な実施形態では、シフトレジスタ内のビットを用いて、プリフェッチされている命令アドレスの数をカウントする。命令プリフェッチアドレスがプロセッサに発行されるとき、プリフェッチされたアドレスはレジスタに追加され、左側から論理「1」がシフトレジスタ内にシフトされる。プロセッサに各プリフェッチを発行することによって、命令のキャッシュラインは、命令キャッシュに書き込まれるようになる。キャッシュライン上の最後のプリフェッチされた命令がフェッチされるとき、右側から論理「0」がシフトレジスタ内にシフトされる。論理1が、シフトレジスタ内の予め選択されたビットにシフトされているとき、キャッシュライン上の最後の命令がプロセッサによってフェッチされ、シ

フトレジスタ内の予め選択されたビットに論理 0 がシフトされて戻されるまで、プリフェッチ処理は一時的に中断される。要するに、プリフェッチ時にはシフトレジスタに左側から論理 1 がシフトされ、命令ポインタが新しいキャッシュラインを横切るとき、シフトレジスタに右側から論理 0 がシフトされる。この機構は、プリフェッチされているが、まだプロセッサによってフェッチされていないキャッシュラインが、多くても「n」個しかないことを確実にするであろう。言い換えると、左から「n」番目のビットを検査することによって、プリフェッチは、命令ポインタの前の「n」個のキャッシュラインに保持されることができる。

#### 【0008】

本特許明細書に記載される、従来のマイクロプロセッサプリフェッチ処理技術より優れた実施形態の主な利点は、過剰なプリフェッチ処理が排除されることである。プロセッサによってフェッチされているものよりも、必要以上に多くの命令を命令キャッシュにプリフェッチすることにより、メモリバンド幅のようなリソースが無駄にされ、命令キャッシュ内の有用な命令が、一度も用いられることのない可能性がある命令によって置き換えられる可能性がある。現在の命令ポインタの前のプリフェッチの数は厳密に制御される。それにより、本発明の実施形態は、貴重なシステムリソースを節約する。

#### 【0009】

##### 【発明の実施の形態】

本発明の他の態様および利点は、例を用いて本発明の原理を示している添付図面とともに取り上げられる以下の詳細な説明から明らかになるであろう。

#### 【0010】

添付図面は、本発明をより十分に記載するために用いられ、当業者が本発明およびその固有の利点をより十分に理解するために用いることができる視覚的な表現を与える。これらの図面では、同様の参照番号は、対応する構成要素を同一視する。

#### 【0011】

例示のために図面に示されるように、本特許明細書は、マイクロプロセッサによる命令アドレスプリフェッチの比率を制御するための新規の方法に関連する。以前のプリフェッチ処理のための方法は、プロセッサが現在の命令ポインタから命令をフェッチしている場所より前にプリフェッチされる命令の数を制限することに注力しておらず、メモリバンド幅を無駄にし、命令キャッシュ内の有用な命令を置き換えてしまう可能性を生じていた。以下の詳細な説明およびいくつかの図面では、同様の構成要素は同様の参照番号で特定される。

#### 【0012】

代表的な実施形態では、シフトレジスタ内のビットを用いて、プリフェッチされているが、まだプロセッサによってフェッチされていない命令アドレスの数をカウントする。命令プリフェッチアドレスがプロセッサに発行されるとき、左側から論理「1」がシフトレジスタ内にシフトされる。プロセッサに各プリフェッチを発行することによって、命令のキャッシュラインは、命令キャッシュに書き込まれるようになる。キャッシュライン上の最後の命令がフェッチされるとき、右側から論理「0」がシフトレジスタ内にシフトされる。論理 1 が、シフトレジスタ内の予め選択されたビットへシフトされているとき、キャッシュライン上の最後の命令がプロセッサによってフェッチされ、シフトレジスタ内の予め選択されたビットへ論理 0 がシフトされて戻されるまで、プリフェッチ処理は一時的に中断される。要するに、プリフェッチ時にはシフトレジスタへ左側から論理 1 がシフトされ、命令ポインタが新しいキャッシュラインを横切るとき、シフトレジスタへ右側から論理 0 がシフトされる。この機構は、プリフェッチされているが、まだプロセッサによってフェッチされていないキャッシュラインが、多くても「n」個しかないことを確実にするであろう。言い換えると、左から「n」番目のビットを検査することによって、プリフェッチは、命令ポインタの前の「n」個のキャッシュラインに保持されることができる。

#### 【0013】

図 1 A は、本特許明細書の種々の代表的な実施形態に記載されるようなプリフェッチイネ

10

20

30

40

50

ーブルシフトレジスタ100の図である。代表的な実施形態では、プリフェッチイネーブルシフトレジスタ100は、例えば8ビットシフトレジスタとすることができる双方向シフトレジスタ100であり、ここではシフトレジスタ100と呼ぶことにする。シフトレジスタ100は、多数のビット位置115を含み、図1Aでは明瞭に示すために、左側の第1のビットのみが識別番号を付されている。プリフェッチイネーブル検出ビット120は、ここでは予め選択されたビット120とも呼ばれ、代表的な実施例では、シフトレジスタ100の左から4番目のビット位置115である。より一般的には、プリフェッチイネーブル検出位置120は、シフトレジスタ100のn番目のビット位置である。プリフェッチ許可条件125は、図1Aに示されるように、論理0がプリフェッチイネーブル検出ビット120に格納されている限り活性化されている。

10

#### 【0014】

図1Bは、本特許明細書の種々の代表的な実施形態に記載されるようなプリフェッチイネーブルシフトレジスタ100の別の図である。図1Aに示される状況は、命令アドレスのプリフェッチ後に図1Bの状態になる。図1Bでは、論理1(130)が、左側入力150からプリフェッチイネーブルシフトレジスタ100内にシフトされている。ここでは、論理1がプリフェッチイネーブル検出ビット120に格納されている。図1Bに示されるように、プリフェッチイネーブル検出ビット120に論理1が格納されている限り、プリフェッチ非許可条件135が活性化されている。さらに、プリフェッチイネーブル検出ビット120に論理0が再び格納されるまで、命令アドレスのプリフェッチは防止される。

#### 【0015】

20

図1Cは、本特許明細書の種々の代表的な実施形態に記載されるようなプリフェッチイネーブルシフトレジスタ100のさらに別の図である。図1Bに示される状況は、キャッシュライン上の最後の命令の実行後に図1Cの状態になる。図1Cでは、論理0(140)が、右側入力155からプリフェッチイネーブルシフトレジスタ100内にシフトされている。ここでは、プリフェッチイネーブル検出ビット120に論理0が格納されている。図1Cに示されるように、プリフェッチイネーブル検出ビット120に論理0が格納されている限り、プリフェッチ許可条件125が再び活性化され、かつそのまま保持される。さらに、論理1がプリフェッチイネーブル検出ビット120に再び格納されるまで、命令アドレスのプリフェッチ処理はイネーブルにされている。プリフェッチ許可条件125をイネーブルにするために、プリフェッチイネーブル検出ビット120において論理0を選択することは典型的ではあるが、任意である。論理0の補数である論理1を選択することもできる。この場合には、命令アドレスのプリフェッチ後に、論理0がプリフェッチイネーブルシフトレジスタ100内にシフトされ、キャッシュライン上での最後の命令の実行後に、論理1がプリフェッチイネーブルシフトレジスタ100内にシフトされる。種々の代表的な実施形態において、左側および右側入力150および155は入れ替えられることに留意されたい。

30

#### 【0016】

図2は、本特許明細書の種々の代表的な実施形態に記載されるような命令アドレスをプリフェッチするための装置200の図である。装置200は、プリフェッチ命令アドレスレジスタ205と、インクリメンタ(incrementor)215と、プリフェッチイネーブルシフトレジスタ100を含むプロセッサ制御回路210とを備える。また図2には、ターゲット命令アドレス220と、プリフェッチ命令アドレス225と、命令キャッシュ270と、プロセッサ250と、メモリ280と、プログラム記憶媒体290と、プリフェッチ受入信号255と、新規プリフェッチ条件信号260と、キャッシュライン272上の最後の命令がフェッチされたことを示す、キャッシュライン上でフェッチされた最後命令の信号265とが示される。プロセッサ250はここでは、マイクロプロセッサ250とも呼ばれる。命令キャッシュ270は典型的には2つ以上のキャッシュライン272を含み、図2にはそのうちの1つのみが示されており、また各キャッシュライン272は、少なくとも1つの命令のアドレスを含むが、一般的には多数の命令アドレスを含む。別個に示されているが、実際には、プロセッサ250は典型的には、限定はしないが、メモリ28

40

50

0、命令キャッシュ270およびプロセッサ制御回路210を含む、図2に示されるいくつかの構成要素を含んでいる。メモリ280は、プロセッサ250によって実行されるべき命令用の記憶装置、並びにその機能を実行する際にプロセッサ250によって必要とされる他のメモリを含む。プログラム記憶媒体290は、図には示されないが、プリフェッチを実行し、かつ制御するためのソフトウェアプログラム用のメモリ記憶装置を含む。プログラム記憶媒体290は例えば、ハードディスク、フロッピーディスク、ランダムアクセスメモリ(RAM)、リードオンリーメモリ(ROM)あるいは任意の他のコンピュータアクセス可能記憶媒体とすることができる。またプリフェッチ命令アドレスレジスタ205は、アドレスレジスタ205とも呼ばれる。

【0017】

図2では、SET A(230)が論理的に真になる場合、ターゲット命令アドレス220が、プリフェッチ命令アドレスレジスタ205へ書き込まれる。このアドレスを用いて、プリフェッチ処理を開始するための開始メモリ位置を生成する。プリフェッチ条件が新規プリフェッチ条件信号260を介して検出される場合、SET A(230)は論理的に真になる。代表的な実施形態では、プリフェッチ条件は典型的には、プリフェッチ動作を開始するためにプロセッサ制御回路210に命令するソフトウェアにコード化される。この条件が図2に示されており、新規プリフェッチ条件信号260が、プロセッサ250からプロセッサ制御回路210に流れることが示されている。その後、この条件に対応するターゲット命令アドレス220が準備され、プリフェッチ命令アドレスレジスタ205へ書き込まれる。

【0018】

プリフェッチイネーブルシフトレジスタ100のプリフェッチイネーブル検出ビット120に論理0が格納され、かつプリフェッチが、命令キャッシュ270に発行される、または命令キャッシュ270により受け取られる場合、このようなことはプリフェッチ受入信号255によって示されるが、このときSET B(235)が論理的に真になる。その後命令アドレスのプリフェッチ処理は以下のように進む。(1)信号260を介して示される、新しいプリフェッチ条件がプロセッサ250によって検出される場合、開始ターゲット命令アドレス220が、INPUT A(240)を介してプリフェッチ命令アドレスレジスタ205へ書き込まれ、(2)ターゲット命令アドレス220がインクリメント215に送出され、(3)インクリメント215がその命令アドレスを次の順番のアドレスの値にインクリメントし、(4)信号255を介して示されるプリフェッチが、命令キャッシュ270によって受け入れられる場合、INPUT B(245)を介して、インクリメントされた命令アドレスがプリフェッチ命令アドレスレジスタ205へ書き込まれる。その後、命令アドレスのプリフェッチ処理は、停止プリフェッチ条件と出会うまで、あるいは論理1(130)がプリフェッチイネーブルシフトレジスタ100のプリフェッチイネーブル検出ビット120へ書き込まれるまで、以下のステップを通してループを進み続ける。(1)インクリメントされた命令アドレスがインクリメント215に送出され、(2)インクリメント215がそのアドレスを次の順番のアドレスの値にインクリメントし、(3)信号255を介して示されるプリフェッチが、命令キャッシュ270によって受け入れられる場合、インクリメントされた命令アドレスが、INPUT B(245)を介してプリフェッチ命令アドレスレジスタ205へ書き込まれる。必要に応じて、プリフェッチ命令アドレス225は、命令キャッシュ270に転送される。プロセッサ250が、信号265を介して示され、命令キャッシュ270においてプロセッサ250によって読み出される、キャッシュライン272上の最後の命令をフェッチした後、右側から論理0(140)が、プリフェッチイネーブルシフトレジスタ100へ書き込まれる。またプロセッサ250は、図2には示されない停止プリフェッチ標識をプロセッサ制御回路210に発行し、プロセッサ制御回路210はプリフェッチ動作を停止する。代表的な実施形態では、命令アドレス225のプリフェッチは順次処理されているが、他の命令アドレスの方式も可能であり、本発明は順次命令アドレスに限定されない。

【0019】

図3は、本特許明細書の種々の代表的な実施形態に記載されるような、命令アドレス300をプリフェッチするための方法の流れ図である。プリフェッチ条件が検出される場合、ブロック305は制御をブロック310に渡す。プリフェッチ条件は、例えば、プリフェッチ処理が分岐ターゲットにおいて開始することを示す特別に符号化された分岐命令を実行することである。実行されるべき命令を生成するソフトウェアは、ターゲットアドレスで開始する命令のブロックがプリフェッチ処理から恩恵を受けるものと決定する場合、分岐に特別な符号化(「hints」のようなIA64アーキテクチャにおいて知られている)を加える。そうでない場合には、ブロック305が繰り返される。

【0020】

ブロック310は、SET A(230)を真に設定することによって、プリフェッチ条件に関連するターゲット命令アドレス220を、プリフェッチ命令アドレスレジスタ205へ書き込む。その後、ブロック310は制御をブロック315に渡す。

【0021】

ブロック315は、プリフェッチイネーブルシフトレジスタ100を初期化する。その例の実施形態では、シフトレジスタ100は8ビット位置を含み、シフトレジスタ100のビット位置115は「10000000」に設定される。その後、ブロック315は制御をブロック320に渡す。

【0022】

プリフェッチイネーブルシフトレジスタ100内のプリフェッチイネーブル検出ビット120(n番目のビット位置120)が論理0に等しく、かつ命令キャッシュ270がプリフェッチの受け入れ準備ができている場合、ブロック320は制御をブロック325に渡す。そうでない場合には、ブロック320は制御をブロック335に渡す。

【0023】

ブロック325は、次の命令アドレスをプリフェッチ命令アドレスレジスタ205へ書き込む。この時点で、SET B(235)は、論理的に真に設定されている。その後ブロック325は制御をブロック330に渡す。

【0024】

ブロック330は、論理1(130)を左側からプリフェッチイネーブルシフトレジスタ100内にシフトする。その後ブロック330は制御をブロック333に渡す。

【0025】

ブロック333は、プリフェッチ命令アドレス225を命令キャッシュ270へ書き込む。その後ブロック333は制御をブロック335に渡す。

【0026】

プロセッサが、命令キャッシュ270のキャッシュライン272上の最後の命令をフェッチする場合、ブロック335は制御をブロック340に渡す。そうでない場合には、ブロック335は制御をブロック345に渡す。

【0027】

ブロック340は、右側から論理0(140)をプリフェッチイネーブルシフトレジスタ100内にシフトする。その後ブロック340は制御をブロック345に渡す。

【0028】

停止プリフェッチ条件が発生するとき、ブロック345は制御をブロック305に渡す。停止プリフェッチ条件は、例えば、分岐を実行して、プリフェッチされていない新しい命令のシーケンスから実行し始めるために、プロセッサを向け直すことである。代表的な実施形態では、ソフトウェアプログラムが行うあらゆる分岐によって、停止プリフェッチ条件が生じるであろう。そうでない場合には、ブロック345は制御をブロック320に渡す。

【0029】

従来のマイクロプロセッサプリフェッチ処理技術より優れた、本特許明細書に記載されるような実施形態の主な利点は、過剰なプリフェッチ処理を排除することである。プロセッサによってフェッチされている命令よりも、必要以上に多くの命令を命令キャッシュ内に

10

20

30

40

50

プリフェッチすることによって、メモリは無駄にされ、命令キャッシュ内の有用な命令が、一度も使用される可能性のない命令に置き換えられる可能性がある。現在の命令ポインタの前のプリフェッチの数は厳密に制御される。それにより本発明の実施形態は、貴重なシステムリソースを節約する。

#### 【 0 0 3 0 】

本発明は好ましい実施形態に関連して詳細に記載されてきたが、記載された実施形態は例示のために示されており、限定するためではない。記載された実施形態の形態および細部に種々の変更を行って、請求の範囲内において等価な実施形態を実現できることは当業者には理解されよう。

#### 【 0 0 3 1 】

本発明を要約すると次のようになる。プリフェッチ性能を最適化するための装置 (200) と方法である。論理 1 (130) が左側からシフトレジスタ (100) のビット内へ、プリフェッチされる各命令アドレス (225) 毎にシフトされる。命令アドレス (225) がプロセッサによりフェッチされ、論理 0 (140) が右側からシフトレジスタ (100) のビット位置 (115) へシフトされる。一旦、開始されれば、シフトレジスタ (100) の n 番目のビット (120) に論理 1 が格納されるまで、プリフェッチは続行する。n 番目のビット (120) の論理 1 を検出することにより、またプリフェッチされた命令アドレス (225) がプリフェッチ命令アドレスレジスタ (205) から除去され、論理 0 がシフトレジスタ (100) の n 番目のビット (120) へシフトされて戻されるまで、プリフェッチは中断する。従って、自立的なプリフェッチエージェントにより現在の命令ポインタのあまりにも前方でのプリフェッチが防止され、結果として、無駄なメモリバンド幅、及び命令キャッシュ (270) の有用な命令の置換が防止される。

#### 【 0 0 3 2 】

以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

1. コンピュータによって実行可能な命令からなるソフトウェアプログラムを具体的に組み入れ、コンピュータによって読み出し可能なコンピュータプログラム記憶媒体 (290) であって、前記コンピュータが、命令アドレス (225) をプリフェッチするための方法を実行するためのマイクロプロセッサ (250) を含み、前記命令アドレスをプリフェッチするための方法が、

シフトレジスタ (100) 内の予め選択されたビット位置 (120) が予め選択された論理値 (140) に設定され、かつ前記マイクロプロセッサ (250) が、プリフェッチ命令アドレス (225) の受け入れ準備ができているとき、

前記プリフェッチ命令アドレス (225) をアドレスレジスタ (205) へ書き込むステップと、

前記プリフェッチ命令アドレス (225) を命令キャッシュ (270) へ書き込むステップと、前記プリフェッチ命令アドレス (225) を、次のプリフェッチ命令アドレス (225) のアドレスの値にインクリメントするステップと、

前記命令キャッシュ (270) が前記プリフェッチ命令アドレス (225) を受け入れたとき、前記シフトレジスタ (100) が左側入力 (150) と右側入力 (155) とを有し、各入力 (150、155) が前記シフトレジスタ (100) 内に論理値 (130、140) をシフトする能力を有して、前記予め選択された論理値 (140) の補数 (130) を前記左側入力 (150) において前記シフトレジスタ (100) 内にシフトするステップと、

前記マイクロプロセッサ (250) が前記命令キャッシュ (270) 内のキャッシュライン (272) からの最後の命令をフェッチするとき、前記予め選択された論理値 (140) に等しい値を、前記右側入力 (155) において前記シフトレジスタ (100) 内にシフトするステップとを含む、コンピュータプログラム記憶媒体 (290)。

2. 前記方法が、

上記 1 に記載のステップの前に、かつプリフェッチ条件 (260) がプロセッサ制御回路 (210) によって検出されたときに、

10

20

30

40

50



前記プリフェッチ条件(260)に関連するターゲット命令アドレス(220)を、前記アドレスレジスタ(205)へ書き込むステップと、及び

前記左側入力(150)に接続されたビット位置(115)において前記予め選択された論理値(140)の補数に、かつ前記シフトレジスタ(100)の他の全てのビット位置(115)において前記予め選択された論理値(140)に、前記シフトレジスタ(100)を初期化するステップとをさらに含む、上記1に記載のコンピュータプログラム記憶媒体(290)。

3. 前記方法が、

停止プリフェッチ条件(345)が発生するとき、命令アドレス(225)のプリフェッチ処理を終了するステップをさらに含む、上記2に記載のコンピュータプログラム記憶媒体(290)。

10

4. 前記予め選択された論理値(140)が論理0であり、前記予め選択された論理値(140)の補数(130)が論理1である、上記2に記載のコンピュータプログラム記憶媒体(290)。

5. 前記予め選択された論理値(140)が論理1であり、前記予め選択された論理値(140)の補数(130)が論理0である、上記2に記載のコンピュータプログラム記憶媒体(290)。

6. 命令アドレス(225)をプリフェッチするためのコンピュータが使用可能な方法であって、

シフトレジスタ(100)内の予め選択されたビット位置(120)が予め選択された論理値(140)に設定され、マイクロプロセッサ(250)が、前記プリフェッチ命令アドレス(225)を受け入れる準備ができているとき、

20

前記プリフェッチ命令アドレス(225)をアドレスレジスタ(205)へ書き込むステップと、

前記プリフェッチ命令アドレス(225)を命令キャッシュ(270)へ書き込むステップと、前記プリフェッチ命令アドレス(225)を、次のプリフェッチ命令アドレス(225)のアドレスの値にインクリメントするステップと、

前記命令キャッシュ(270)が前記プリフェッチ命令アドレス(225)を受け入れたとき、前記シフトレジスタ(100)が左側入力(150)と右側入力(155)とを有し、各入力(150、155)が前記シフトレジスタ(100)内に前記論理値(130、140)をシフトする能力を有して、前記予め選択された論理値(140)の補数(130)を前記左側入力(150)において前記シフトレジスタ(100)内にシフトするステップと、

30

前記マイクロプロセッサ(250)が前記命令キャッシュ(270)内のキャッシュライン(272)からの最後の命令をフェッチするとき、前記予め選択された論理値(140)に等しい値を、前記右側入力(155)において前記シフトレジスタ(100)内にシフトするステップとを含む、コンピュータが使用可能な方法。

7. 前記方法が、

上記6に記載のステップの前に、かつプリフェッチ条件(260)がプロセッサ制御回路(210)によって検出されたとき、

前記プリフェッチ条件(260)に関連するターゲット命令アドレス(220)を、前記アドレスレジスタ(205)へ書き込むステップと、

40

前記左側入力(150)に接続されたビット位置(115)において前記予め選択された論理値(140)の補数に、かつ前記シフトレジスタ(100)の他の全てのビット位置(115)において前記予め選択された論理値(140)に、前記シフトレジスタ(100)を初期化するステップとをさらに含む、上記6に記載のコンピュータが使用可能な方法。

8. 前記方法が、

停止プリフェッチ条件(345)が発生するとき、命令アドレス(225)のプリフェッチ処理を終了するステップをさらに含む、上記7に記載のコンピュータが使用可能な方法。

9. 前記予め選択された論理値(140)が論理0であり、前記予め選択された論理値(140)の補数(130)が論理1である、上記7に記載のコンピュータが使用可能な方法。

10. 命令アドレス(225)をプリフェッチするための装置(200)であって、

50

入力および出力を有するインクリメンタ（215）と、  
 S E T A（230）およびS E T B（235）制御ポートと、入力I N P U T A（240）  
 およびI N P U T B（245）と、出力とを有するアドレスレジスタ（205）であって、そ  
 のアドレスレジスタ（205）の前記出力は、前記インクリメンタ（215）の前記入力に接続  
 され、前記インクリメンタ（215）の前記出力は前記I N P U T B（245）に接続される  
 、アドレスレジスタ（205）と、  
 左側入力（150）と、右側入力（155）と、2つ以上のビット位置（115）とを含むシフト  
 レジスタ（100）であって、そのシフトレジスタ（100）は、S E T B（235）を介して  
 前記アドレスレジスタ（205）に接続され、各入力（150、155）が、論理値（130、140）  
 を前記シフトレジスタ（100）内にシフトする能力を有し、プロセッサ制御回路（210）に  
 よってプリフェッチ条件（260）が検出されたとき、前記アドレスレジスタ（205）は前記  
 I N P U T A（240）を介して、前記プリフェッチ条件（260）に関連するターゲット命  
 令アドレス（220）を受け入れる能力を有しており、前記シフトレジスタ（100）が、前記  
 左側入力（150）に接続されるビット位置（115）を前記予め選択された論理値（140）の  
 補数（130）に、かつ前記シフトレジスタ（100）の全ての他のビット位置（115）を前記  
 予め選択された論理値（140）に初期化されることができ、前記シフトレジスタ（100）内  
 の予め選択されたビット位置（120）が前記予め選択された論理値（140）に設定され、か  
 つマイクロプロセッサ（250）が前記プリフェッチ命令アドレス（225）を受け入れる準備  
 ができているとき、前記S E T B（235）が前記アドレスレジスタ（205）に格納された  
 アドレスの前記インクリメンタ（215）によるインクリメントをイネーブルにし、命令キ  
 ャッシュ（270）が前記プリフェッチ命令アドレス（225）を受け入れたとき、前記シフト  
 レジスタ（100）は前記予め選択された論理値（140）の前記補数（130）を前記左側入力  
 （150）において前記シフトレジスタ（100）内にシフトする能力を有し、前記マイクロ  
 プロセッサ（250）が前記命令キャッシュ（270）のキャッシュライン（272）からの最後の  
 命令をフェッチするとき、前記シフトレジスタ（100）は、前記予め選択された論理値（1  
 40）に等しい値を、前記右側入力（155）において前記シフトレジスタ（100）内にシフト  
 する能力を有する、シフトレジスタ（100）とを含む、装置（200）。

【0033】

【発明の効果】

本発明によれば、プリフェッチ処理を最適化することによりメモリバンド幅のようなリソ  
 ースを無駄にし、命令キャッシュ内の有用な命令を置き換えてしまうことなく、命令フェ  
 ッチにおけるキャッシュミスを防ぐことができる。

【図面の簡単な説明】

【図1A】本特許明細書の種々の代表的な実施形態に記載されるようなプリフェッチイネ  
 ーブルシフトレジスタの図である。

【図1B】本特許明細書の種々の代表的な実施形態に記載されるようなプリフェッチイネ  
 ーブルシフトレジスタの別の図である。

【図1C】本特許明細書の種々の代表的な実施形態に記載されるようなプリフェッチイネ  
 ーブルシフトレジスタのさらに別の図である。

【図2】本特許明細書の種々の代表的な実施形態に記載されるような命令アドレスプリフ  
 ェッチのための装置の図である。

【図3】本特許明細書の種々の代表的な実施形態に記載されるような命令アドレスをプリ  
 フェッチするための方法を示す流れ図である。

【符号の説明】

100 プリフェッチイネーブルシフトレジスタ

115 ビット位置

120 プリフェッチイネーブル検出ビット

130 補数

140 論理0

150 左側入力

10

20

30

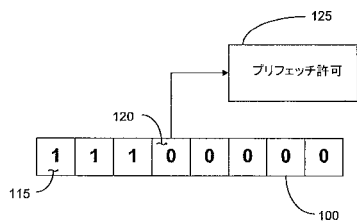
40

50

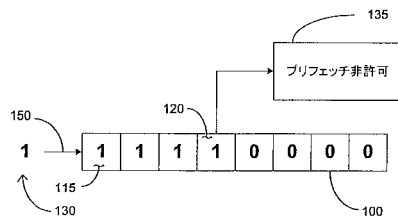
155	右側入力
200	装置
205	プリフェッチ命令アドレスレジスタ
210	プロセッサ制御回路
220	ターゲット命令アドレス
225	プリフェッチ命令アドレス
230	S E T     A
235	S E T     B
240	I N P U T     A
245	I N P U T     B
250	マイクロプロセッサ
260	プリフェッチ条件信号
270	命令キャッシュ
272	キャッシュライン
290	コンピュータプログラム記憶媒体

10

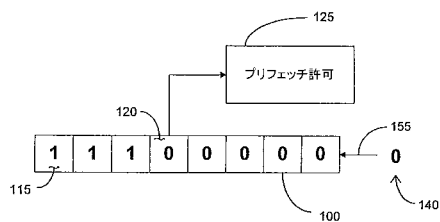
【 図 1 A 】



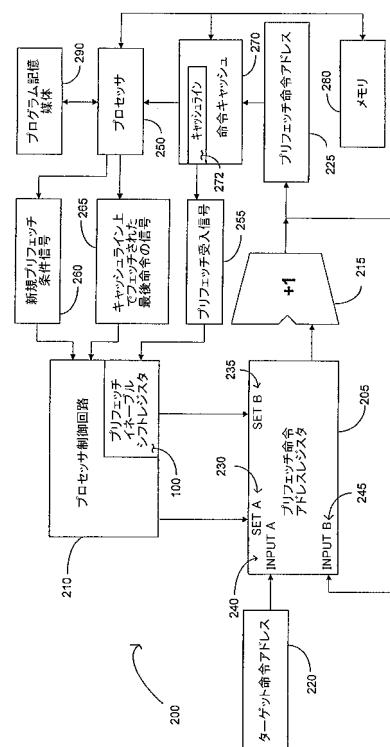
【 図 1 B 】



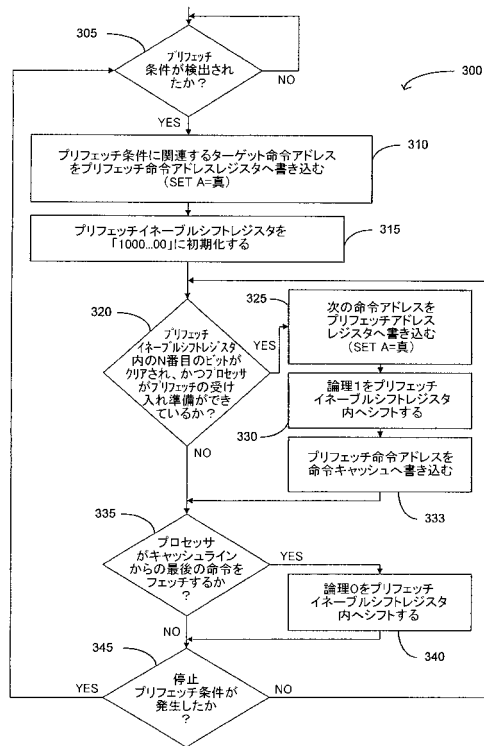
【 図 1 C 】



【圖 2】



【図 3】



---

フロントページの続き

- (72)発明者 ステファン・アール・アンディ  
アメリカ合衆国コロラド州 8 0 5 2 4 , フォートコリンズ , リンデン・ビュー・コート・5 9 1 6
- (72)発明者 ジェイムス・イー・マコーミック・ジュニア  
アメリカ合衆国コロラド州 8 0 5 2 8 , フォートコリンズ , ティンバーウッド・ドライブ・ナンバ  
ー 3 4 ・ 2 6 0 2

審査官 日下 善之

- (56)参考文献 特開平 1 1 - 1 6 7 5 2 0 ( J P , A )  
特開平 7 - 5 6 7 7 1 ( J P , A )  
特開昭 6 3 - 2 2 8 3 3 3 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)  
G06F 9/30-9/38