

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5160856号
(P5160856)

(45) 発行日 平成25年3月13日 (2013. 3. 13)

(24) 登録日 平成24年12月21日 (2012. 12. 21)

(51) Int.Cl.

F I

G 1 1 C 11/401 (2006. 01)

G 1 1 C 11/34 3 6 2 Z

G 1 1 C 11/407 (2006. 01)

G 1 1 C 11/34 3 6 2 T

G O 6 F 12/00 (2006. 01)

G O 6 F 12/00 5 9 7 D

G O 6 F 12/00 5 5 0 E

G O 6 F 12/00 5 6 4 C

請求項の数 4 (全 17 頁)

(21) 出願番号 特願2007-276184 (P2007-276184)
(22) 出願日 平成19年10月24日 (2007. 10. 24)
(65) 公開番号 特開2009-104721 (P2009-104721A)
(43) 公開日 平成21年5月14日 (2009. 5. 14)
審査請求日 平成22年5月17日 (2010. 5. 17)

(73) 特許権者 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部 1 7 5 3 番地
(74) 代理人 100102864
弁理士 工藤 実
(72) 発明者 杉下 恭輔
神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社内
審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 D D R メモリコントローラ及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

マスター D L L により決定されたディレイコードに基づき、D D R メモリからのストロープ信号をスレーブディレイにて遅延させ、前記 D D R メモリからのデータ信号に対するストロープ信号とする D D R メモリコントローラであって、

周波数の異なる複数のクロック信号から周波数選択信号に応じて選択されたクロック信号を前記 D D R メモリに出力するクロック制御回路を備え、

前記クロック制御回路は、

入力された基準クロック信号から前記複数のクロック信号のそれぞれを生成する複数の分周回路と、

前記周波数選択信号を前記複数のクロック信号のそれぞれに同期化させる同期化回路と、

前記同期化回路から出力される前記周波数選択信号に応じたクロック信号を前記複数のクロック信号から選択する選択回路と

を有し、

前記マスター D L L には、前記複数のクロック信号のうち最大周波数のクロック信号がリファレンスクロックとして入力されることを特徴とする D D R メモリコントローラ。

【請求項 2】

請求項 1 に記載の D D R メモリコントローラであって、

前記クロック制御回路は、前記基準クロック信号の周波数を通倍する P L L 回路を有し

、前記複数のクロック信号は、逡倍後の前記基準クロック信号から生成されることを特徴とするＤＤＲメモリコントローラ。

【請求項３】

請求項１又は２に記載のＤＤＲメモリコントローラであって、

前記ディレイコードは、初期化時に決定され、前記ＤＤＲメモリに対して出力されるクロック信号が変わっても変化しないことを特徴とするＤＤＲメモリコントローラ。

【請求項４】

請求項１乃至３のいずれかに記載のＤＤＲメモリコントローラを備えることを特徴とする半導体集積回路。

【発明の詳細な説明】

10

【技術分野】

【０００１】

本発明は、ＤＤＲメモリ用のＤＤＲメモリコントローラ、及びそのＤＤＲメモリコントローラが搭載された半導体装置に関する。

【背景技術】

【０００２】

ＳＤＲＡＭ（Synchronous Dynamic Random Access Memory）の一種として、高速データ転送が可能なＤＤＲ（Double Data Rate）－ＳＤＲＡＭが知られている。ＤＤＲ－ＳＤＲＡＭは、以下「ＤＤＲメモリ」と参照される。また、ＤＤＲメモリ用のメモリコントローラは、以下「ＤＤＲメモリコントローラ」と参照される。

20

【０００３】

ＤＤＲメモリとＤＤＲメモリコントローラとの間の高速データ転送においては、「ストローク信号」と呼ばれる専用の信号が用いられる。具体的には、データ送出側は、データ信号と共にストローク信号を出力する。そのストローク信号は、データ信号の出力タイミング毎にＨ／Ｌのトグル動作を繰り返すが、クロック信号とは別の信号である。データ受取側は、クロック信号ではなく受け取ったストローク信号を参照して、データ信号の取り込みを行う。

【０００４】

例えばデータ読み出し時、ＤＤＲメモリは、読み出しデータを示すデータ信号に加えてストローク信号を出力する。ＤＤＲメモリコントローラは、受け取ったストローク信号を参照して、ストローク信号の立ち上がりエッジ及び立ち下がりエッジのタイミングで、受け取ったデータ信号をラッチする。この時、データ信号が安定した状態でラッチを行うために、ＤＤＲメモリコントローラは、受け取ったストローク信号を遅延させ、遅延したストローク信号を参照してデータ信号をラッチする。ストローク信号を遅延させる手法として、ＤＬＬ（Delay Locked Loop）回路及びディレイ回路を用いる手法が知られている（特許文献１、非特許文献１参照）。

30

【０００５】

図１は、非特許文献１のＦｉｇ．３０に記載されたＤＤＲメモリコントローラ１４０を示している。このＤＤＲメモリコントローラ１４０は、ＤＤＲメモリから出力されるデータ信号ＤＱ及びストローク信号ＤＱＳを受け取る。データ信号ＤＱは、例えば８ビットの信号（ＤＱ０～ＤＱ７）である。図１に示されるように、ＤＤＲメモリコントローラは、スレーブディレイ回路１１０、マスターＤＬＬ回路１２０、及びギア比論理回路１３０を備えている。

40

【０００６】

スレーブディレイ回路１１０は、ＤＤＲメモリから受け取ったストローク信号ＤＱＳを遅延させる回路である。具体的には、スレーブディレイ回路１１０は、ディレイコードに応じて遅延段数が変化する可変遅延回路を有しており、その遅延段数に応じた遅延時間ｔＳＤだけストローク信号ＤＱＳを遅延させる。このスレーブディレイ回路１１０から出力されるストローク信号ＤＱＳの立ち上がりエッジ及び立ち下がりエッジを参照して、フリップフロップ群はデータ信号ＤＱをラッチする。データ信号ＤＱが安定状態でラッチされ

50

るために、典型的には、ストローブ信号DQSの位相が約90度シフトするように遅延段数(遅延時間tSD)が設定される。言い換えれば、ストローブ信号DQSの位相が約90度シフトするように、ディレイコードが決定される。

【0007】

ここで、遅延回路を構成する遅延素子の特性は、温度や製造ばらつきに依存して変化することに注意する必要がある。つまり、ディレイコード(遅延段数)が同じ場合であっても、温度や製造ばらつきに依存して遅延時間tSDがばらつく可能性がある。半導体チップ毎に遅延時間tSDを揃えるためには、半導体チップ毎にディレイコードを調整(トリミング)する必要がある。そのようなディレイコードのトリミングを行うための構成が、マスターDLL回路120及びギア比論理回路130である。

10

【0008】

マスターDLL回路120は、DDRメモリの動作クロックCKをリファレンスクロックとして受け取り、そのリファレンスクロックCKの位相が360度(1周期)シフトするような遅延段数を求める。具体的には、マスターDLL回路120は、可変遅延回路、位相検出器、及び遅延コントローラを有している。可変遅延回路は、上述のスレーブディレイ回路110と同じ構成を有しており、遅延コントローラから出力される制御信号に応じて遅延段数が変化する。この可変遅延回路は、リファレンスクロックCKを受け取り、設定された遅延段数に応じた遅延時間tCKだけリファレンスクロックCKを遅延させる。位相検出器には、遅延していないリファレンスクロックCKと、可変遅延回路から出力される遅延後のリファレンスクロックCKが入力される。そして、位相検出器は、それら2つのリファレンスクロックCKの位相を比較し、比較結果を遅延コントローラに出力する。遅延コントローラは、比較結果に基づいて制御信号を変更し、可変遅延回路における遅延段数を変化させる。このような構成により、リファレンスクロックCKが1周期遅延するような遅延段数を決定することが可能となる。

20

【0009】

ギア比論理回路130は、リファレンスクロックCKが1周期遅延するような遅延段数を“4”で割る。その結果、リファレンスクロックCKの位相が90度シフトするような遅延段数が算出される。その算出された遅延段数を示す信号が、本半導体チップにおけるディレイコードである。スレーブディレイ回路110は、決定されたディレイコードに基づいて遅延段数を設定し、ストローブ信号DQSを遅延時間tSDだけ遅延させる。

30

【0010】

このようにして、マスターDLL回路120及びギア比論理回路130により、ディレイコードのトリミングが半導体チップ毎に実施される。その結果、スレーブディレイ回路110におけるストローブ信号DQSの遅延時間tSDが、半導体チップ毎に揃うことになる。すなわち、動作環境の温度や製造ばらつきに対処することが可能となる。

【0011】

【特許文献1】特開2004-220643号公報

【非特許文献1】DesignLine, Volume 8, Issue 3, 3Q99, Micron Technology Inc.

【発明の開示】

40

【発明が解決しようとする課題】

【0012】

近年、DDRメモリを様々な動作周波数で動作させたいという要望がある。例えば、データがあまり読み出されないときには、消費電力を抑制するために、DDRメモリの動作周波数を低下させたいという要望がある。図1で示された構成によれば、DDRメモリの動作クロックCKが変更されると、それに応じて上述のディレイコードも適切な値に再度設定される。これにより、DDRメモリの動作周波数の変更後でも、DDRメモリコントローラはデータ信号DQを安定的に取り込むことができる。

【0013】

しかしながら、ディレイコードの再設定(再トリミング)には、ある程度の時間が必要

50

である。従って、ディレイコードの再設定の間は、ＤＤＲメモリを待機状態にする必要があり、スループットが低下する。すなわち、ＤＤＲメモリの動作周波数の変更に伴うディレイコードの再設定による時間的なオーバーヘッドは、スループットの低下を招く。

【課題を解決するための手段】

【００１４】

以下に、〔発明を実施するための最良の形態〕で使用される番号・符号を用いて、〔課題を解決するための手段〕を説明する。これらの番号・符号は、〔特許請求の範囲〕の記載と〔発明を実施するための最良の形態〕との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、〔特許請求の範囲〕に記載されている発明の技術的範囲の解釈に用いてはならない。

【００１５】

本発明の第１の観点において、マスターＤＬＬ（５０）により決定されたディレイコード（ＤＣＯＤＥ）に基づき、ＤＤＲメモリ（１）からのストローク信号（ＤＱＳ）をスレーブディレイ（４０）にて遅延させ、ＤＤＲメモリ（１）からのデータ信号（ＤＱ）に対するストローク信号（ＤＱＳ'）とするＤＤＲメモリコントローラ（１０）が提供される。そのＤＤＲメモリコントローラ（１０）は、周波数の異なる複数のクロック信号（ＣＬＫ１～ＣＬＫｎ）から周波数選択信号（ＳＥＬ）に応じて選択されたクロック信号（ＳＣＬＫ）をＤＤＲメモリ（１）に出力するクロック制御回路（２０）を備える。マスターＤＬＬ（５０）には、上記複数のクロック信号（ＣＬＫ１～ＣＬＫｎ）のうち最大周波数のクロック信号（ＣＬＫ１）がリファレンスクロック（ＲＥＦ）として入力される。

【００１６】

本発明の第２の観点において、ＤＤＲメモリコントローラ（１０）は、クロック制御回路（２０）とストローク遅延回路（４０）とを備える。クロック制御回路（２０）は、周波数の異なる複数のクロック信号（ＣＬＫ１～ＣＬＫｎ）のうちいずれか１つをＤＤＲメモリ（１）の動作クロック信号（ＳＣＬＫ）として出力する。ストローク遅延回路（４０）は、ＤＤＲメモリ（１）から出力されるストローク信号（ＤＱＳ）を、所定の遅延時間（ t_{SD} ）だけ遅延させる。その遅延時間（ t_{SD} ）は、上記複数のクロック信号（ＣＬＫ１～ＣＬＫｎ）のうち最大周波数のクロック信号（ＣＬＫ１）の位相が所定の角度だけシフトする量に調整される。

【００１７】

本発明の第３の観点において、上記ＤＤＲメモリコントローラ（１０）が搭載された半導体装置が提供される。

【００１８】

本発明によれば、クロック制御回路（２０）によって、ＤＤＲメモリ（１）の動作クロック信号（ＳＣＬＫ）を変更したいという要求は満たされる。一方で、ディレイコード（ＤＣＯＤＥ）は、ＤＤＲメモリ（１）の動作クロック信号（ＳＣＬＫ）となり得る複数のクロック信号（ＣＬＫ１～ＣＬＫｎ）のうち、最大周波数のクロック信号（ＣＬＫ１）を基準として用いることにより決定される。つまり、ストローク信号（ＤＱＳ）の遅延時間（ t_{SD} ）は、ＤＤＲメモリ（１）の動作クロック信号（ＳＣＬＫ）にかかわらず、最大周波数のクロック信号（ＣＬＫ１）の位相が所定の角度だけシフトする量に調整される。

【００１９】

ＤＤＲメモリ（１）の動作クロック信号（ＳＣＬＫ）が、最大周波数のクロック信号（ＣＬＫ１）から、それ以外のもの（ＣＬＫ２～ＣＬＫｎ）に変更される場合を考える。この時、データ信号（ＤＱ）のストローク信号（ＤＱＳ'）に対するセットアップバジエットは変わらず、これは動作上問題ない。また、データ信号（ＤＱ）のストローク信号（ＤＱＳ'）に対するホールドバジエットは必然的により大きくなり、これも動作上問題ない。すなわち、ＤＤＲメモリ（１）の動作クロック信号（ＳＣＬＫ）としていかなるクロック信号が選択されても、ＤＤＲメモリコントローラ（１０）は、データ信号（ＤＱ）を安定的に取り込むことが可能である。言い換えれば、ＤＤＲメモリ（１）の動作クロック信号（ＳＣＬＫ）が変更されても、ディレイコード（ＤＣＯＤＥ）を再度トリミングする必

要はない。

【0020】

以上に説明されたように、ディレイコード(DCODE)のトリミング時に基準となるクロック信号(REF)は、DDRメモリ(1)の動作クロック信号(SCLK)となり得る複数のクロック信号(CLK1~CLKn)のうち最大周波数のクロック信号(CLK1)に固定される。この場合、DDRメモリ(1)の動作クロック信号(SCLK)が変更されても、ディレイコード(DCODE)を再度トリミングする必要はない。従って、動作クロック信号(SCLK)の変更に伴う時間的なオーバーヘッドが短縮される。結果として、スループットの低下が防止され、動作速度が全体として向上する。

【発明の効果】

10

【0021】

本発明によれば、DDRメモリの動作周波数の変更に伴う時間的なオーバーヘッドが短縮される。その結果、スループットの低下が防止され、動作速度が全体として向上する。

【発明を実施するための最良の形態】

【0022】

添付図面を参照して、本発明の実施の形態に係るDDRメモリコントローラ及び半導体装置を説明する。

【0023】

1. 第1の実施の形態

1-1. 全体構成

20

図2は、本発明の第1の実施の形態に係るDDRメモリコントローラ及び半導体装置の構成を示すブロック図である。半導体装置は、DDRメモリ(DDR-SDRAM)1及びDDRメモリコントローラ10を備えている。例えば、DDRメモリ1とDDRメモリコントローラ10とは、それぞれ別々の半導体チップとして構成される。また、DDRメモリコントローラ10は論理半導体チップなどに搭載されていてもよい。つまり、DDRメモリコントローラ10が搭載された半導体集積回路が提供されてもよい。さらにまた、DDRメモリ1とDDRメモリコントローラ10とが1つの半導体チップに構成されていてもよい。

【0024】

DDRメモリ1は、動作クロック信号SCLKに基づいて動作する。また、データ読み出し時、DDRメモリ1は、読み出しデータを示すデータ信号DQ(DQ0~DQi)に加えて、そのデータ信号DQに対応するストローク信号DQSを出力する。

30

【0025】

DDRメモリコントローラ10は、動作クロック信号SCLKをDDRメモリ1に出力し、また、動作クロック信号SCLKを切り換える機能を有している。更に、DDRメモリコントローラ10は、DDRメモリ1からデータ信号DQ及びストローク信号DQS信号を受け取り、ストローク信号DQSに基づいてデータ信号DQを外に出力する機能を有している。これら機能を実現するために、DDRメモリコントローラ10は、クロック制御回路20、出力回路30、ストローク遅延回路40、及びDLL回路50を有している。以下、各構成を詳しく説明する。

40

【0026】

1-2. クロック制御回路

近年、DDRメモリ1を状況に応じて様々な動作周波数で動作させたいという要望がある。つまり、DDRメモリ1の動作クロック信号SCLKを動的に変更したいという要望がある。そのような要望に応えるための構成が、クロック制御回路20である。

【0027】

クロック制御回路20は、DDRメモリコントローラ10の外部から基準クロック信号CLKを受け取る。典型的には、基準クロック信号CLKは、システムクロック信号である。クロック制御回路20は、受け取った基準クロック信号CLKに基づいて、互いに周波数の異なる複数のクロック信号CLK1~CLKnを生成する(nは2以上の整数)。

50

更に、クロック制御回路 20 は、生成された複数のクロック信号 CLK 1 ~ CLK n のうちいずれか 1 つを、DDR メモリ 1 の動作クロック信号 SCLK として DDR メモリ 1 に出力する。

【0028】

より詳細には、図 2 に示されるように、クロック制御回路 20 は、クロック生成回路 60 及びクロック選択回路 70 を有している。クロック生成回路 60 は、基準クロック信号 CLK から、互いに周波数の異なる複数のクロック信号 CLK 1 ~ CLK n を生成する。一方、クロック選択回路 70 は、複数のクロック信号 CLK 1 ~ CLK n に加えて周波数選択信号 SEL を受け取る。周波数選択信号 SEL は、DDR メモリ 1 の動作クロック信号 SCLK を指定する信号であり、例えば CPU によって発行される。クロック選択回路 70 は、周波数選択信号 SEL に応答して、複数のクロック信号 CLK 1 ~ CLK n から 1 つの動作クロック信号 SCLK を選択し、選択された動作クロック信号 SCLK を DDR メモリ 1 に出力する。

10

【0029】

このように、クロック制御回路 20 は、複数のクロック信号 CLK 1 ~ CLK n を生成し、そのうち周波数選択信号 SEL に応じて選択された動作クロック信号 SCLK を DDR メモリ 1 に出力する。DDR メモリ 1 は、選択された動作クロック信号 SCLK に基づいて動作する、すなわち、複数のクロック信号 CLK 1 ~ CLK n のいずれかに基づいて動作する。クロック制御回路 20 によって生成される複数のクロック信号 CLK 1 ~ CLK n は、DDR メモリ 1 の動作クロック信号 SCLK となり得る候補であると言える。

20

【0030】

図 3 は、クロック制御回路 20 の回路構成の一例を示している。図 3 において、クロック生成回路 60 は、複数の分周回路 61、62 及び 63 を有している。分周回路 61、62 及び 63 のそれぞれは、基準クロック信号 CLK から、互いに周波数の異なるクロック信号 CLK 1、CLK 2 及び CLK 3 を生成する。例えば、分周回路 61、62 及び 63 は、それぞれ 1/2 分周回路、1/4 分周回路、及び 1/8 分周回路である。この場合、分周回路 61 によって生成されるクロック信号 CLK 1 の周波数が最大となり、分周回路 63 によって生成されるクロック信号 CLK 3 の周波数が最小となる。尚、クロック生成回路 60 の別の形態として、分周回路 61、62、63 の他に入力クロック (CLK) をスルーするバッファを有する構成も可能である。

30

【0031】

クロック選択回路 70 は、クロック信号 CLK 1 ~ CLK 3 と周波数選択信号 SEL を受け取る。周波数選択信号 SEL は、クロック信号 CLK 1 の選択 / 非選択を示す選択信号 SEL 1 と、クロック信号 CLK 2 の選択 / 非選択を示す選択信号 SEL 2 と、クロック信号 CLK 3 の選択 / 非選択を示す選択信号 SEL 3 からなる。いずれの選択信号に関しても、H レベルが「選択」を意味し、L レベルが「非選択」を意味するとする。ここでは、複数のクロック信号 (CLK 1 ~ CLK 3) から 1 つのクロック信号が選択されるように、選択信号 SEL 1、SEL 2、SEL 3 は排他的に設定される。

【0032】

図 3 において、クロック選択回路 70 は、選択回路 75 と同期化回路 80 を有している。同期化回路 80 は、周波数選択信号 SEL をクロック信号 CLK 1 ~ CLK 3 のそれぞれに同期化させるための回路であり、フリップフロップ群 81 ~ 83 を有している。具体的には、フリップフロップ群 81 は、多段に接続されたフリップフロップを含んでおり、クロック信号 CLK 1 を利用して選択信号 SEL 1 の同期化を行う。同様に、フリップフロップ群 82 は、クロック信号 CLK 2 を利用して選択信号 SEL 2 の同期化を行い、フリップフロップ群 83 は、クロック信号 CLK 3 を利用して選択信号 SEL 3 の同期化を行う。尚、選択信号 SEL (SEL 1 ~ SEL 3) としてデコード済みの信号が入力される例をここでは示したが、クロック選択回路 70 は、選択情報をデコードして選択信号 SEL (SEL 1 ~ SEL 3) を出力するデコード回路を有していてもよい。

40

【0033】

50

選択回路 75 は、同期化回路 80 から出力される周波数選択信号 SEL (SEL1 ~ SEL3) に応じたクロック信号を、クロック信号 CLK1 ~ CLK3 の中から選択し出力する。例えば図 3 に示されるように、選択回路 75 は、AND 回路 71 ~ 73 及び OR 回路 74 を有している。AND 回路 71 には、クロック信号 CLK1 と同期化回路 80 から出力される選択信号 SEL1 が入力される。AND 回路 72 には、クロック信号 CLK2 と同期化回路 80 から出力される選択信号 SEL2 が入力される。AND 回路 73 には、クロック信号 CLK3 と同期化回路 80 から出力される選択信号 SEL3 が入力される。AND 回路 71 ~ 73 のそれぞれの出力は、OR 回路 74 に入力される。OR 回路 74 から出力される信号が、DDR メモリ 1 の動作クロック信号 SCLK である。

【0034】

10

図 4 は、図 3 で示されたクロック制御回路 20 の動作の一例を示すタイミングチャートである。図 4 には、基準クロック信号 CLK、クロック信号 CLK1 ~ CLK3、選択信号 SEL1、AND 回路 71 の出力、選択信号 SEL2、AND 回路 72 の出力、及び選択された動作クロック信号 SCLK が示されている。尚、図 4 中の各段に付されている数字は、図 3 中の対応する数字で示される位置での信号をそれぞれ意味している。

【0035】

図 4 で示される例では、最初、選択信号 SEL1 だけが H レベルであり、その他の選択信号は L レベルである。その結果、クロック制御回路 20 からは、クロック信号 CLK1 ~ CLK3 のうち最大周波数のクロック信号 CLK1 が、選択的に動作クロック信号 SCLK として出力される。その後、選択信号 SEL1 が L レベルに変更される。続いて、選択信号 SEL2 が L レベルから H レベルに変更される。その結果、クロック制御回路 20 からは、クロック信号 CLK1 ~ CLK3 のうちクロック信号 CLK2 が、選択的に動作クロック信号 SCLK として出力される。このように、動作クロック信号 SCLK が、最大周波数のクロック信号 CLK1 から、それより低い周波数のクロック信号 CLK2 に切り換えられる。

20

【0036】

図 5 は、クロック制御回路 20 の回路構成の他の例を示している。図 5 において、クロック選択回路 70 の構成は、図 3 で示されたものと同じである。一方、クロック生成回路 60 は、分周回路 61 ~ 63 に加えて PLL 回路 64 を更に有している。PLL 回路 64 は、基準クロック信号 CLK の周波数を逡倍する機能を有している。この場合、分周回路 61 ~ 63 のそれぞれは、逡倍後の基準クロック信号 CLK' からクロック信号 CLK1 ~ CLK3 を生成する。このように、クロック制御回路 20 は、基準クロック信号 CLK を逡倍した後に、複数のクロック信号 CLK1 ~ CLK3 を生成してもよい。この場合でも、クロック制御回路 20 が果たす役割は同じである。

30

【0037】

1 - 3 . 出力回路及びストローブ遅延回路

再度図 2 を参照して、DDR メモリコントローラ 10 の出力回路 30 及びストローブ遅延回路 40 (スレーブディレイ回路) を説明する。

【0038】

DDR メモリ 1 から出力されるストローブ信号 DQS は、まず、ストローブ遅延回路 40 に入力される。このストローブ遅延回路 40 は、DDR メモリ 1 から受け取ったストローブ信号 DQS を、所定の遅延時間 (tSD) だけ遅延させる回路である。具体的には、スレーブディレイ回路 40 は、多段の遅延素子から構成される可変遅延回路 41 を含んでいる。その遅延素子の段数、すなわち、遅延時間 (tSD) は、後述される「ディレイコード DCODE」に応じて変化する。つまり、ストローブ遅延回路 40 は、ディレイコード DCODE に応じた遅延時間 (tSD) だけ、ストローブ信号 DQS を遅延させる。遅延後のストローブ信号 DQS は、以下「ストローブ信号 DQS'」と参照される。そのストローブ信号 DQS' は、出力回路 30 に供給される。

40

【0039】

出力回路 30 は、DDR メモリ 1 から出力されるデータ信号 DQ (DQ0 ~ DQi) を

50

受け取る。データ信号 DQ は、例えば 8 ビットの信号 ($DQ0 \sim DQ7$) である。また、出力回路 30 は、ストローブ遅延回路 40 を通して、ストローブ信号 DQS' を受け取る。そして、出力回路 30 は、受け取ったストローブ信号 DQS' を参照し、そのストローブ信号 DQS' の立ち上がりエッジ及び立ち下がりエッジのタイミングでデータ信号 DQ を取り込む。

【0040】

具体的には、図 2 に示されるように、出力回路 30 は、フリップフロップ 31 - 0 ~ 31 - i 及びフリップフロップ 32 - 0 ~ 32 - i を有している。フリップフロップ 31 - 0 ~ 31 - i には、ストローブ信号 DQS' が入力される。そして、フリップフロップ 31 - 0 ~ 31 - i のそれぞれは、ストローブ信号 DQS' の立ち上がりエッジのタイミングで、データ信号 $DQ0 \sim DQi$ をラッチする。一方、フリップフロップ 32 - 0 ~ 32 - i には、ストローブ信号 DQS' の反転信号が入力される。そして、フリップフロップ 32 - 0 ~ 32 - i のそれぞれは、ストローブ信号 DQS' の立ち下がりエッジのタイミングで、データ信号 $DQ0 \sim DQi$ をラッチする。そして、出力回路 30 は、データ信号 $DQ0 \sim DQi$ を、DDR メモリコントローラ 10 の外部に出力する。

【0041】

図 6 は、データ信号 DQ とストローブ信号 DQS 、 DQS' の関係を示すタイミングチャートである。DDR メモリ 1 は、上述の動作クロック信号 CLK に基づいて動作し、データ信号 DQ とストローブ信号 DQS を出力する。この時、ストローブ信号 DQS は、データ信号 DQ の出力タイミング毎に H/L のトグル動作を繰り返す。

【0042】

DDR メモリコントローラ 10 内で、ストローブ遅延回路 40 は、ストローブ信号 DQS を所定の遅延時間 t_{SD} だけ遅延させる。その結果、ストローブ遅延回路 40 から出力されるストローブ信号 DQS' の立ち上がりエッジ及び立ち下がりエッジのタイミングは、データ信号 DQ が安定期間に含まれることになる。つまり、データ信号 DQ に関して十分なセットアップ時間 t_{setup} とホールド時間 t_{hold} が確保されることになる。結果として、出力回路 30 は、データ信号 DQ が安定している期間に、そのデータ信号 DQ をラッチすることが可能となる。尚、図 6 では、データ信号 DQ 及びストローブ信号 DQS の各エッジにおいて位相差 (スキュー) が無いものとして記載している。しかしながら実際には、後述のように (例えば図 8)、各データ信号 DQ 及びストローブ信号 DQS 間にはスキューが生じてしまう。

【0043】

このように、ストローブ遅延回路 40 がストローブ信号 DQS を遅延時間 t_{SD} だけ遅延させることにより、DDR メモリコントローラ 10 はデータ信号 DQ を安定状態でラッチすることが可能となる。逆に言えば、データ信号 DQ が安定状態でラッチされるように、遅延時間 t_{SD} は設定される。その遅延時間 t_{SD} は、可変遅延回路 41 を構成する遅延素子の段数によって決まり、その段数はディレイコード $DCODE$ に応じて設定される。

【0044】

ここで、遅延素子の特性は、温度や製造ばらつきに依存して変化することに注意する必要がある。つまり、ディレイコード $DCODE$ (遅延段数) が同じ場合であっても、温度や製造ばらつきに依存して遅延時間 t_{SD} がばらつく可能性がある。半導体チップ毎に遅延時間 t_{SD} を揃えるためには、半導体チップ毎にディレイコード $DCODE$ を調整 (トリミング) する必要がある。そのようなディレイコード $DCODE$ のトリミングを行うための構成が、次に説明される DLL 回路 50 である。

【0045】

1 - 4 . DLL 回路

再度図 2 を参照して、DLL 回路 50 (マスター DLL 回路) を説明する。DLL 回路 50 は、ストローブ遅延回路 40 (スレーブディレイ回路) における遅延時間 t_{SD} を指定するディレイコード $DCODE$ のトリミングを行い、適切なディレイコード $DCODE$

10

20

30

40

50

を決定する。

【0046】

ディレイコードDCODEの決定に際し、本実施の形態に係るDLL回路50は、上述のクロック制御回路20によって生成された複数のクロック信号CLK1~CLKnのうち「最大周波数のクロック信号CLK1」をリファレンスクロックREFとして利用する。つまり、DDRメモリ1の動作クロック信号SCLKにかかわらず、DLL回路50は、最大周波数のクロック信号CLK1を利用してディレイコードDCODEを決定する。そのために、DLL回路50はクロック制御回路20から、最大周波数のクロック信号CLK1をリファレンスクロックREFとして受け取る(図2、図3、図5参照)。

【0047】

図2に示されるように、DLL回路50は、可変遅延回路51、位相検出器52、遅延コントローラ53、及びコード生成論理回路54を有している。可変遅延回路51は、ストロープ遅延回路40に含まれる可変遅延回路41のレプリカであり、多段の遅延素子を有している。その遅延素子の段数(遅延段数)は、遅延コントローラ53から出力される制御信号に応じて変化する。可変遅延回路51は、リファレンスクロックREFを受け取り、設定された遅延段数に応じた遅延時間だけリファレンスクロックREFを遅延させる。

【0048】

位相検出器52には、遅延していないリファレンスクロックREFと、可変遅延回路51から出力される遅延後のリファレンスクロックREFが入力される。そして、位相検出器52は、それら2つのリファレンスクロックREFの位相を比較し、比較結果を遅延コントローラ53に出力する。遅延コントローラ53は、比較結果に基づいて制御信号を変更し、可変遅延回路51における遅延段数を変化させる。

【0049】

以上に説明された可変遅延回路51、位相検出器52、及び遅延コントローラ53によって、リファレンスクロックREFの位相が360度(1周期)シフトするような遅延段数を決定することが可能である。コード生成論理回路54は、リファレンスクロックREFの位相が360度シフトするような遅延段数を、所定の数で割る割算回路である。例えば、コード生成論理回路54は、上記遅延段数を“4”で割る。その結果、リファレンスクロックREFの位相が90度シフトするような遅延段数が算出される。言い換えれば、最大周波数のクロック信号CLK1の位相が90度シフトするような遅延段数が算出される。

【0050】

このようにして算出された遅延段数を示す信号が、ディレイコードDCODEである。本実施の形態に係るDLL回路50は、最大周波数のクロック信号CLK1の位相が所定の角度(例えば90度)だけシフトするようにディレイコードDCODEを決定する。上述のストロープ遅延回路40は、決定されたディレイコードDCODEに基づいて、遅延段数を設定し、ストロープ信号DQSを遅延時間tSDだけ遅延させる。すなわち、ストロープ信号DQSの遅延時間tSDは、最大周波数のクロック信号CLK1の位相が所定の角度(例えば90度)だけシフトする量に調整(トリミング)される。

【0051】

以上に説明されたように、本実施の形態によれば、DLL回路50に入力されるリファレンスクロックREFは、DDRメモリ1の動作クロック信号SCLKにかかわらず、最大周波数のクロック信号CLK1に固定される。言い換えれば、ディレイコードDCODEは、動作クロック信号SCLKとなり得るクロック信号CLK1~CLKnのうち、最大周波数のクロック信号CLK1を基準として用いることにより決定される。結果として、ストロープ信号DQSの遅延時間tSDは、動作クロック信号SCLKに依存することなく、最大周波数のクロック信号CLK1の位相が所定の角度だけシフトする量に調整されることになる。DDRメモリ1の動作クロック信号SCLKが変更されたとしても、ディレイコードDCODEや遅延時間tSDは変わらないことに留意されたい。

10

20

30

40

50

【 0 0 5 2 】

1 - 5 . D D R メモリ の 動作クロック信号の切り換え

次に、D D R メモリ 1 の動作クロック信号 S C L K の切り換え時における D D R メモリコントローラ 1 0 の動作を説明する。図 7 は、動作クロック信号 S C L K の切り換え処理の一例を示すタイミングチャートである。図 7 には、D D R メモリ 1 に対するコマンド、動作クロック信号 S C L K、D D R メモリ 1 から出力されるストロブ信号 D Q S とデータ信号 D Q、及びストロブ遅延回路 4 0 から出力されるストロブ信号 D Q S ' が示されている。

【 0 0 5 3 】

図 7 で示される例において、D D R メモリ 1 にはリードコマンド (R E A D) が入力され、その後、ノーオペレーションコマンド (N O P) が入力される。リードコマンド (R E A D) に応答して、D D R メモリ 1 は、データを読み出す。このとき、バースト長は 8 であるとする。

10

【 0 0 5 4 】

最初、D D R メモリ 1 の動作クロック信号 S C L K は、最大周波数のクロック信号 C L K 1 である。D D R メモリ 1 は、最大周波数のクロック信号 C L K 1 に基づいて、ストロブ信号 D Q S 及びデータ信号 D Q を出力する。ストロブ信号 D Q S 及びデータ信号 D Q は、N O P コマンドの期間に出力されている。D D R メモリコントローラ 1 0 において、ストロブ遅延回路 4 0 は、ストロブ信号 D Q S を所定の遅延時間 t_{SD} だけ遅延させる。その遅延時間 t_{SD} は、最大周波数のクロック信号 C L K 1 の位相が所定の角度だけシフトする量に設定されている。

20

【 0 0 5 5 】

N O P コマンドの期間中のあるタイミングにおいて、周波数選択信号 S E L が変更され、動作クロック信号 S C L K が切り換えられる。例えば、動作クロック信号 S C L K は、最大周波数のクロック信号 C L K 1 から、それより低いクロック信号 C L K 2 に切り換えられる（既出の図 4 参照）。図 4 及び図 7 に示されるように、動作クロック信号 S C L K は、クロック信号 C L K 1 から多少の間を置いてクロック信号 C L K 2 に変わる。その後、D D R メモリ 1 は、クロック信号 C L K 2 に基づいて、ストロブ信号 D Q S 及びデータ信号 D Q を出力する。

【 0 0 5 6 】

ここで注意すべきことは、D L L 回路 5 0 に入力されるリファレンスクロック R E F は、最大周波数のクロック信号 C L K 1 のまま変わらないことである。すなわち、D L L 回路 5 0 においてディレイコード D C O D E の再トリミングは実施されず、ディレイコード D C O D E は変わらず一定である。従って、ストロブ遅延回路 4 0 によるストロブ信号 D Q S の遅延時間 t_{SD} も変わらない。遅延時間 t_{SD} は、最大周波数のクロック信号 C L K 1 の位相が所定の角度だけシフトする量のままである。

30

【 0 0 5 7 】

図 8 は、D D R メモリ 1 の動作周波数が最大周波数の場合とその他の場合とでのタイミングバジェットを概念的に示している。より詳細には、図 8 には、D D R メモリコントローラ 1 0 に入力されるストロブ信号 D Q S とデータ信号 D Q が示されている。ストロブ信号 D Q S は、時刻 t_1 において D D R メモリコントローラ 1 0 に到達するとする。また、スキュー (Skew) を考慮すると、データ信号 D Q が安定する期間は、図中の “ Data Valid ” で示される期間となる。そのデータ信号 D Q の安定期間内の時刻 t_2 に、ストロブ信号 D Q S ' のエッジのタイミングが位置することが望ましい。その時刻 t_2 と上記時刻 t_1 の差が、望ましい遅延時間 t_{SD} である。但し、実際の遅延回路では、遅延時間 t_{SD} に誤差が生じる可能性がある。そのような不確定性 (SU: Strobe Uncertainty) も考慮すると、図 8 に示されるように、セットアップバジェット (Setup Budget) とホールドバジェット (Hold Budget) が定義され得る。

40

【 0 0 5 8 】

上述の通り、本実施の形態によれば、ディレイコード D C O D E は、最大周波数のクロ

50

ック信号CLK1を利用することによりトリミングされている。つまり、遅延時間tSDは、DDRメモリ1の動作周波数が最大の場合でもセットアップ/ホールド制約が満たされるように設定されている。

【0059】

次に、動作周波数が最大周波数以外の場合を考える。この場合も、ディレイコードDCODE、すなわち遅延時間tSDは、最大周波数の場合と同じである。そのため、セットアップバジェットは最大周波数の場合と変わらないが、これは動作上問題ない。一方、ホールドバジェットは、図8に示されるように、最大周波数の場合よりも必然的に大きくなる。これも当然、動作上問題ない。すなわち、最大周波数の場合と少なくとも同等のタイミングバジェットが確保されるため、正常動作が保障される。

10

【0060】

このように、DDRメモリ1の動作クロック信号SCLKとしていかなるクロック信号が選択されても、十分なタイミングバジェットが確保されるため、DDRメモリコントローラ10は、データ信号DQを安定的に取り込むことが可能である。言い換えれば、十分なタイミングバジェットが保障されているため、動作クロック信号SCLKが変更されても、ディレイコードDCODEを再度トリミングする必要はない。

【0061】

以上に説明されたように、ディレイコードDCODEは、DDRメモリ1の動作クロック信号SCLKとなり得る候補のうち最大周波数のクロック信号CLK1を利用することにより決定される。その場合、DDRメモリ1の動作クロック信号SCLKが変更されても、ディレイコードDCODEを再度トリミングする必要はない。従って、DDRメモリコントローラ10におけるディレイコードDCODEの再トリミング処理の間に、DDRメモリ1を待機状態にする必要もない。周波数選択信号SELが切り換えられたとき、DDRメモリ1は、コントローラ側の再トリミング処理を待つことなく、すぐに動作することが可能である。このように、動作クロック信号SCLKの動的な変更に伴う時間的なオーバーヘッドが短縮される。結果として、スループットの低下が防止され、動作速度が全体として向上する。

20

【0062】

尚、動作クロック信号SCLKの切り換えタイミングは、図7で示された例に限られない。動作クロック信号SCLKの切り換えタイミングは、DDRメモリ1側の仕様に依りて適宜決定されるとよい。例えば、DDRメモリ1の仕様が、セルフリフレッシュ動作中の動作クロック信号SCLKの切り換えを許可する場合を考える。その場合は、図9に示されるように、セルフリフレッシュ動作の最中に、動作クロック信号SCLKが切り換えられるとよい。図9で示される例の場合でも、DDRコントローラ10側の処理は同じである。つまり、本実施の形態に係るDDRコントローラ10は、DDRメモリ1側の仕様によらず、汎用的に適用可能である。

30

【0063】

1-6. 効果

本実施の形態によれば、DDRメモリ1の動作クロック信号SCLKを動的に変更したいという要求は、クロック制御回路20によって満たされる。

40

【0064】

また、ディレイコードDCODEのトリミング時に用いられるリファレンスクロックREFは、DDRメモリ1の動作クロック信号SCLKとなり得る複数のクロック信号CLK1~CLKnのうち最大周波数のクロック信号CLK1に固定される。この場合、DDRメモリ1の動作クロック信号SCLKが変更されても、ディレイコードDCODEを再度トリミングする必要はない。従って、動作クロック信号SCLKの動的な変更に伴う時間的なオーバーヘッドが短縮される。結果として、スループットの低下が防止され、動作速度が全体として向上する。

【0065】

2. 第2の実施の形態

50

図10は、本発明の第2の実施の形態に係るDDRメモリコントローラ及び半導体装置の構成を示すブロック図である。半導体装置は、DDRメモリ1及びDDRメモリコントローラ10を備えている。本実施の形態において、DDRメモリコントローラ10は、図2で示された構成に加えて保持回路90を有している。その他の構成は第1の実施の形態と同様であり、重複する説明は適宜省略される。

【0066】

保持回路90は、ディレイコードDCODEを保持する記憶回路であり、DLL回路50とストロブ遅延回路40に接続されている。DLL回路50は、決定したディレイコードDCODEを保持回路90に出力し、保持回路90は、DLL回路50によって決定されたディレイコードDCODEを保持する。そのディレイコードDCODEは、保持回路90からストロブ遅延回路40に出力される。ストロブ遅延回路40は、保持回路90によって保持されているディレイコードDCODEに基づいて、ストロブ信号DQSを遅延させる。

【0067】

第1の実施の形態で説明されたように、DDRメモリ1の動作クロックSCLKが変更されたとしても、ディレイコードDCODEの再トリミングを実施する必要はない。従って、ディレイコードDCODEが一旦決定された後は、DLL回路50の動作を停止させることが可能である。これにより、消費電力が低減される。

【0068】

例えば、DDRメモリコントローラ10の初期化時に、イネーブル信号ENがHレベルに設定され、DLL回路50はディレイコードDCODEを決定する。ディレイコードDCODEの決定後は、イネーブル信号ENはLレベルに設定され、DLL回路50はスタンバイ状態に設定される。これにより、DLL回路50におけるリファレンスクロックREFのトグル動作がなくなり、消費電力が大幅に削減される。DLL回路50がスタンバイ状態となっても、保持回路90からストロブ遅延回路40にディレイコードDCODEが出力されるため、ストロブ遅延回路40はストロブ信号DQSを遅延させることができる。

【0069】

3. その他の例

本発明は、上述のいずれの実施の形態の記載にのみ限定されるものではない。たとえば、上述の可変遅延回路41、51はともに段数が固定の多段の遅延素子を有し、その遅延素子の動作電圧（電源電圧）を、遅延コントローラ53から出力される制御信号に応じて変化する構成としてもよい。たとえば可変遅延回路51を4段の遅延素子で構成すれば、遅延素子が1段ごとに位相を90度ずつシフトすることが可能である。

【0070】

また、上述のいずれの実施の形態においてもクロック生成回路60を備える構成として示した。別途周波数の異なる複数のクロックを本発明のDDRコントローラのために準備できる場合は、単に周波数の異なる複数のクロック信号を直接クロック選択回路70に入力する構成をとってもよいことはもちろんである。

【0071】

さらにまた、上述のDDRメモリ1及びDDRコントローラ10が備えられた半導体装置は、単にプリント板（PCB）にそれぞれ独立した半導体集積回路（半導体チップ）として搭載された構成でもよい。あるいは、SIP（System In Package）として、DDRメモリチップとDDRコントローラ10が搭載された半導体チップとが1つの半導体パッケージ基板に収められてもよい。DDRメモリチップやDDRコントローラ10が搭載された半導体チップは、所望の数（1つまたは複数）を搭載してよい。

【図面の簡単な説明】

【0072】

【図1】図1は、従来技術におけるDDRメモリコントローラの構成を示すブロック図である。

10

20

30

40

50

【図 2】図 2 は、本発明の第 1 の実施の形態に係る D D R メモリコントローラ及び半導体装置の構成を示すブロック図である。

【図 3】図 3 は、クロック制御回路の構成の一例を示す回路図である。

【図 4】図 4 は、クロック制御回路の動作の一例を示すタイミングチャートである。

【図 5】図 5 は、クロック制御回路の構成の他の例を示す回路図である。

【図 6】図 6 は、データ信号 D Q とストローク信号 D Q S 、 D Q S ' の関係を示すタイミングチャートである。

【図 7】図 7 は、D D R メモリの動作クロック信号の切り換え処理の一例を示すタイミングチャートである。

【図 8】図 8 は、最高周波数の場合とその他の周波数の場合とでのタイミングバジェットの比較を示す概念図である。

10

【図 9】図 9 は、D D R メモリの動作クロック信号の切り換え処理の他の例を示すタイミングチャートである。

【図 10】図 10 は、本発明の第 2 の実施の形態に係る D D R メモリコントローラ及び半導体装置の構成を示すブロック図である。

【符号の説明】

【 0 0 7 3 】

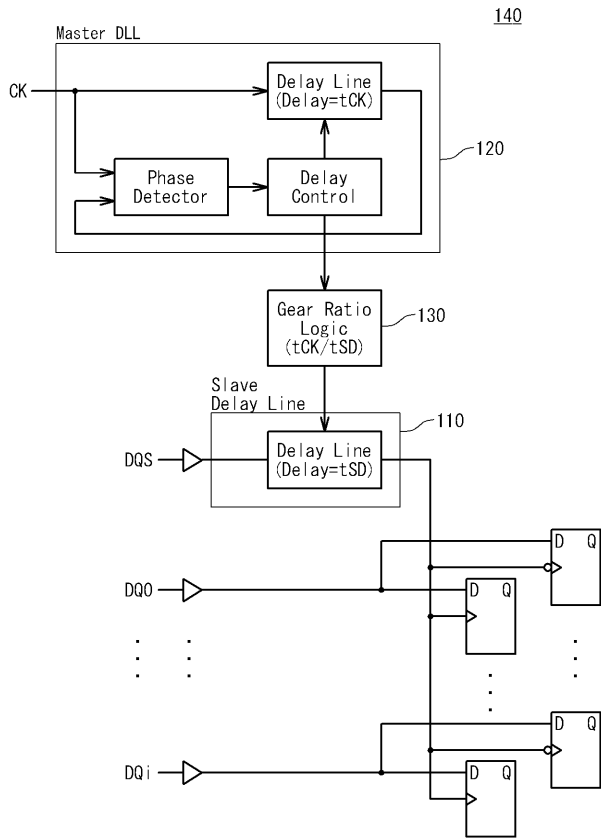
1	D D R メモリ
1 0	D D R メモリコントローラ
2 0	クロック制御回路
3 0	出力回路
4 0	ストローク遅延回路
4 1	可変遅延回路
5 0	D L L 回路
5 1	可変遅延回路
5 2	位相検出器
5 3	遅延コントローラ
5 4	コード生成論理回路
6 0	クロック生成回路
6 1 ~ 6 3	分周回路
6 4	P L L 回路
7 0	クロック選択回路
7 5	選択回路
8 0	同期化回路
9 0	保持回路
C L K	基準クロック信号
C L K 1 ~ C L K n	クロック信号
S C L K	動作クロック信号
D Q	データ信号
D Q S , D Q S '	ストローク信号
R E F	リファレンスクロック
S E L	周波数選択信号
D C O D E	ディレイコード

20

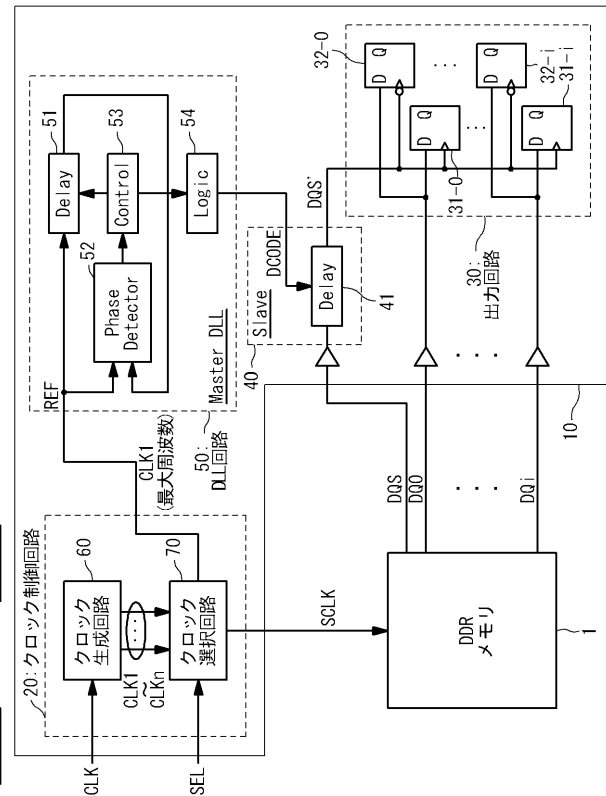
30

40

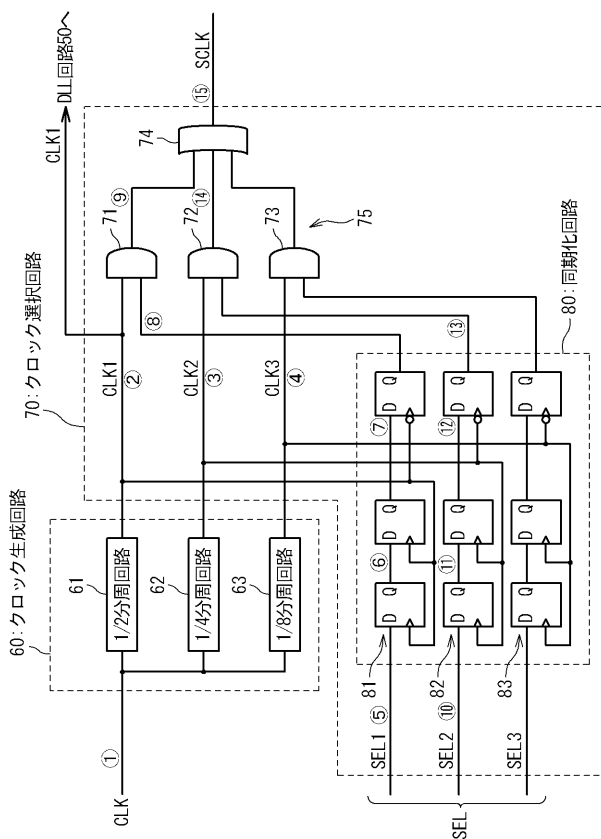
【図 1】



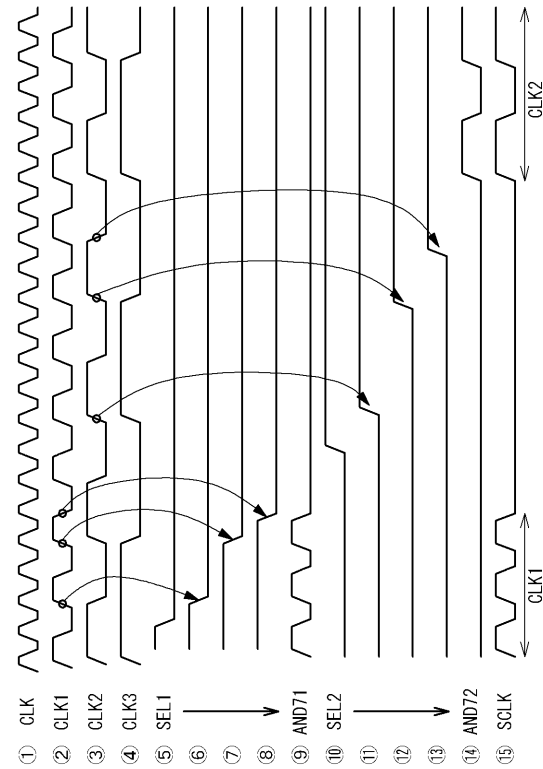
【図 2】



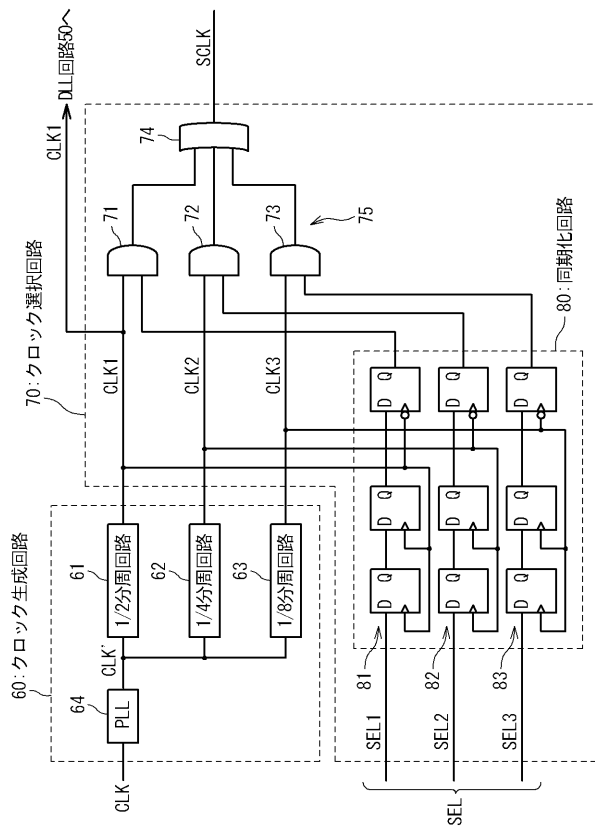
【図 3】



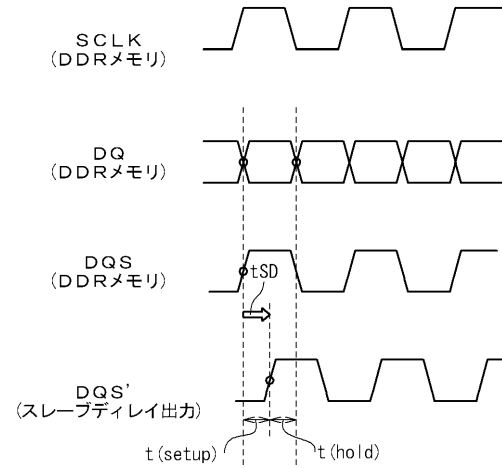
【図 4】



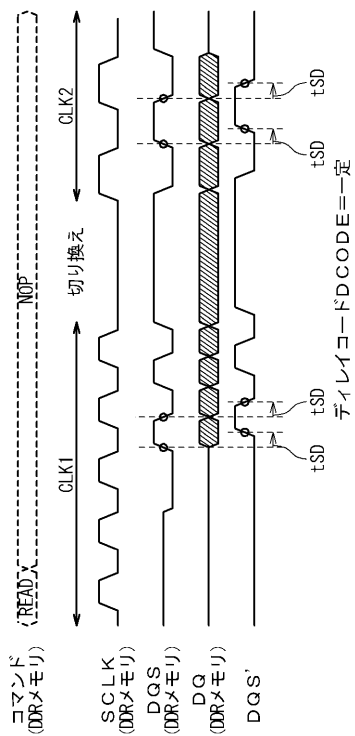
【図5】



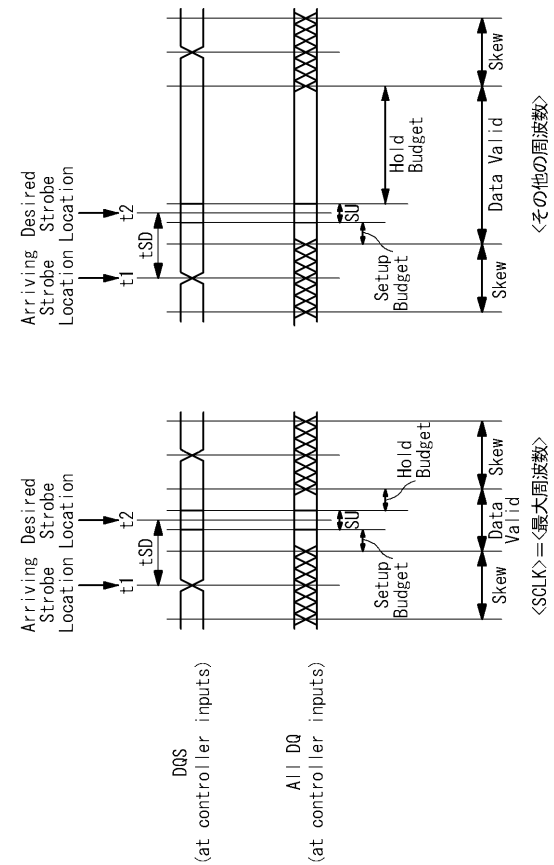
【図6】



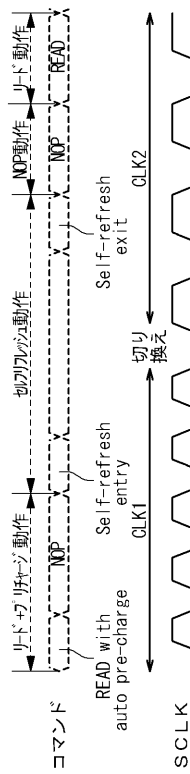
【図7】



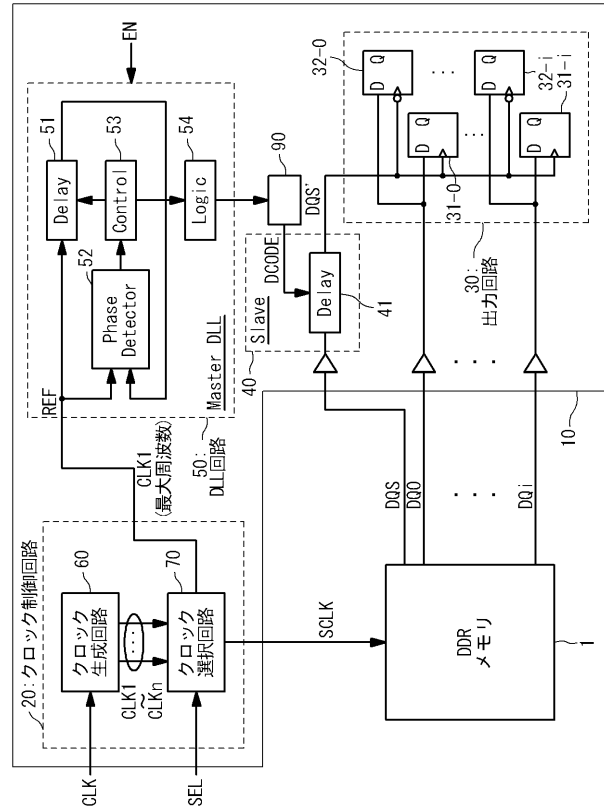
【図8】



【図 9】



【図 10】



フロントページの続き

(56)参考文献 特開 2 0 0 5 - 7 8 5 4 7 (J P , A)
特開 2 0 0 7 - 1 0 9 2 0 3 (J P , A)
特開 2 0 0 6 - 1 3 9 9 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 1 / 4 0 1
G 0 6 F 1 2 / 0 0