

(1)

玖、發明說明

【發明所屬之技術領域】

本發明係有關於例如 IC、LSI 等電子裝置安裝用的配線電路基板。特別是有關於可高密度安裝的配線電路基板、其配線電路基板的製造方法、及具備其配線電路基板的電路模組。

【先前技術】

近年來半導體製造技術的進步非常顯著，藉著光罩製程技術及蝕刻技術等微細圖案形成技術的飛躍進步，實現半導體元件的微細化。而且，由於將配線基板高積體化，故需要將配線基板多層化，且高可靠度微細地形成上下配線膜間的連接。

申請人就多層配線電路基板的製造技術而言，藉由從一邊的表面側使用濕式蝕刻，蝕刻銅箔等金屬膜，形成縱斷面形狀為略梯形的凸塊（Bump），開發出以其凸塊（Bump）作為層間膜導通手段的配線電路基板。而且，藉由適當加工其配線電路基板，開發出製作多層配線電路基板的技術。

此種介設著錫球（Solder ball）而連接：配線電路基板的凸塊（Bump）、和其它印刷電路基板的配線層的方法，就習知來看，係藉由第 13A 圖至第 13I 圖所示的方法施行。在此，一邊參照第 13A 圖至第 13I 圖一邊針對習知技術的配線電路基板的製造工程、及與其它印刷電路基板

(2)

的連接方法做說明。第 13A 圖至第 13I 圖係依工程順序表示習知配線電路基板的製造方法的基板的剖面圖。

如第 13A 圖所示，準備多層金屬板 20。該多層金屬板 20 係由：厚度約 12 至 30 [μm] 之由銅箔所構成的配線層形成用金屬層 20c；和積層在其上，厚度約 0.5 至 2.0 [μm] 之由 Ni (鎳) 所構成的蝕刻遮蔽層 20b；和更積層在其上，厚度約 80 至 150 [μm] 之由銅箔所構成的凸塊 (Bump) 形成用金屬層 20a 所構成。

其次，在凸塊 (Bump) 形成用金屬層 20a 之上塗佈著光阻劑。而且，使用形成有複數圓形圖案的曝光遮罩，進行曝光，接著藉由施行顯影，如第 13B 圖所示，形成光阻遮罩 5。

其次，如第 13C 圖所示，以光阻遮罩 5 作為遮罩，將凸塊 (Bump) 形成用金屬層 20a 使用蝕刻施行圖案化，形成導通上下配線層間的層間膜導通手段的凸塊 (Bump) 6。該凸塊 (Bump) 6 係呈錐形。

針對該凸塊 (Bump) 6 的形狀，做更詳細說明。由於光阻遮罩 5 具有圓形圖案，故凸塊 (Bump) 6 的橫斷面形狀成為圓形。此外，由於使用濕式蝕刻施行蝕刻，故凸塊 (Bump) 形成用金屬層 20a 係等方性地蝕刻。因而，亦在光阻遮罩 5 之下流入蝕刻溶液，橫向亦與縱向同時進行蝕刻 (側面蝕刻)。其結果，凸塊 (Bump) 6 的縱斷面形狀大致上是呈梯形。此外，於該蝕刻中，蝕刻遮蔽層 20b 係防止蝕刻凸塊 (Bump) 形成用金屬層 20a 時，配線層

(3)

形成用金屬層 20c 被蝕刻。

而且，如第 13D 圖所示，剝離光阻遮罩 5 後，如第 13E 圖所示，以凸塊 (Bump) 6 作為遮罩，蝕刻而除去蝕刻遮蔽層 20b。此時，成為在凸塊 (Bump) 6 和配線層形成用金屬層 20c 之間，介設著蝕刻遮蔽層 20b。

其次，如第 13F 圖所示，從凸塊 (Bump) 6 之上方押入由樹脂等薄膜片所構成的絕緣膜 4。然後，藉由選擇性地蝕刻形成在凸塊 (Bump) 6 上面的絕緣膜 4，形成開口部 12a。或者，藉由對著形在凸塊 (Bump) 6 上面的絕緣膜 4，照射雷射光，形成開口孔 12a。

然後，使用電鍍法，在絕緣膜 4 上形成由銅、鎳、金等所構成的多層構造的金屬層。而且，藉由選擇性地蝕刻其金屬層，如第 13G 圖所示，在開口孔 12a 形成錫球 (Solder ball) 基底層 12b。更如第 13H 圖所示，藉由選擇性地蝕刻配線層形成用金屬層 20c，形成配線層 10。然後，在錫球 (Solder ball) 基底層 12b 上形成錫球 (Solder ball) 12。

而且，在各配線層 10 連接有 LSI 等半導體晶片 (圖未表示) 的各電極，在配線電路基板搭載著半導體晶片。

更如第 13I 圖所示，配線電路基板係搭載在印刷電路基板 14。具體而言，係藉由印刷電路基板 14 的各配線層 16 連接在錫球 (Solder ball) 12，配線電路基板搭載在印刷電路基板 14。

(4)

【發明內容】

〔發明欲解決之課題〕

就習知技術而言，在配線電路基板形成絕緣膜 4 之後，形成至錫球（Solder ball）12 為止所需要的工程數較多，有所謂製造成本昇高的問題。若根據習知技術，形成絕緣膜 4 之後，使用選擇性蝕刻形成開口部 12a。其次，使用電鍍法形成複數層的錫球（Solder ball）基底膜 12b。其次，施行選擇性蝕刻，以連接在各凸塊（Bump）6 的錫球（Solder ball）基底膜 12b 成為獨立的方式施行圖案化。而且，需要有所謂形成錫球（Solder ball）12 之相當多的工程。

本發明是解決上述問題的發明，目的在於減少用來連接以凸塊（Bump）作為層間連接手段的配線電路基板、和其它印刷電路基板的工程，其結果達到配線電路基板的低價格化。

此外，由於在絕緣膜 4 使用由樹脂等所構成的固體狀薄膜片，目前為止凸塊（Bump）6 和絕緣膜樹脂之間，密著不足，需使用熱壓來積層絕緣膜 4。因而，需要熱壓用的裝置，此外，由於需要花時間施行熱壓，故有配線電路基板之生產性降低的問題。

一方面，未介設錫球（Solder ball）12，故有在絕緣膜 4 上積層別的配線層形成用金屬層，並在凸塊（Bump）6 的頂面上形成配線層的方法。此時，藉由在絕緣膜 4 上積層配線層形成用金屬層，且施行加壓，並壓潰凸塊（

(5)

Bump) 6，在絕緣膜 4 上壓固配線形成用金屬層，以連接凸塊 (Bump) 6 和配線形成用金屬層。而且，使用蝕刻其配線形成用金屬層而施行圖案化，在凸塊 (Bump) 6 的頂面上，形成別的配線層。

於此種方法中，以製造例如壓固後的絕緣膜 4 之厚度 (凸塊 (Bump) 6 的高度) 約 50 [μm] 的配線電路基板的方式所形成時，於由壓潰凸塊 (Bump) 6，而壓固配線膜形成用金屬層，故需要事先形成高度約 100 [μm] 的凸塊 (Bump) 6。然而，若使用濕式蝕刻形成高度例如 100 [μm] 的凸塊 (Bump) 6 的話，側面蝕刻也會受影響，相鄰的凸塊 (Bump) 6 間的距離需要約 300 至 3520 [μm]。其結果，不可能形成微細圖案，無法製作高積體化的配線電路基板。更無法製作利用配線電路基板的高積體化的多層配線基板。

本發明係更解決上述問題的發明，藉由使用液狀絕緣材料，於形成絕緣膜之際，不需要熱壓工程，提供可提高生產性的配線電路基板的製造方法。此外，藉由在凸塊 (Bump) 的頂面形成配線層之際，不需要壓固配線層形成用金屬層，並壓潰凸塊 (Bump) 的工程，不需要製作具有必要以上之高度的凸塊 (Bump)，提供高積體化的配線電路基板的製造方法。更藉由積層本發明的配線電路基板，提供高積體化的多層配線基板。

[用以解決課題之手段]

(6)

第 1 項發明係為配線電路基板，其特徵為：在配線層表面，直接或介設著蝕刻遮蔽層，形成複數凸塊（Bump），就形成有前記配線層的凸塊（Bump）的面而言，在未形成前記凸塊（Bump）的部分，形成絕緣膜，在前記凸塊（Bump）的頂面，直接或介設著別的配線層，形成錫球（Solder ball）。

而且，不一定要在配線層和凸塊（Bump）之間，設置蝕刻遮蔽層。因為，可藉由自其其一邊的面，選擇性地半蝕刻（比金屬層的厚度還適當淺的蝕刻）凸塊（Bump）形成用金屬層，形成凸塊（Bump）。此時，不需要蝕刻遮蔽層。其情形也相當於其它申請專利範圍的配線電路基板。

第 2 項發明係於第 1 項發明的配線電路基板中，前記配線層、前記別的配線層、及前記凸塊（Bump）是由銅所構成為其特徵。

第 3 項發明係於第 1 或第 2 項發明的配線電路基板中，於前記絕緣膜具有：形成有多數前記凸塊（Bump）的凸塊（Bump）形成區域；和沒有形成前記凸塊（Bump）的可撓性凸塊非形成區域；且前記凸塊（Bump）非形成區域形成可彎曲、或其至少一部分形成彎曲為其特徵。

第 4 項發明係於第 1 至第 3 項發明的配線電路基板，前記凸塊（Bump）的頂面形成凹球面，在前記凸塊（Bump）的頂面，直接形成有錫球（Solder ball）為其特徵。

(7)

第 5 項發明係為電路模組，其特徵為：在配線層的表面，直接或介設著蝕刻遮蔽層，形成複數凸塊（Bump），就形成有前記配線層的凸塊（Bump）的面而言，在沒有形成前記凸塊（Bump）的部分形成絕緣膜，且由：在前記凸塊（Bump）的頂面，直接或介設著別的配線層，形成錫球（Solder ball）的可撓性配線電路基板、和在硬性絕緣基板的至少一邊的表面，形成有與前記配線層連接的配線層的硬性配線電路基板所構成；前記可撓性配線電路基板的配線層的至少一部分和前記硬性配線電路基板的配線層的至少一部分，介設著前記錫球（Solder ball）而連接。

第 6 項發明係為電路模組，其特徵為：在配線層的表面，直接或介設著蝕刻遮蔽層，形成複數凸塊（Bump），就形成有前記配線層的凸塊（Bump）的面而言，在沒有形成前記凸塊（Bump）的部分形成絕緣膜，且由：在前記凸塊（Bump）的頂面，直接或介設著別的配線層，形成錫球（Solder ball）的可撓性配線電路基板、和在可撓性絕緣基板的至少一邊的表面，形成有與前記配線層連接的配線層之別的可撓性配線電路基板所構成；前記可撓性配線電路基板的配線層的至少一部分和前記別的可撓性配線電路基板的配線層的至少一部分，介設著前記錫球（Solder ball）而連接。

第 7 項發明係於第 5 或第 6 項發明的電路模組中，前記凸塊（Bump）的頂面形成凹球面，在前記凸塊（Bump

(8)

) 的頂面，直接形成錫球 (Solder ball) 為其特徵。

第 8 項發明係為配線電路基板的製造方法，其特徵為：準備一在金屬層的表面，直接或介設著蝕刻遮蔽層，形成凸塊 (Bump) 的基板，就形成有前記金屬層的凸塊 (Bump) 的面而言，在沒有形成前記凸塊 (Bump) 的部分，形成比前記凸塊 (Bump) 還厚的絕緣膜，將前記絕緣膜研磨到露出前記凸塊 (Bump) 的頂面，在前記凸塊 (Bump) 的頂面上形成錫球 (Solder ball) 。

第 9 項發明係為配線電路基板的製造方法，其特徵為：準備一在金屬層的表面，直接或介設著蝕刻遮蔽層，形成凸塊 (Bump) 的基板，就形成有前記金屬層的凸塊 (Bump) 的面而言，在沒有形成前記凸塊 (Bump) 的部分，形成比前記凸塊 (Bump) 還厚的絕緣膜，將前記基板的絕緣膜研磨到露出前記凸塊 (Bump) 的頂面，在前記基板的絕緣膜的表面形成別的金屬層，藉由選擇性地蝕刻前記別的金屬層，以形成配線層，在前記凸塊 (Bump) 的頂面上，直接或介設著與前記凸塊 (Bump) 連接的前記配線層，形成錫球 (Solder ball) 。

第 10 項發明係於第 8 或第 9 項發明的配線電路基板的製造方法中，具有：在比形成前記絕緣膜的更前面，藉由從上加壓壓潰前記凸塊 (Bump)，將其頂面直徑增大的工程為其特徵。

第 11 項發明係於第 8 至第 10 項發明的配線電路基板的製造方法中，具有：將前記絕緣膜研磨到露出前記凸塊

(9)

(Bump) 的頂面之後，且在前記凸塊 (Bump) 的頂面上形成前記錫球 (Solder ball) 之前，藉由蝕刻前記凸塊 (Bump) 的頂面，形成凹球面的工程為其特徵。

第 12 項發明係為電路模組，其特徵為由：在配線層的表面，直接或介設著蝕刻遮蔽層，形成複數凸塊 (Bump)，就形成有前記配線層的凸塊 (Bump) 的面而言，在沒有形成前記凸塊 (Bump) 的部分，形成絕緣膜之一的配線電路基板；和構成液晶元件的基板，且具有透明配線膜的液晶裝置用透明基板所構成；與前記之一的配線電路基板的凸塊 (Bump)、和前記液晶裝置用透明基板的透明配線膜的前記凸塊 (Bump) 對應的部分，直接或介設著形成前記凸塊 (Bump) 的頂面的配線層及錫球 (Solder ball) 而連接，構成液晶裝置。

第 13 項發明係於第 12 項發明的電路模組中，前記之一的配線電路基板的凸塊 (Bump) 的頂面，形成凹球面，在其頂面直接形成錫球 (Solder ball) 為其特徵。

第 14 項發明係為配線電路基板的製造方法，其特徵為：準備一在金屬層的表面，直接或介設著蝕刻遮蔽層，形成有凸塊 (Bump) 的基板；包括：在形成有前記凸塊 (Bump) 的面，塗佈液狀絕緣材料，使用熱處理令前記絕緣材料固化，形成絕緣膜的絕緣膜形成步驟；和將前記絕緣膜除去到露出前記凸塊 (Bump) 的頂面的絕緣膜除去步驟。

第 15 項發明係為配線電路基板的製造方法，其特徵

(10)

爲：針對在配線層形成用金屬層上，直接或間設著蝕刻遮蔽層，形成有凸塊（Bump）形成用金屬層的多層金屬板，包括：藉由在前記凸塊（Bump）形成用金屬層上塗佈著光阻劑施行圖案化，形成光阻遮罩，以前記光阻遮罩作為遮罩，蝕刻前記凸塊（Bump）形成用金屬層，形成凸塊（Bump）的凸塊（Bump）形成步驟；和除去前記光阻遮罩後，以前記凸塊（Bump）作為遮罩，蝕刻而除去前記蝕刻遮蔽層的蝕刻遮蔽層除去步驟；和在形成有前記凸塊（Bump）的面，塗佈液狀絕緣材料，使用熱處理令前記絕緣材料固化，形成絕緣膜的絕緣膜形成步驟；和將前記絕緣膜除去到露出前記凸塊（Bump）的頂面的絕緣膜除去步驟。

第 16 項發明係於第 14 或第 15 項發明的配線電路基板的製造方法中，前記絕緣材料是由聚醯亞胺或環氧樹脂的前驅體所構成爲其特徵。

第 17 項發明係於第 14 或第 15 項發明的配線電路基板的製造方法中，在前記絕緣膜形成步驟中，係藉由在形成有前記基板的凸塊（Bump）的面，塗佈著由熔融的熱可塑性樹脂所構成的絕緣材料，令前記絕緣材料冷卻而固化，形成絕緣膜爲其特徵。

第 18 項發明係於第 14 或第 15 項發明的配線電路基板的製造方法中，在前記絕緣膜形成步驟中，係在形成有前記基板的凸塊（Bump）的面，塗佈著液狀絕緣材料，就這樣使其乾燥固化後，將前記絕緣材料使用滾輪平坦化

(11)

，且使用熱處理令前記絕緣材料硬化，形成絕緣膜為其特徵。

第 19 項發明係於第 14 或第 15 項發明的配線電路基板的製造方法中，在前記絕緣膜形成步驟中，係藉由在形成有前記基板的凸塊（Bump）的面，塗佈著熱可塑性聚醯亞胺樹脂，施行加熱乾燥令其固化，且藉由在前記熱可塑性聚醯亞胺樹脂上，塗佈著非熱可塑性聚醯亞胺樹脂的前驅體，施行加熱令其固化，並藉由在前記非熱可塑性聚醯亞胺樹脂上，塗佈著熱可塑性聚醯亞胺樹脂，施行加熱令其固化，形成絕緣膜為其特徵。

第 20 項發明係於第 14 至第 19 項發明的配線電路基板的製造方法中，在前記絕緣膜除去步驟中，係將前記絕緣膜至少機械性地研磨到露出前記凸塊（Bump）的頂面為其特徵。

第 21 項發明係於第 14 至第 19 項發明的配線電路基板的製造方法中，在前記絕緣膜除去步驟中，係藉由在前記絕緣膜上塗佈著光阻劑，施行曝光及顯影除去前記凸塊（Bump）上的光阻劑，同時以塗佈在沒有形成前記凸塊（Bump）的部分的前記光阻劑作為遮罩，將形成在前記凸塊（Bump）上的絕緣膜至少蝕刻除去到露出前記凸塊（Bump）的頂面為其特徵。

第 22 項發明係於第 14 至第 19 項發明的配線電路基板的製造方法中，在前記絕緣膜除去步驟中，係將前記絕緣膜至少整面性地蝕刻除去到露出前記凸塊（Bump）的

(12)

頂面爲其特徵。

第 23 項發明係於第 14 至第 19 項發明的配線電路基板的製造方法，在前記絕緣膜除去步驟中，係將形成在前記凸塊（Bump）上的絕緣膜，使用雷射加工除去到至少露出前記凸塊（Bump）的頂面爲其特徵。

第 24 項發明係於第 14 至第 19 項發明的配線電路基板的製造方法中，在前記絕緣膜除去步驟中，係對前記絕緣膜的表面噴射含研磨劑的氣體，將前記絕緣膜除去到至少露出前記凸塊（Bump）的頂面爲其特徵。

第 25 項發明係於第 14 至第 19 項發明的配線電路基板的製造方法中，在前記絕緣膜除去步驟中，係對前記絕緣膜的表面噴射含研磨劑的液體，將前記絕緣膜除去到至少露出前記凸塊（Bump）的頂面爲其特徵。

第 26 項發明係於第 14 至第 25 項發明的配線電路基板的製造方法中，在前記絕緣膜形成步驟，係形成比前記凸塊（Bump）高度還厚的絕緣膜爲其特徵。

第 27 項發明係於第 14 至第 25 項發明的配線電路基板的製造方法中，在前記絕緣膜形成步驟中，係形成比前記凸塊（Bump）高度還薄的絕緣膜爲其特徵。

第 28 項發明係爲配線電路基板的製造方法，其特徵爲：針對由：配線膜形成用金屬層、和直接或介設著蝕刻遮蔽層而形成在前記配線膜形成用金屬層上的凸塊（Bump）所構成的基板，在前記凸塊（Bump）的頂面，塗佈上可排開液狀樹脂的材料，然後塗佈液狀絕緣材料，使

(13)

用熱處理令前記絕緣材料固化，形成絕緣膜。

第 29 項發明係於第 14 至第 28 項發明的配線電路基板的製造方法中，於前記絕緣膜除去步驟後，在前記凸塊（Bump）頂面，使用電鍍法形成由金屬所構成的突起物為其特徵。

第 30 項發明係於第 29 項發明的配線電路基板的製造方法中，使用前記電鍍法形成前記突起物後包括：部分性地蝕刻前記配線膜形成用金屬層，以形成配線層的配線層形成步驟為其特徵。

第 31 項發明係於第 14 至第 28 項發明的配線電路基板的製造方法中，在前記絕緣膜除去步驟後包括：部分性地蝕刻前記配線層形成用金屬層，以形成配線層的配線層形成步驟為其特徵。

第 32 項發明係於第 31 項發明的配線電路基板的製造方法中，於前記配線層形成步驟後，在前記凸塊（Bump）頂面使用電鍍法，形成由金屬所構成的突起物為其特徵。

第 33 項發明係於第 14 至第 28 項發明的配線電路基板的製造方法中，在前記絕緣膜除去步驟後包括：在前記絕緣膜上積層別的配線層形成用金屬層的步驟；和使用部分性地蝕刻前記別的配線層形成用金屬層，以形成配線層的配線層形成步驟為其特徵。

第 34 項發明係於第 14 至第 28 項發明的配線電路基板的製造方法中，在前記絕緣膜除去步驟後包括：整面性

(14)

地蝕刻除去前記配線層形成用金屬層的步驟為其特徵。

第 35 項發明係於第 14 至第 28 項發明的配線電路基板的製造方法中，在前記絕緣膜除去步驟後包括：在前記絕緣膜上部分性地形成第一金屬膜的步驟；和在前記絕緣膜上，且在沒有形成前記第一金屬膜的部分形成電阻膜的步驟；和在前記第一金屬膜上形成介電質膜的步驟；和在前記介電質膜上形成第二金屬膜的步驟；和藉由部分性地蝕刻形成在前記配線電路基板的配線層形成用金屬層，形成配線層的配線層形成步驟為其特徵。

第 36 項發明係於第 35 項發明的配線電路基板的製造方法中，前記第一金屬膜及前記第二金屬膜係由導電膏所構成，前記電阻膜係由電阻膏所構成，前記介電質膜係由介質膏（dielectric paste）所構成為其特徵。

第 37 項發明係於第 35 項發明的配線電路基板的製造方法中，前記第一金屬膜、前記第二金屬膜、前記電阻膜及前記介電質膜，係使用濺鍍法、CVD 法或蒸鍍法所形成為其特徵。

第 38 項發明係於第 14 至第 28 項發明的配線電路基板的製造方法中，在前記絕緣膜除去步驟後包括：藉由部分性蝕刻前記配線層形成用金屬層，以部分配線層直接或介設著前記蝕刻遮蔽層與前記凸塊（Bump）連接的方式，形成配線層的配線層形成步驟；和在露出前記凸塊（Bump）的頂面的面，整面性或部分性地設置電磁屏蔽片的步驟為其特徵。

(15)

第 39 項發明係為配線電路基板的製造方法，其特徵為：針對使用第 14 至第 28 項發明的配線電路基板的製造方法所製造的配線電路基板，包括：使用無電解電鍍法或濺鍍法，在前記絕緣膜及前記凸塊（Bump）的頂面上，形成由金屬所構成的薄膜的薄膜形成步驟；和在前記薄膜上，使用電解電鍍法形成金屬膜的金屬膜形成步驟；和藉由在前記金屬膜上塗佈著光阻劑施行圖案化，形成光阻圖案，以前記光阻圖案作為遮罩，蝕刻前記金屬膜，形成配線層的配線層形成步驟。

第 40 項發明係為配線電路基板的製造方法，其特徵為：針對使用第 14 至第 28 項發明的配線電路基板的製造方法所製造的配線電路基板，包括：使用無電解電鍍法或濺鍍法，在前記絕緣膜及前記凸塊（Bump）的頂面上形成由金屬所構成的薄膜的薄膜形成步驟；和藉由在前記薄膜上塗佈著光阻劑施行圖案化，以形成光阻圖案的光阻圖案形成步驟；和在沒有形成前記光阻圖案的薄膜上，使用電鍍法析出金屬的析出步驟；和除去前記光阻圖案，進行整面性蝕刻，除去前記薄膜的步驟。

第 41 項發明係為配線電路基板的製造方法，其特徵為：針對使用第 14 至第 28 項發明的配線電路基板的製造方法所製造的配線電路基板，包括：使用雷射加工或蝕刻除去前記配線電路基板的絕緣膜的一部分，形成通孔的通孔形成步驟；和使用無電解電鍍法或濺鍍法，在前記絕緣膜及前記凸塊（Bump）的頂面上形成薄膜的薄膜形成步

(16)

驟；和藉由在前記薄膜上，使用電解電鍍法形成金屬膜的金屬陣形成步驟；和藉由在前記金屬膜上塗佈著光阻劑施行圖案化，形成光阻圖案，以前記光阻圖案作為遮罩，蝕刻前記金屬膜，以形成配線膜的配線腹形成步驟。

第 42 項發明係為配線電路基板的製造方法，其特徵為：針對使用第 14 至第 28 項任一項所記載的配線電路基板的製造方法所製造的配線電路基板，包括：使用雷射加工或蝕刻除去前記部分配線電路基板，以形成通孔的通孔形成步驟；和使用無電解電鍍法或濺鍍法，在前記絕緣膜及前記凸塊（Bump）的頂面上形成薄膜的薄膜形成步驟；和藉由在前記薄膜上塗佈著光阻劑施行圖案化，以形成光阻圖案的光阻圖案形成步驟；和在沒有形成前記光阻圖案的薄膜上，使用電鍍法析出金屬的析出步驟；和藉由除出前記光阻圖案，進行整面性蝕刻，除去前記薄膜的步驟。

第 43 項發明係為多層配線基板的製造方法，其特徵為：針對形成有使用第 38 項發明的配線電路基板的製造方法所製造的配線膜的配線電路基板，包括：將在使用第 29 項發明的配線電路基板的製造方法所製造的凸塊（Bump）頂面形成有突起物的配線電路基板，直接或介設著銲接片，以前記突起物與前記配線層接合的方式施行積層，製作多層金屬板的步驟；和藉由部分性蝕刻形成在前記多層金屬板之上下兩面的配線層形成用金屬層，在上下兩面形成配線層的配線層形成步驟。

(17)

第 44 項發明係為多層配線基板的製造方法，其特徵為：針對形成有使用第 33 項發明的配線電路基板的製造方法所製造的配線膜的配線電路基板，包括：將形成有使用第 27 項發明的配線電路基板的製造方法所製造的凸塊（Bump）的配線電路基板，直接或介設著銲接片，以前記凸塊（Bump）頂面與前記配線層接合的方式施行積層，製作多層金屬板的步驟；和藉由部分性蝕刻形成在前記多層金屬板之上下兩面的配線層形成用金屬層，在上下兩面形成配線層的配線層形成步驟。

第 45 項發明係為多層配線基板的製造方法，其特徵為：針對在使用第 35 項發明的配線電路基板的製造方法所製造的上下兩面，形成有配線層的配線電路基板的上下兩面，將在使用第 29 項發明的配線電路基板的製造方法所製造的凸塊（Bump）頂面形成突起物的配線電路基板，包括：以前記突起物與前記配線層接合的方式施行積層，製作多層金屬板的步驟；和藉由部分性蝕刻形成在前記多層金屬板之上下兩面的配線層形成用金屬層，以形成配線層的配線層形成步驟。

第 46 項發明係為多層配線基板的製造方法，其特徵為：針對在使用第 35 項發明的配線電路基板的製造方法所製造的上下兩面，形成有配線層的配線電路基板的上下兩面，將形成有使用第 27 項發明的配線電路基板的製造方法所製造的凸塊（Bump）的配線電路基板，包括：以前記凸塊（Bump）頂面與前記配線層接合的方式施行積

(18)

層，製作多層金屬板的步驟；和藉由部分性蝕刻形成在前記多層金屬板之上下兩面的配線層形成用金屬層，以形成配線層的配線層形成步驟。

第 47 項發明係為多層配線基板的製造方法，其特徵為：在形成有使用第 31 項發明的配線電路基板的製造方法所製造的配線層的配線電路基板，將形成有使用第 14 至第 28 項發明的配線電路基板的製造方法所製造的凸塊（Bump）之別的配線電路基板，以前記凸塊（Bump）的頂面與前記配線層接合的方式施行積層。

第 48 項發明係為多層配線基板的製造方法，其特徵為：在使第 31 項發明的配線電路基板的製造方法所製造的配線電路基板，將使用第 31 項發明的配線電路基板的製造方法所製造之別的配線電路基板，以前記別的配線電路基板的凸塊（Bump）頂面與前記配線電路基板的配線層接合的方式施行積層。

第 49 項發明係為多層配線基板的製造方法，其特徵為：在使用第 48 項發明的多層配線基板的製造方法所製造的多層配線基板，將形成有使用第 34 項發明的配線電路基板的製造方法所製造的凸塊（Bump）的配線電路基板，以前記凸塊（Bump）的底面與前記多層配線基板的配線層接合的方式施行積層。

第 50 項發明係為多層配線基板的製造方法，其特徵為：針對使用第 31 項發明的配線電路基板的製造方法所製造的配線電路基板，包括：在形成有前記配線層的面，

(19)

塗佈液狀絕緣材料，使用熱處理令前記絕緣材料固化，形成絕緣膜的絕緣膜形成步驟；和使用雷射加工或蝕刻除去前記部分絕緣膜，形成通孔的通孔形成步驟；和使用無電解電鍍法或濺鍍法，在前記絕緣膜上形成薄膜的薄膜形成步驟；和在前記薄膜上，使用電解電鍍法形成金屬膜的金屬膜形成步驟；和藉由在前記金屬膜上塗佈著光阻劑施行圖案化，形成光阻圖案，以前記光阻圖案作為遮罩，蝕刻前記金屬膜，形成配線膜的配線腹形成步驟。

第 51 項發明係為多層配線基板的製造方法，其特徵為：針對使用第 31 項發明的配線電路基板的製造方法所製造的配線電路基板，包括：在形成有前記配線層的面塗佈液狀絕緣材料，使用熱處理令前記絕緣材料固化，形成絕緣膜的絕緣膜形成步驟；和使用雷射加工或蝕刻除去前記部分絕緣膜，形成通孔的通孔形成步驟；和使用無電解電鍍法或濺鍍法，在前記絕緣膜上形成薄膜的薄膜形成步驟；和藉由在前記之上塗佈著光阻劑施行圖案化，形成光阻圖案的光阻圖案形成步驟；和在沒有形成前記光阻圖案的薄膜上，使用電鍍法析出金屬的析出步驟；和藉由除去前記光阻圖案，進行整面性蝕刻，除去前記薄膜的步驟。

〔發明效果〕

若根據第 1 項發明，在凸塊（Bump）的頂面，直接或介設著配線層，形成有錫球（Solder ball），故不需特意形成作為錫球（Solder ball）基底的錫球（Solder ball

(20)

）基底膜。其結果，得以減低製造配線電路基板所需要的製造工數，達到配線電路基板的低價格化。

若根據第 2 項發明，配線層及凸塊（Bump）是由電阻率小的銅所構成，故可減低寄生電阻。

若根據第 3 項發明，於前記絕緣膜設有：形成有多數前記凸塊（Bump）的凸塊（Bump）形成區域；和沒有形成前記凸塊（Bump）的可撓性凸塊非形成區域，且其一部分形成彎曲而使用，故可立體式地配置使用 LSI 等半導體晶片。其結果，可在有限的空間內高密度配置多數的晶片。

若根據第 4 項發明，將凸塊（Bump）的頂面形成凹球面狀，且其頂面直接形成錫球（Solder ball），故可更擴大連接面積，且更加強連接強度。其結果，可提高配線電路基板的可靠度，增長壽命。

若根據第 5 項發明，連接可撓性配線電路基板、和硬性配線電路基板，故可使用可撓性配線電路基板引出電極。

若根據第 6 項發明，連接可撓性配線電路基板、和可撓性配線電路基板，故可提供將可撓性配線電路基板彼此一體化的電路模組。

若根據第 7 項發明，將凸塊（Bump）的頂面形成凹球面狀，且在其頂面直接形成錫球（Solder ball），故可更擴大連接面積，且更加強連接強度。因而，可提高電路模組的可靠度，增長壽命。

(21)

若根據第 8 項發明，在凸塊（Bump）的頂面，直接或介設著配線層，形成錫球（Solder ball），故不需特意形成作為錫球（Solder ball）基底的錫球（Solder ball）基底膜。其結果，得以減低製造配線電路基板所需要的製造工數，達到配線電路基板的低價格化。

若根據第 9 項發明，可製造在絕緣膜的兩面，具有配線層的配線電路基板。

若根據第 10 項發明，藉由在形成絕緣膜之前，從上加壓壓潰各凸塊（Bump），將其頂面直徑增大，故很容易得到充分加強錫球（Solder ball）與各凸塊（Bump）的接著強度。

若根據第 11 項發明，在凸塊（Bump）的頂面形成錫球（Solder ball）之前，藉由蝕刻凸塊（Bump）的頂面形成凹球面，故可擴大錫球（Solder ball）與頂面的連接面積，且更加強連接強度。因而，可更加提高配線電路基板的可靠度，增長壽命。

若根據第 12 項發明，可通過本發明的配線電路基板引出液晶裝置的透明配線膜。

若根據第 13 項發明，將凸塊（Bump）的頂面形成凹球面狀，且在其頂面直接形成錫球（Solder ball），故可更擴大凸塊（Bump）和錫球（Solder ball）的連接面積，且更加強連接強度。因而，可提高電路模組的可靠度，增長壽命。

根據第 14 至第 38 項發明時，使用液狀絕緣材料，製

(22)

造配線電路基板之故，不需要熱壓工程，可提高配線電路基板的生產性。更由於不需壓潰凸塊（Bump），故可降低凸塊（Bump）的高度，其結果，可達到配線電路基板的高積體化。

更根據第 21 項發明時，藉由在沒有形成凸塊（Bump）的部分，形成光阻遮罩，僅蝕刻除去形成在凸塊（Bump）上的絕緣膜，就能防止經由研磨殘留的樹脂。

更根據第 22 項發明時，藉由將絕緣膜整面性地蝕刻而除去到露出凸塊（Bump）的頂面，就能防止經由研磨殘留的樹脂，同時由於不需形成光阻遮罩，故可減少形成光阻遮罩的工程。

更根據第 23 項發明時，由於使用雷射加工除去絕緣膜，故可防止經由研磨殘留的樹脂。

更根據第 35 至第 37 項發明時，藉由在配線電路基板之一邊的面，形成電阻層、金屬層及介電質層，且在另一邊的面，形成配線層，就可形成在一個配線電路基板上組裝被動元件的信號電路和電源電路。

更根據第 38 項發明時，藉由在配線電路基板設置電磁屏蔽片，可防止由配線電路基板所發生的電磁波，同時可減少在配線層間所發生的干擾。

此外，根據第 39 至第 51 項發明時，藉由積層高積體化的配線電路基板，就可製造高積體化的多層配線基板或高積體化的配線電路基板。

(23)

[用以實施發明的最佳形態]

本發明基本上係提供一就應用於電路模組等的配線電路基板而言，在配線層的表面部，直接或介設著蝕刻遮蔽層，形成複數凸塊（Bump），在沒有形成其配線層的凸塊（Bump）的部分，形成絕緣膜，在凸塊（Bump）的頂面，直接或介設著以在絕緣膜表面與凸塊（Bump）連接的方式所形成的配線層，形成錫球（Solder ball）。凸塊（Bump）係使用銅所形成為佳。因為，導電性、機械性強度優的關係。此外，以銅形成凸塊（Bump），作為層間連接手段使用的技術，係本申請人已確立的技術。

本發明的配線電路基板之一良好的實施形態係所謂設有：在配線電路基板設置凸塊（Bump）的凸塊（Bump）形成區域；和未設置凸塊（Bump）的凸塊（Bump）非形成區域，以凸塊（Bump）非形成區域作為可撓性區域，且以凸塊（Bump）形成區域作為硬性區域。此外，別的良好實施形態係所謂在形成有絕緣膜之前，從上壓潰凸塊（Bump）的頂面，擴大其頂面的面積。擴大其頂面的面積時，凸塊（Bump）和錫球（Solder ball）的連接面積擴大，連接強度增強，可提高可靠性。

此外，將凸塊（Bump）的頂面，使用例如蝕刻，形成凹球面，在其頂面直接形成錫球（Solder ball）亦為良好的實施形態。因為，凸塊（Bump）和錫球（Solder ball）的連接面積變得更寬，此外，錫球（Solder ball）咬入基板，故連接強度更強。其結果，配線電路基板的可靠度

(24)

更高，壽命增長。

尚且，將凸塊（Bump）的頂面形成凹球面，對於在凸塊（Bump）的頂面直接形成錫球（Solder ball）的所有實施形態均適用。

【實施方式】

〔第一實施形態〕

針對有關本發明的第一實施形態的配線電路基板，邊參照第 1 圖邊說明。第 1 圖係有關第一實施形態的配線電路基板的剖面圖。

如第 1 圖所示，有關第一實施形態的配線電路基板 2，由：絕緣膜 4、和凸塊（Bump）6、和蝕刻遮蔽層 8、和配線層 10 所構成。絕緣膜 4 係由聚醯亞胺樹脂所構成。凸塊（Bump）6 係由銅所構成，以貫通絕緣膜 4 的方式所形成。此外，凸塊（Bump）6 是呈錐狀的形狀。更詳細說明的話，凸塊（Bump）6 係橫斷面形狀為圓形，縱斷面形狀略呈梯形。尚且，凸塊（Bump）6 的縱斷面的梯形狀，在圖示上是為了方便，其斜邊也有呈線狀的情形。此外，縱斷面形狀為略矩形狀亦可，凸塊（Bump）6 的形狀為略圓錐狀外，形成略圓柱狀亦可。此時，斜邊亦有呈曲線狀的情形。此外，各凸塊（Bump）6 的頂面，從絕緣膜 4 露出，以位在絕緣膜 4 的表面和同一平面的方式所形成。

蝕刻遮蔽層 8 係由 Ni（鎳）所構成，形成在凸塊（Bump）6 的底面。配線層 10 係由銅所構成。各凸塊（

(25)

Bump) 6 係介設著蝕刻遮蔽層 8，連接在配線層 10。尚且，配線層 10 亦可在銅膜表面被覆金、銀、銻、錫、銲錫、或鋁等。此外，圖未表示，不過在配線層 10 可直接或介設著銲接線而連接半導體晶片的電極、或附錫球 (Solder ball) 的 IC (倒裝晶片)。針對此連連形態，在後面邊參照第 3 圖邊說明。

錫球 (Solder ball) 12 係形成在各凸塊 (Bump) 6 的頂面。印刷電路基板 14 係為硬性基板，連接在配線電路基板 2。配線層 16 係形成在印刷電路基板 14 的表面。

各配線層 16 和各凸塊 (Bump) 6 是藉由介設著錫球 (Solder ball) 12 而連接，配線電路基板 2 係搭載在印刷電路基板 14。於是，製作由配線電路基板 2 和印刷電路基板 14 所構成的電路模組。相對於配線電路基板 2 為薄可撓性的而言，印刷電路基板 14 為硬性的，故其電路模組係組裝有硬性印刷電路基板 14 和可撓性配線電路基板 2。因而，可得到使用可撓性配線電路基板 2 電性導出例如硬性印刷電路基板 14 的電極或端子等的電路模組。

若根據有關本實施形態的配線電路基板 2，在露出至絕緣膜 4 表面的各凸塊 (Bump) 6 的頂面，直接形成錫球 (Solder ball) 12，故不需特意形成作為錫球 (Solder ball) 基底的錫球 (Solder ball) 基底膜。其結果，與習知技術相比，可減少製造配線電路基板 2 所需要的製造工數。

其次，針對有關第一實施形態的配線電路基板的製造

(26)

工程，邊參照第 2A 圖至第 2H 圖邊說明。第 2A 圖至第 2H 圖係依工程順序表示有關第一實施形態的配線電路基板的製造方法的基板的剖面圖。

如第 2A 圖所示，準備多層金屬板 20。該多層金屬板 20 係由：積層在厚度 12 至 30 [μm] 之由銅構成的配線層形成用金屬層 20c 上的厚度 0.5 至 2.0 [μm] 之由 Ni 構成的蝕刻遮蔽層 20b；和更積層在其上的厚度 20 至 80 [μm] 之由銅構成的凸塊 (Bump) 形成用金屬層 20a 所構成。

其次，在凸塊 (Bump) 形成用金屬層 20a 上塗佈光阻劑，使用形成有複數圓形圖案的曝光遮罩，進行曝光及顯影，形成光阻遮罩 (圖未表示)。而且，如第 2B 圖所示，藉由以其光阻遮罩作為遮罩，蝕刻凸塊 (Bump) 形成用金屬層 20a，形成凸塊 (Bump) 6。

其次，如第 2C 圖所示，以凸塊 (Bump) 6 作為遮罩，使用蝕刻除去蝕刻遮蔽層 20b，製作附凸塊 (Bump) 的基板 21。此時，在凸塊 (Bump) 6 和配線層形成用金屬層 20c 之間，介設著蝕刻遮蔽層 8。

而且，如第 2D 圖所示，在形成有凸塊 (Bump) 6 的面，使用簾幕式塗佈法、定厚器漿葉法、條碼式塗佈法、網板印刷法等塗佈由屬於前軀體形態的液狀聚醯亞胺樹脂或環氧樹脂等所構成的絕緣材料。

針對本實施形態，以絕緣材料的高度比凸塊 (Bump) 6 的高度稍高的方式塗佈絕緣材料。而且，藉由施行烘

(27)

乾處理，固化液狀絕緣材料，形成絕緣膜 4。聚醯亞胺樹脂時，藉由徐徐地昇高溫度，最後以約 400〔℃〕施行烘乾處理，進行醯亞胺化。環氧樹脂時，亦徐徐地昇高溫度，最後以約 180〔℃〕施行烘乾處理。尚且，於第 2D 圖表示使用烘乾處理所形成的絕緣膜 4。

其次，如第 2E 圖所示，將絕緣膜 4 的表面部至少研磨到完全露出各凸塊（Bump）6 的頂面，以製作配線電路基板 22。藉由像這樣地進行研磨，絕緣膜 4 的膜厚和凸塊（Bump）6 的高度變相等。在此，只要露出凸塊（Bump）6 的頂面即可，亦可露出之後，進一步繼續蝕刻絕緣膜 4。

尚且，絕緣材料，除聚醯亞胺樹脂或環氧樹脂外，亦可使用熱可塑性樹脂。該熱可塑性樹脂可使用液晶聚合物、PEEK、PES、PPS 或 PET 等，使用 T-DIE 法成型。該 T-DIE 法是屬於使用押出機，押出加熱熔融的樹脂，從前端的 T-DIE 吐出，將形成流動體狀態的材料（樹脂），直接塗佈在附凸塊（Bump）的基板 21 上，使用冷卻令其固化的方法。使用該 T-DIE 法，將液晶聚合物等熱可塑性樹脂塗佈在基板，使用冷卻令其固化，形成絕緣膜 4。

其次，在配線層形成用金屬層 20c 上塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩（圖未表示）。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照其圖案曝光光阻劑。於本實施形態係曝光各凸塊（Bump）6 之間的光阻劑。然後藉由進行顯影處理，除去曝光的光阻劑

(28)

，僅在各凸塊（Bump）6 的底面上，形成光阻遮罩（圖未表示）。而且，如第 2F 圖所示，藉由以其光阻遮罩作為遮罩，蝕刻配線層形成用金屬層 20c，形成配線層 10。各配線層 10 係介設著蝕刻遮蔽層 8，與凸塊（Bump）6 連接。像這樣製作有關第一實施形態的配線電路基板 2。

尚且，亦可在配線層 10 的形成前或形成後，如以假想線所示形成例如由阻焊劑（Solder Resist）所構成的圍堰（dam）18，達到焊接接合面的均勻化和防止因圓邊引起短路。

其次，將作為錫球（Solder ball）的球狀焊料，配置在自絕緣膜 4 露出的各凸塊（Bump）6 的頂面。而且，藉由將配線電路基板通過加熱爐進行圓滑熱處理，形成連接固定在凸塊（Bump）6 的錫球（Solder ball）12。於第 2G 圖表示圓滑熱處理後的狀態。

尚且，球狀焊料的配置亦按以下方法施行。首先準備一可使用真空吸引來保持球狀焊料的治具。而且，邊保持球狀焊料，邊將其治具配置在各凸塊（Bump）6 的上方。而且，使治具的真空吸引停止，藉著各球狀焊料的自重，在各凸塊（Bump）6 的頂面上，落下各球面錫。而且可藉由進行圓滑熱處理，形成錫球（Solder ball）12。

此外，亦可藉由將錫膏印刷在凸塊（Bump）6 的頂面，施行加熱圓滑熱處理，形成錫球（Solder ball）。

若根據此種配線電路基板 2 的製造方法，可在露出至絕緣膜 4 表面的各凸塊（Bump）6 的頂面，直接形成錫球

(29)

(Solder ball) 12。因而，不需要形成作為錫球 (Solder ball) 12 基底的錫球 (Solder ball) 基底膜，可減少配線電路基板 2 的製造工程。

更如第 2H 圖所示，可在印刷配線基板 14 搭載配線電路基板 2。一般在對印刷配線基板等搭載之前，在配線電路基板 2 搭載例如半導體晶片等，不過在第 2H 圖省略其半導體晶片的圖示。尚且，針對半導體晶片的搭載例，參照第 3A 圖至第 3B 圖說明。

第 3A 圖至第 3B 圖係表示對配線電路基板 2 的半導體晶片搭載例的剖面圖。在第 1 圖係表示對以假想線所示的硬性印刷電路基板 14 的搭載例，不過如第 3A 圖至第 3B 圖所示，可在配線電路基板 2 直接搭載半導體晶片。

於第 3A 圖表示使用打線接合施行半導體晶片 24 的電極和配線電路基板 2 的配線層 10 的連接之例。於第 3B 圖表示藉由直接連接半導體晶片 24 的電極 24a 和配線電路基板 2 的配線層 10，在配線電路基板 2 搭載半導體晶片 24 之例。

邊參照第 3A 圖，邊說明使用打線接合的搭載例。如第 3A 圖所示，LSI 等半導體晶片 24 係使用晶片接合接著層 26，固定在配線電路基板 2。配線電路基板 2 的配線層 10 和半導體晶片 24 的電極，係使用由金線等所構成的鉚接線 28 連接。因而，各電極係通過鉚接線 28 及配線層 10，連接在任一個凸塊 (Bump) 6。由於凸塊 (Bump) 6 係連接在錫球 (Solder ball) 12，故各電極係通過凸塊 (

(30)

Bump) 6, 連接在錫球 (Solder ball) 12, 被電氣導出。此外, 半導體晶片 24 係使用樹脂 30 密封。該樹脂 30 通常使用由環氧樹脂所構成的膠粘樹脂。

邊參照第 3B 圖邊說明覆晶型 IC 的搭載例。在 IC 或 LSI 等半導體晶片 24 形成銲接並由鍍金所構成的電極 24a。在配線電路基板 2 搭載半導體晶片 24 後, 配合需要, 注入密封樹脂 26 並令其硬化。此外, 在半導體晶片 24 形成金的柱狀凸塊 (Stud Bump), 介設著異向性的導電接著劑 (圖未表示), 接合在配線電路基板 2 亦可。搭載後, 半導體晶片 24 和配線電路基板 2 之間, 使用樹脂 26 固定密封。

[第二實施形態]

其次, 針對有關本發明的第二實施形態的配線電路基板, 邊參照第 4 圖邊說明。第 4 圖係有關第二實施形態的配線電路基板的剖面圖。有關第二實施形態的配線電路基板係具有大致上與有關第 1 圖所示的第一實施形態的配線電路基板相同的構成, 不過各凸塊 (Bump) 6 的頂面 6a 形成凹球面的這點是不同的。而且, 在其凹球面形成錫球 (Solder ball) 12。

像這樣若根據有關第二實施形態的配線電路基板 2, 將各凸塊 (Bump) 6 的頂面 6a 形成凹球面, 故頂面 6a 和錫球 (Solder ball) 12 的連接面積增加。其結果, 連接強度增強, 作為配線電路基板的可靠度昇高, 達到長壽命化

(31)

將各凸塊 (Bump) 6 的頂面 6a 形成凹球面，於第一實施形態所說明的工程中，在第 2F 圖所示的工程、和第 2G 圖所示的工程之間，亦可設置快速蝕刻 (Quick Etching) 銅的工程。

在此，邊參照第 5A 圖至第 5C 圖邊說明形成其凹球面的工程、和其前後的工程。第 5A 圖至第 5C 圖係依工程順序表示形成凹球面的工程的基板的剖面圖。藉由選擇性地蝕刻第 2E 圖所示的配線電路基板 20c，形成第 5A 圖所示的配線層 10。尚且，亦可在形成配線層 10 之前或後，自以假想線所示的例如阻焊劑 (Solder Resist) 開始形成圍堰 18，達到焊接接合面的均勻化和防止因圓邊的短路。

其次，如第 5B 圖所示，藉由濕式蝕刻各凸塊 (Bump) 6 的頂面 6a，將頂面 6a 形成凹球面狀。其次，如第 5C 圖所示，將作為錫球 (Solder ball) 的球狀焊料，配置在各凸塊 (Bump) 6 的頂面 6a。而且，藉由通過加熱爐，施行圓滑熱處理，在各凸塊 (Bump) 6 的頂面 6a 上形成直接與凸塊 (Bump) 6 連接固定的錫球 (Solder ball) 12。

像這樣藉由除去第 5B 圖所示的濕式蝕刻工程，得到有關第 4 圖所示的第二實施形態的配線電路基板 2'。尚且，將各凸塊 (Bump) 6 的頂面 6a 形成凹球面狀，亦可適用於第 3 圖所示的半導體晶片的搭載例，應更適用於在

(32)

凸塊 (Bump) 6 直接形成錫球 (Solder ball) 12 的實施形態。尚且，針對以各個工程進行配線層 10 的蝕刻和凸塊 (Bump) 6 的頂面 6a 的蝕刻之例做說明，不過亦可同時進行濕式蝕刻，其方式效率良好。

〔第三實施形態〕

其次，針對有關本發明的第三實施形態的配線電路基板的製造方法，邊參照第 6A 圖至第 6E 圖邊說明。第 6A 圖至第 6E 圖係依工程順序表示有關第三實施形態的配線電路基板的製造方法的基板的剖面圖。有關該第三實施形態的配線電路基板的製造方法係變更有關第一實施形態的配線電路基板的製造方法的一部分的方法。

如第 6A 圖所示，準備一在配線層形成用金屬層 20c 之一邊的面，介設有蝕刻遮蔽層 20b，形成有凸塊 (Bump) 6 之附凸塊 (Bump) 的基板 21。該基板係使用第一實施形態的第 2A 圖至第 2C 圖所示的工程製作。在此，簡單地針對第 6A 圖所示的基板的製造方法做說明。

首先，準備一在配線層形成用金屬層 20c 之一邊的面，介設著蝕刻遮蔽層 20b，形成有凸塊 (Bump) 形成用金屬層 20a 的多層金屬板 20。而且，藉由選擇性地蝕刻凸塊 (Bump) 形成用金屬板 20a，形成凸塊 (Bump) 6。然後，以凸塊 (Bump) 6 作為遮罩，蝕刻並除去蝕刻遮蔽層 20b。依此得到第 6A 圖所示之附凸塊 (Bump) 的基板 21。

(33)

其次，藉由一起加壓壓潰各凸塊（Bump）6，如第 6B 圖所示，各凸塊（Bump）6 的頂面直徑增大。由各凸塊（Bump）6 的頂面直徑增大，在後面工程，加強形成在其頂面的錫球（Solder ball）和凸塊（Bump）的連接強度，凸塊（Bump）很難自錫球（Solder ball）被取出。

從配線電路基板的配線層的窄晶片化或 IC、LSI 等電極數增加等傾向來看，要求提高凸塊（Bump）的配置密度。其結果，增大凸塊（Bump）的大小受到限制。因而，就凸塊（Bump）而言，產生其頂面直徑必須形成 70〔 μm 〕左右的情形。

可是實際上凸塊（Bump）頂面的直徑沒有至少 100〔 μm 〕左右時，錫球（Solder ball）和凸塊（Bump）的接著強度難以提高到足夠的程度。因而，不易充分提高錫球（Solder ball）與凸塊（Bump）的接著可靠度。

於是，爲了提高錫球（Solder ball）和凸塊（Bump）的接著強度，應增大凸塊（Bump）頂面的面積，一起加壓壓潰各凸塊（Bump）6。依此形成的話，就可實際將各凸塊（Bump）6 頂面的直徑，從例如 70〔 μm 〕左右增大到例如 100〔 μm 〕以上。

其次，如第 6C 圖所示，形成覆蓋各凸塊（Bump）6 的絕緣膜 4。形成該絕緣膜 4 的工程，與第一實施形態之第 2D 圖所示的工程相同。其次，如第 6D 圖所示，將絕緣膜 4 的表面部至少研磨到完全露出各凸塊（Bump）6 的頂面止爲。藉由像這樣施行研磨，絕緣膜 4 的膜厚和凸塊

(34)

(Bump) 6 的高度變相等。

其次，如第 6E 圖所示，藉由選擇性地蝕刻配線層形成用金屬層 20c，形成配線層 10（與第 2F 圖所示的工程相同。）。然後，將錫球（Solder ball）12 形成在凸塊（Bump）6 的頂面（與第 2G 圖所示的工程相同。）。

尚且，在形成配線層 10 的前或後，亦可形成例如由阻焊劑（Solder Resist）所構成的圍堰，達到焊接接合面的均勻化和防止因圓邊的短路。

像這樣，若根據第 6 圖所示的配線電路基板的製造方法，具有藉由從上加壓壓潰各凸塊（Bump）6，增大凸塊（Bump）6 頂面直徑的工程，故可將各凸塊（Bump）6 的頂面直徑自例如 70 [μm] 左右增大到 100 [μm] 以上。其結果，很容易得到充分加強各錫球（Solder ball）12 和各凸塊（Bump）6 的接著強度。

尚且，於本實施形態中，係將蝕刻遮蔽層 20b 蝕刻後，加壓壓潰各凸塊（Bump）6，不過亦可在蝕刻前加壓凸塊（Bump）6。

此外，在第 6D 圖所示的工程之後，第 6E 圖所示的工程之前，與第二實施形態同樣地，亦可使用濕式蝕刻將各凸塊（Bump）6 的頂面 6a 形成凹球面狀。藉此，就可擴大連接凸塊（Bump）6 和錫球（Solder ball）12 的面積，還可更加強連接強度。其結果，可達到配線電路基板可靠性的提高化、及長壽命化。

(35)

〔第四實施形態〕

其次，針對有關本發明的第四實施形的配線電路基板，邊參照第 7 圖邊說明。第 7 圖係表示有關第四實施形態的配線電路基板的剖面圖。有關本實施形態的配線電路基板的特徵是在兩面設置配線層。有關第一實施形態的配線電路基板 2 係僅在形成有錫球（Solder ball）12 的面的相反側之面，形成配線層 10，不是在形成有錫球（Solder ball）12 的面，形成配線層。

有關本實施形態的配線電路基板 2a，係如第 7 圖所示，亦在形成有錫球（Solder ball）12 的面，形成有配線層 11。錫球（Solder ball）12 亦可直接形成在凸塊（Bump）6 的頂面，亦可介設著與凸塊（Bump）6 的頂面接合的配線層 11（於第 7 圖以假想線所示。）所形成。

其次，針對有關第四實施形態的配線電路基板 2a 的製造方法，邊參照第 8A 圖至第 8D 圖邊說明。第 8A 圖至第 8D 圖係依工程順序表示有關第四實施形態的配線電路基板的製造方法的基板的剖面圖。

如第 8A 圖所示，準備配線電路基板 22、和由銅所構成的配線層形成用金屬層 19。而且，如第 8B 圖所示，將配線層形成用金屬層 19 積層在配線電路基板 22。

其次，如第 8C 圖所示，藉由同時選擇性地蝕刻配線層形成用金屬層 20c 及配線層形成用金屬層 19，形成配線層 10 及配線層 11。像這樣製作在兩面形成有配線層的配線電路基板 2a。其次，如第 8D 圖所示，在連接至凸塊

(36)

(Bump) 6 的配線層 11 上，形成錫球 (Solder ball) 12 。尚且，錫球 (Solder ball) 12 ，係如第 8D 圖所示，亦可形成於連接至凸塊 (Bump) 6 的配線層 11 上，不過亦可不在凸塊 (Bump) 6 上形成配線層 11，直接在凸塊 (Bump) 6 的頂面形成錫球 (Solder ball) 12。就是，亦可以不在凸塊 (Bump) 6 上形成配線層 11 的方式，選擇性地蝕刻配線層形成用金屬層 19，僅在各凸塊 (Bump) 6 的頂面間，形成配線層 11。

於第 9 圖表示在各凸塊 (Bump) 6 的頂面，直接形成錫球 (Solder ball) 12 的配線電路基板 2b 的剖面圖。如第 9 圖所示，於配線電路基板 2b 中，配線層 11 不形成在凸塊 (Bump) 6 的頂面，錫球 (Solder ball) 12 係直接形成在各凸塊 (Bump) 6 的頂面。

〔 第五實施形態 〕

其次，就本發明的第五實施形態而言，針對利用配線電路基板的電路模組參照第 10A 圖至第 10C 圖邊說明。第 10A 圖至第 10C 圖係有關第五實施形態的電路模組的剖面圖。

有關本實施形態的電路模組係使用可撓性配線電路基板。如第 10A 圖至第 10C 圖所示，於配線電路基板 2 中，設有：形成有凸塊 (Bump) 6 的區域 (以下作為凸塊 (Bump) 形成區域 42。)、和沒有形成凸塊 (Bump) 6 的區域 (以下作為凸塊 (Bump) 非形成區域 40。)。而且

(37)

，凸塊（Bump）非形成區域 40 為可撓性。在其可撓性的部分，將配線電路基板 2 彎曲，在配線電路基板 2 連接 LSI 等半導體晶片 24。

像這樣藉由在配線電路基板 2 設置凸塊（Bump）非形成區域 40 就可彎曲，且以可任意彎曲而使用的方式來製作電路模組，就可立體式地配置 LSI 等半導體晶片 24。藉此，在有限的空間內，就可高密度地配置多數半導體晶片 24。尚且，連本實施形態亦可使用凸塊（Bump）6 的頂面 6a 為凹球面狀的配線電路基板 2'。

〔第六實施形態〕

其次，作為本發明的第六實施形態，針對使用配線電路基板之別的電路模組邊參照第 11 圖邊說明。第 11 圖係有關第五實施形態的電路模組的剖面圖。

如第 11 圖所示，有關本實施形態的電路模組係由：配線電路基板 2 和別的配線電路基板 50 所構成。配線電路基板 2 和別的配線電路基板 50，係介設著錫球（Solder ball）12 而連接。配線電路基板 50 係在絕緣膜 52 之一邊的面，形成由銅構成的配線層 54，在相反側的面，形成有由銅構成的配線層 60。而且，凸塊（Bump）56 係以貫通絕緣膜 52 的方式所形成，連接在配線層 54 和配線層 60。此外，蝕刻遮蔽層 58 是形成在凸塊（Bump）56 的底面和配線層 54 之間。因而，凸塊（Bump）56 係介設著蝕刻遮蔽層 58，連接在配線層 54。此外，至少一部分的配

(38)

線層 60 是以連接在凸塊 (Bump) 56 的頂面的狀態所形成。

配線電路基板 50 是使用大致上與配線電路基板 2 相同的方法所形成。配線電路基板 50 和配線電路基板 2 不同，就配線電路基板 2 而言，僅在絕緣膜 4 之一邊的面形成有配線層 10，不過就配線電路基板 50 而言，在兩邊的面僅形成配線層 54 及配線層 60。

配線電路基板 2 和配線電路基板 50 係介設著錫球 (Solder ball) 12 而連接，構成電路模組。此外，在配線電路基板 2 及配線電路基板 50 係使用可撓性基板，藉此可很容易地製造可撓性配線電路基板彼此連接的電路模組。

〔 第七實施形態 〕

其次，就本發明的第七實施形態而言，針對使用配線電路基板之別的電路模組邊參照第 12 圖邊說明。第 12 圖係為別的電路模組 (液晶裝置) 的剖面圖。

有關本實施形態的電路模組係為在硬性玻璃配線基板上，連接有關第一實施形態的配線電路基板 2 的液晶裝置。於同圖中，液晶裝置 70 (電路模組) 係在玻璃配線基板 72 上介設著密封材 78，設置有對向玻璃板 76。此外，在玻璃配線基板 72 和對向玻璃板 76 之間，封入液晶 80。在玻璃配線基板 72 的表面，形成有由 ITO (Indium Tin Oxide) 膜構成的透明配線 74。更亦可在 ITO 膜的表面形成有金屬 (例如銅、鋁、鈦、鎳、錫、或銀) 膜。配線電

(39)

路基板 2 係介設著錫球 (Solder ball) 12 , 連接在玻璃配線基板 72 。錫球 (Solder ball) 12 係連接在透明電極 74 。

玻璃配線基板 72 的透明配線 74 的端部、和配線電路基板 2 的凸塊 (Bump) 6 是介設著錫球 (Solder ball) 12 而連接, 藉此連接玻璃配線基板 72 和配線電路基板 2 。

像這樣藉由在玻璃配線基板 72 連接配線電路基板 2 , 就可提供將可撓性配線電路基板 2 應用於電極引出用的液晶裝置。此外, 亦可將凸塊 (Bump) 頂面形成凹球面狀的配線電路基板 2' , 應用於有關本實施形態的電路模組。尚且, 以上說明的電路模組係為使用本發明的配線電路基板的電路模組之一例, 本發明並不限於有關以上實施形態的電路模組。

其次, 針對未設置錫球 (Solder ball) 12 的配線電路基板做說明。

[第八實施形態]

針對有關第八實施形態的配線電路基板的製造方法, 邊參照第 14A 圖至第 14G 圖及第 15A 圖至第 15E 圖邊說明。第 14A 圖至第 14G 圖及第 15A 圖至第 15E 圖係依工程順序表示第八實施形態的配線電路基板的製造方法的基板的剖面圖。

如第 14A 圖所示, 準備多層金屬板 20 。該多層金屬板 20 係由: 積層在厚度 12 至 30 [μ m] 之由銅構成的配

(40)

線層形成用金屬層 20c 上的厚度 0.5 至 2.0 [μm] 之由 Ni 構成的蝕刻遮蔽層 20b；和更積層在其上的厚度 20 至 80 [μm] 之由銅構成的凸塊 (Bump) 形成用金屬層 20a 所構成。

其次，在凸塊 (Bump) 形成用金屬層 20a 之上塗佈著光阻劑，使用形成有複數圓形圖案的曝光遮罩，進行曝光及顯影，形成光阻遮罩 (圖未表示)。而且，如第 14B 圖所示，藉由以其光阻遮罩作為遮罩，蝕刻凸塊 (Bump) 形成用金屬層 20a，形成凸塊 (Bump) 6。

其次，如第 14C 圖所示，以凸塊 (Bump) 6 作為遮罩，使用蝕刻除去蝕刻遮蔽層 20b，製作附凸塊 (Bump) 的基板 21。此時，在凸塊 (Bump) 6 和配線層形成用金屬層 20c 之間，介設著蝕刻遮蔽層 8。

而且，如第 14D 圖所示，在形成有凸塊 (Bump) 6 的面，使用簾幕式塗佈法、定厚器漿葉法、條碼式塗佈法、網板印刷法等塗佈由屬於前驅體形態的液狀聚醯亞胺樹脂或環氧樹脂等所構成的絕緣材料。針對本實施形態，以絕緣材料的高度比凸塊 (Bump) 6 的高度稍高的方式塗佈絕緣材料。而且，藉由施行烘乾處理，固化液狀絕緣材料，形成絕緣膜 4。聚醯亞胺樹脂時，藉由徐徐地昇高溫度，最後以約 400 [$^{\circ}\text{C}$] 施行烘乾處理，環氧樹脂時，亦徐徐地昇高溫度，最後以約 180 [$^{\circ}\text{C}$] 施行烘乾處理。尚且，於第 14D 圖表示使用烘乾處理所形成的絕緣膜 4。

其次，如第 14E 圖所示，將絕緣膜 4 的表面部至少研

(41)

磨到完全露出各凸塊 (Bump) 6 的頂面，以製作配線電路基板 22。藉由像這樣地進行研磨，絕緣膜 4 的膜厚和凸塊 (Bump) 6 的高度變相等。在此，只要露出凸塊 (Bump) 6 的頂面即可，亦可露出之後，進一步繼續蝕刻絕緣膜 4。

尚且，絕緣材料，除聚醯亞胺樹脂或環氧樹脂外，亦可使用熱可塑性樹脂。該熱可塑性樹脂可使用液晶聚合物、PEEK、PES、PPS 或 PET 等，使用 T-DIE 法成型。該 T-DIE 法是屬於使用押出機，押出加熱熔融的樹脂，從前端的 T-DIE 吐出，將形成流動體狀態的材料 (樹脂)，直接塗佈在附凸塊 (Bump) 的基板 21 上，使用冷卻令其固化的方法。使用該 T-DIE 法，將液晶聚合物等熱可塑性樹脂塗佈在基板，使用冷卻令其固化，形成絕緣膜 4。

其次，如第 14F 圖所示，使用電鍍法，將由 Cu (銅)、Au (金)、Ag (銀)、Ni (鎳)、Pb (鉛)、Pt (白金) 或 Sn (錫) 等金屬或以前記金屬為主成份的合金金屬構成的突起物 13，形成在各凸塊 (Bump) 6 的頂面上，以形成配線電路基板 23。

其次，在配線層形成用金屬層 20c 上塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩 (圖未表示)。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照其圖案曝光光阻劑。於本實施形態係曝光各凸塊 (Bump) 6 之間的光阻劑。然後藉由進行顯影處理，除去曝光的光阻劑，僅在各凸塊 (Bump) 6 的底面上，形成光阻遮罩 (圖未

(42)

表示)。而且，如第 14G 圖所示，藉由以其光阻遮罩作為遮罩，蝕刻配線層形成用金屬層 20c，形成配線層 10。各配線層 10 係介設著蝕刻遮蔽層 8，與凸塊 (Bump) 6 連接。像這樣製作有關第一實施形態的配線電路基板 2c。

使用以上方法的話，當形成絕緣膜 4 時，不像習知需要施行熱壓。其結果，不需要熱壓用的裝置，不需要花時間施行熱壓，故可提高配線電路基板的生產性。

更由於不用將配線層形成用金屬層，邊壓潰凸塊 (Bump) 6 邊積層在凸塊 (Bump) 6 上，故不需要提高凸塊 (Bump) 6 的高度。其結果，凸塊 (Bump) 6 的高度近似絕緣膜 4 的厚度，故不需要將凸塊 (Bump) 6 的高度提高到必要以上的高度。因而，可精細的蝕刻，故能縮短相鄰的凸塊 (Bump) 6 間的距離，製作高積體化的配線電路基板。

例如，於習知技術中，需將凸塊 (Bump) 6 的高度形成約 80 至 150 [μm]，可是不需要壓潰，故可根據絕緣膜 4 膜厚的選擇，將高度降低到約 20 至 80 [μm]。其結果，於習知技術中，需將凸塊 (Bump) 6 間的距離形成約 250 至 400 [μm]，可是在本發明可形成約 60 至 200 [μm]，配線電路基板可高積體化。

此外，亦具有所謂施行電解通電電鍍時，藉由觀察析出至凸塊 (Bump) 6 頂面的電鍍，確認各凸塊 (Bump) 6 的露出部是否電氣連接的優點。

(43)

尚且，於本實施形態中，如第 14D 圖所示，以絕緣材料的高度比凸塊（Bump）6 的高度稍高的方式形成絕緣膜 4，然後藉由施行研磨，使高度變相等。但本發明不限於此，亦可以絕緣膜 4 的高度比凸塊（Bump）6 的高度稍低的方式，形成絕緣膜 4。針對其方法邊參照第 15A 圖至第 15E 圖邊說明。

如第 15A 圖所示，準備附凸塊（Bump）的基板 21。如第 15B 圖所示，在形成有凸塊（Bump）6 的面，使用簾幕式塗佈法、定厚器漿葉法、條碼式塗佈法、網板印刷法等塗佈由屬於前驅體形態的液狀聚醯亞胺樹脂或環氧樹脂等所構成的絕緣材料。此時，以絕緣材料的高度比凸塊（Bump）6 的高度稍低的方式塗佈絕緣材料。此時，藉由液狀樹脂的硬化收縮、揮發物的揮發，如第 15B 圖所示，在凸塊（Bump）6 的頂面亦殘留若干絕緣材料。其結果，在凸塊（Bump）6 上亦形成有絕緣膜 4。於第 15B 圖表示使用烘乾處理所形成的絕緣膜 4。尚且，絕緣材料，如前所述，亦可使用液晶聚合物或 PET 等熱可塑性樹脂。使用熱可塑性樹脂時，不需要烘乾處理。

其次，如第 15C 圖所示，將凸塊（Bump）6 上的絕緣膜 4 的表面部至少研磨到完全露出各凸塊（Bump）6 的頂面，以製作配線電路基板 22。由於形成在各凸塊（Bump）6 之間的絕緣膜 4 的高度比凸塊（Bump）6 的高度還低，故不必研磨。藉由像這樣地進行研磨，絕緣膜 4 的高度變得比凸塊（Bump）6 的高度還低。

(44)

其次，如第 15D 圖所示，使用電鍍法，在各凸塊（Bump）6 的頂面上形成由金屬構成的突起物 13，以形成配線電路基板 23。而且，如第 15E 圖所示，藉由蝕刻配線層形成用金屬層 20c 並圖案化，形成配線層 10。像這樣形成配線電路基板 2d。

尚且，於本實施形態中，形成突起物 13 之後，形成配線層 10，不過亦可先形成配線層 10，然後形成突起物 13。

〔第九實施形態〕

其次，針對本發明的第九實施形態的配線電路基板的製造方法，邊參照第 16A 圖至第 16F 圖及第 17A 圖至第 17F 圖邊說明。第 16A 圖至第 16F 圖及第 17A 圖至第 17F 圖係依工程順序表示第九實施形態的配線電路基板的製造方法的基板的剖面圖。

如第 16A 圖所示，準備附凸塊（Bump）的基板 21。其次，如第 16B 圖所示，在形成有凸塊（Bump）6 的面，使用簾幕式塗佈法、定厚器漿葉法、條碼式塗佈法、網板印刷法等塗佈由屬於前驅體形態的液狀例如聚醯亞胺樹脂或環氧樹脂等構成的絕緣材料。於本實施形態中，以絕緣材料的高度比凸塊（Bump）6 的高度稍高的方式塗佈絕緣材料。而且，藉由施行烘乾處理，固化液狀絕緣材料，形成絕緣膜 4。尚且，於第 16B 圖表示使用烘乾處理所形成的絕緣膜 4。

(45)

其次，如第 16C 圖所示，在絕緣膜 4 上塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩 7。例如塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，來曝光各凸塊（Bump）6 上的光阻劑。然後藉由施行顯影處理，除去各凸塊（Bump）6 上的光阻亦，僅在各凸塊（Bump）6 之間形成光阻遮罩 7。

其次，如第 16D 圖所示，以光阻遮罩 7 作為遮罩，將形成在各凸塊（Bump）6 上的絕緣膜 4，蝕刻除去到完全露出各凸塊（Bump）6 的頂面。然後，剝離光阻遮罩 7，製作配線電路基板 22b。此時，絕緣膜 4 的膜厚比凸塊（Bump）6 的高度還厚。

其次，如第 16E 圖所示，使用電鍍法，將由 Cu（銅）、Au（金）、Ag（銀）、Ni（鎳）、Pb（鉛）、Pt（白金）或 Sn（錫）等金屬或以前記金屬為主成份的合金屬構成的突起物 13，形成在各凸塊（Bump）6 的頂面上，以形成配線電路基板 23b。

其次，在配線層形成用金屬層 20c 上塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩（圖未表示）。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照其圖案曝光光阻劑。於本實施形態係曝光各凸塊（Bump）6 之間的光阻劑。然後藉由進行顯影處理，除去曝光的光阻劑，僅在各凸塊（Bump）6 的底面上，形成光阻遮罩（圖未表示）。而且，如第 16F 圖所示，藉由以其光阻遮罩作為遮罩，蝕刻配線層形成用金屬層 20c，形成配線層 10。各

(46)

配線層 10 係介設著蝕刻遮蔽層 20b，與凸塊 (Bump) 6 連接。像這樣製作配線電路基板 2e。

根據以上方法時，不需要熱壓用的裝置，就可提高配線電路基板的生產性。此外，凸塊 (Bump) 6 間的距離縮短，故可製作高積體化的配線電路基板。更根據本實施形態的製造方法時，由於露出凸塊 (Bump) 6 的頂面，故不需要研磨絕緣膜 4。研磨由樹脂構成的絕緣膜 4 時，由於變粗糙，故樹脂稍微殘留在基板上，其後的加工變煩雜。可是，若根據本實施形態的方法，由於使用蝕刻除去絕緣膜 4，故樹脂不會殘留在凸塊 (Bump) 6 的頂面，可減輕其後的加功妨礙。

尚且，於本實施形態中，如第 16B 圖所示，以絕緣膜 4 的高度比凸塊 (Bump) 6 的高度稍高的方式，形成絕緣膜 4，然後使用蝕刻除去凸塊 (Bump) 6 上的絕緣膜 4。但本發明不限於此，亦可以絕緣膜 4 的高度比凸塊 (Bump) 6 的高度稍低的方式，形成絕緣膜 4。邊參照第 17A 圖至第 17F 圖邊針對其方法做說明。

如第 17A 圖所示，準備附凸塊 (Bump) 的基板 21。其次，如第 17B 圖所示，在形成有凸塊 (Bump) 6 的面，使用簾幕式塗佈法、定厚器漿葉法、條碼式塗佈法、網板印刷法等塗佈由屬於前驅體形態的液狀聚醯亞胺樹脂或環氧樹脂等所構成的絕緣材料。此時，以絕緣材料的高度比凸塊 (Bump) 6 的高度稍低的方式塗佈絕緣材料。此時，藉由液狀樹脂的硬化收縮、揮發物的揮發，如第 17B 圖

(47)

所示，在凸塊（Bump）6 的頂面亦殘留若干絕緣材料。而且，藉由施行烘乾處理，固化液狀絕緣材料，形成絕緣膜 4。其結果，在凸塊（Bump）6 上亦形成有絕緣膜 4。於第 17B 圖表示使用烘乾處理所形成的絕緣膜 4。

其次，如第 17C 圖所示，在絕緣膜 4 上塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩 7。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，曝光各凸塊（Bump）6 上的光阻劑。然後藉由進行顯影處理，除去各凸塊（Bump）6 上的光阻劑，僅在各凸塊（Bump）6 之間，形成光阻遮罩 7。

其次，如第 17D 圖所示，以其光阻遮罩 7 作為遮罩，將形成在各凸塊（Bump）6 上的絕緣膜 4，蝕刻除去至完全露各凸塊（Bump）6 的頂面。然後，剝離光阻遮罩 7，製成配線電路基板 22c。此時，絕緣膜 4 的膜厚比凸塊（Bump）6 的高度還低。

其次，如第 17E 圖所示，使用電鍍法，將由金屬構成的突起物 13 形成在各凸塊（Bump）6 的頂面上，以形成配線電路基板 23c。而且，如第 17F 圖所示，藉由蝕刻配線層形成用金屬層 20c 施行圖案化，形成配線層 10。像這樣製作配線電路基板 2f。

尚且，連本實施形態亦與第八實施形態同樣地，絕緣材料除了聚醯亞胺樹脂等，亦可使用液晶聚合物或 PET 等熱可塑性樹脂。此外，在形成突起物 13 之後，形成配線層 10，不過亦可先形成配線層 10，然後藉由使用無電

(48)

解電鍍或導電膏，形成突起物 13。

〔第十實施形態〕

其次，針對本發明的第十實施形態的配線電路基板的製造方法，參照第 18A 圖至第 18E 圖及第 19A 圖至第 19E 圖邊說明。第 18A 圖至第 18E 圖及第 19A 圖至第 19E 圖係依工程順序表示第十實施形態的配線電路基板的製造方法的基板的剖面圖。

如第 18A 圖所示，準備附凸塊（Bump）的基板 21。其次，如第 18B 圖所示，在形成有凸塊（Bump）6 的面，使用簾幕式塗佈法、定厚器漿葉法、條碼式塗佈法、網板印刷法等塗佈由屬於前驅體形態的液狀聚醯亞胺樹脂或環氧樹脂等所構成的絕緣材料。於本實施形態中，以絕緣材料的高度比凸塊（Bump）6 的高度稍低的方式塗佈絕緣材料。而且，藉由施行烘乾處理，固化液狀絕緣材料，形成絕緣膜 4。尚且，第 18B 圖係表示使用烘乾處理所形成的絕緣膜 4。

其次，如第 18C 圖所示，將絕緣膜 4 使用整面性地蝕刻除去到至少完全露出各凸塊（Bump）6 的頂面，以製作配線電路基板 22d。此時，絕緣膜 4 的膜厚大致上與凸塊（Bump）6 的高度相等。在此，只要露出凸塊（Bump）6 的頂面即可，亦可露出之後，進一步繼續蝕刻絕緣膜 4，此時，絕緣膜 4 的膜厚變得比凸塊（Bump）6 的高度還薄。

(49)

其次，如第 18D 圖所示，使用電鍍法，將由 Cu（銅）、Au（金）、Ag（銀）、Ni（鎳）、Pb（鉛）、Pt（白金）或 Sn（錫）等金屬或以前記金屬為主成份的合金屬構成的突起物 13，形成在各凸塊（Bump）6 的頂面上，以形成配線電路基板 23d。尚且，亦可使用印刷法，設有導電膏的突起物。

其次，在配線層形成用金屬層 20c 上塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩（圖未表示）。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照其圖案曝光光阻劑。於本實施形態係曝光各凸塊（Bump）6 之間的光阻劑。然後藉由進行顯影處理，除去曝光的光阻劑，僅在各凸塊（Bump）6 的底面上，形成光阻遮罩（圖未表示）。而且，如第 18E 圖所示，藉由以其光阻遮罩作為遮罩，蝕刻配線層形成用金屬層 20c，形成配線層 10。各配線層 10 係介設著蝕刻遮蔽層 20b，與凸塊（Bump）6 連接。像這樣製作配線電路基板 2g。

根據以上方法時，不需要熱壓用的裝置，可提高配線電路基板的生產性。此外，凸塊（Bump）6 的高度近似絕緣膜 4 的厚度，故不需要將凸塊（Bump）6 的高度提高到必要以上的高度。其結果，凸塊（Bump）6 間的距離縮短，故可製作高積體化的配線電路基板。

更根據本實施形態時，由於露出凸塊（Bump）6 的頂面，故不需要研磨絕緣膜 4，樹脂就不會殘留在凸塊（Bump）6 的頂面，可減輕其後的加工妨礙。加上整面性地

(50)

蝕刻除去絕緣膜 4，故不需要形成光阻遮罩，故可減少製作光阻遮罩部分的工程數。

尚且，於本實施形態中，如第 18B 圖所示，以絕緣膜 4 的高度比凸塊 (Bump) 6 的高度稍高的方式形成絕緣膜 4，然後使用蝕刻除去絕緣膜 4。可是，本發明並不限於此，亦可以絕緣膜 4 的高度比凸塊 (Bump) 6 的高度稍低的方式形成絕緣膜 4。針對其方法，邊參照第 19A 圖至第 19E 圖邊說明。

如第 19A 圖所示，準備附凸塊 (Bump) 的基板 21。其次，如第 19B 圖所示，在形成有凸塊 (Bump) 6 的面，使用簾幕式塗佈法、定厚器漿葉法、條碼式塗佈法、網板印刷法等塗佈由屬於前驅體形態的液狀聚醯亞胺樹脂或環氧樹脂等所構成的絕緣材料。此時，以絕緣材料的高度比凸塊 (Bump) 6 的高度稍低的方式塗佈絕緣材料。此時，藉由液狀樹脂的硬化收縮、揮發物的揮發，如第 19B 圖所示，在凸塊 (Bump) 6 的頂面亦殘留若干絕緣材料。而且，藉由施行烘乾處理，固化液狀絕緣材料，形成絕緣膜 4。尚且，於第 19B 圖表示使用烘乾處理所形成的絕緣膜 4。

其次，如第 19C 圖所示，將絕緣膜 4 至少使用蝕刻除去到完全露出各凸塊 (Bump) 6 的頂面，以製作配線電路基板 22e。此時，各凸塊 (Bump) 6 之間的絕緣膜 4 也會稍微被蝕刻，比蝕刻前的膜厚還薄。在此，只要露出凸塊 (Bump) 6 的頂面即可，亦可露出之後，進一步繼續蝕刻

(51)

絕緣膜 4。

其次，如第 19D 圖所示，使用電鍍法，將由金屬構成的突起物 13，形成在各凸塊（Bump）6 的頂面上，以形成配線電路基板 23e。而且，如第 19E 圖所示，藉由蝕刻配線層形成用金屬層 20c 施行圖案化，形成配線層 10。像這樣製作配線電路基板 2h。

尚且，連本實施形態亦與第八實施形態同樣地，絕緣材料除了聚醯亞胺樹脂等亦可使用液晶聚合物或 PET 等的熱可塑性樹脂。此外，形成突起物 13 之後，形成配線層 10，不過亦可先形成配線層 10，然後形成突起物 13。

尚且，於第八至第十實施形態中，使用研磨法或蝕刻法除去絕緣材料，不過本發明並不限於此，也可使用雷射加工除去。於雷射加工方面，可使用二氧化碳雷射、準分子雷射、雅鉻（YAG）雷射或半導體雷射等。而且，僅對形成在凸塊（Bump）6 上的絕緣膜 4，照射雷射，將凸塊（Bump）6 上的絕緣膜 4 除去到完全露出凸塊（Bump）6 的頂面。像這樣，藉由僅對凸塊（Bump）6 上的絕緣膜 4，照射雷射，就可僅除去凸塊（Bump）6 上的絕緣膜 4。因而，亦不需要形成光阻遮罩，更由於樹脂不會殘留在基板上，故可減少其後的處理。尚且，絕緣膜 4 的膜厚亦可比凸塊（Bump）6 的高度更厚或更薄。

此外，藉由使用滾輪，將凸塊（Bump）6 上的絕緣樹脂變薄，就很容易除去後面殘留的樹脂。例如使基板通過保持一定距離而配置的兩個滾輪之間。該滾輪間的距離比

(52)

基板的厚度稍短，藉由通過該兩個滾輪之間，將凸塊（Bump）6 上的絕緣材料平坦化。

使用滾輪將絕緣材料平坦化時，凸塊（Bump）6 的頂面上，會殘存若干絕緣材料。而且，藉由將絕緣膜 4 至少整面性蝕刻除去到完全露出各凸塊（Bump）6 的頂面，製作配線電路基板。此時，絕緣膜 4 的膜厚大致上等於凸塊（Bump）6 的高度。在此，只要露出凸塊（Bump）6 的頂面即可，亦可露出之後，進一步繼續蝕刻絕緣膜 4。此時，絕緣膜 4 的膜厚變得比凸塊（Bump）6 的高度還薄。尚且，於蝕刻使用鹼性溶液或聯胺溶液等。此外，亦可使用電漿研磨或 UV 研磨等，除去絕緣膜 4。更可使用研磨法或雷射加工法等，除去絕緣膜 4。尚且，絕緣膜 4 的膜厚可變得比凸塊（Bump）6 的高度更厚或更薄。

更且，亦可藉由此以外的方法來製造。亦可於形成在附凸塊（Bump）的基板 21 的凸塊（Bump）6 的頂面，噴射液狀絕緣材料，施行處理。例如，將矽樹脂或氟化合物等，使用戳破方式或滾輪塗佈方式等，僅形成在凸塊（Bump）6 的頂面。

在此，戳破方式是種將附著矽樹脂等的戳子，僅抵押在凸塊（Bump）6 的頂面，矽樹脂等只附著在凸塊（Bump）6 頂面的方法。此外，滾輪塗佈方式是種將附著矽樹脂等的滾輪，以與凸塊（Bump）6 的頂面接觸的方式令其旋轉，使矽樹脂等附著在凸塊（Bump）6 頂面的方法。

而且，在形成有凸塊（Bump）6 的面，使用簾幕式塗

(53)

佈法、定厚器漿葉法、條碼式塗佈法、網板印刷法等塗佈由屬於前驅體形態的液狀聚醯亞胺樹脂或環氧樹脂等所構成的絕緣材料。此時，以絕緣材料的高度比凸塊（Bump）6 的高度稍低的方式塗佈絕緣材料。由於在凸塊（Bump）6 的頂面，附著矽樹脂等，故在凸塊（Bump）6 的頂面噴射液狀絕緣材料，絕緣材料不會殘存在凸塊（Bump）6 的頂面。

而且，藉由施行烘乾處理，固化液狀絕緣材料，形成絕緣膜 4。然後藉由研磨凸塊（Bump）6 的頂面，除去矽樹脂等。或者，使用溶解矽樹脂等的溶劑而除去亦可。此時，使用電漿研磨、UV 研磨等物理式的方法亦可除去。

此外，也可使用噴沙法，除去絕緣膜 4。例如以玻璃、氧化鋁、鋼絲、矽砂、磁鐵礦、金剛砂等微粉末作為研磨材（此稱為塑性材）使用，將此與高壓水或壓縮空氣等一起在絕緣膜 4 的表面，以高速狀態噴射，利用其衝擊力將絕緣膜 4 的表面研磨到完全露出凸塊（Bump）6 的頂面。

〔第十一實施形態〕

其次，針對有關本發明的第十一實施形態的配線電路基板的製造方法，邊參照第 20A 圖至第 20D 圖邊說明。於第八至第十實施形態中，使用聚醯亞胺樹脂等作為絕緣材料，形成一層絕緣膜 4。可是本發明並不限於此，亦可形成由兩層或三層以上所構成的絕緣膜 4。針對此種絕緣

(54)

膜 4 的構造及其製造方法，邊參照第 20A 圖至第 20D 圖邊說明。第 20A 圖至第 20D 圖係表示形成多層構造的絕緣膜 4 之方法的基板剖面圖。

如第 20A 圖所示，準備附凸塊 (Bump) 的基板 21。而且，如第 20B 圖所示，藉由在形成有凸塊 (Bump) 6 的面，塗佈著由溶於溶劑中的熱可塑性聚醯亞胺或熱溶融聚醯亞胺所構成的絕緣材料，以約 100 [°C] 至 200 [°C] 進行加熱，形成絕緣膜 4a。此時，以絕緣膜 4a 的高度比凸塊 (Bump) 6 的高度稍低的方式，形成絕緣膜 4a。

其次，如第 20C 圖所示，藉由將由聚醯亞胺樹脂的前軀體構成的絕緣材料，使用簾幕塗佈法、定厚器漿葉法、條碼塗佈法、網板印刷法等塗佈在絕緣膜 4a 上，以約 350 [°C] 至 400 [°C] 施行加熱，形成絕緣膜 4b。此時，以絕緣膜 4a 的膜厚和絕緣膜 4b 的膜厚，合計比凸塊 (Bump) 6 的高度還薄的方式形成絕緣膜。

而且，如第 20D 圖所示，藉由將由溶於溶劑中的熱可塑性聚醯亞胺構成的絕緣材料塗佈在絕緣膜 4b 上，以約 100 [°C] 至 200 [°C] 施行加熱，形成絕緣膜 4c。最後形成的絕緣膜 4 的膜厚，可以比凸塊 (Bump) 6 的高度更厚或更薄。而且，使用研磨法、蝕刻法或雷射加工法等將絕緣膜 4 至少除去到露出凸塊 (Bump) 6 的頂面，然後，形成配線層 10 等。

藉由形成此種構造的絕緣膜 4，達到如下的效果。由於熱可塑性樹脂取代與配線層的接著劑，故藉由將由熱可

(55)

塑性樹脂構成的絕緣材料形成在配線電路基板的最表面，與其它配線電路基板或配線層形成用金屬層等積層變容易。進而與其它配線電路基板等的密著性變佳。

此外，藉由以與配線層形成用金屬層 20c 接觸的方式，在絕緣膜 4 的最下層，形成由熱可塑性聚醯亞胺構成的絕緣膜 4a，令絕緣膜 4 與配線層形成用金屬層 20c 的密著性變佳。

更使用聚醯胺酸作為聚醯亞胺樹脂的前驅體，不過由於使用該聚醯胺酸時，會與由銅箔構成的配線層形成用金屬層 20c 一起反應，故絕緣膜 4 與配線層形成用金屬層 20c 的密著性變差，絕緣膜 4 有剝離的情形（產生剝離）。可是，藉由介設著由熱可塑性樹脂構成的絕緣材料，提高與絕緣膜 4 和配線層形成用金屬層 20c 的密著性，防止產生剝離。

以上，針對第八至第十一實施形態中使用液狀絕緣材料的配線電路基板的製造方法做說明。在以下實施形態中，針對使用該配線電路基板的配線電路基板和多層配線電路基板的製造方法做說明。

〔第十二實施形態〕

其次，就本發明的第十二實施形態而言，針對使用根據第八至第十一實施形態的製造方法所製作的配線電路基板的多層配線基板的製造工程，邊參照第 21A 圖至第 21D 圖邊說明。第 21A 圖至第 21D 圖係依工程順序表示第十

(56)

二實施形態的多層配線基板的製造方法的基板剖面圖。

首先，如第 21A 圖所示，準備銲接片 31、和配線電路基板 23、和別的配線電路基板。接合片 31 是使用於張貼配線電路基板 23 和別的配線電路基板，由熱可塑性聚醯亞胺和變性環氧樹脂等所構成。

在此，配線電路基板 23 是使用第八實施形態的配線電路基板的製造方法所製造。此外，別的配線電路基板是在配線層形成用金屬層 20c 上，介設著蝕刻遮蔽層 20b，形成凸塊 (Bump) 6，在凸塊 (Bump) 6 上形成有配線層 11。而且，在各凸塊 (Bump) 6 之間，形成有高度與凸塊 (Bump) 6 的高度相等的絕緣膜 4。

該別的配線電路基板是藉由針對露出配線電路基板 22、凸塊 (Bump) 6 之頂面的面，而壓固配線層形成用金屬層 (圖未表示) 之後，將該配線層形成用金屬層施行部分性地蝕刻，形成配線層 11 所製作的。例如，將正型光阻劑塗佈該配線膜形成用金屬層上，使用具有特定圖案的曝光遮罩，曝光各凸塊 (Bump) 6 之間的光阻劑。然後藉由施行顯影處理，除去各凸塊 (Bump) 6 之間的光阻劑，僅在各凸塊 (Bump) 6 的頂面上，形成光阻遮罩 (圖未表示)。而且，藉由以該光阻遮罩作為遮罩，蝕刻配線層形成用金屬層，形成配線層 11。

其次，如第 21B 圖所示，介設著銲接片 31，邊加熱邊壓固配線電路基板 23 和別的配線電路基板，製作多層配線基板。此時，以配線電路基板 23 的突起物 13 和別的

(57)

配線電路基板的配線層 11 接觸的方式，將配線電路基板彼此壓固。

其次，藉由在多層配線基板的上下兩面塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩（圖未表示）。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照其圖案曝光光阻劑。然後藉由進行顯影處理，除去曝光的光阻劑，形成光阻遮罩（圖未表示）。而且，如第 21C 圖所示，藉由以其光阻遮罩作為遮罩，蝕刻兩面的配線層形成用金屬層 20c，在兩面形成配線層 10。配線層 10 係介設著蝕刻遮蔽層 8，與凸塊（Bump）6 連接。像這樣藉由凸塊（Bump）與配線層連接，凸塊（Bump）係作為層間連接手段的功能。

其次，如第 21D 圖所示，為了保護形成有配線層 10 的面和防止附著銲錫，故在其中一邊的面，塗佈著阻焊劑（Solder Resist），施行曝光及顯影，藉此形成光阻遮罩 9。而且，例如於形成在其中一邊的面的配線層 10 上，利用電鍍形成由急遽鍍金構成的金屬 20f。此外，在另一邊的面被覆覆蓋膜（coverlay film）209。覆蓋膜（coverlay film）209 是在聚醯亞胺薄膜的單面，塗佈接著劑。當然也可應用阻焊劑（Solder Resist）取代覆蓋膜（coverlay film）209。

如以上，藉由積層凸塊（Bump）間的距離為最小限的配線電路基板，製作高積體化的多層配線基板。

尚且，於本實施形態中，利用根據第八實施形態的製

(58)

造方法所製作的配線電路基板 23，製作多層配線基板，不過本發明並不限於此。例如亦可利用配線電路基板 23a 或配線電路基板 23b 等其它基板，製作多層配線基板。

此外，於本實施形態中，使用形成有由金屬構成的突起物 13 的配線電路基板 23 和銲接片 31，製作多層配線基板，然而不使用這些也可製造多層配線基板。例如藉由使用第八實施形態的配線電路基板 22a，即使不用銲接片 31，也可製造多層配線基板。配線電路基板 22a 由於絕緣膜 4 的膜厚比凸塊（Bump）6 的高度還高，故凸塊（Bump）6 的頂面，突出絕緣膜 4。因而，改使用電鍍法，即使不用由金屬構成的突起物 13，絕緣樹脂使用未硬化狀態者以及熱可塑性樹脂，未介設銲接片 31 地，直接使凸塊（Bump）6 的頂面接觸到其它配線電路基板的配線層 11，施以壓固形成多層配線基板。

〔第十三實施形態〕

其次，就本發明的第十三實施形態而言，針對使用根據第八至第十一實施形態的製造方法所製作的配線電路基板的多層配線基板的製造工程，邊參照第 22A 圖至第 22C 圖邊說明。第 22A 圖至第 22C 圖係依工程順序表示第十三實施形態的多層配線基板的製造方法的基板剖面圖。

首先，如第 22A 圖所示，準備兩個配線電路基板 23、和配線電路基板 2a。配線電路基板 2a 是使用有關第一實施形態的配線電路基板的製造方法所製作。此外，配線

(59)

電路基板 23 是使用有關第八實施形態的配線電路基板的製造方法所製作的基板。

該配線電路基板 2a 是藉由針對露出配線電路基板 22、凸塊 (Bump) 6 的頂面的面，壓固配線膜形成用金屬層之後，將上下兩面的配線膜形成用金屬層做部分性地蝕刻，形成配線層 10 及配線層 11 所製作的。例如將正型光阻劑塗佈在該配線層形成用金屬層上，使用具有特定圖案的曝光遮罩，依照該圖案曝光光阻劑。然後藉由施行顯影處理，除去所曝光的光阻劑，形成光阻遮罩 (圖未表示)。而且，藉由以該光阻遮罩作為遮罩，蝕刻配線層形成用金屬層，形成配線層 10 及配線層 11。

其次，如第 22B 圖所示，在配線電路基板 2a 的兩面，邊加熱邊壓固配線電路基板 23，形成多層配線基板。此時，以接觸配線電路基板 23 的突起物 13、和配線電路基板 2' 的配線層 10 的方式壓固配線電路基板 2a 和 23。此外，以接觸別的配線電路基板 23 的突起物 13、和配線電路基板 2a 的配線層 11 的方式，壓固配線電路基板 2a 和配線電路基板 23。

其次，藉由在多層配線基板的上下兩面塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩 (圖未表示)。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照其圖案曝光光阻劑。然後藉由進行顯影處理，除去曝光的光阻劑，形成光阻遮罩 (圖未表示)。而且，如第 22C 圖所示，藉由以其光阻遮罩作為遮罩，蝕刻多層配線電路基板

(60)

的下兩面的配線層形成用金屬層 23c，在兩面形成配線層 10。配線層 10 係介設著蝕刻遮蔽層 8，與凸塊 (Bump) 6 連接。像這樣藉由凸塊 (Bump) 與配線層連接，凸塊 (Bump) 係作為層間連接手段的功能。

如以上，藉由積層凸塊 (Bump) 間的距離為最小限的配線電路基板，製作高積體化的多層配線基板。

尚且，於本實施形態中，利用根據第八實施形態的製造方法所製作的配線電路基板 23，製作多層配線基板，不過本發明並不限於此。例如亦可利用配線電路基板 23a 和配線電路基板 23b 等其它基板，製作多層配線基板。

此外，於本實施形態中，使用形成有突起物 13 的配線電路基板 23，製造多層配線基板，然用不使用這些，也可製造多層配線基板。例如亦可使用第八實施形態的配線電路基板 22a 等。配線電路基板 22a 由於絕緣膜 4 的膜厚比凸塊 (Bump) 6 的高度還高，故凸塊 (Bump) 6 的頂面，突出絕緣膜 4。因而，就連不形成突起物 13，還是可直接將凸塊 (Bump) 6 的頂面，接觸配線電路基板 2a 的配線層 10 及配線層 11，施行壓固形成多層配線基板。

〔第十四實施形態〕

其次，就本發明的第十四實施形態而言，針對使用根據第八至第十一實施形態的製造方法所製作的配線電路基板之別的配線電路基板的製造工程，邊參照第 23A 圖至第 23D 圖邊說明。第 23A 圖至第 23D 圖係依工程順序表

(61)

示第十四實施形態的配線電路基板的製造方法的基板剖面圖。

首先，如第 23A 圖所示，準備配線電路基板 22。其次，藉由在配線層形成用金屬層 20c 上塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩（圖未表示）。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照其圖案曝光光阻劑。然後藉由進行顯影處理，除去曝光的光阻劑，形成光阻遮罩（圖未表示）。而且，如第 23B 圖所示，以其光阻遮罩作為遮罩，蝕刻配線層形成用金屬層 20c，形成配線層 10a 及配線層 10b。配線層 10a 和配線層 b 係以交互配置的方式所形成。此外，配線層 10a 係介設著蝕刻遮蔽層 20b，與凸塊（Bump）6 連接。

其次，如第 23C 圖所示，在露出凸塊（Bump）6 頂面的面，黏貼由銅箔、鋁箔、鐵箔、SUS 箔等和接著劑所構成的電磁屏蔽片 32。電磁屏蔽片 32 係具有，阻斷由配線電路基板所產生的電磁波，同時防止因來自外部之不必要的電磁波的誤動作功能。於本實施形態中，於整面黏貼電磁屏蔽片 32，然而亦可以與凸塊（Bump）6 頂面接合的方式，部分性地黏貼。而且，如第 23D 圖所示，為了保護配線層 10a 及配線層 10b，在形成有配線層 10a 及配線層 10b 的面，塗佈光阻劑 33，製作附電磁屏蔽的配線電路基板。

於本實施形態中，由於配線層 10a 係介設著凸塊（Bump）6，與電磁屏蔽片 32 連接，故作為地線的功能。

(62)

一方面，配線層 10b 係作為信號線路的功能。而且，由於配線層 10a 和配線層 10b 是交互配置，故互相鄰接的配線層 10b 間所發生的干擾減少。此外，藉由利用凸塊（Bump）間的距離為最小限的配線電路基板，可製作高積體化的附電磁屏蔽的配線電路基板。

此外，電磁屏蔽片亦可黏貼在配線電路基板的兩面。該構成亦具有作為高頻線路用之微帶線路利用的效果。更在本實施形態中，在每一信號線（一配線膜 10b）配置地線（Ground line），然而不一定每一信號線都要配置地線（Ground line）。

尚且，於本實施形態中，使用根據第八實施形態的製造方法所製作的配線電路基板 22，製作附電磁屏蔽的配線電路基板，不過本發明並不限於此。使用塗佈或印刷導電膏並烘乾的方法亦可形成電磁屏蔽層。此外，亦可利用根據第八實施形態的製造方法所製作的配線電路基板 22a 等，製作附電磁屏蔽的配線電路基板。

〔第十五實施形態〕

其次，就本發明的第十五實施形態而言，針對使用根據第八至第十一實施形態的製造方法所製作的配線電路基板之別的配線電路基板的製造工程，邊參照第 24A 圖至第 24F 圖邊說明。第 24A 圖至第 24F 圖係依工程順序表示第十五實施形態的配線電路基板的製造方法的基板剖面圖。

(63)

如第 24A 圖所示，準備配線電路基板 22。而且，如第 24B 圖所示，在露出凸塊（Bump）6 頂面的面，使用噴墨法、網板印刷法或點膠法等方法，部分性地形成由金、銀或銅等金屬構成的導電膏 34。導電膏 34 的一部分會與凸塊（Bump）6 的頂面接合。

其次，藉由在配線層形成用金屬層 20c 上塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩（圖未表示）。例如，將正型光阻劑塗佈在配線層形成用金屬層 20c 上，使用具有特定圖案的曝光遮罩，依照其圖案曝光光阻劑。然後藉由進行顯影處理，除去曝光的光阻劑，形成光阻遮罩（圖未表示）。而且，如第 24C 圖所示，以其光阻遮罩作為遮罩，蝕刻配線層形成用金屬層 20c，形成配線層 10。該配線層 10 係介設著蝕刻遮蔽層 20b，與凸塊（Bump）6 連接。

其次，如圖 24D 圖所示，在互相鄰接的導電膏 34 之間，使用噴墨法、網板印刷法或點膠法等方法，形成電阻膏 35。而且，如第 24E 圖所示，在與凸塊（Bump）6 頂面接合的導電膏 34 上，使用噴墨法、網板印刷法或點膠法等方法，形成介質膏（dielectric paste）36。其次，如第 24F 圖所示，在介質膏（dielectric paste）36 上，形成導電膏 34。像這樣，藉由使用導電膏 34，隔著介質膏（dielectric paste）36，形成電容元件。

如以上，在配線電路基板的其中一邊的面，形成電阻膏或電容元件，而形成聚合物型厚膜電路，同時在另一邊

(64)

的面，形成由銅構成的配線膜，而形成電路。而且，因凸塊（Bump）6 的高度近似絕緣膜 4 的厚度，故不需要將凸塊（Bump）6 的高度提高到必要以上。此外，藉由利用凸塊（Bump）間的距離為最小限的配線電路基板，就能形成高密度地形成有微弱電流的信號電路和電源等需要高電流的電路的配線電路基板。

尚且，於本實施形態中，形成導電膏 34 之後，形成配線層 10，不過本發明並不限於此。亦可在形成導電膏 34 之前，形成配線層 10，此外亦可在形成電容元件之後，施行蝕刻形成配線層 10。

此外，於本實施形態中，使用噴墨法、網板印刷法或點膠法，形成導電膏、電阻膏及介質膏（dielectric paste），製作電容元件，不過本發明並不限於此。例如，亦可使用濺鍍法、CVD 法或蒸鍍法，將導電材料、電阻材料及介電材料，成膜在配線電路基板之其中一邊的面，使用蝕刻施行圖案化，形成導電膜、電阻膜及介電膜。由於使用濺鍍法等時，可形成薄膜，故可在聚合物薄膜上，製作薄膜電路。

尚且，導電材料可使用 Cu、Au、Ag、Al、Ni、Ti、Cr、NiCr、Nb 或 V 等金屬，電阻材料可使用 NiCr、Ta₂N、RuO₂ 或 SnO 等，介電材料可使用 SrTiO₃、BaTiO₃ 或 TiO 等。

此外，於本實施形態中，在配線電路基板的單面，形成厚膜或薄膜電路，不過亦可在兩面，形成厚膜或薄膜電

(65)

路。針對該方法，邊參照第 25A 圖至第 25E 圖邊說明。第 25A 圖至第 25E 圖係依工程順序表示配線電路基板的製造方法的基板剖面圖。

如第 25A 圖所示，準備一在絕緣膜 4 的內部，貫通凸塊（Bump）6 所設置的配線電路基板。該配線電路基板係藉由使用整面性地蝕刻除去設置在配線電路基板 22 的配線層形成用金屬層 20c 所製作。其次，如第 25B 圖所示，在該配線電路基板的上下兩面，使用噴墨法、網板印刷法或點膠法等方法，部分性地形成由金、銀或銅等構成的導電膏 34。

其次，如第 25C 圖所示，在互相鄰接的導電膏 34 間，使用噴墨法等方法，形成電阻膏 35。而且，如第 25D 圖所示，在與凸塊（Bump）6 的頂面接合的導電膏 34 上，使用噴墨法等方法，形成介質膏（dielectric paste）36。其次，如第 25E 圖所示，在介質膏（dielectric paste）36 上形成導電膏 34。像這樣，藉由使用導電膏 34 隔著介質膏（dielectric paste）36，形成電容元件。

如以上，在配線電路基板的兩邊的面，形成電阻膏或電容元件，而形成厚膜電路。而且，因凸塊（Bump）6 的高度近似絕緣膜 4 的厚度，故不必將凸塊（Bump）6 的高度提高到必要以上。此外，藉由利用凸塊（Bump）間的距離為短的配線電路基板，可形成高密度地形成信號電路的配線電路基板。此外，可使用濺鍍法取代噴墨法等，成膜導電材料等。使用濺鍍法時，由於可形成薄膜，故可製

(66)

作更微細的薄膜電路。

尚且，於本實施形態中，利用根據第八實施形態的製造方法所製作的配線電路基板 22，製作配線電路基板，不過本發明並不限於此。亦可利用根據第八實施形態的製造方法所製作的配線電路基板 22a 等，製作配線電路基板。

〔第十六實施形態〕

其次，就本發明的第十六實施形態而言，針對使用根據第八至第十一實施形態的製造方法所製作的配線電路基板的多層配線電路基板的製造工程，邊參照第 26A 圖至第 26C 圖邊說明。第 26A 圖至第 26C 圖係依工程順序表示第十六實施形態的多層配線基板的製造方法的基板剖面圖。

如第 26A 圖所示，準備配線電路基板 2 和配線電路基板 22。配線電路基板 2 是屬於使用有關第一實施形態的製造方法所製作的基板。配線電路基板 22 是屬於使用有關第八實施形態的製造方法所製作的基板。

其次，如第 26B 圖所示，以配線電路基板 22 的凸塊 (Bump) 6 的頂面，與配線電路基板 2 的配線層 10 接合的方式，壓固配線電路基板 2 和配線電路基板 22，製作多層配線基板。像這樣，藉由連接凸塊 (Bump) 6 和配線層 10，凸塊 (Bump) 6 可作為層間連接手段的功能。

而且，如第 26C 圖所示，藉由部分性地蝕刻多層配線

(67)

基板的配線層形成用金屬層 20c，形成配線層 10。該配線層 10 是介設著蝕刻遮蔽層 20b，與凸塊 (Bump) 6 連接。

如以上，藉由積層凸塊 (Bump) 間的距離為最小限的配線電路基板，可製作高積體化的多層配線基板。此外，於本實施形態的多層配線基板，由於凸塊 (Bump) 6 的頂面是從絕緣膜 4 露出，故可在該頂面，比銲接等更強固的直接搭載零件 (元件)。更由於未圖案上搭載零品 (元件)，故圖案不會剝離，零件 (元件) 不會被取下。此外，由於凸塊 (Bump) 6 是使用絕緣膜 4 包圍，故絕緣膜 4 可達到與形成強固的阻焊劑 (Solder Resist) 相同的效果。

尚且，於本實施形態中，利用根據第八實施形態的製造方法所製作的配線電路基板 22，製作多層配線基板，不過本發明並不限於此。亦可利用根據第八實施形態的製造方法所製作的配線電路基板 22a 等，製作多層配線基板。

〔第十七實施形態〕

其次，就本發明的第十七實施形態而言，針對使用根據第八至第十一實施形態的製造方法所製作的配線電路基板的多層配線基板的製造工程，邊參照第 27A 圖至第 27B 圖邊說明。第 27A 圖至第 27B 圖係依工程順序表示第十七實施形態的多層配線基板的製造方法基板剖面圖。

(68)

如第 27A 圖所示，準備兩個配線電路基板 2、和在絕緣膜 4 的內部貫通凸塊（Bump）6 而設置的別的配線電路基板。配線電路基板 2 是屬於使用有關第一實施形態的配線電路基板的製造方法所製作的基板。此外，藉由部分性地蝕刻使用第八實施形態的製造方法所製作的配線電路基板 22 的配線層形成用金屬層 20c，形成配線層 10 所製作。此外，別的配線電路基板是屬於使用蝕刻完全除去配線電路基板 22 的配線層形成用金屬層 20c 所製作的基板。

其次，如第 27B 圖所示，以在其中一邊的配線電路基板 2 的配線層 10，接合另一邊的配線電路基板 2 的凸塊（Bump）6 的頂面的方式，將配線電路基板 2 彼此壓固。更以配線電路基板 2 的配線層 10 和別的配線電路基板的凸塊（Bump）6 的底面接合的方式，將配線電路基板 2 和別的配線電路基板壓固。像這樣，藉由連接凸塊（Bump）和配線層，使凸塊（Bump）作為層間連接手段的功能。

如以上，藉由積層凸塊（Bump）間的距離為最小限的配線電路基板，製作高積體化的多層配線基板。此外，於本實施形態的多層配線基板，由於凸塊（Bump）6 的頂面是從絕緣膜 4 露出，故可在其頂面，直接搭載零件（元件）。更由於未介著電鍍，搭載零件（元件），故電鍍不會剝離，零件（元件）就不會掉落。此外，由於凸塊（Bump）6 使用絕緣膜 4 包圍，故可達成與形成阻焊劑（Solder Resist）相同的效果。

(69)

尚且，於本實施形態中，利用根據第八實施形態的製造方法所製作的配線電路基板 22，製作多層配線基板，不過本發明並不限於此。亦可利用根據第八實施形態的製造方法所製作的配線電路基板 22a 等，製作配線電路基板。

〔第十八實施形態〕

其次，就本發明的第十八實施形態而言，針對使用根據第八至第十一實施形態的製造方法所製作的配線電路基板的別的配線電路基板的製造工程，邊參照第 28A 圖至第 28D 圖及第 29A 圖至第 29E 圖邊說明。第 28A 圖至第 28D 圖及第 29A 圖至第 29E 圖係依工程順序表示第十八實施形態的配線電路基板的製造工程的基板剖面圖。

如第 28A 圖所示，準備配線電路基板 22。配線電路基板 22 是屬於使用第八實施形態的製造方法所製作的基板。其次，如第 28B 圖所示，針對凸塊（Bump）6 的頂面是從絕緣膜 4 露出的面，使用無電解電鍍法，形成由銅構成的薄膜 20d。

其次，如第 28C 圖所示，使用電解電鍍法，在薄膜 20d 上形成由銅構成的金屬膜 20e。而且，藉由在金屬膜 20 上塗佈著光阻劑，施行曝光及顯影，形成光阻遮罩（圖未表示）。例如塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照其圖案曝光光阻劑。於本實施形態中，係曝光各凸塊（Bump）6 之間的光阻劑。然藉由施行後顯影

(70)

處理，除去曝光的光阻劑，僅在各凸塊（Bump）6 的頂面上，形成光阻遮罩（圖未表示）。

其次，如第 28D 圖所示，藉由以該光阻遮罩作為遮罩，蝕刻薄膜 20d 及金屬膜 20e，形成具有特定圖案的配線層 11a，製作配線電路基板。

於本實施形態中，使用無電解電鍍法形成薄膜，更使用電解電鍍法形成配線層 11a，藉此製作配線電路基板。可是，亦可使用其它方法，製作該配線電路基板。邊參照第 29A 圖至第 29E 圖邊針對該方法做說明。

如第 29A 圖所示，準備配線電路基板 22。其次，如第 29B 圖所示，針對凸塊（Bump）6 的頂面從絕緣膜 4 露出的面，使用無電解電鍍法，形成由銅構成的薄膜 20d。

其次，如第 29C 圖所示，藉由在薄膜 20d 上塗佈著光阻劑，施行曝光及顯影，在各凸塊（Bump）6 間形成光阻遮罩 9。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照該圖案曝光光阻劑。於本實施形態中，曝光塗佈在各凸塊（Bump）6 的頂面上的光阻劑。然後，藉由施行顯影處理，除去曝光的光阻劑，在各凸塊（Bump）6 之間形成光阻遮罩 9。像這樣，藉由形成光阻遮罩 9，不在各凸塊（Bump）6 上形成光阻遮罩 9。

其次，如第 29D 圖所示，使用電鍍法，在薄膜 20d 上析出由銅構成的金屬膜 20e。此時，只有除去光阻劑的部分會析出銅，不會在形成有光阻遮罩 9 的部分析出銅。

(71)

然後，除去光阻遮罩 9，同時藉由整面性地蝕刻，除去形成在金屬膜 20e 之間的薄膜 20d，形成配線層 11a。使用該蝕刻，配線層 11a 的表面也會稍微被削去，不過由於配線層 11a 的膜厚比薄膜 20d 的膜厚還厚，故即使完全除去薄膜 20d，配線層 11a 也不會被除去。

尚且，於本實施形態中，使用無電解電鍍法形成薄膜 20d，不過亦可使用濺鍍法取代電鍍法，形成薄膜 20d。此外，利用根據第八實施形態的製造方法所製作的配線電路基板 22，製作別的配線電路基板，不過本發明並不限於此。亦可利用根據第八實施形態的製造方法所製作的配線電路基板 2a 等，製作別的配線電路基板。

〔第十九實施形態〕

其次，就本發明的第十九實施形態而言，針對使用根據第八至第十一實施形態的製造方法所製作的配線電路基板的多層配線基板的製造工程，邊參照第 30A 圖至第 30E 圖及第 31A 圖至第 31F 圖邊說明。第 30A 圖至第 30E 圖及第 31A 圖至第 31F 圖係依工程順序表示第十九實施形態的多層配線基板的製造工程的基板剖面圖。

如第 30A 圖所示，準備配線電路基板 2。其次，在形成有配線層 10 的面積層絕緣膜 4d，如第 30B 圖所示，在絕緣膜 4d 開孔，形成通孔 15。該通孔 15 可藉由在例如絕緣膜 4d 的一部分，照射雷射光來形成。此外，除利用雷射的孔開外，亦可使用蝕刻絕緣膜 4d 的一部分來開孔

(72)

其次，如第 30C 圖所示，使用無電解電鍍法，將由銅構成的薄膜 20d，形成在絕緣膜 4d 上。薄膜 20d 也形成在通孔 15 內，與配線層 10 接觸。其次，如第 30D 圖所示，使用電解電鍍法，在薄膜 20d 上形成金屬膜 20e。

而且，在金屬膜 20e 上塗佈著光阻劑，藉由施行曝光及顯影，在通孔 15 的內壁及通孔 15 的周邊形成光阻遮罩（圖未表示）。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照該圖案曝光光阻劑。於本實施形態中，曝光塗佈在通孔 15 以外的部分的光阻劑。然後藉由施行顯影處理，除去曝光的光阻劑，在通孔 15 的內壁及通孔 15 的周邊形成光阻遮罩。

其次，如第 30E 圖所示，藉由以該光阻遮罩作為遮罩，蝕刻薄膜 20d 及金屬膜 20e，形成具有特定圖案的配線層 10a。

於本實施形態中，藉由使用無電解電鍍法形成薄膜 20d，更使用電解電鍍法形成配線膜 10a，製作多層配線基板。可是亦可使用其它方法製作該多層配線基板。邊參照第 31A 圖至第 31F 圖邊針對該方法做說明。

如第 31A 圖所示，準備配線電路基板 2。其次，將絕緣膜 4d 積層在形成有配線膜 10 的面，如第 31B 圖所示，在絕緣膜 4d 開孔，形成通孔 15。其次，如第 31C 圖所示，使用無電解電鍍法，將由銅構成的薄膜 20d，形成在絕緣膜 4d 上。薄膜 20d 也形成在通孔 15 的內部，與配線層

(73)

10 接觸。

其次，如第 31D 圖所示，在薄膜 20d 上塗佈著光阻劑，藉由施行曝光及顯影，在通孔 15 以外的部分形成光阻遮罩 9。例如，塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照該圖案曝光光阻劑。於本實施形態中，曝光塗佈在通孔 15 的內部及其周邊的光阻劑。然後藉由施行顯影處理，除去塗佈在通孔 15 的內部及其周邊的光阻劑。

其次，如第 31E 圖所示，使用電鍍法，在薄膜 20d 上析出由銅構成的金屬膜 20e。此時，只有除去光阻劑的部分會析出銅，不會在形成有光阻遮罩 9 的部分析出銅。然後，除去光阻遮罩 9，同時使用蝕刻，除去形成在通孔 15 以外的部分的薄膜 20d，如第 31F 圖所示，形成配線層 10a。使用該蝕刻，配線層 10a 也會稍微被蝕削，不過由於配線層 10a 的膜厚比薄膜 20d 的膜厚還厚，故即使完全除去薄膜 20d，配線層 10a 也不會被除去。

尚且，於本實施形態中，使用無電解電鍍法形成薄膜 20d，亦可使用濺鍍取代電鍍法形成薄膜 20d。此外，利用根據第八實施形態的製造方法所製作的配線電路基板 22，製作多層配線基板，不過本發明並不限於此。亦可利用根據第八實施形態的製造方法所製作的配線電路基板 22a 等。

〔第二十實施形態〕

(74)

其次，就本發明的第二十實施形態而言，針對使用根據第八至第十一實施形態的製造方法所製作的配線電路基板的別的配線電路基板的製造工程，邊參照第 32A 圖至第 32E 圖及第 33A 圖至第 33F 圖邊說明。第 32A 圖至第 32E 圖及第 33A 圖至第 33F 圖係依工程順序表示第二十實施形態的配線電路基板的製造工程的基板剖面圖。

如第 32A 圖所示，準備配線電路基板 22。配線電路基板 22 是屬於使用第八實施形態的製造方法所製作的基板。其次，如第 32B 圖所示，在絕緣膜 4 開孔，形成通孔 15。該通孔 15 是例如可藉由在絕緣膜 4 的一部分照射雷射光所形成。此外，除使用雷射開孔以外，亦可使用蝕刻絕緣膜 4 的一部分來開孔。

其次，如第 32C 圖所示，使用無電解電鍍法，將由銅構成的薄膜 20d，形成在絕緣膜 4 上。薄膜 20d 也形成在通孔 15 內，與配線膜 4 接觸。其次，如 Ffig.32D 所示，使用電解電鍍法，在薄膜 20d 上，形成由銅構成的金屬膜 20e。

其次，在金屬膜 20e 上塗佈著光阻劑，藉由施行曝光及顯影，在通孔 15 的內壁及凸塊 (Bump) 6 上形成光阻遮罩 (圖未表示)。例如塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照該圖案曝光光阻劑。於本實施形態中，曝光塗佈在通孔 15 及凸塊 (Bump) 6 上以外的部分的光阻劑。然後藉由施行顯影處理，除去曝光的光阻劑，在通孔 15 的內壁及凸塊 (Bump) 6 上形成光阻遮罩 (圖

(75)

未表示)。而且，如第 32E 圖所示，藉由以該光阻遮罩作為遮罩，蝕刻薄膜 20d 及金屬膜 20e，形成具有特定圖案的配線層 11a。

於本實施形態中，藉由使用無電解電鍍法，形成薄膜 20d，更使用電解電鍍法，形成配線層 11a，製作配線電路基板。可是，亦可使用其它方法製作該配線電路基板。邊參照第 33A 圖至第 33F 圖邊針對該方法做說明。

如第 33A 圖所示，準備配線電路基板 22。其次，如第 33B 圖所示，在絕緣膜 4 開孔，形成通孔 15。其次，如第 33C 圖所示，使用無電解電鍍法，將由銅構成的薄膜 20d 形成在絕緣膜 4 上。薄膜 20d 也形成在通孔 15 的內部，與配線層形成用金屬層 20c 接觸。

其次，如第 33D 圖所示，在薄膜 20d 上塗佈著光阻劑，藉由施行曝光及顯影，在通孔 15 及凸塊 (Bump) 6 上以外的部分，形成光阻遮罩 9。例如塗佈正型光阻劑，使用具有特定圖案的曝光遮罩，依照該圖案曝光光阻劑。於本實施形態中，曝光塗佈在通孔 15 的內部及凸塊 (Bump) 6 上的光阻劑。然後藉由施行顯影處理，除去塗佈在通孔 15 的內部及凸塊 (Bump) 6 上的光阻劑。

其次，如第 33E 圖所示，使用電鍍法，在薄膜 20d 析出由銅構成的金屬膜 20e。此時，只會在除去光阻劑的部分析出銅，不會在形成有光阻遮罩 9 的部分析出銅。然後，除去光阻遮罩 9，同時藉由使用蝕刻，除去形成在通孔 15 及凸塊 (Bump) 6 上以外的部分的薄膜 20d，如第 33F

(76)

圖所示，形成配線層 11a。使用該蝕刻，配線層 11a 也會稍微被削去，不過由於配線層 11a 的膜厚比薄膜 20d 的膜厚還厚，故即使完全除去薄膜 20d，配線層 11a 也不會被除去。

尚且，於本實施形態中，使用無電解電鍍法，形成薄膜 20d，不過亦可使用濺鍍法取代電鍍法形成薄膜 20d。此外，利用根據第八實施形態的製造方法所製作的配線電路基板 22，製作別的配線電路基板，不過本發明並不限於此。亦可利用根據第八實施形態的製造方法所製作的配線電路基板 22a 等，製作別的配線電路基板。

〔產業上的可利用性〕

本發明可適用於例如 IC、LSI 等電子裝置安裝用的配線電路基板，特別是可高密度安裝的配線電路基板、及其製造方法、及具備該配線電路基板的電路模組。就電路模組的具體例子而言，舉例有液晶裝置，不過本發明並不限於此，也可利用在其它模組。

【圖式簡單說明】

第 1 圖係有關第一實施形態的配線電路基板的剖面圖。

第 2A 圖至第 2H 圖係依工程順序表示有關第一實施形態的配線電路基板的製造方法的基板剖面圖。

第 3A 圖至第 3B 圖係表示對配線電路基板的半導體

(77)

晶片的搭載例的基板剖面圖。

第 4 圖係有關第二實施形態的配線電路基板的面圖。

第 5A 圖至第 5C 圖係依工程順序表示有關第二實施形態的配線電路基板的製造方法的基板剖面圖。

第 6A 圖至第 6E 圖係依工程順序表示有關第三實施形態的配線電路基板的製造方法的基板剖面圖。

第 7 圖係有關第四實施形態的配線電路基板的剖面圖。

第 8A 圖至第 8D 圖係依工程順序表示有關第四實施形態的配線電路基板的製造方法的基板剖面圖。

第 9 圖係有關第四實施形態的配線電路基板的剖面圖。

第 10A 圖至第 10C 圖係有關第五實施形態的電路模組的剖面圖。

第 11 圖係有關第六實施形態的電路模組的剖面圖。

第 12 圖係有關第七實施形態的電路模組的剖面圖。

第 13A 圖至第 13I 圖係依工程順序表示有關習知技術的配線電路基板的製造方法的基板剖面圖。

第 14A 圖至第 14G 圖係依工程順序表示有關第八實施形態的配線電路基板的製造方法的基板剖面圖。

第 15A 圖至第 15E 圖係依工程順序表示有關第八實施形態的配線電路基板的製造方法的基板剖面圖。

第 16A 圖至第 16F 圖係依工程順序表示有關第九實施形態的配線電路基板的製造方法的基板剖面圖。

(78)

第 17A 圖至第 17F 圖係依工程順序表示有關第九實施形態的配線電路基板的製造方法的基板剖面圖。

第 18A 圖至第 18E 圖係依工程順序表示有關第十實施形態的配線電路基板的製造方法的基板剖面圖。

第 19A 圖至第 19E 圖係依工程順序表示有關第十實施形態的配線電路基板的製造方法的基板剖面圖。

第 20A 圖至第 20D 圖係依工程順序表示有關第十一實施形態的配線電路基板的製造方法的基板剖面圖。

第 21A 圖至第 21D 圖係依工程順序表示有關第十二實施形態的多層配線基板的製造方法的基板剖面圖。

第 22A 圖至第 22C 圖係依工程順序表示有關第十二實施形態的多層配線基板的製造方法的基板剖面圖。

第 23A 圖至第 23D 圖係依工程順序表示有關第十四實施形態的配線電路基板的製造方法的基板剖面圖。

第 24A 圖至第 24F 圖係依工程順序表示有關第十五實施形態的配線電路基板的製造方法的基板剖面圖。

第 25A 圖至第 25E 圖係依工程順序表示有關第十五實施形態的配線電路基板的製造方法的基板剖面圖。

第 26A 圖至第 26C 圖係依工程順序表示有關第十六實施形態的多層配線基板的製造方法的基板剖面圖。

第 27A 圖至第 27B 圖係依工程順序表示有關第十七實施形態的多層配線基板的製造方法的基板剖面圖。

第 28A 圖至第 28D 圖係依工程順序表示有關第十八實施形態的配線電路基板的製造方法的基板剖面圖。

(79)

第 29A 圖至第 29E 圖係依工程順序表示有關第十八實施形態的配線電路基板的製造方法的基板剖面圖。

第 30A 圖至第 30E 圖係依工程順序表示有關第十九實施形態的多層配線基板的製造方法的基板剖面圖。

第 31A 圖至第 31F 圖係依工程順序表示有關第十九實施形態的多層配線基板的製造方法的基板剖面圖。

第 32A 圖至第 32E 圖係依工程順序表示有關第二十實施形態的配線電路基板的製造方法的基板剖面圖。

第 33A 圖至第 33F 圖係依工程順序表示第二十實施形態的配線電路基板的製造方法的基板剖面圖。

〔 主要元件符號說明 〕

2、2'、2a、2b、2c、2d、2e、2f、2g、2h：配線電路
基板

4、4a、4b、4c、52：絕緣膜

5、7、9：光阻遮罩

6、56：凸塊

6a：凸塊的頂面

8、20b、58：蝕刻遮蔽層

10、10a、11、11a、16、54、60：配線層

12：錫球

12a：開口孔

12b：錫球基底膜

13：突起物

(80)

14：印刷電路基板

18：圍堰

20：多層金屬板

20a：凸塊（Bump）形成用金屬層

20c：配線層形成用金屬層

20d：薄膜

20e：金屬膜

20f：金屬

20g：覆蓋膜

21：附凸塊（Bump）的基板

22、22a、22b、22c、22d、23、23a、23b、23c、23d

：配線電路基板

24：半導體晶片

24a：電極

26：晶片接合接著層

28：銲接線

30：樹脂

31：銲接片

32：電磁屏蔽

33：光阻劑

34：導電膏

35：電阻膏

36：介質膏

40：凸塊非形成區域（可彎曲區域）

(81)

42：凸塊形成區域

50：可撓性配線電路基板

70：液晶裝置

72：玻璃配線基板

74：透明配線

80：液晶

伍、中文發明摘要

發明之名稱：配線電路基板，配線電路基板的製造方法，及電路模組

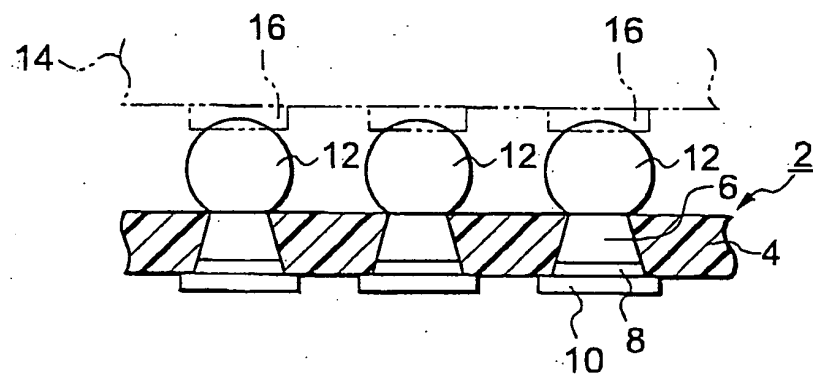
本發明目的在於減少連接配線電路基板和印刷電路基板的工程，達到配線電路基板的低價格化。

其解決手段為：配線電路基板 2 係由絕緣膜 4、凸塊 (Bump) 6、蝕刻遮蔽層 8 和配線層 10 所構成。凸塊 (Bump) 6 係由銅所構成，以貫通絕緣膜 4 的方式所形成。凸塊 (Bump) 6 的頂面係自絕緣膜 4 露出，以位於與絕緣膜 4 之表面同一平面上的方式所形成。蝕刻遮蔽層 8 係由 Ni (鎳) 所構成，形成在凸塊 (Bump) 6 的底面。凸塊 (Bump) 6 係介設著蝕刻遮蔽層 8，連接在配線層 10。錫球 (Solder ball) 12 係形成在凸塊 (Bump) 6 的頂面。印刷電路基板 14 係為硬性基板，連接在配線電路基板 2。配線層 16 和凸塊 (Bump) 6 是藉由介設著錫球 (Solder ball) 12 而連接，配線電路基板 2 則搭載在印刷電路基板 14。

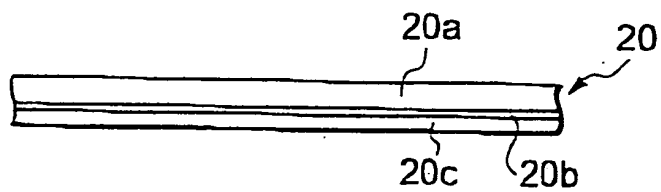
陸、英文發明摘要

發明之名稱：

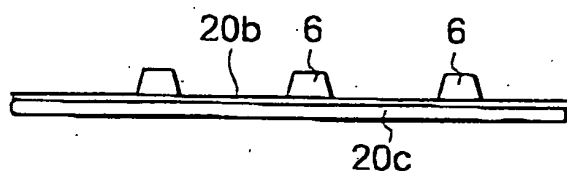
第1圖



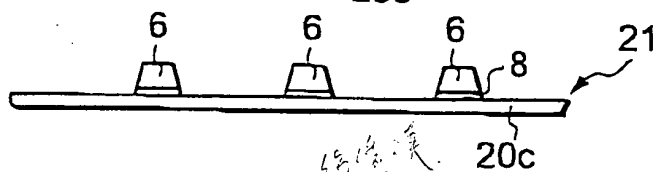
第2A圖



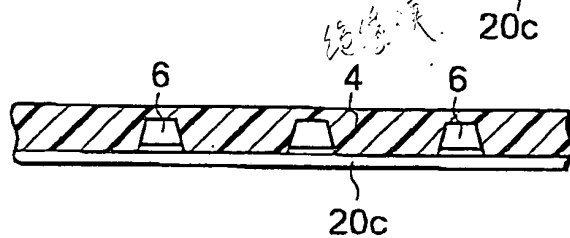
第2B圖



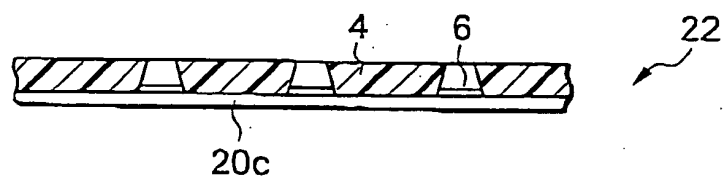
第2C圖



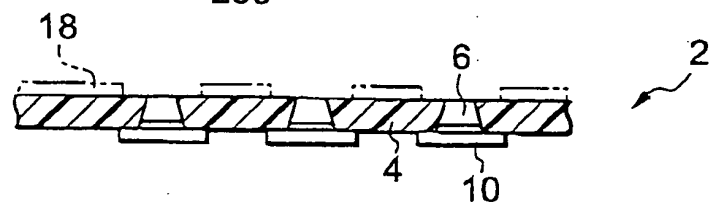
第2D圖



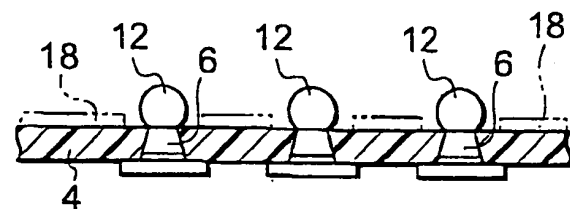
第2E圖



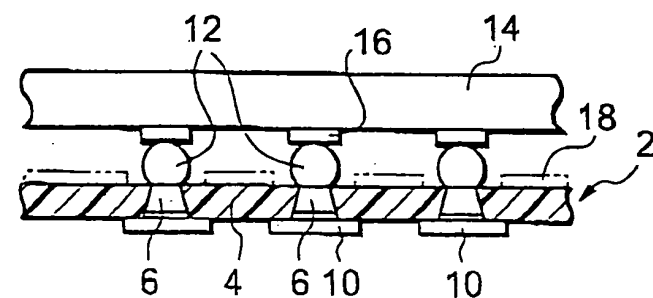
第2F圖



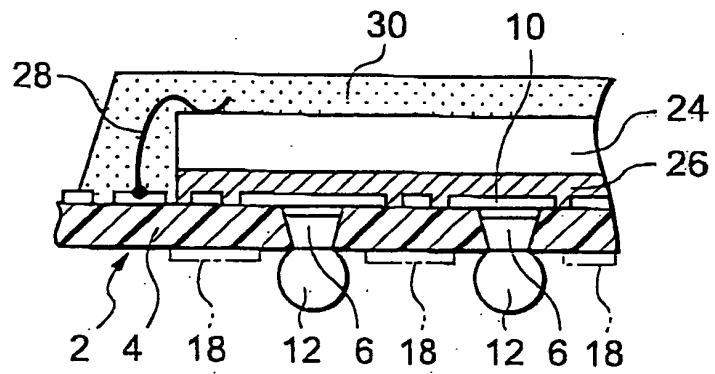
第2G圖



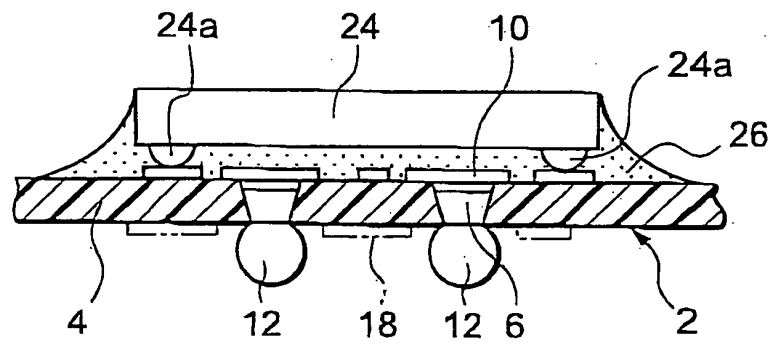
第2H圖



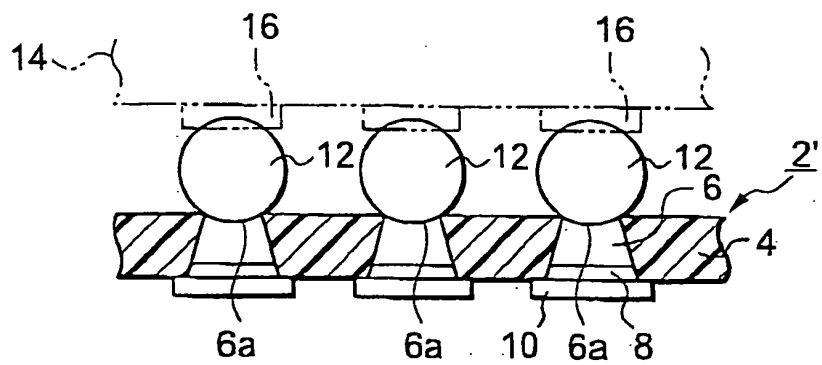
第3A圖



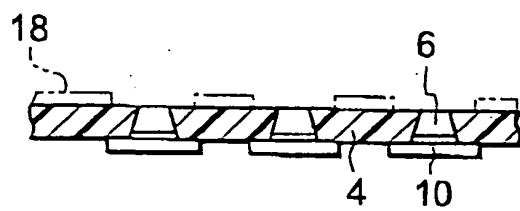
第3B圖



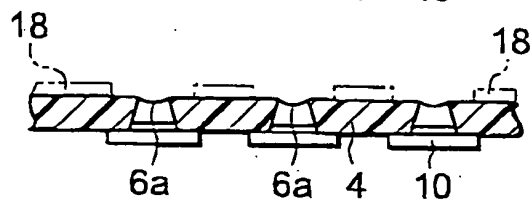
第4圖



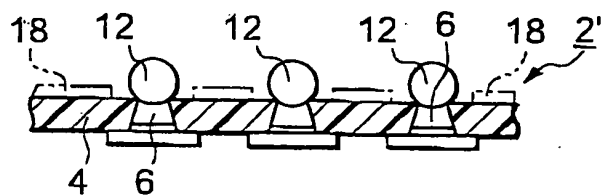
第5A圖



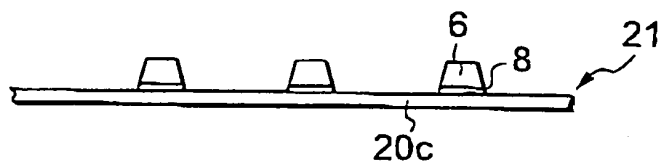
第5B圖



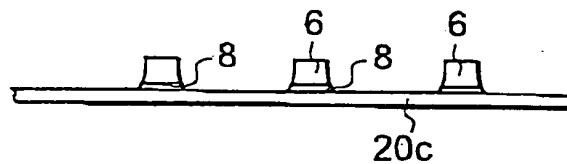
第5C圖



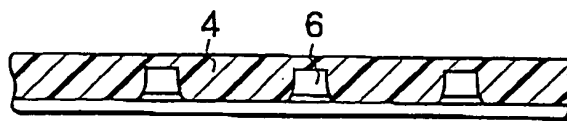
第6A圖



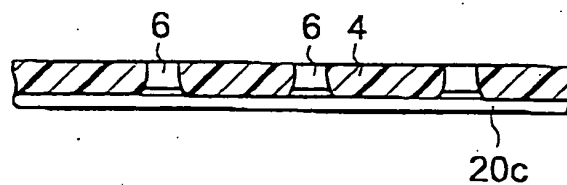
第6B圖



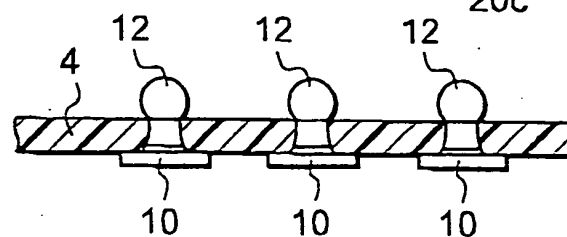
第6C圖



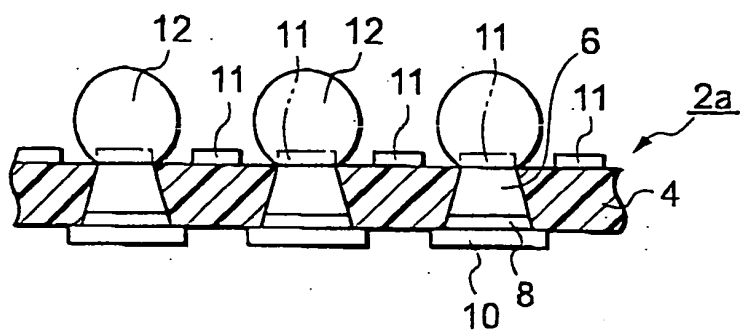
第6D圖



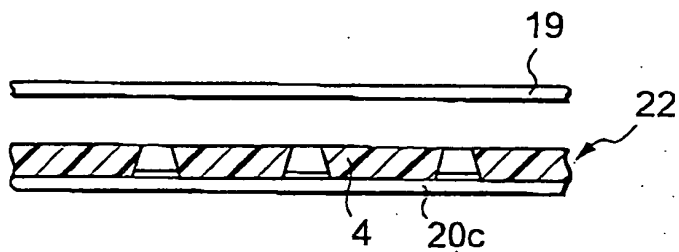
第6E圖



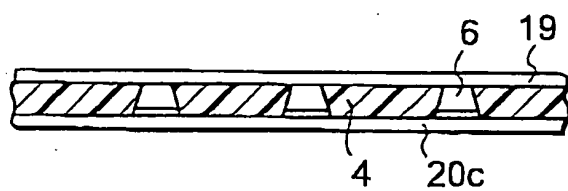
第7圖



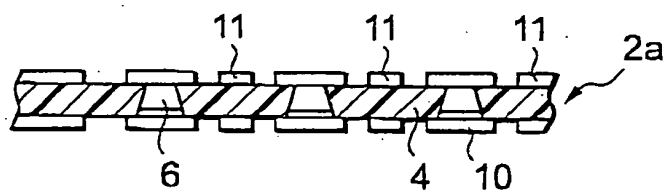
第8A圖



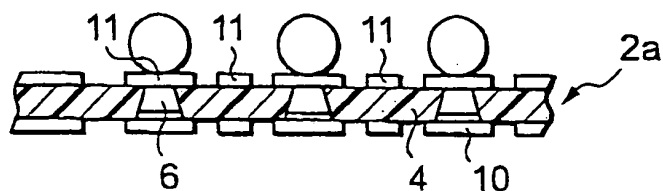
第8B圖



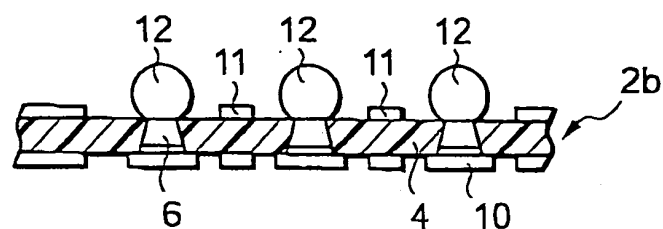
第8C圖



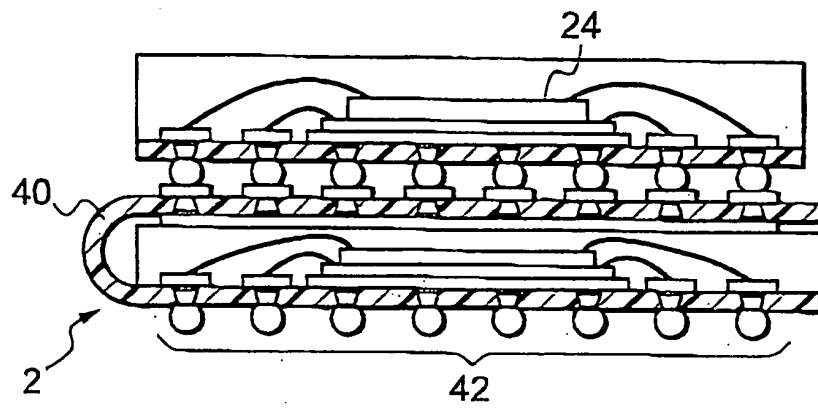
第8D圖



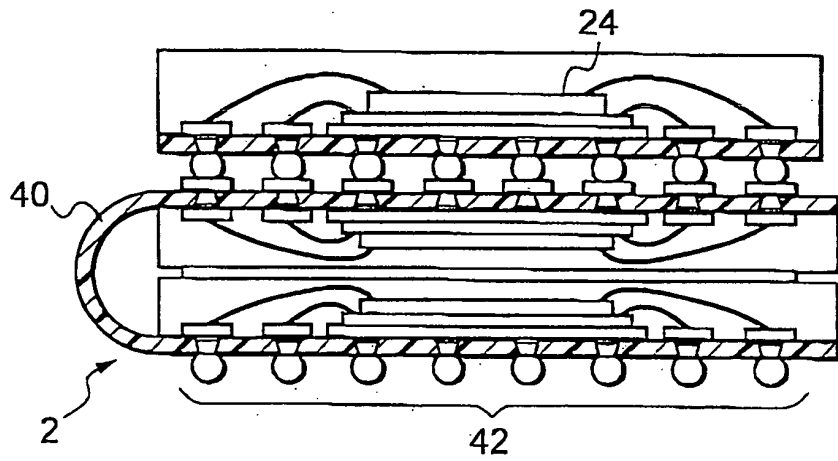
第9圖



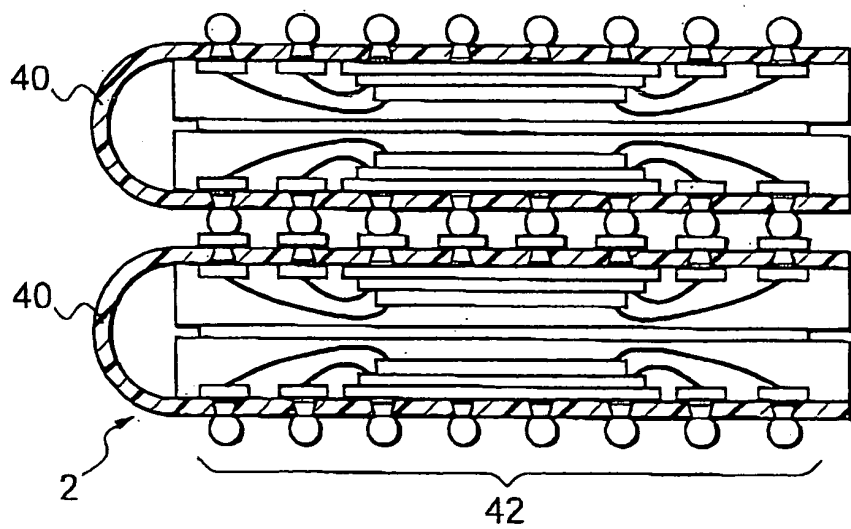
第10A圖



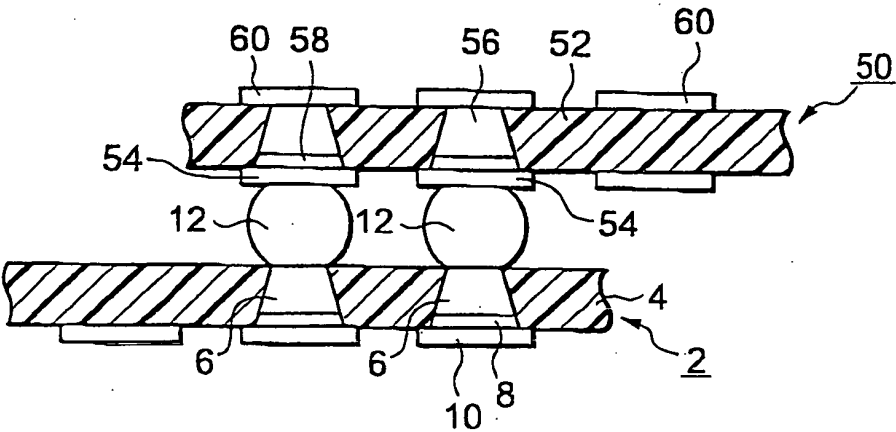
第10B圖



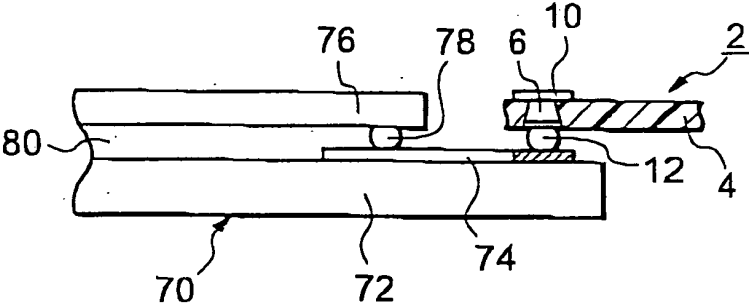
第10C圖



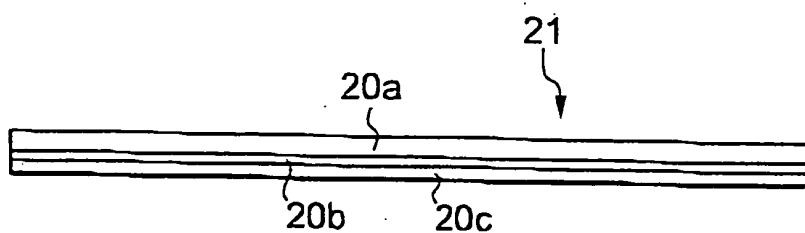
第11圖



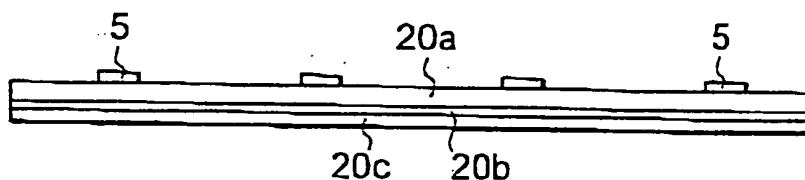
第12圖



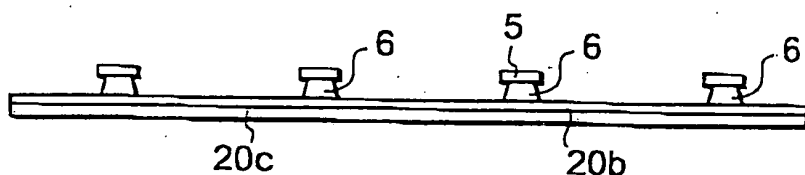
第13A圖



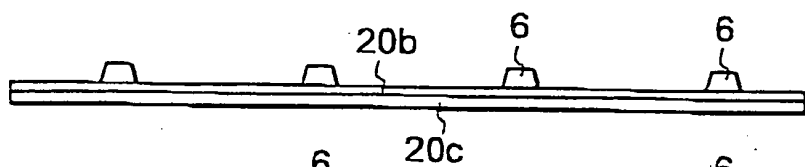
第13B圖



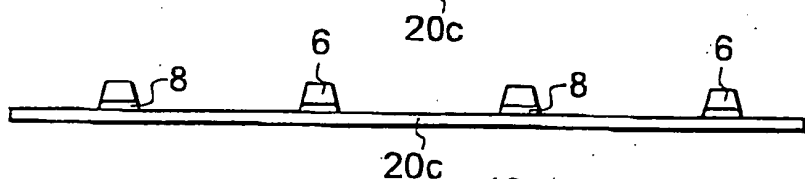
第13C圖



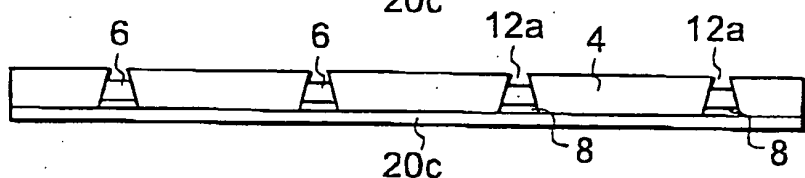
第13D圖



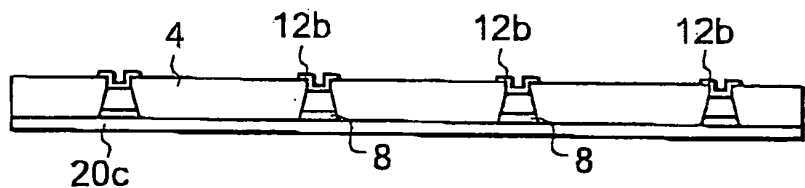
第13E圖



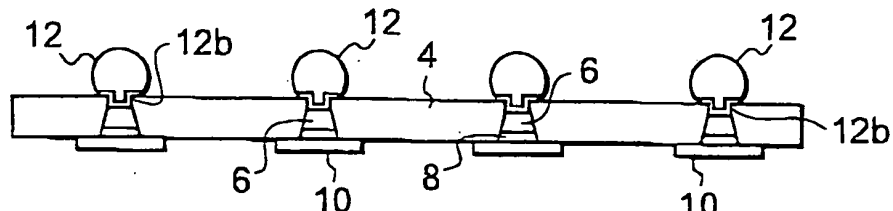
第13F圖



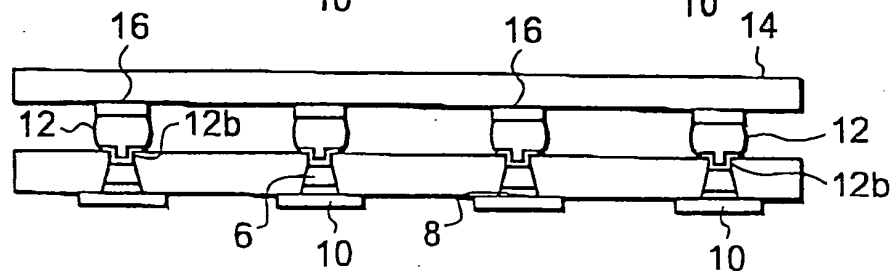
第13G圖



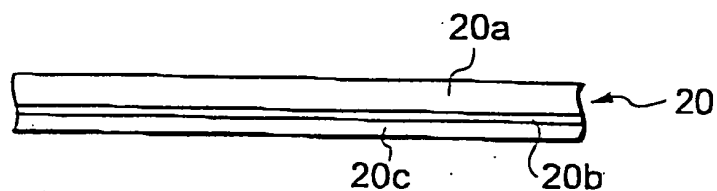
第13H圖



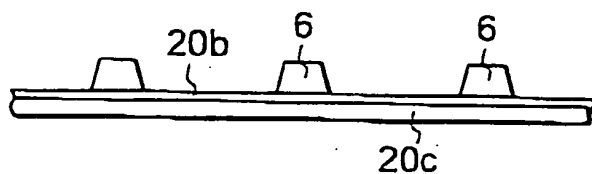
第13I圖



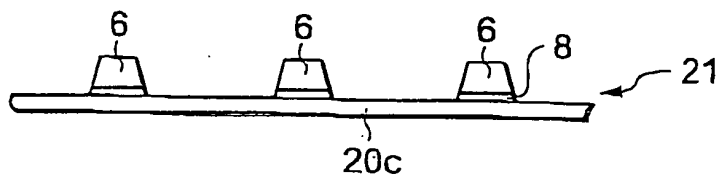
第14A圖



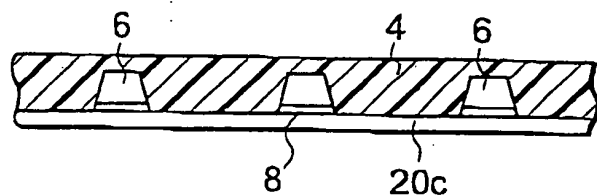
第14B圖



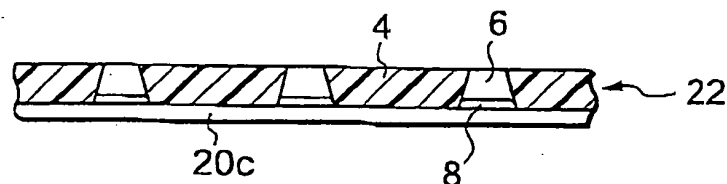
第14C圖



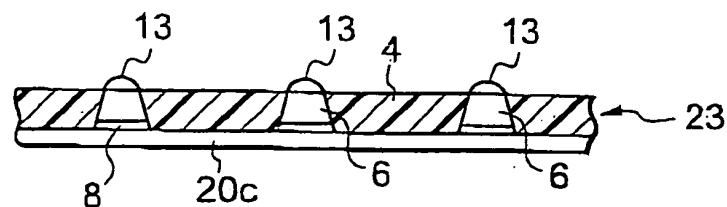
第14D圖



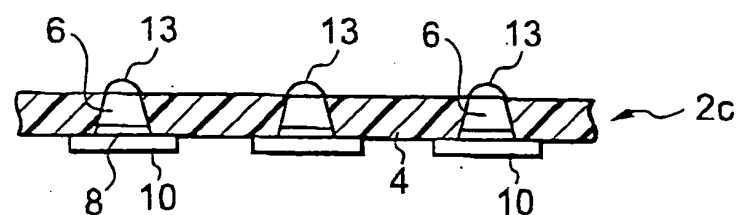
第14E圖



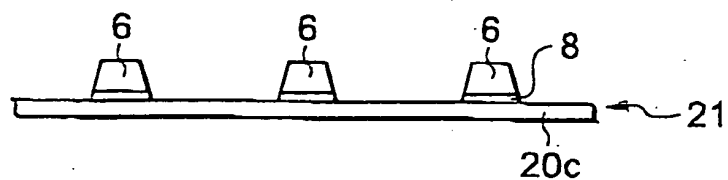
第14F圖



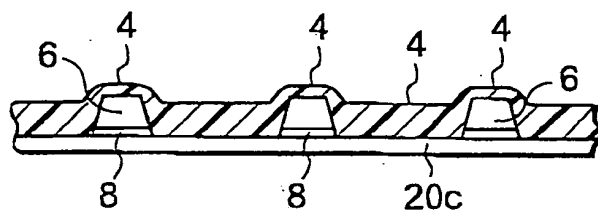
第14G圖



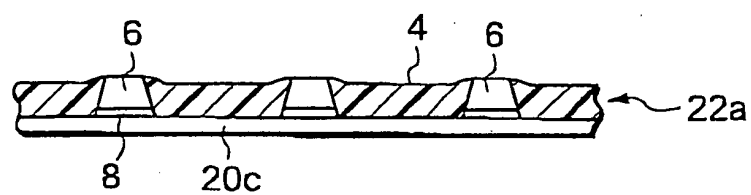
第15A圖



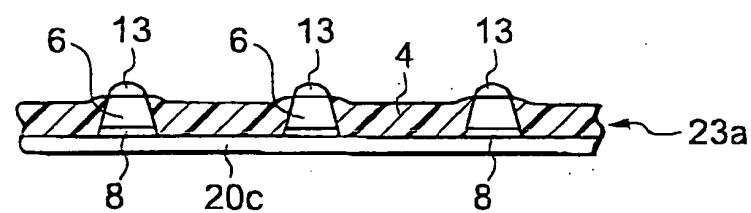
第15B圖



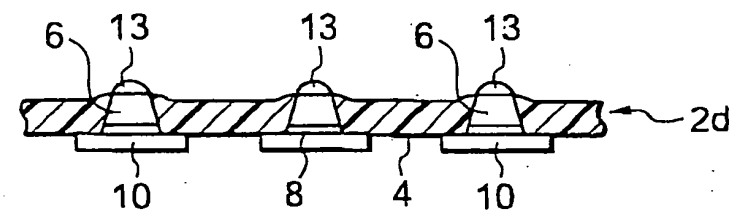
第15C圖



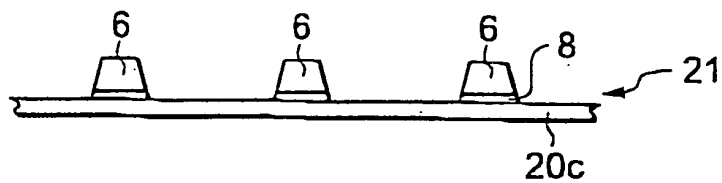
第15D圖



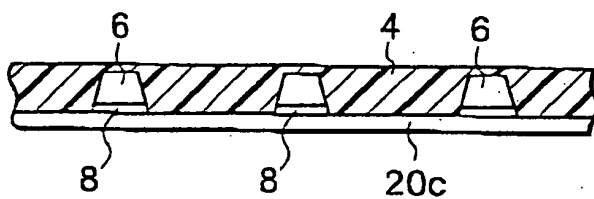
第15E圖



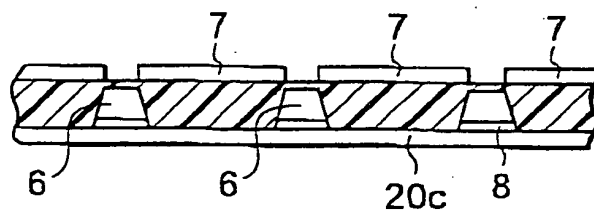
第16A圖



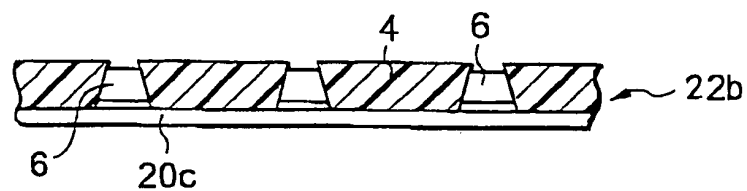
第16B圖



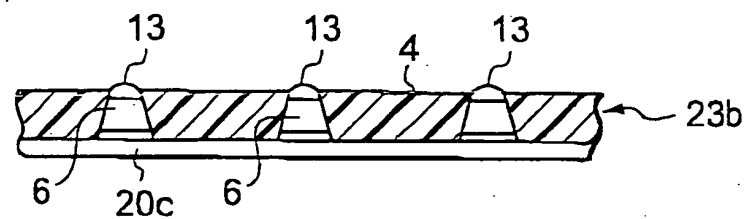
第16C圖



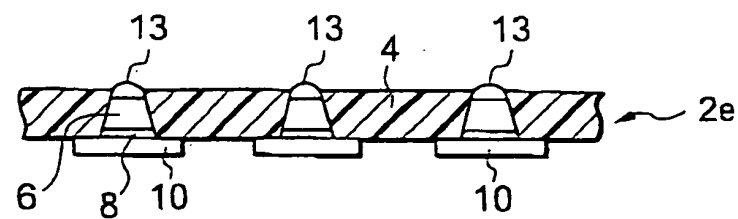
第16D圖



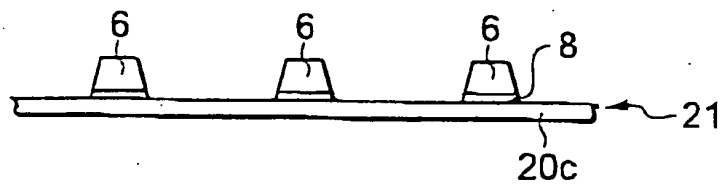
第16E圖



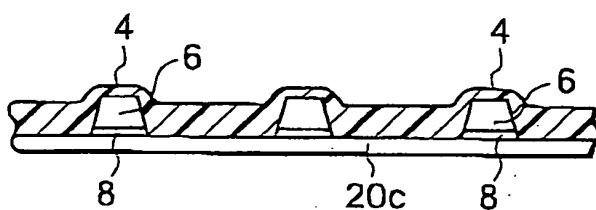
第16F圖



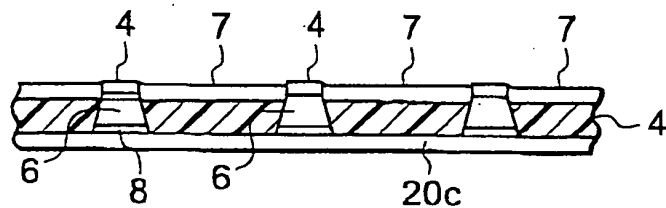
第17A圖



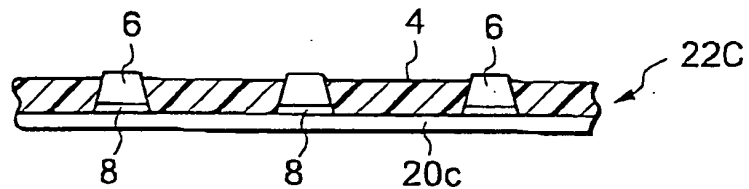
第17B圖



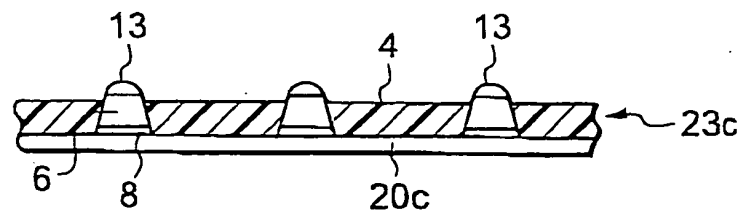
第17C圖



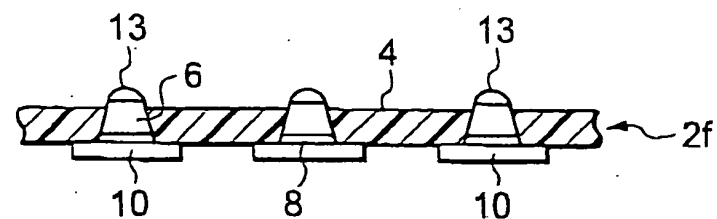
第17D圖



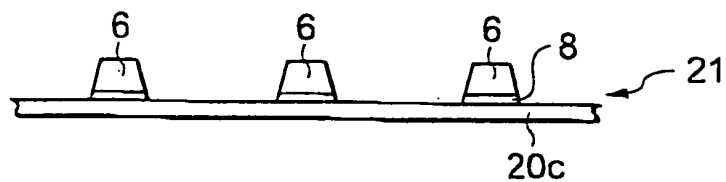
第17E圖



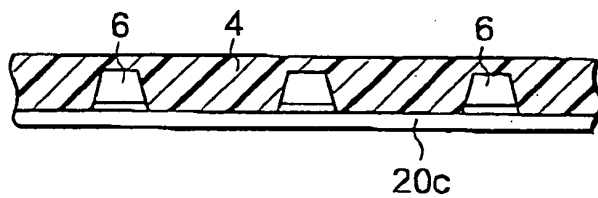
第17F圖



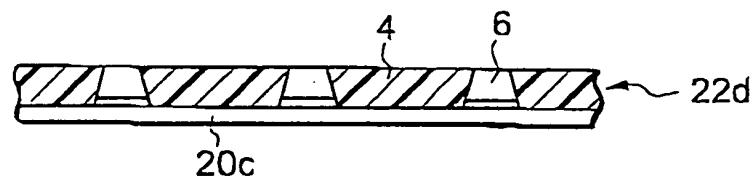
第18A圖



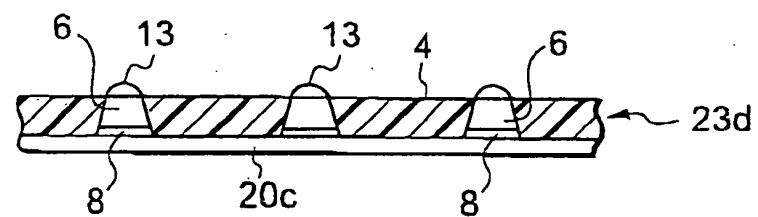
第18B圖



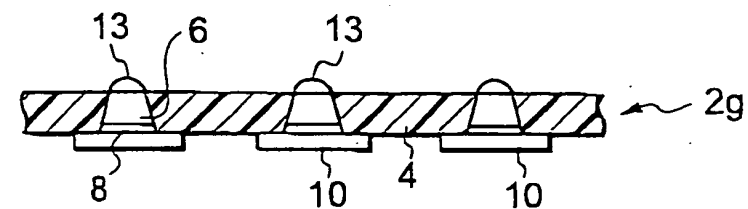
第18C圖



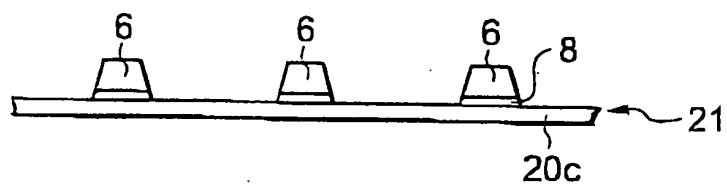
第18D圖



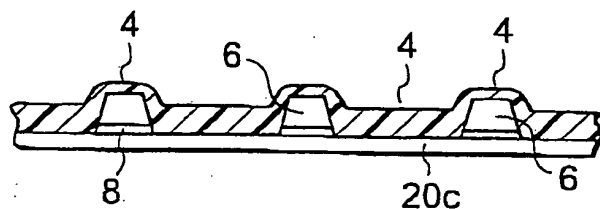
第18E圖



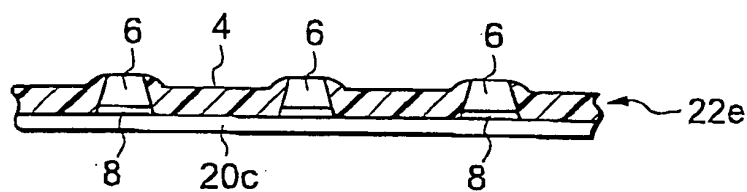
第19A圖



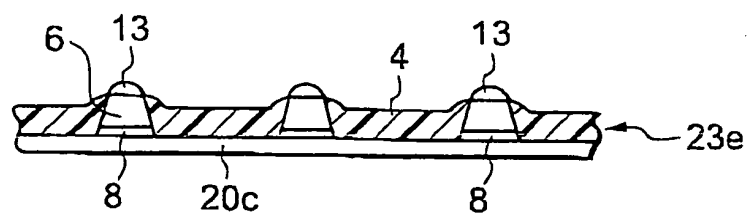
第19B圖



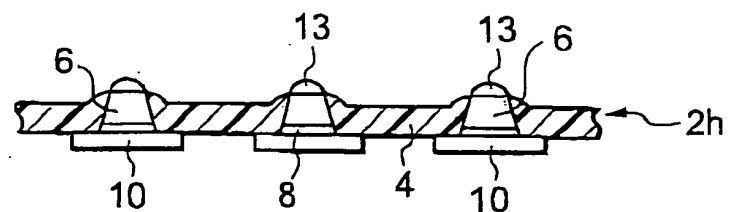
第19C圖



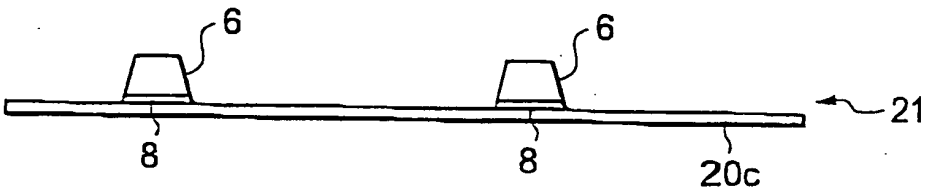
第19D圖



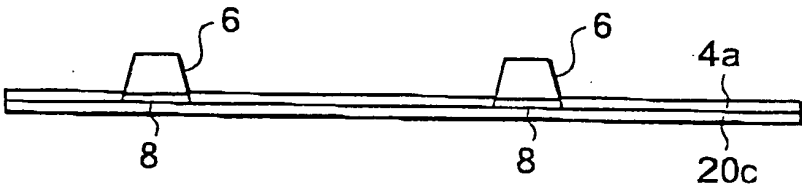
第19E圖



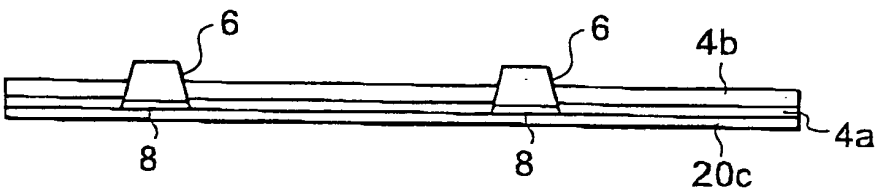
第20A圖



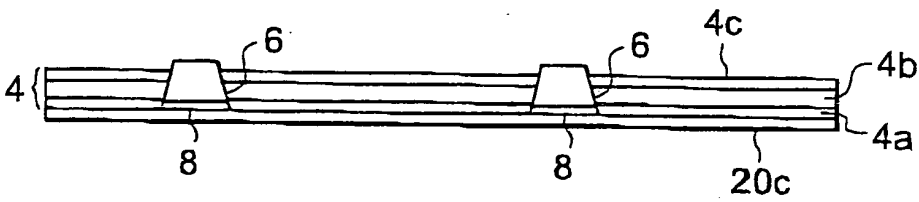
第20B圖



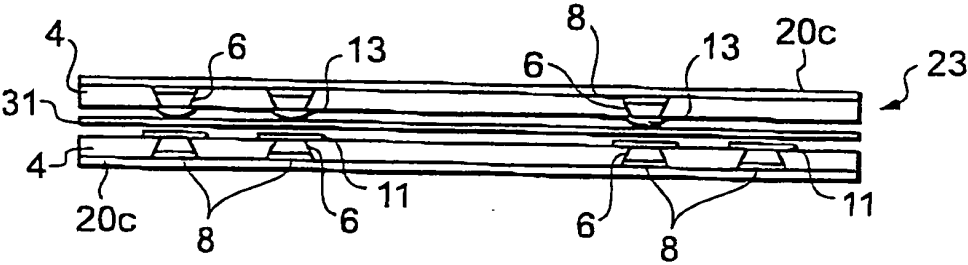
第20C圖



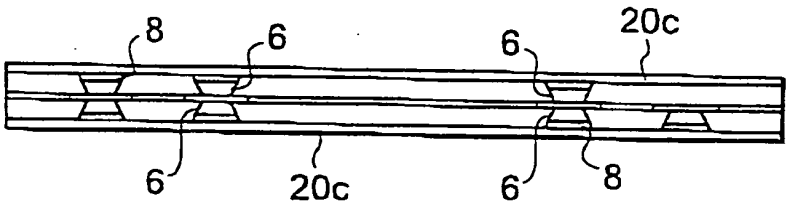
第20D圖



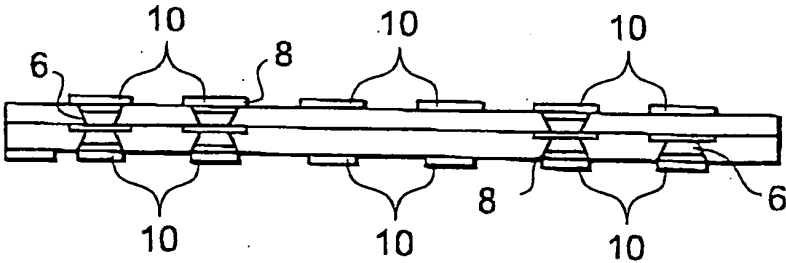
第21A圖



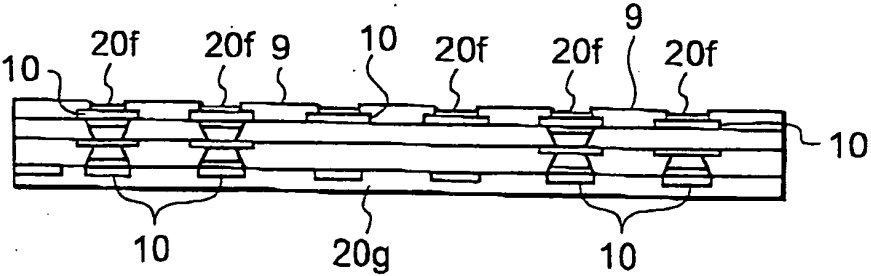
第21B圖



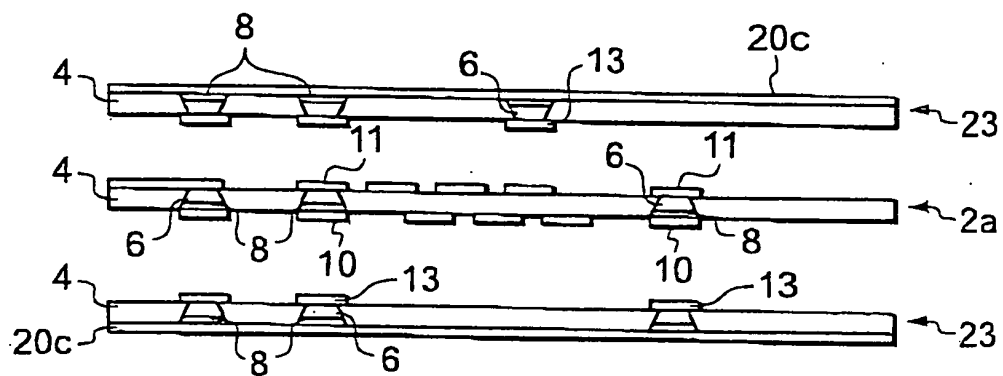
第21C圖



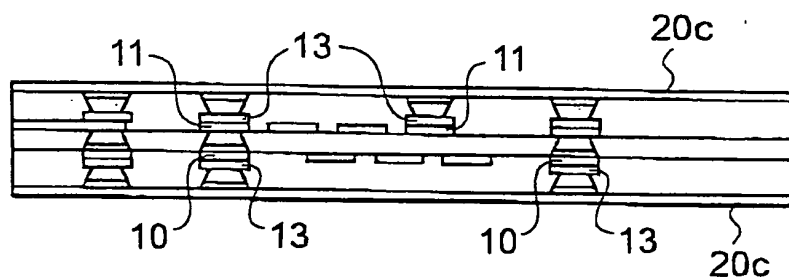
第21D圖



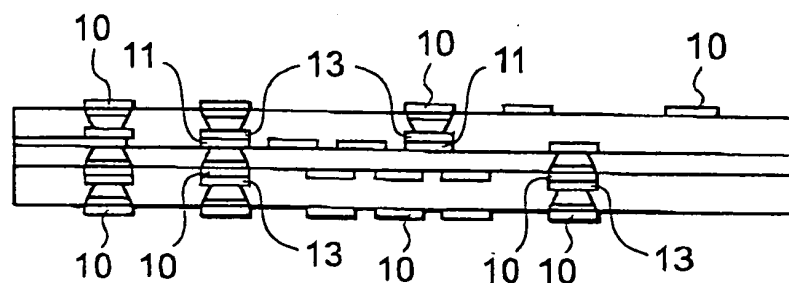
第22A圖



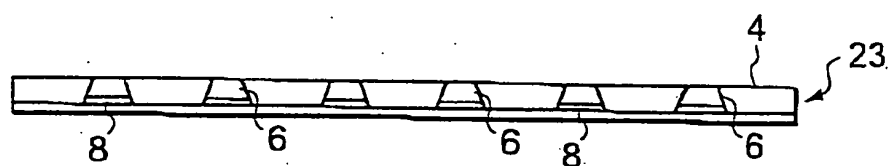
第22B圖



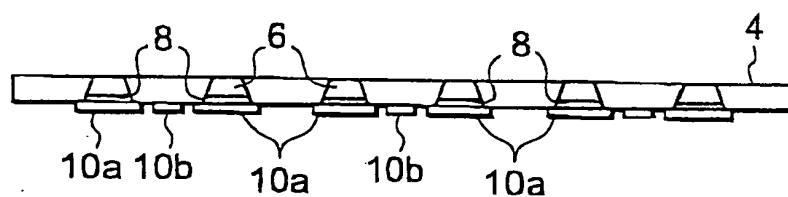
第22C圖



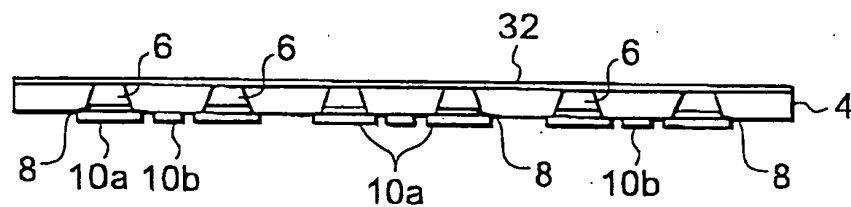
第23A圖



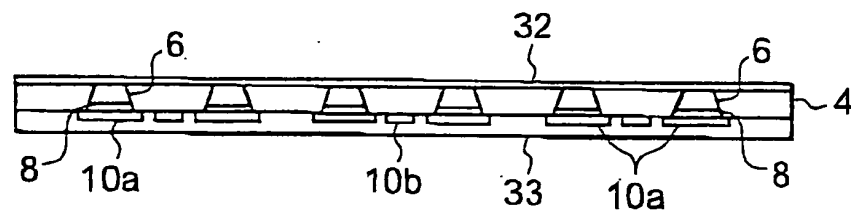
第23B圖



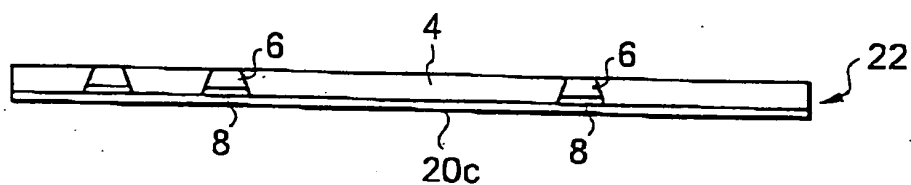
第23C圖



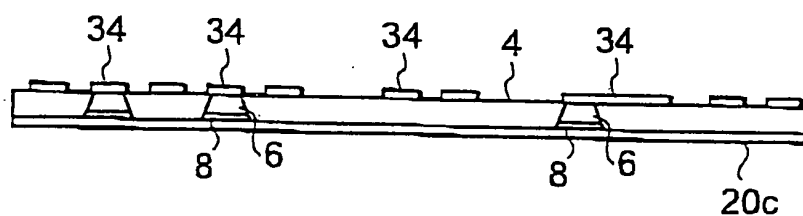
第23D圖



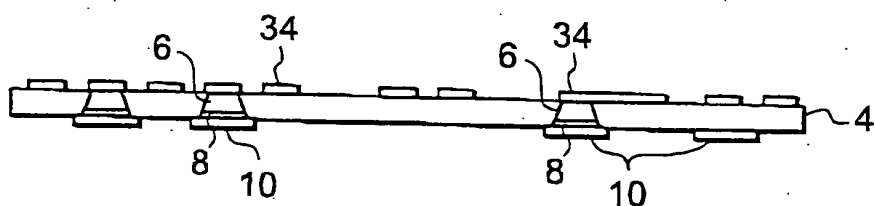
第24A圖



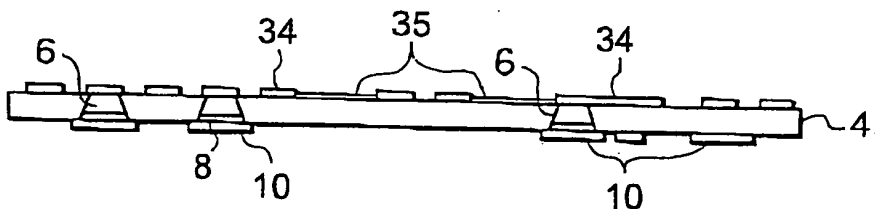
第24B圖



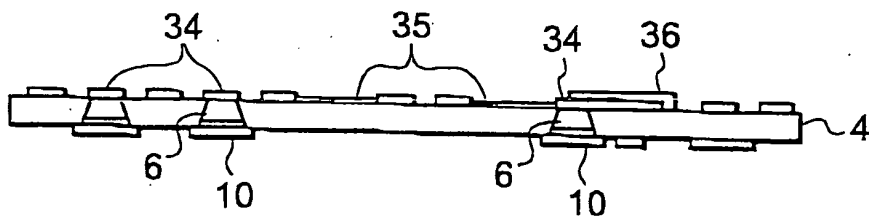
第24C圖



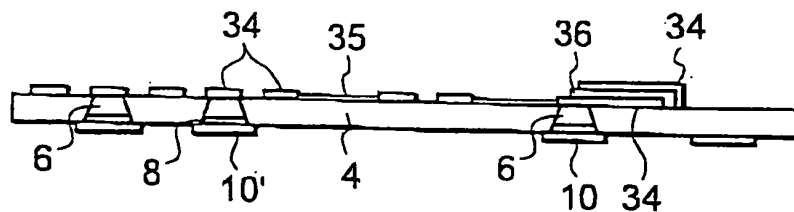
第24D圖



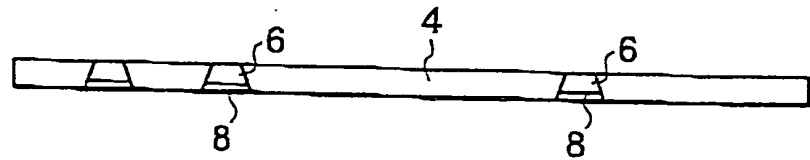
第24E圖



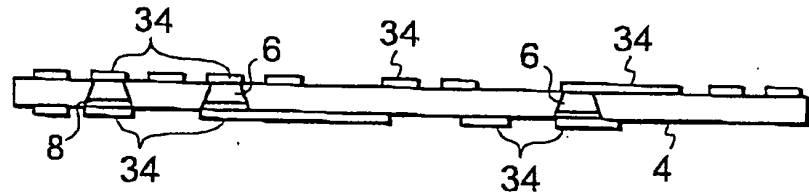
第24F圖



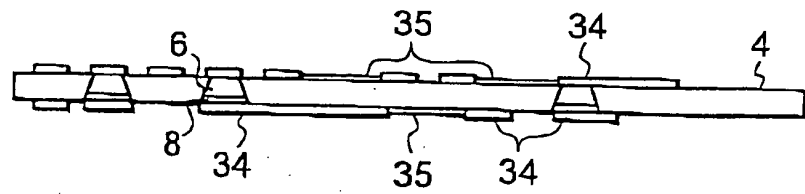
第25A圖



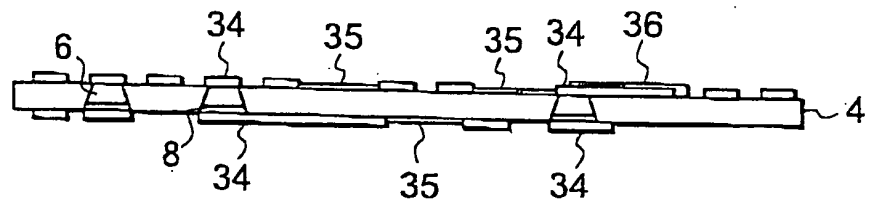
第25B圖



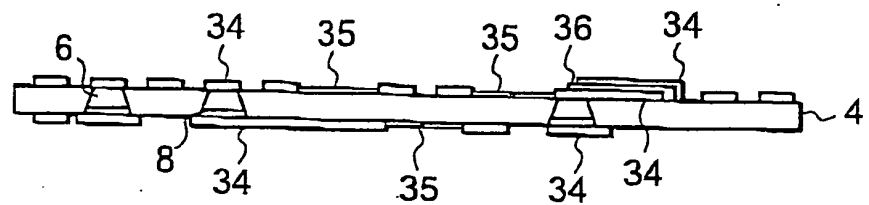
第25C圖



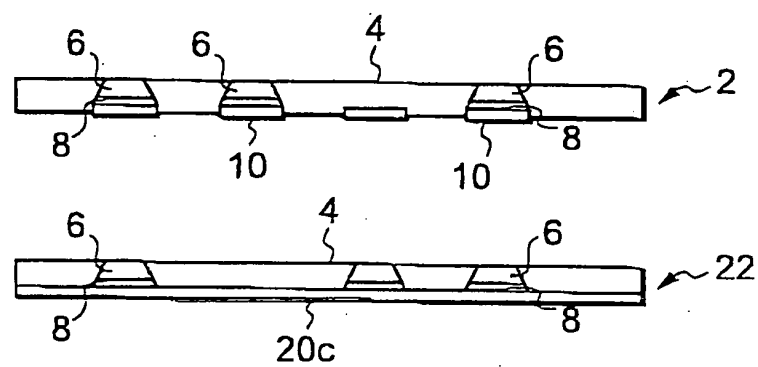
第25D圖



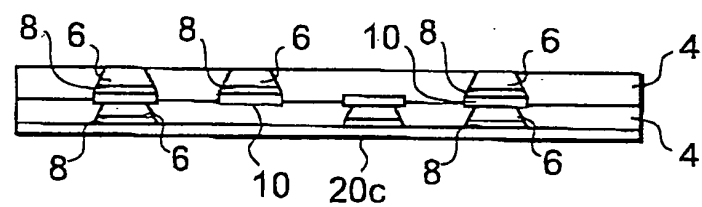
第25E圖



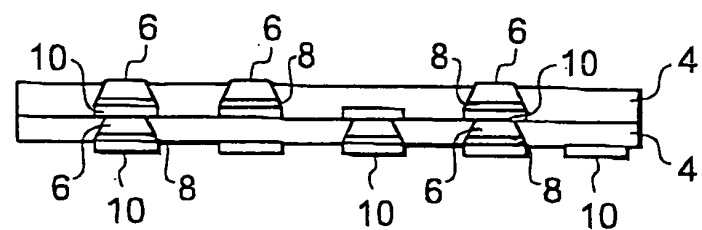
第26A圖



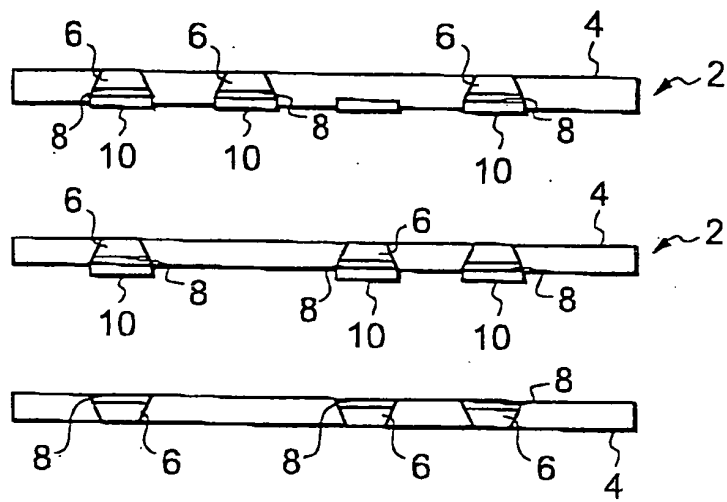
第26B圖



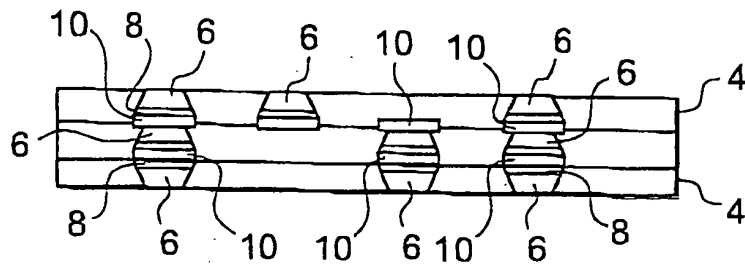
第26C圖



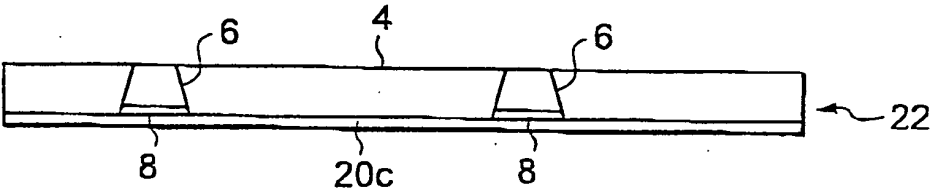
第27A圖



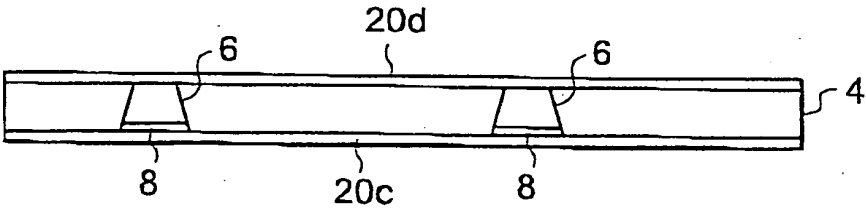
第27B圖



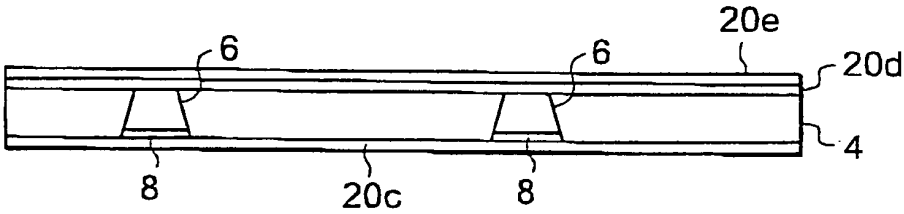
第28A圖



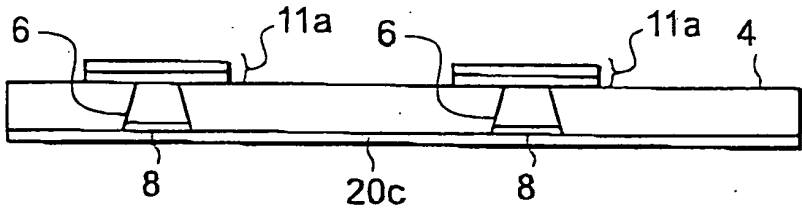
第28B圖



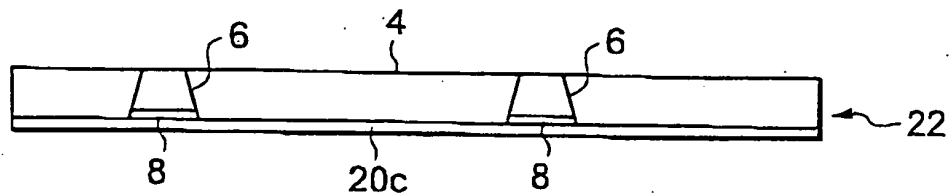
第28C圖



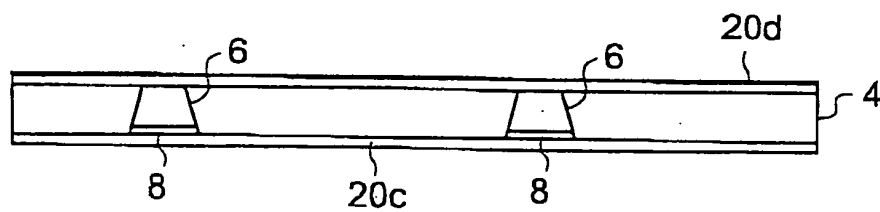
第28D圖



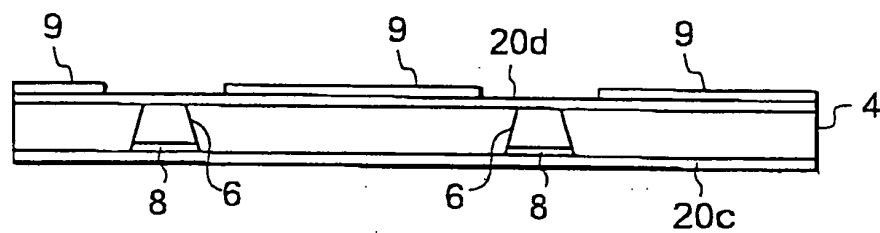
第29A圖



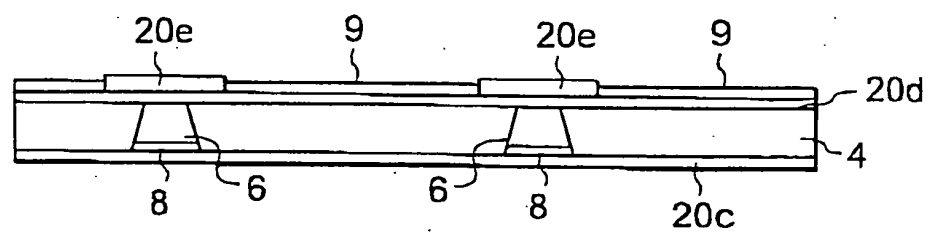
第29B圖



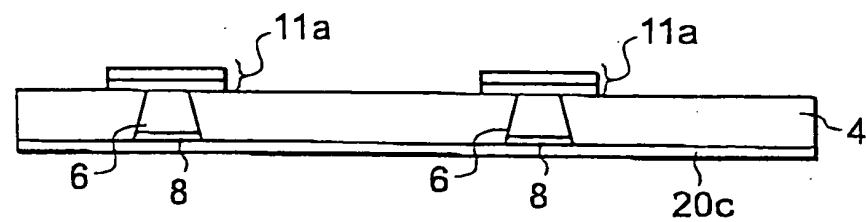
第29C圖



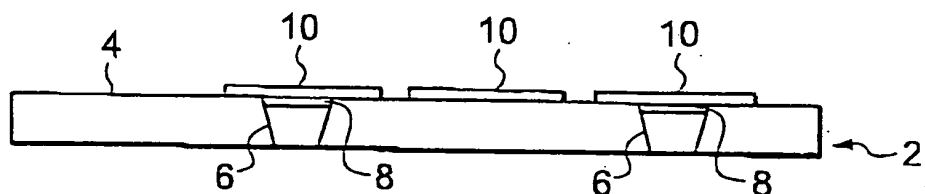
第29D圖



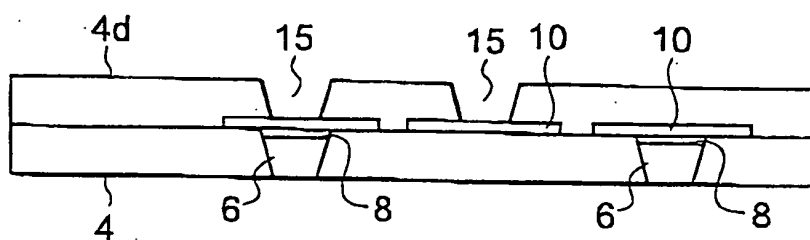
第29E圖



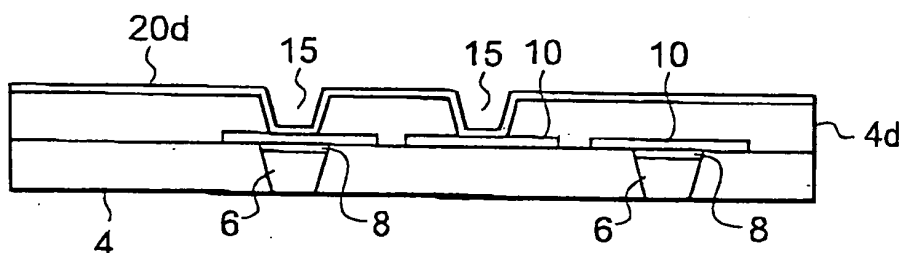
第30A圖



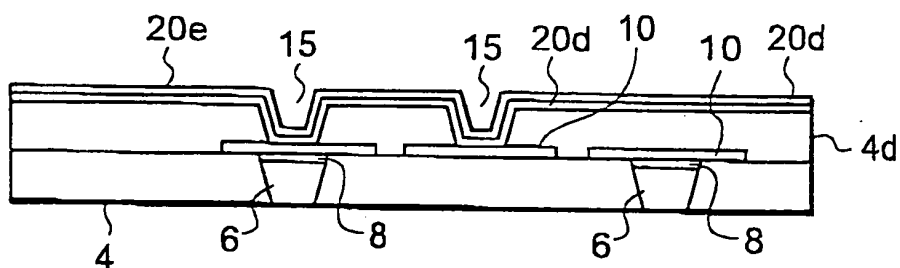
第30B圖



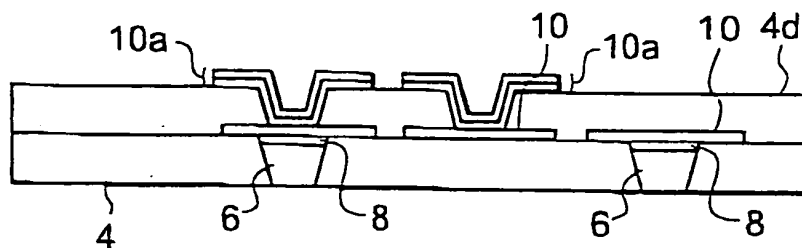
第30C圖



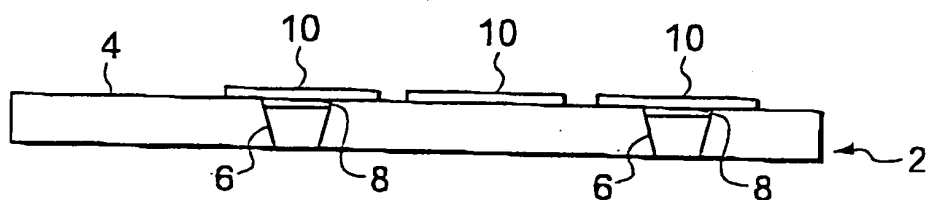
第30D圖



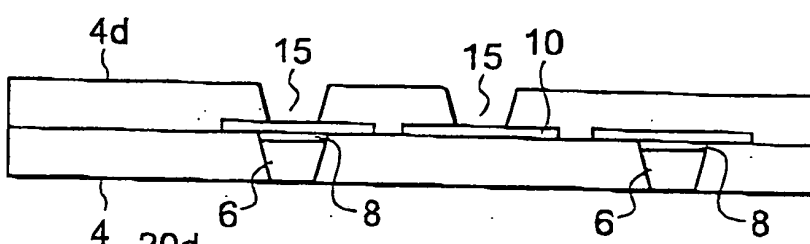
第30E圖



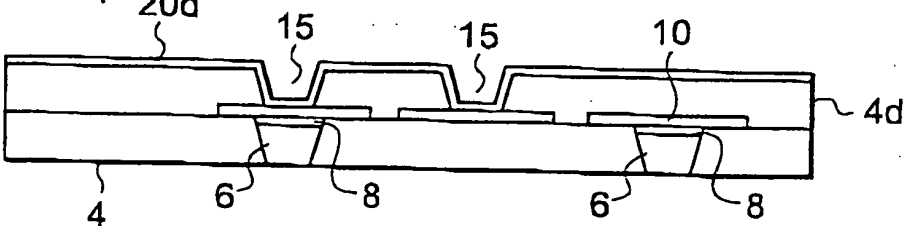
第31A圖



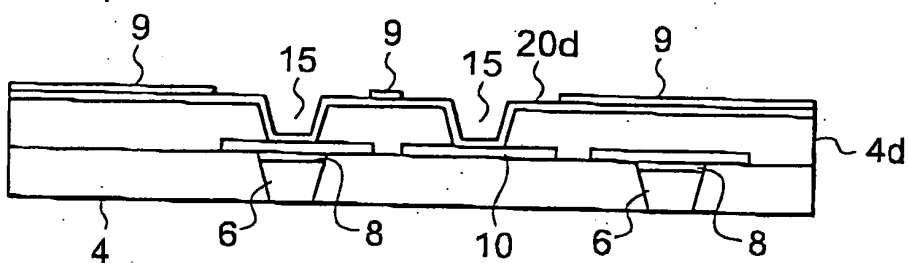
第31B圖



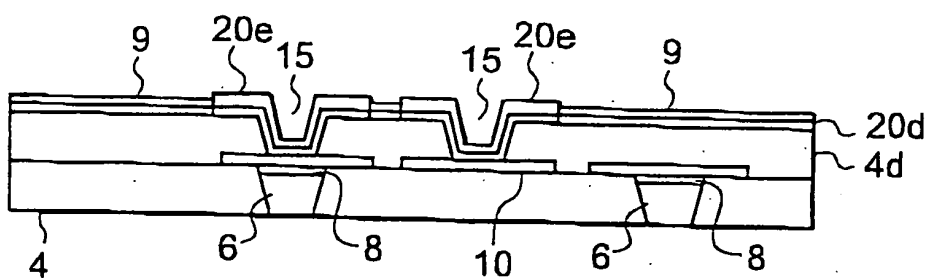
第31C圖



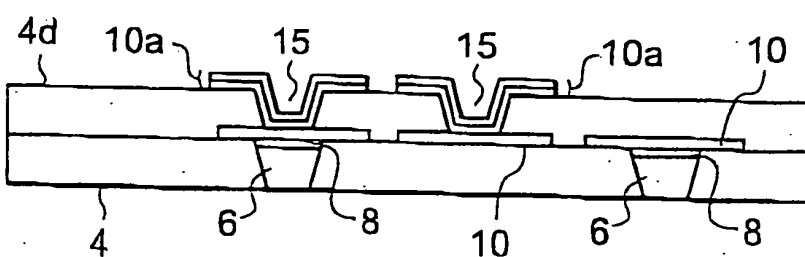
第31D圖



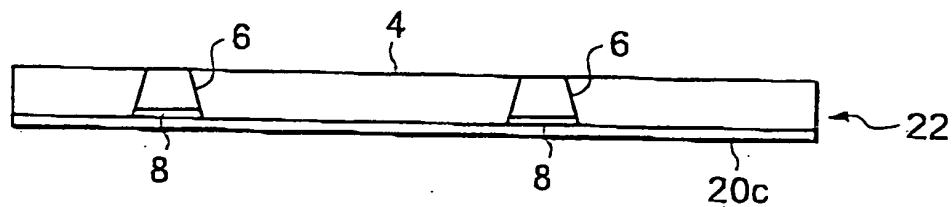
第31E圖



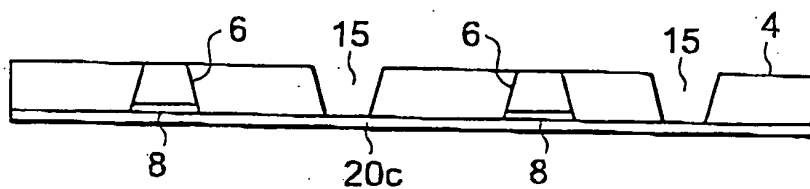
第31F圖



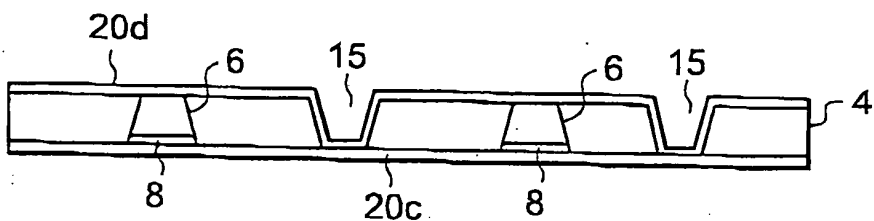
第32A圖



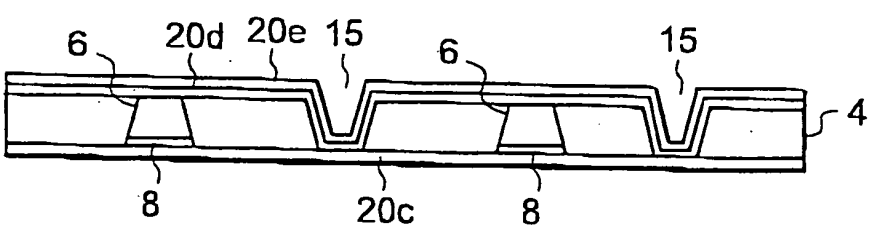
第32B圖



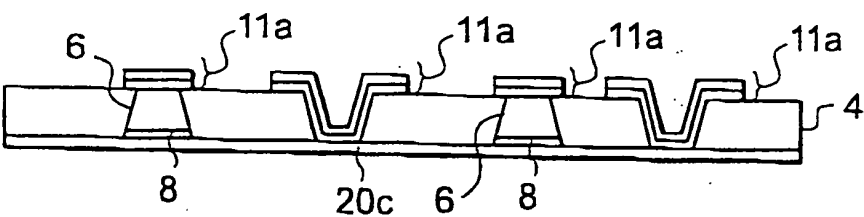
第32C圖



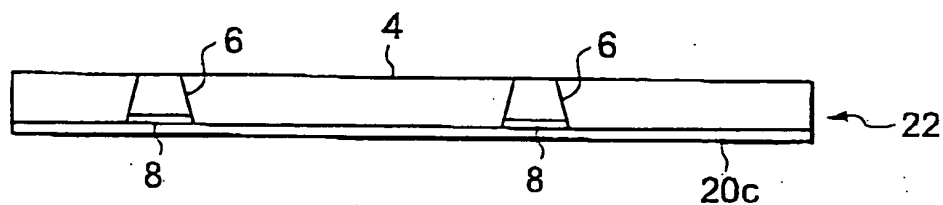
第32D圖



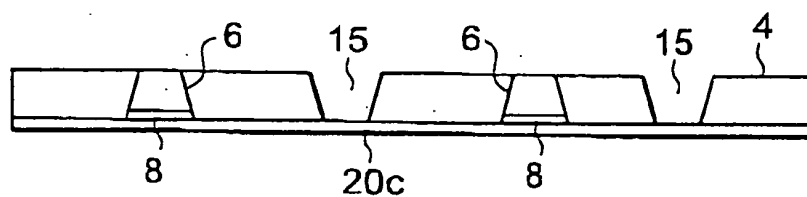
第32E圖



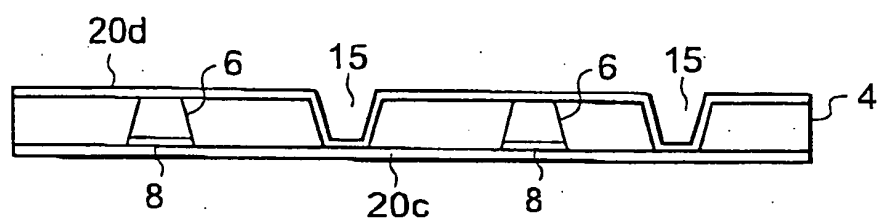
第33A圖



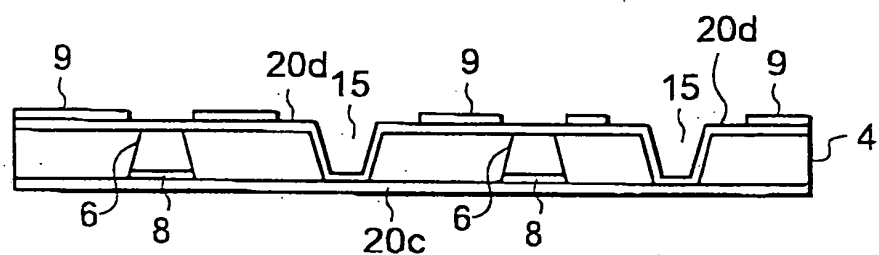
第33B圖



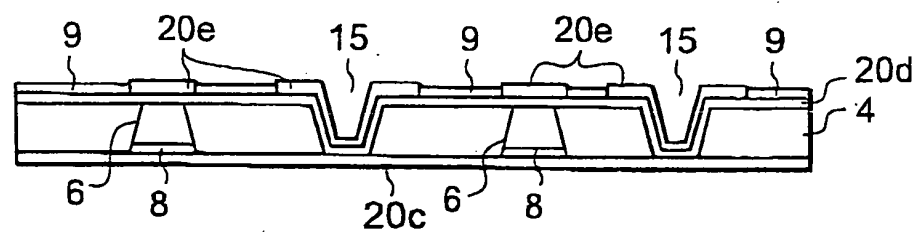
第33C圖



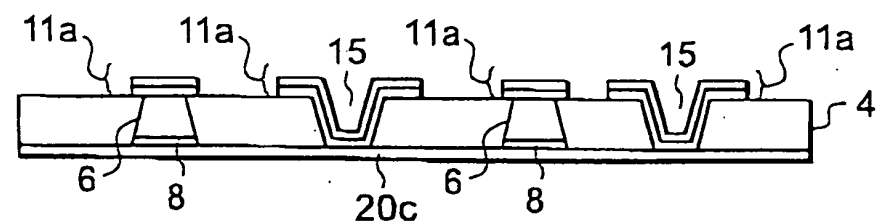
第33D圖



第33E圖



第33F圖



柒、（一）、本案指定代表圖為：第 1 圖

（二）、本代表圖之元件代表符號簡單說明：

- 2：配線電路基板
- 4：絕緣膜
- 6：凸塊
- 8：蝕刻遮蔽層
- 10、16：配線層
- 12：錫球
- 14：印刷電路基板

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

中文說明書替換頁(99年3月)

(本說明書格式、順序及粗體字，請勿任意更動；※記號部分請勿填寫)

※申請案號：093107787

※申請日期：93.3.23

※IPC 分類：H01L 23/48(2006.01)

一、發明名稱：(中文/英文)

配線電路基板，配線電路基板的製造方法，及電路模組

配線回路基板、配線回路基板 製造方法、及 回路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商泰斯拉連接器材料公司

TESSERA INTERCONNECT MATERIALS, INC.

代表人：(中文/英文)

麥克 貝勒宙

BEREZIUK, MICHAEL

住居所或營業所地址：(中文/英文)

美國加州聖荷西市歐查大道 3025 號

3025 ORCHARD PARKWAY, SAN JOSE, CALIFORNIA 95134, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 6 人)

姓名：(中文/英文)

1.飯島 朝雄 IIJIMA, TOMOO

2.遠藤 仁譽 ENDO, KIMITAKA

3.池永 和夫 IKENAGA, KAZUO

4.大平 洋 ODAIRA, HIROSHI

5.三成 尚人 MINARI, NAOTO

6.加藤 貴 KATO, TAKASHI

國籍：(中文/英文)

1.-6.均日本 JAPAN

96年5月30日(五)正替換頁

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年03月31日；2003-195167
2. 日本；2003年04月23日；2003-11882
3. 日本；2003年07月04日；2003-192192
4. 日本；2003年08月07日；2003-289319
5. 日本；2003年08月29日；2003-307897

☐ 無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

十、申請專利範圍：

1. 一種配線電路基板，其特徵為：

在配線層表面，直接或介設著蝕刻遮蔽層，形成複數凸塊（Bump），

就形成有前記配線層的凸塊（Bump）的面而言，在未形成前記凸塊（Bump）的部分，形成絕緣膜，

在每一前記凸塊（Bump）的頂面上形成複數個錫球（Solder ball），該複數個錫球直接接觸該複數凸塊。

2. 如申請專利範圍第1項所記載的配線電路基板，其中，前記配線層、前記別的配線層、及前記凸塊（Bump）是由銅所構成。

3. 如申請專利範圍第1或第2項所記載的配線電路基板，其中，於前記絕緣膜具有：形成有多數前記凸塊（Bump）的凸塊（Bump）形成區域；和沒有形成前記凸塊（Bump）的可撓性凸塊非形成區域；且前記凸塊（Bump）非形成區域形成可彎曲、或其至少一部分形成彎曲。

4. 如申請專利範圍第1或第2項所記載的配線電路基板，其中，前記凸塊（Bump）的頂面形成凹球面，在前記凸塊（Bump）的頂面，直接形成有錫球（Solder ball）。

5. 一種電路模組，其特徵為：

在配線層的表面，直接或介設著蝕刻遮蔽層，形成複數凸塊（Bump），每一該複數凸塊具有一上表面；

一絕緣膜具有一上表面，就形成有前記配線層的凸塊（Bump）的面而言，在沒有形成前記凸塊（Bump）的部分

形成絕緣膜，且該絕緣膜之上表面與該複數凸塊之上表面對齊；

在前記凸塊(Bump)的頂面，直接或介設著別的配線層，形成複數個錫球(Solder ball)的可撓性配線電路基板、和在硬性絕緣基板的至少一邊的表面，形成有與前記配線層連接的配線層的硬性配線電路基板所構成；

前記可撓性配線電路基板的配線層的至少一部分和前記硬性配線電路基板的配線層的至少一部分，介設著前記錫球(Solder ball)而連接。

6. 一種電路模組，其特徵為：

在配線層的表面，直接或介設著蝕刻遮蔽層，形成複數凸塊(Bump)，

就形成有前記配線層的凸塊(Bump)的面而言，在沒有形成前記凸塊(Bump)的部分形成絕緣膜，

在每一前記凸塊(Bump)的頂面上形成複數個錫球；及一可撓性絕緣基板的至少一邊的表面，形成有與前記配線層連接的配線層之別的可撓性配線電路基板所構成；

前記可撓性配線電路基板的配線層的至少一部分和前記別的可撓性配線電路基板的配線層的至少一部分，介設著前記錫球(Solder ball)而連接。

7. 如申請專利範圍第5項所記載的電路模組，其中，前記凸塊(Bump)的頂面形成凹球面，在前記凸塊(Bump)的頂面，直接形成錫球(Solder ball)。

8. 一種配線電路基板的製造方法，其特徵為：

準備一在金屬層的表面，直接或介設著蝕刻遮蔽層，形成凸塊 (Bump) 的基板，就形成有前記金屬層的凸塊 (Bump) 的面而言，在沒有形成前記凸塊 (Bump) 的部分，形成比前記凸塊 (Bump) 還厚的絕緣膜，將前記絕緣膜研磨到露出前記凸塊 (Bump) 的頂面，在前記凸塊 (Bump) 的頂面上直接形成錫球 (Solder ball)。

9. 一種配線電路基板的製造方法，其特徵為：

準備一在金屬層的表面，直接或介設著蝕刻遮蔽層，形成凸塊 (Bump) 的基板，就形成有前記金屬層的凸塊 (Bump) 的面而言，在沒有形成前記凸塊 (Bump) 的部分，形成比前記凸塊 (Bump) 還厚的絕緣膜，將前記基板的絕緣膜研磨到露出前記凸塊 (Bump) 的頂面，在前記基板的絕緣膜的表面形成別的金屬層，藉由選擇性地蝕刻前記別的金屬層，以形成配線層，在前記凸塊 (Bump) 的頂面上，直接形成錫球 (Solder ball)。

10. 如申請專利範圍第8或第9項所記載的配線電路基板的製造方法，其中，具有：在比形成前記絕緣膜的更前面，藉由從上加壓壓潰前記凸塊 (Bump)，將其頂面直徑增大的工程。

11. 如申請專利範圍第8或第9項所記載的配線電路基板的製造方法，其中，具有：將前記絕緣膜研磨到露出前記凸塊 (Bump) 的頂面之後，且在前記凸塊 (Bump) 的頂面上形成前記錫球 (Solder ball) 之前，藉由蝕刻前記凸塊 (Bump) 的頂面，形成凹球面的工程。

12. 一種電路模組，其特徵為由：

在配線層的表面，直接或介設著蝕刻遮蔽層，形成具有一表面的複數凸塊（Bump），就形成有前記配線層的複數凸塊（Bump）的面而言，在沒有形成前記凸塊（Bump）的部分，形成絕緣膜之一的配線電路基板，該複數凸塊之上表面與該絕緣膜之暴露區域對齊；

和構成液晶元件的基板，且具有透明配線膜的液晶裝置用透明基板所構成；

與前記之一的配線電路基板的凸塊（Bump）、和前記液晶裝置用透明基板的透明配線膜的前記凸塊（Bump）對應的部分，直接或介設著形成前記凸塊（Bump）的頂面的配線層及錫球（Solder ball）而連接，構成液晶裝置。

13. 一種配線電路基板的製造方法，其特徵為：

準備一在金屬層的表面，直接或介設著蝕刻遮蔽層，形成有凸塊（Bump）的基板；

包括：

在形成有前記凸塊（Bump）的面，塗佈液狀絕緣材料，使用熱處理令前記絕緣材料固化，形成絕緣膜的絕緣膜形成步驟；和將前記絕緣膜除去到露出前記凸塊（Bump）的頂面的絕緣膜除去與該絕緣膜之暴露區域對齊步驟。

14. 一種配線電路基板的製造方法，其特徵為：

針對在配線層形成用金屬層上，直接或介設著蝕刻遮蔽層，形成有凸塊（Bump）形成用金屬層的多層金屬板而言，包括

藉由在前記凸塊 (Bump) 形成用金屬層上塗佈著光阻劑施行圖案化，形成光阻遮罩，以前記光阻遮罩作為遮罩，蝕刻前記凸塊 (Bump) 形成用金屬層，形成凸塊 (Bump) 的凸塊 (Bump) 形成步驟；

和除去前記光阻遮罩後，以前記凸塊 (Bump) 作為遮罩，蝕刻而除去前記蝕刻遮蔽層的蝕刻遮蔽層除去步驟；

和在形成有前記凸塊 (Bump) 的面，塗佈液狀絕緣材料，使用熱處理令前記絕緣材料固化，形成絕緣膜的絕緣膜形成步驟；和將前記絕緣膜除去到露出前記凸塊 (Bump) 的頂面的絕緣膜除去步驟。

15. 如申請專利範圍第 13 或第 14 項所記載的配線電路基板的製造方法，其中，前記絕緣材料是由聚醯亞胺或環氧樹脂的前驅體所構成。

16. 如申請專利範圍第 13 或第 14 項所記載的配線電路基板的製造方法，其中，在前記絕緣膜形成步驟中，係藉由在形成有前記基板的凸塊 (Bump) 的面，塗佈著可熔融的熱可塑性樹脂所構成的絕緣材料，令前記絕緣材料冷卻而固化，形成絕緣膜。

17. 如申請專利範圍第 13 或第 14 項所記載的配線電路基板的製造方法，其中，在前記絕緣膜形成步驟中，係在形成有前記基板的凸塊 (Bump) 的面，塗佈著液狀絕緣材料，就這樣使其乾燥固化後，將前記絕緣材料使用滾輪平坦化，且使用熱處理令前記絕緣材料硬化，形成絕緣膜。

18. 如申請專利範圍第 13 或第 14 項所記載的配線電路

基板的製造方法，其中，在前記絕緣膜形成步驟中，係藉由在形成有前記基板的凸塊（Bump）的面，塗佈著熱可塑性聚醯亞胺樹脂，施行加熱乾燥令其固化，且藉由在前記熱可塑性聚醯亞胺樹脂上，塗佈著非熱可塑性聚醯亞胺樹脂的前驅體，施行加熱令其固化，並藉由在前記非熱可塑性聚醯亞胺樹脂上，塗佈著熱可塑性聚醯亞胺樹脂，施行加熱令其固化，形成絕緣膜。

19. 如申請專利範圍第13或第14項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除去步驟中，係將前記絕緣膜至少機械性地研磨到露出前記凸塊（Bump）的頂面。

20. 如申請專利範圍第13或第14項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除去步驟中，係藉由在前記絕緣膜上塗佈著光阻劑，施行曝光及顯影除去前記凸塊（Bump）上的光阻劑，同時以塗佈在沒有形成前記凸塊（Bump）的部分的前記光阻劑作為遮罩，將形成在前記凸塊（Bump）上的絕緣膜至少蝕刻除去到露出前記凸塊（Bump）的頂面。

21. 如申請專利範圍第13或第14項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除去步驟中，係將前記絕緣膜至少整面性地蝕刻除去到露出前記凸塊（Bump）的頂面。

22. 如申請專利範圍第13或第14項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除去步驟中，係將形成在前記凸塊（Bump）上的絕緣膜，使用雷射加工除去到至

少露出前記凸塊 (Bump) 的頂面。

23. 如申請專利範圍第 13 或第 14 項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除去步驟中，係對前記絕緣膜的表面噴射含研磨劑的氣體，將前記絕緣膜除去到至少露出前記凸塊 (Bump) 的頂面。

24. 如申請專利範圍第 13 或第 14 項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除去步驟中，係對前記絕緣膜的表面噴射含研磨劑的液體，將前記絕緣膜除去到至少露出前記凸塊 (Bump) 的頂面。

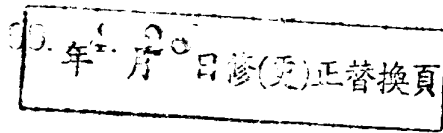
25. 如申請專利範圍第 13 或第 14 項所記載的配線電路基板的製造方法，其中，在前記絕緣膜形成步驟，係形成比前記凸塊 (Bump) 高度還厚的絕緣膜。

26. 如申請專利範圍第 13 或第 14 項所記載的配線電路基板的製造方法，其中，在前記絕緣膜形成步驟中，係形成比前記凸塊 (Bump) 高度還薄的絕緣膜。

27. 一種配線電路基板的製造方法，其特徵為：

針對由：配線膜形成用金屬層、和直接或間接設著蝕刻遮蔽層而形成在前記配線膜形成用金屬層上的凸塊 (Bump) 所構成的基板，在前記凸塊 (Bump) 的頂面，塗佈上可排開液狀樹脂的材料，然後塗佈液狀絕緣材料，使用熱處理令前記絕緣材料固化，形成絕緣膜。

28. 如申請專利範圍第 13 項或第 14 項、第 27 項中任一項所記載的配線電路基板的製造方法，其中，於前記絕緣膜除去步驟後，在前記凸塊 (Bump) 頂面，使用電鍍法形成由金



屬所構成的突起物。

29. 如申請專利範圍第28項所記載的配線電路基板的製造方法，其中，使用前記電鍍法形成前記突起物後包括：部分性地蝕刻前記配線膜形成用金屬層，以形成配線層的配線層形成步驟。

30. 如申請專利範圍第13項或第14項、第27項中任一項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除去步驟後包括：部分性地蝕刻前記配線層形成用金屬層，以形成配線層的配線層形成步驟。

31. 如申請專利範圍第30項所記載的配線電路基板的製造方法，其中，於前記配線層形成步驟後，在前記凸塊（Bump）頂面使用電鍍法，形成由金屬所構成的突起物。

32. 如申請專利範圍第13項或第14項、第27項中任一項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除去步驟後包括：

在前記絕緣膜上積層別的配線層形成用金屬層的步驟；

和使用部分性地蝕刻前記別的配線層形成用金屬層，以形成配線層的配線層形成步驟。

33. 如申請專利範圍第13項或第14項、第27項中任一項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除去步驟後包括：整面性地蝕刻除去前記配線層形成用金屬層的步驟。

34. 如申請專利範圍第13項或第14項、第27項中任一項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除

去步驟後包括：

在前記絕緣膜上部分性地形成第一金屬膜的步驟；

和在前記絕緣膜上，且在沒有形成前記第一金屬膜的部分形成電阻膜的步驟；

和在前記第一金屬膜上形成介電質膜的步驟；和在前記介電質膜上形成第二金屬膜的步驟；

和藉由部分性地蝕刻形成在前記配線電路基板的配線層形成用金屬層，形成配線層的配線層形成步驟。

35. 如申請專利範圍第34項所記載的配線電路基板的製造方法，其中，前記第一金屬膜及前記第二金屬膜係由導電膏所構成，前記電阻膜係由電阻膏所構成，前記介電質膜係由介質膏（dielectric paste）所構成。

36. 如申請專利範圍第34項所記載的配線電路基板的製造方法，其中，前記第一金屬膜、前記第二金屬膜、前記電阻膜及前記介電質膜，係使用濺鍍法、CVD法或蒸鍍法所形成。

37. 如申請專利範圍第13項或第14項、第27項中任一項所記載的配線電路基板的製造方法，其中，在前記絕緣膜除去步驟後包括：藉由部分性蝕刻前記配線層形成用金屬層，以部分配線層直接或間設著前記蝕刻遮蔽層與前記凸塊（Bump）連接的方式，形成配線層的配線層形成步驟；和在露出前記凸塊（Bump）的頂面的面，整面性或部分性地設置電磁屏蔽片的步驟。

38. 一種配線電路基板的製造方法，其特徵為：

針對使用第13至第27項所記載的配線電路基板的製造方法所製造的配線電路基板，包括：使用無電解電鍍法或濺鍍法，在前記絕緣膜及前記凸塊（Bump）的頂面上，形成由金屬所構成的薄膜的薄膜形成步驟；

和在前記薄膜上，使用電解電鍍法形成金屬膜的金屬膜形成步驟；

和藉由在前記金屬膜上塗佈著光阻劑施行圖案化，形成光阻圖案，以前記光阻圖案作為遮罩，蝕刻前記金屬膜，形成配線層的配線層形成步驟。

39. 一種配線電路基板的製造方法，其特徵為：

針對使用第13至第27項所記載的配線電路基板的製造方法所製造的配線電路基板，包括：使用無電解電鍍法或濺鍍法，在前記絕緣膜及前記凸塊（Bump）的頂面上形成由金屬所構成的薄膜的薄膜形成步驟；

和藉由在前記薄膜上塗佈著光阻劑施行圖案化，以形成光阻圖案的光阻圖案形成步驟；

和在沒有形成前記光阻圖案的薄膜上，使用電鍍法析出金屬的析出步驟；

和除去前記光阻圖案，進行整面性蝕刻，除去前記薄膜的步驟。

40. 一種配線電路基板的製造方法，其特徵為：

針對使用第13至第27項所記載的配線電路基板的製造方法所製造的配線電路基板，包括：

使用雷射加工或蝕刻除去前記配線電路基板的絕緣膜的

一部分，形成通孔的通孔形成步驟；

和使用無電解電鍍法或濺鍍法，在前記絕緣膜及前記凸塊（Bump）的頂面上形成薄膜的薄膜形成步驟；

和藉由在前記薄膜上，使用電解電鍍法形成金屬膜的金屬陣形成步驟；

和藉由在前記金屬膜上塗佈著光阻劑施行圖案化，形成光阻圖案，以前記光阻圖案作為遮罩，蝕刻前記金屬膜，以形成配線膜的配線腹形成步驟。

41. 一種配線電路基板的製造方法，其特徵為：針對使用第13至第27項任一項所記載的配線電路基板的製造方法所製造的配線電路基板，使用雷射加工或蝕刻除去前記部分配線電路基板，包括：

以形成通孔的通孔形成步驟；和使用無電解電鍍法或濺鍍法，在前記絕緣膜及前記凸塊（Bump）的頂面上形成薄膜的薄膜形成步驟；

和藉由在前記薄膜上塗佈著光阻劑施行圖案化，以形成光阻圖案的光阻圖案形成步驟；

和在沒有形成前記光阻圖案的光阻圖案上，使用電鍍法析出金屬的析出步驟；

和藉由除去前記光阻圖案，進行整面性蝕刻，除去前記薄膜的步驟。

42. 一種多層配線基板的製造方法，其特徵為：

針對形成有使用第37項所記載的配線電路基板的製造方法所製造的配線膜的配線電路基板，包括：

90. 4. 28
年 月 日修(正)工程技術

將在使用第28項所記載的配線電路基板的製造方法所製造的凸塊 (Bump) 頂面形成有突起物的配線電路基板，直接或介設著錫接片，以前記突起物與前記配線層接台的方式施行積層，製作多層金屬板的步驟；

和藉由部分性蝕刻形成在前記多層金屬板之上下兩面的配線層形成用金屬層，在上下兩面形成配線層的配線層形成步驟。

43. 一種多層配線基板的製造方法，其特徵為：

針對形成有使用第32項所記載的配線電路基板的製造方法所製造的配線膜的配線電路基板，包括：

將形成有使用第26項所記載的配線電路基板的製造方法所製造的凸塊 (Bump) 的配線電路基板，直接或介設著錫接片，以前記凸塊 (Bump) 頂面與前記配線層接台的方式施行積層，製作多層金屬板的步驟；

和藉由部分性蝕刻形成在前記多層金屬板之上下兩面的配線層形成用金屬層，在上下兩面形成配線層的配線層形成步驟。

44. 一種多層配線基板的製造方法，其特徵為：

針對在使用第34項所記載的配線電路基板的製造方法所製造的上下兩面，形成有配線層的配線電路基板的上下兩面，將在使用第28項所記載的配線電路基板的製造方法所製造的凸塊 (Bump) 頂面形成突起物的配線電路基板，包括：

以前記突起物與前記配線層接合的方式施行積層，製作多層金屬板的步驟；

和藉由部分性蝕刻形成在前記多層金屬板之上下兩面的配線層形成用金屬層，以形成配線層的配線層形成步驟。

45. 一種多層配線基板的製造方法，其特徵為：

針對在使用第34項所記載的配線電路基板的製造方法所製造的上下兩面，形成有配線層的配線電路基板的上下兩面，將形成有使用第26項所記載的配線電路基板的製造方法所製造的凸塊（Bump）的配線電路基板，包括：

以前記凸塊（Bump）頂面與前記配線層接台的方式施行積層，製作多層金屬板的步驟；

和藉由部分性蝕刻形成在前記多層金屬板之上下兩面的配線層形成用金屬層，以形成配線層的配線層形成步驟。

46. 一種多層配線基板的製造方法，其特徵為：

在形成有使用第30項所記載的配線電路基板的製造方法所製造的配線層的配線電路基板，將形成有使用第13至第27項所記載的配線電路基板的製造方法所製造的凸塊（Bump）之別的配線電路基板：以前記凸塊（Bump）的頂面與前記配線層接合的方式施行積層。

47. 一種多層配線基板的製造方法，其特徵為：

在使第30項所記載的配線電路基板的製造方法所製造的配線電路基板，將使用第30項所記載的配線電路基板的製造方法所製造之別的配線電路基板，以前記別的配線電路基板的凸塊（Bump）頂面與前記配線電路基板的配線層接台的方式施行積層。

48. 一種多層配線基板的製造方法，其特徵為：

在使用第47項所記載的多層配線基板的製造方法所製造的多層配線基板，將形成有使用第33項所記載的配線電路基板的製造方法所製造的凸塊（Bump）的配線電路基板，以前記凸塊（Bump）的底面與前記多層配線基板的配線層接台的方式施行積層。

49. 一種多層配線基板的製造方法，其特徵為：

針對使用第30項所記載的配線電路基板的製造方法所製造的配線電路基板，包括：

在形成有前記配線層的面，塗佈液狀絕緣材料，使用熱處理令前記絕緣材料固化，形成絕緣膜的絕緣膜形成步驟；

和使用雷射加工或蝕刻除去前記部分絕緣膜，形成通孔的通孔形成步驟；

和使用無電解電鍍法或濺鍍法，在前記絕緣膜上形成薄膜的薄膜形成步驟；

和在前記薄膜上，使用電解電鍍法形成金屬膜的金屬膜形成步驟；

和藉由在前記金屬膜上塗佈著光阻劑施行圖案化，形成光阻圖案，以前記光阻圖案作為遮罩，蝕刻前記金屬膜，形成配線膜的配線腹形成步驟。

50. 一種多層配線基板的製造方法，其特徵為：

針對使用第30項所記載的配線電路基板的製造方法所製造的配線電路基板，包括：

在形成有前記配線層的面塗佈液狀絕緣材料，使用熱處理令前記絕緣材料固化，形成絕緣膜的絕緣膜形成步驟；

和使用雷射加工或蝕刻除去前記部分絕緣膜，形成通孔的通孔形成步驟；

和使用無電解電鍍法或濺鍍法，在前記絕緣膜上形成薄膜的薄膜形成步驟；

和藉由在前記之上塗佈著光阻劑施行圖案化，形成光阻圖案的光阻圖案形成步驟；

和在沒有形成前記光阻圖案的薄膜上，使用電鍍法析出金屬的析出步驟；

和藉由除去前記光阻圖案，進行整面性蝕刻，除去前記薄膜的步驟。