



(12)发明专利申请

(10)申请公布号 CN 105977302 A

(43)申请公布日 2016.09.28

(21)申请号 201610532263.6

(22)申请日 2016.07.06

(71)申请人 电子科技大学

地址 611731 四川省成都市高新区(西区)  
西源大道2006号

(72)发明人 李泽宏 陈哲 曹晓峰 李爽  
陈文梅 任敏

(74)专利代理机构 成都点睛专利代理事务所  
(普通合伙) 51232

代理人 葛启函

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

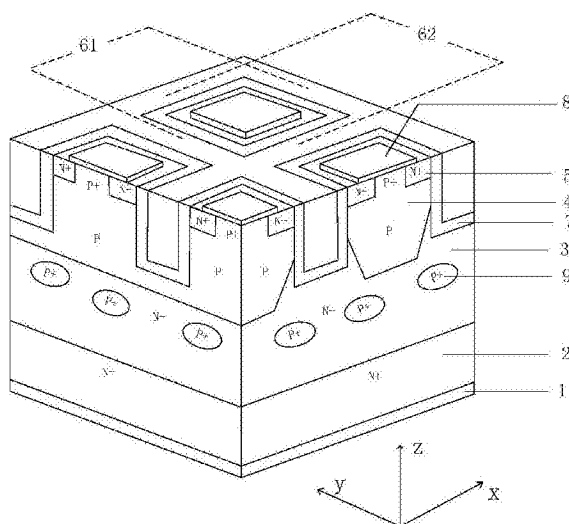
权利要求书1页 说明书3页 附图6页

(54)发明名称

一种具有埋层结构的槽栅型MOS

(57)摘要

本发明属于功率半导体技术领域,特别涉及一种具有埋层结构的槽栅型MOS。相比传统的槽栅型,本发明通过引入在示意图的x方向和y方向具有不同深度的P型体区,使得槽栅的下方仍为P型区域,降低了该结构的栅漏电容(Cgd)和栅源电容(Cgs)的比值,在x方向的倒梯形P型体区还改善了槽栅拐角区域的峰值电场。通过在外延层区域加入适当的反型埋层区域,引入了横向电场,有效地提高其耐压能力,加入的埋层结构使得槽栅下方的N-外延层区域可以提高掺杂浓度,降低导通电阻。



1. 一种具有埋层结构的槽栅型MOS,包括从下至上依次层叠设置的漏极电极(1)、N型重掺杂单晶硅衬底(2)和N-外延层(3);所述N-外延层(3)上层具有第一槽栅结构(61)、第二槽栅结构(62)和P型体区(4);沿器件横向方向,所述P型体区(4)的两侧为第一槽栅结构(61),沿器件纵向方向,所述P型体区(4)的两侧为第二槽栅结构(62),所述器件横向方向和器件纵向方向位于同一水平面且相互垂直,所述第一槽栅结构(61)和第二槽栅结构(62)均由栅氧化层(7)及位于栅氧化层(7)中的栅电极构成,所述栅氧化层(7)与P型体区(4)接触;所述P型体区(4)上层具有N+重掺杂区(5),所述N+重掺杂区(5)为闭环结构,在器件的俯视图中呈“口”字形,所述N+重掺杂区(5)的侧面与栅氧化层(7)接触;所述N+重掺杂区(5)的部分上表面及N+重掺杂区(5)之间的P型体区(4)上表面具有源极电极(8);所述N-外延层(3)中具有多个P+重掺杂埋层结构(9),沿器件横向方向和器件纵向方向,所述P+重掺杂埋层结构(9)呈垂直交叉的网格状分布,且P+重掺杂埋层结构(9)位于栅氧化层(7)与P型体区(4)接触面的正下方;沿器件横向方向和器件纵向方向,沿器件垂直方向,所述P型体区(4)的宽度从中部到下部逐渐缩小。

2. 根据权利要求1所述的一种具有埋层结构的槽栅型MOS,其特征在于,所述P型体区(4)结深大于第一槽栅结构和第二槽栅结构的结深。

3. 根据权利要求2所述的一种具有埋层结构的槽栅型MOS,其特征在于,所述P+重掺杂埋层结构(9)的掺杂浓度大于N-外延层(3)的掺杂浓度两个数量级。

4. 根据权利要求3所述的一种具有埋层结构的槽栅型MOS,其特征在于,所述P+重掺杂埋层结构(9)的切面形状为椭圆形、圆形、长方形中的一种,其分布为网格状分布和块状分布中的一种。

## 一种具有埋层结构的槽栅型MOS

### 技术领域

[0001] 本发明属于功率半导体技术领域,特别涉及一种具有埋层结构的槽栅型MOS。

### 背景技术

[0002] 功率VDMOS器件通常可以分为平面栅型VDMOS和槽栅型VDMOS器件。其中槽栅型VDMOS器件的栅极位于硅片体内,在形成反型层沟道后,为载流子提供了一条低阻通道,进入漂移区后,电流在整个元胞横截面扩展开,由于没有JFET区域,槽栅型VDMOS和平面栅型VDMOS比较具有更小的导通电阻。但槽栅型VDMOS和平面栅型VDMOS相比,其可靠性会较差。主要因为当功率槽栅VDMOS在感性负载下开关工作时,其槽栅结构的尖锐边角处会有电场尖峰产生而导致失效。

[0003] 目前,槽栅型MOS通过引入浮空场板结构,体区深注入等方式提高了其耐压和可靠性。美国专利US 7,279,743 B2提出了一种闭合元胞结构的槽栅型MOS,该结构通过体区的不同深度掺杂,降低了MOS结构的栅漏电容(Cgd),改善了槽栅边角处的峰值电场。然而,由于器件导通时,部分沟道区的电流流路径增长,使得其沟道电阻增加较明显,器件的导通电阻也会提高。针对该问题,本专利引入了埋层结构,使得外延层的浓度设定可以提高,从而在改善器件整体的导通电阻的同时不会影响其耐压和电容。

### 发明内容

[0004] 为了更好的降低槽栅MOS拐角处的峰值电场,同时不会引起器件结构导通电阻的大幅度提升,本发明提出一种具有埋层结构的槽栅型MOS。

[0005] 本发明的技术方案如下:

[0006] 一种具有埋层结构的槽栅型MOS,包括从下至上依次层叠设置的漏极电极1、N型重掺杂单晶硅衬底2和N-外延层3;所述N-外延层3上层具有第一槽栅结构61、第二槽栅结构62和P型体区4;沿器件横向方向,所述P型体区4的两侧为第一槽栅结构61,沿器件纵向方向,所述P型体区4的两侧为第二槽栅结构62,所述器件横向方向和器件纵向方向位于同一水平面且相互垂直,所述第一槽栅结构61和第二槽栅结构62均由栅氧化层7及位于栅氧化层7中的栅电极构成,所述栅氧化层7与P型体区4接触;所述P型体区4上层具有N+重掺杂区5,所述N+重掺杂区5为闭环结构,在器件的俯视图中呈“口”字形,所述N+重掺杂区5的侧面与栅氧化层7接触;所述N+重掺杂区5的部分上表面及N+重掺杂区5之间的P型体区4上表面具有源极电极8;所述N-外延层3中具有多个P+重掺杂埋层结构9,沿器件横向方向和器件纵向方向,所述P+重掺杂埋层结构9呈垂直交叉的网格状分布,且P+重掺杂埋层结构9位于栅氧化层7与P型体区4接触面的正下方;沿器件横向方向和器件纵向方向,所述P型体区4的宽度从中部到下部逐渐缩小。

[0007] 进一步的,所述P型体区4结深大于第一槽栅结构和第二槽栅结构的结深。

[0008] 进一步的,所述P+重掺杂埋层结构9的掺杂浓度大于N-外延层3的掺杂浓度两个数量级。

[0009] 进一步的,所述P+重掺杂埋层结构9的切面形状为椭圆形、圆形、长方形中的一种,其分布为网格状分布和块状分布中的一种。

[0010] 由于P+埋层结构9引入了横向电场以改善耐压,因此在保证耐压的情况下,所述N-外延层3的掺杂浓度可以适当提高,以减弱由于P+埋层结构9限制了正向导通时的电流通道而可能引起的导通电阻增加。

## 附图说明

[0011] 图1是本发明的一种具有埋层结构的槽栅型MOS三维立体示意图;

[0012] 图2是本发明的一种具有埋层结构的槽栅型MOS的俯视图;

[0013] 图3是本发明的一种具有埋层结构的槽栅型MOS正向导通时的电流路径示意图;

[0014] 图4是本发明的一种具有埋层结构的槽栅型MOS在反向耐压时的耗尽线示意图;

[0015] 图5是本发明的具有埋层结构的槽栅型MOS的另一种结构的三维示意图;

[0016] 图6是本发明的具有埋层结构的槽栅型MOS的另一种结构的俯视图;

[0017] 图7是本发明的具有埋层结构的槽栅型MOS的一种P型体区掩膜版示意图;

[0018] 图8是本发明的具有埋层结构的槽栅型MOS的另一种P型体区掩膜版示意图,(a)是低剂量低能量注入掩膜版,(b)是高剂量高能量注入掩膜版。

## 具体实施方式

[0019] 下面结合附图对本发明进行详细描述

[0020] 需要说明的是,如附图中的坐标轴,本发明中与坐标轴相对应的描述为,器件横向方向对应x轴方向,器件纵向方向对应y方向,器件垂直方向对应z方向。

[0021] 如图1所示,本发明的一种具有埋层结构的槽栅型MOS,包括从下至上依次层叠设置的漏极电极1、N型重掺杂单晶硅衬底2和N-外延层3;所述N-外延层3上层具有第一槽栅结构61、第二槽栅结构62和P型体区4;沿器件横向方向,所述P型体区4的两侧为第一槽栅结构61,沿器件纵向方向,所述P型体区4的两侧为第二槽栅结构62,所述器件横向方向和器件纵向方向位于同一水平面且相互垂直,所述第一槽栅结构61和第二槽栅结构62均由栅氧化层7及位于栅氧化层7中的栅电极构成,所述栅氧化层7与P型体区4接触;所述P型体区4上层具有N+重掺杂区5,所述N+重掺杂区5为闭环结构,在器件的俯视图中呈“口”字形,所述N+重掺杂区5的侧面与栅氧化层7接触;所述N+重掺杂区5的部分上表面及N+重掺杂区5之间的P型体区4上表面具有源极电极8;所述N-外延层3中具有多个P+重掺杂埋层结构9,沿器件横向方向和器件纵向方向,所述P+重掺杂埋层结构9呈垂直交叉的网格状分布,且P+重掺杂埋层结构9位于栅氧化层7与P型体区4接触面的正下方;沿器件横向方向和器件纵向方向,所述P型体区4的宽度从中部到下部逐渐缩小。

[0022] 本发明的工作原理为:

[0023] (1)器件的正向导通:

[0024] 本发明所提供的一种具有闭合元胞结构的高可靠性的槽栅MOS,其正向导通时的电极连接方式为:源极电极8接低电位,漏极电极1接高电位,栅极6外加栅电压。

[0025] 当源极8相对于漏极1加零电压,栅极6也未加电压时,P型体区4和栅氧化层6交界处没有形成反型层,无电流通形成,因此此时没有电流流过。

[0026] 当漏极1相对于源极8加正电压时,栅极6外加正电压,P型体区4与栅氧化层7相接触的表面区域形成耗尽层。当提高加在栅极6上的正电压时,P型体区4与栅氧化层7相接触的表面区域形成反型层,为载流子提供一条流动通道。如图3所示,其中在x轴方向剖面上,所述P型体区4呈倒梯形,P型体区4与栅氧化层7相接触形成的反型层载流子通道直接连通N+掺杂区5和N-外延层区3。在外加源漏电压的作用下,反型层通道内部会有导通电流通过。

[0027] 在y轴方向剖面上,由于仅在栅氧化层7和P型体区4相接触的表面形成反型层,而在该剖面上P型体区4为等深度且位于槽栅6的下方,反型层通道不会直接连通N+掺杂区5和N-外延层区3。载流子将沿着所述网格状槽栅6和栅氧化层7的表面反型层,在结构体内,顺着所述槽栅结构(6-2)方向的通道流通,在P型体区4边界处,连接N-外延层区3。由于正向导通时的电流路径横截面扩大,因此电流集中效应导致的热效应降低,提高了器件的可靠性。

[0028] (2)器件的反向阻断:

[0029] 本发明所提供的一种具有闭合元胞结构的高可靠性的槽栅MOS,其反向阻断时的电极连接方式为:漏极电极1接高电位,源极电极8与栅极6短接,且接零电位。

[0030] 当栅极6外加零偏压时,电子的导电通路已经不存在,继续增加反向电压时,P型体区4下方的N-外延层区3将被进一步耗尽,耗尽层将向靠近漏极1一侧扩展以承受反向电压。图4为该结构在反向偏压状态时的耗尽线示意图,与普通槽栅MOS对比,倒梯形状的P型体区4的深度比槽栅6更大,使得槽栅结构6拐角处的电场线集中程度降低,从而降低拐角处的电场峰值。N-外延层3中的P+埋层结构9引入了横向电场,也将提高器件的耐压。

[0031] 本发明结构可以用以下方法制备得到,工艺步骤为:

[0032] 1、单晶硅准备。采用N型重掺杂单晶硅衬底2,晶向为<100>。

[0033] 2、外延生长。采用气相外延VPE等方法生长一定厚度和掺杂浓度的N-外延层3。

[0034] 3、P+埋层注入。在整个硅片表面淀积一层1um厚的光刻胶,用掩模版光刻出P+埋层9的图形然后高能硼离子注入,注入角度可根据要求改变,通过调整注入能量和剂量改变掺杂浓度和结深。

[0035] 4、P型体区注入。得到本发明中的倒梯形体区有两种制作方法:第一种是通过设置掩模板的形状控制杂质离子的扩散,杂质扩散深度与掩膜版上孔的密度有关,密度越大,注入杂质浓度越高,扩散深度越大,使用第一种方式掩膜版的形状具体如图7所示。第二种是通过分步注入,先通过第一道掩膜版小范围高剂量高能量注入,再通过第二道掩膜版大范围低剂量注入,使用第二种方式掩膜版的形状具体如图8所示。

[0036] 5、深槽刻蚀,制备栅结构。热生长栅氧化层7,淀积多晶硅栅电极。

[0037] 6、淀积栅电极6,表面平坦化。

[0038] 7、注入N+重掺杂区5。

[0039] 8、P型重掺杂注入。

[0040] 9、正面金属化源极。在整个器件表面溅射一层金属铝,形成金属区8。

[0041] 10、背面减薄、金属化,形成漏极1。

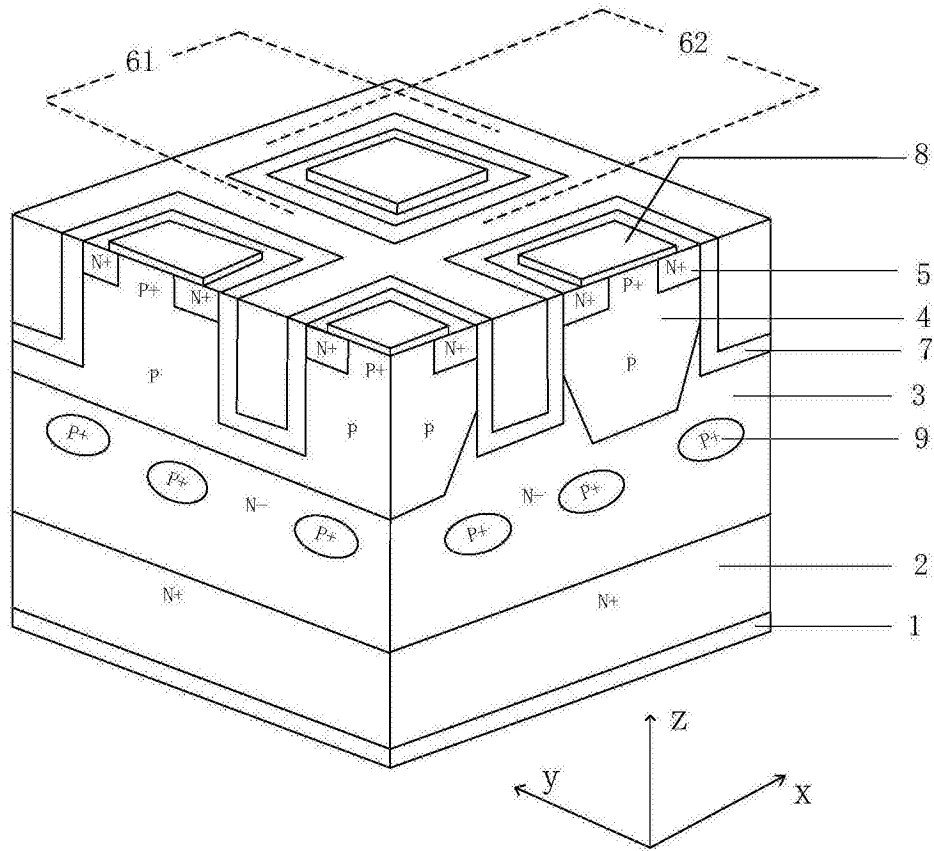


图1

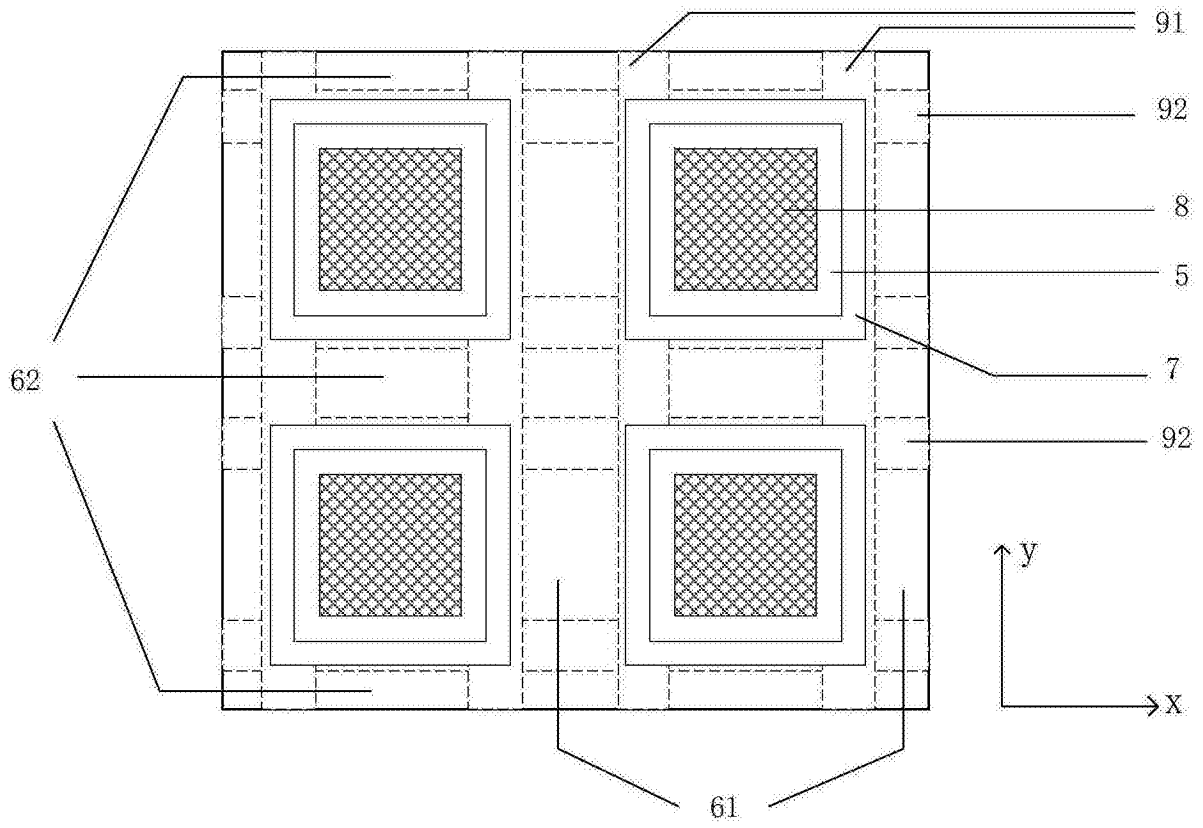


图2

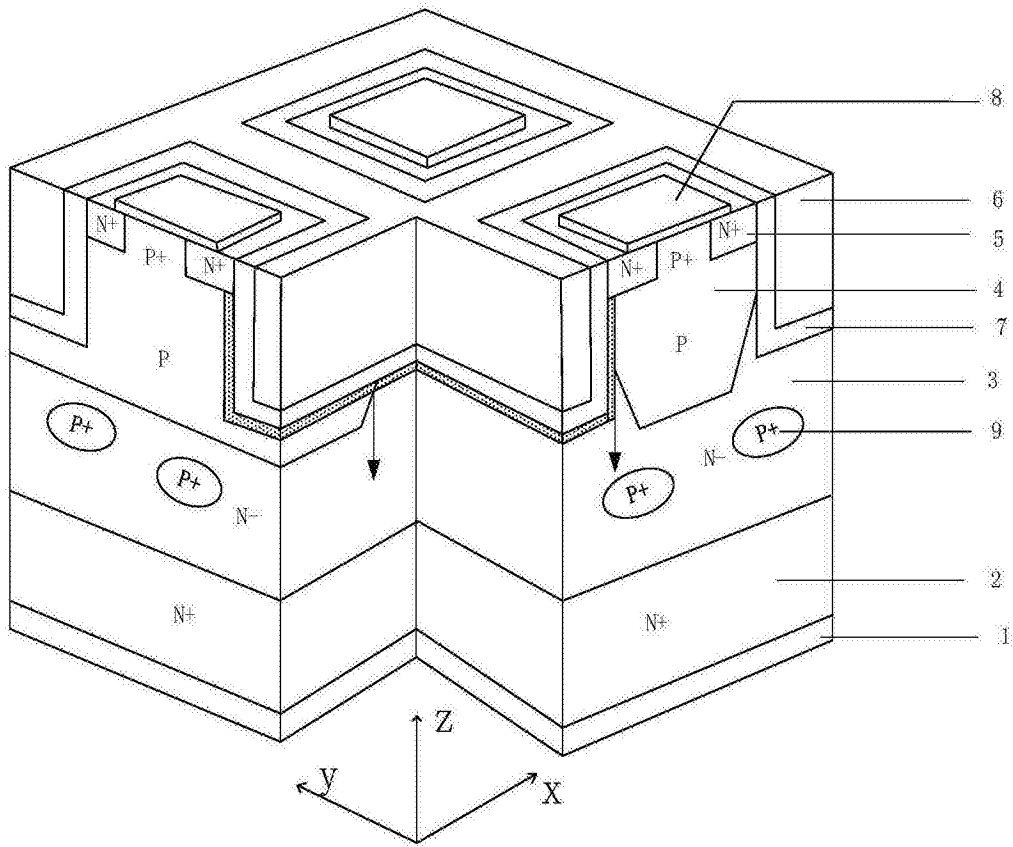


图3



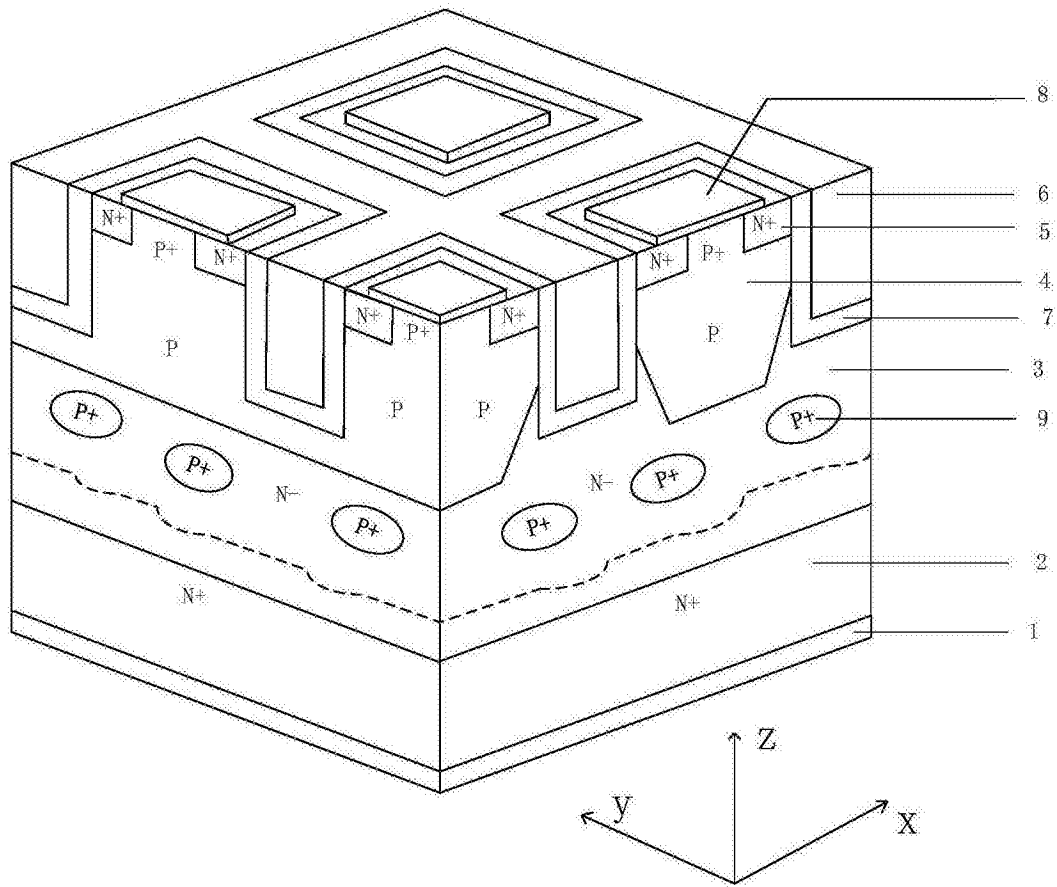


图4

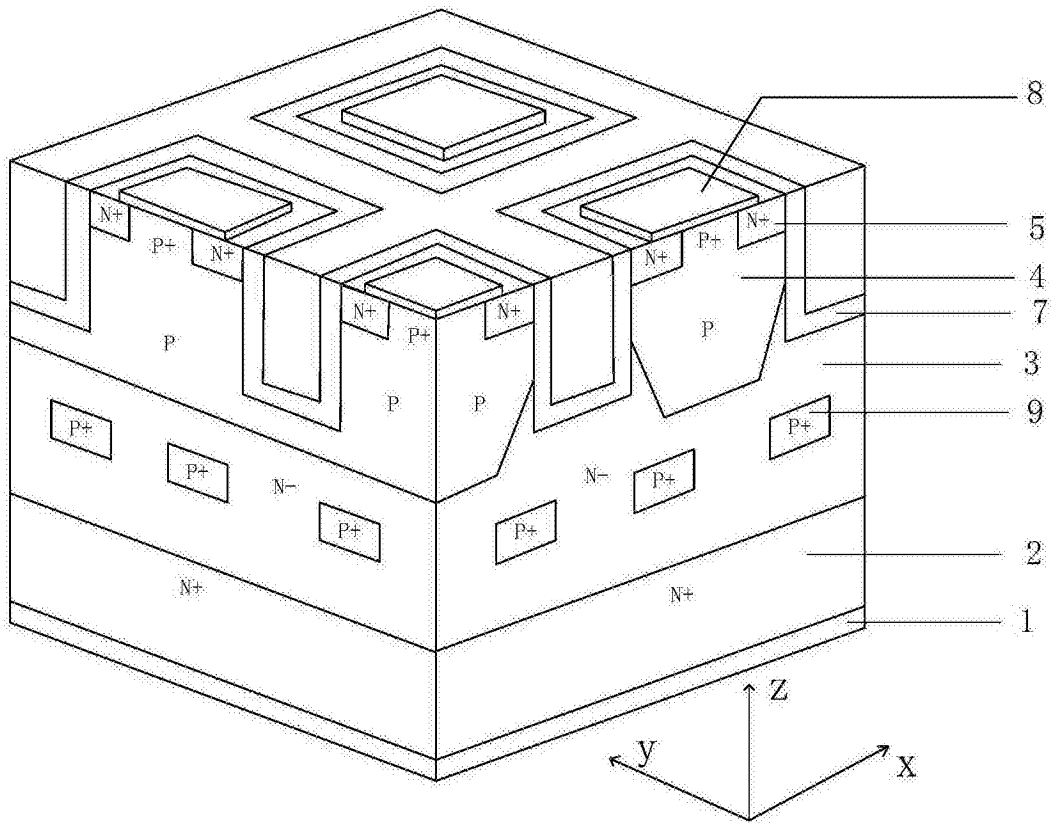


图5

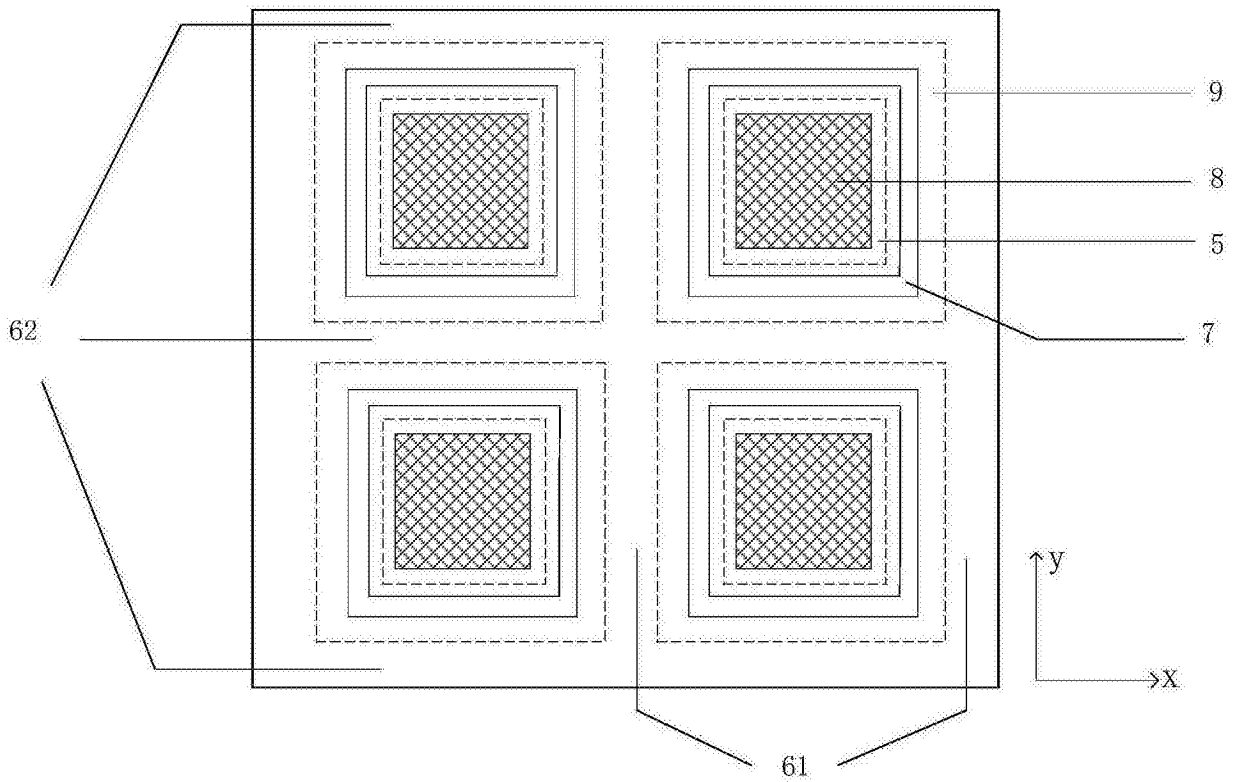


图6

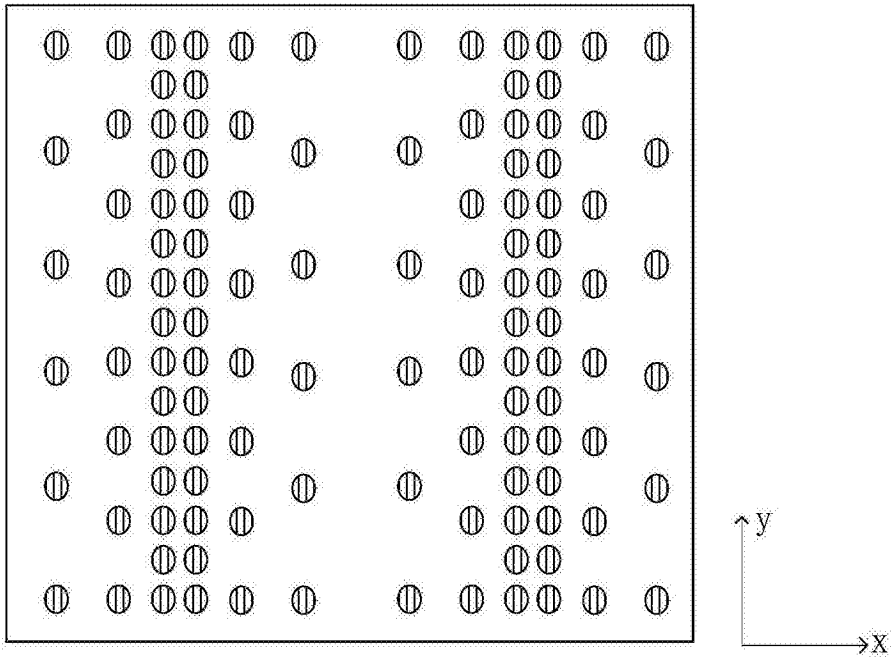


图7

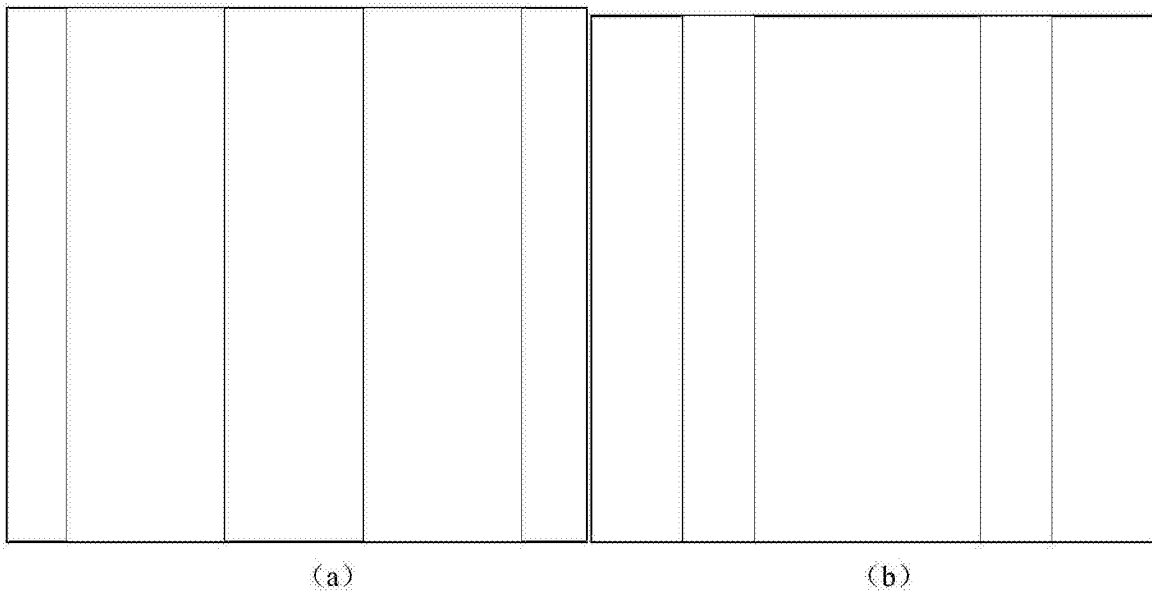


图8