

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-190043

(P2012-190043A)

(43) 公開日 平成24年10月4日(2012.10.4)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1335 (2006.01)	G02F 1/1335 500	2H042
G02F 1/1368 (2006.01)	G02F 1/1368	2H048
G02B 5/00 (2006.01)	G02B 5/00 Z	2H092
G02B 5/20 (2006.01)	G02B 5/20 101	2H191

審査請求 有 請求項の数 1 O L (全 32 頁)

(21) 出願番号 特願2012-116115 (P2012-116115)
 (22) 出願日 平成24年5月22日 (2012.5.22)
 (62) 分割の表示 特願2011-128216 (P2011-128216) の分割
 原出願日 平成13年4月18日 (2001.4.18)
 (31) 優先権主張番号 特願2000-115993 (P2000-115993)
 (32) 優先日 平成12年4月18日 (2000.4.18)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 後藤 裕吾
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H042 AA06 AA15 AA22 AA26 AA28
 2H048 BA11 BB01 BB03 BB42
 2H092 GA59 JA24 JA28 JA34 JA41
 JA46 JB22 JB31 JB54 JB56
 KA05 MA08 MA13 MA17
 2H191 FA02Y FA13Y FD22 GA19 LA13
 LA19 NA45

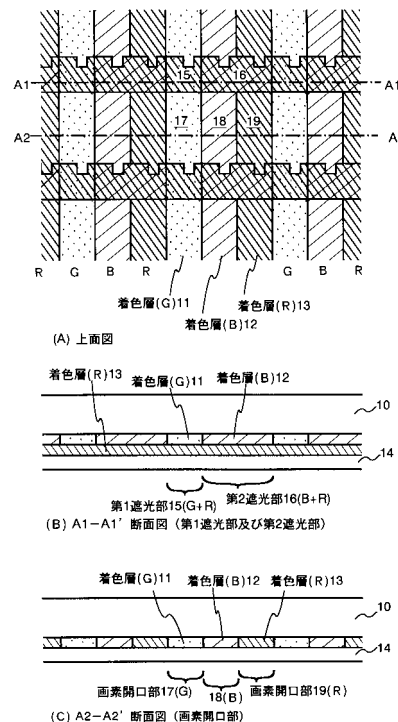
(54) 【発明の名称】 電気光学装置

(57) 【要約】

【課題】カラーフィルタの遮光マスクとして金属膜を用いた従来の液晶表示パネルでは、他の配線との寄生容量が形成され信号の遅延が生じやすいという問題が生じていた。また、カラーフィルタの遮光マスクとして黒色顔料を含有した有機膜を用いた場合、製造工程が増加するという問題が生じていた。

【解決手段】本発明は、遮光マスク（ブラックマトリクス）を用いることなく、対向基板上に遮光部15、16として2層の着色層を積層した膜（赤色の着色層13と青色の着色層12との積層膜、あるいは赤色の着色層13と緑色の着色層11との積層膜）を素子基板のTFTと重なるよう形成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の着色層と第 2 の着色層の積層からなる第 1 の遮光部と、
前記第 1 の着色層と第 3 の着色層の積層からなる第 2 の遮光部とを有していることを特徴とする電気光学装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

10

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（以下、TFTと呼ぶ）を構成する技術が注目されている。TFTはICや電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

20

【0004】

液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてTFTを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0005】

アクティブマトリクス型液晶表示装置には大きく分けて透過型と反射型の二種類のタイプが知られている。

【0006】

特に、反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため、消費電力が少ないといった長所を有しており、モバイルコンピュータやビデオカメラ用の直視型表示ディスプレイとしての需要が高まっている。

30

【0007】

なお、反射型の液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。一般に反射型の液晶表示装置における画素電極は、アルミニウム等の光反射率の高い金属材料からなり、薄膜トランジスタ（以下、TFTと呼ぶ）等のスイッチング素子に電氣的に接続している。

【0008】

また、液晶表示装置においては、アモルファスシリコンまたはポリシリコンを半導体としたTFTをマトリクス状に配置して、各TFTに接続された画素電極とソース線とゲート線とがそれぞれ形成された素子基板と、これに対向配置された対向電極を有する対向基板との間に液晶材料が挟持されている。また、カラー表示するためのカラーフィルタは対向基板に貼りつけられている。そして、素子基板と対向基板にそれぞれ光シャッタとして偏光板を配置し、カラー画像を表示している。

40

【0009】

このカラーフィルタは、R（赤）、G（緑）、B（青）の着色層と、画素の間隙だけを覆う遮光マスクとを有し、光を透過させることによって赤色、緑色、青色の光を抽出する。また、遮光マスクは、一般的に金属膜（クロム等）または黒色顔料を含有した有機膜で構成されている。このカラーフィルタは、画素に対応する位置に形成され、これにより画

50

素ごとに取り出す光の色を変えることができる。なお、画素に対応した位置とは、画素電極と一致する位置を指す。

【発明の概要】

【発明が解決しようとする課題】

【0010】

カラーフィルタの遮光マスクとして金属膜を用いた従来の液晶表示パネルでは、他の配線との寄生容量が形成され信号の遅延が生じやすいという問題が生じていた。また、カラーフィルタの遮光マスクとして黒色顔料を含有した有機膜を用いた場合、製造工程が増加するという問題が生じていた。

【課題を解決するための手段】

【0011】

本発明は、遮光マスク（ブラックマトリクス）を用いることなく、TFT及び画素間を遮光する画素構造を特徴としている。遮光する手段の一つとして、対向基板上に遮光部として2層の着色層を積層した膜（赤色の着色層と青色の着色層との積層膜、あるいは赤色の着色層と緑色の着色層との積層膜）を素子基板のTFTと重なるよう形成することを特徴としている。

【0012】

本明細書では、「赤色の着色層」とは、着色層に照射された光の一部を吸収し、赤色の光を抽出するものである。また、同様に「青色の着色層」とは、着色層に照射された光の一部を吸収し、青色の光を抽出するものであり、「緑色の着色層」とは、着色層に照射された光の一部を吸収し、緑色の光を抽出するものである。

【0013】

本明細書で開示する発明の構成は、第1の着色層と第2の着色層の積層からなる第1の遮光部と、前記第1の着色層と第3の着色層の積層からなる第2の遮光部とを有していることを特徴とする電気光学装置である。

【0014】

また、他の発明の構成は、TFTと、第1の着色層と第2の着色層の積層からなる第1の遮光部と、前記第1の着色層と第3の着色層の積層からなる第2の遮光部とを有し、前記第1の遮光部及び前記第2の遮光部は、少なくとも前記TFTのチャネル形成領域と重なって形成されていることを特徴とする電気光学装置である。

【0015】

また、他の発明の構成は、複数の画素電極と、第1の着色層と第2の着色層の積層からなる第1の遮光部と、前記第1の着色層と第3の着色層の積層からなる第2の遮光部とを有し、前記第1の遮光部及び前記第2の遮光部は、任意の画素電極と、該画素電極と隣り合う画素電極との間に重なって形成されていることを特徴とする電気光学装置である。

【0016】

また、上記各構成において、前記第1の遮光部の反射光量と前記第2の遮光部の反射光量は、それぞれ異なることを特徴としている。

【0017】

また、上記各構成において、前記第1の着色層は赤色であることを特徴としている。また、前記第2の着色層は青色である。また、前記第3の着色層は緑色である。

【0018】

また、上記各構成において、前記第3の着色層はストライプ状であることを特徴としている。

【0019】

また、上記各構成において、前記第1の遮光部および前記第2の遮光部は、対向基板に設けられている。

【0020】

また、上記各構成において、前記電気光学装置は、画素電極がAlまたはAgを主成分

10

20

30

40

50

とする膜、またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴としている。

【発明の効果】

【0021】

本発明では2層の着色層からなる積層膜(R+BあるいはR+G)で遮光部を形成する。結果として、ブラックマトリクスを形成する工程を省略することができる。

【図面の簡単な説明】

【0022】

【図1】着色層の配置を示す上面図及び断面図。

【図2】着色層の断面図。

10

【図3】積層した着色層の反射率を示す図。

【図4】配線と着色層の重なりを示す図。

【図5】AM-LCDの作製工程を示す図。

【図6】AM-LCDの作製工程を示す図。

【図7】画素上面図を示す図。

【図8】AM-LCDの作製工程を示す図。

【図9】画素上面図を示す図。

【図10】アクティブマトリクス型液晶表示装置の断面構造図を示す図。

【図11】着色層の配置を示す図。

20

【図12】AM-LCDの外観を示す図。

【図13】AM-LCDの端子部を示す図。

【図14】AM-LCDの作製工程を示す図。

【図15】AM-LCDの作製工程を示す図。

【図16】AM-LCDの作製工程を示す図。

【図17】凸部の上面形状を示す図。

【図18】画素上面図を示す図。

【図19】アクティブマトリクス型液晶表示装置の断面構造図を示す図。

【図20】アクティブマトリクス型液晶表示装置の断面構造図を示す図。

【図21】アクティブマトリクス型液晶表示装置の断面構造図を示す図。

【図22】アクティブマトリクス基板の画素部と端子部の配置を説明する図。

30

【図23】アクティブマトリクス型液晶表示装置の断面構造図を示す図。

【図24】非単結晶珪素膜に対する吸収率を示す図。

【図25】着色層の単層での反射率を示す図。

【図26】電子機器の一例を示す図。

【図27】電子機器の一例を示す図。

【発明を実施するための形態】

【0023】

本発明の実施形態について、以下に説明する。

【0024】

図1に本発明の構成を示す。ここでは反射型の液晶表示装置を例にとり、以下に説明する。

40

【0025】

図1(A)は、適宜、3色の着色層11~13を形成して、第1の遮光部15、第2の遮光部16、及び画素開口部17~19を構成した一例を示している。

一般に、着色層は顔料を分散した有機感光材料からなるカラーレジストを用いて形成される。

【0026】

第1の遮光部15及び第2の遮光部16は、各画素の間隙を遮光するように形成する。従って、入射光は第1の遮光部15及び第2の遮光部16により吸収され観察者には、ほぼ黒色として認識される。また、第1の遮光部15及び第2の遮光部16は、素子基板の

50

画素 T F T (ここでは図示しない) と重なるよう形成され、画素 T F T を外部の光から保護する役目を果たしている。

【 0 0 2 7 】

第 1 の遮光部 1 5 は、緑色の着色層 1 1 と赤色の着色層 1 3 とを積層して形成する。赤色の着色層 1 3 は、格子状にパターンニングする。なお、緑色の着色層 1 1 は、従来と同じ形状 (ストライプ状) にパターンニングする。

【 0 0 2 8 】

また、第 2 の遮光部 1 6 は、青色の着色層 1 2 と赤色の着色層 1 3 とを積層して形成する。なお、青色の着色層 1 2 は、隣り合う赤色の着色層 1 3 と一部重なるような形状にパターンニングしている。

10

【 0 0 2 9 】

なお、図 1 (B) は、図 1 (A) 中における第 1 の遮光部及び第 2 の遮光部を鎖線 (A 1 - A 1 ') で切断した断面構造を示している。図 1 (B) に示すように、対向基板 1 0 上の着色層 1 1、1 2 を覆って着色層 1 3 が積層されており、さらに、平坦化膜 1 4 で着色層 1 3 を覆っている。

【 0 0 3 0 】

また、緑色の着色層 1 1 と赤色の着色層 1 3 との積層膜 (第 1 の遮光部 1 5)、青色の着色層 1 2 と赤色の着色層 1 3 との積層膜 (第 2 の遮光部 1 6)、緑色の着色層と青色の着色層との積層膜について、それぞれの反射率をある測定条件 (白色光源 (D 6 5)、反射電極 (A 1)、視野角 2 °、対物レンズ 5 倍) で測定した。その測定結果を表 1 に示す。

20

【 0 0 3 1 】

【表 1】

着色層の 2 層積層における反射率

波長 [nm]	反射率 (反射用着色層)		
	R+B+Al	G+B+Al	R+G+Al
400	30.0%	14.5%	11.3%
450	27.9%	12.8%	7.8%
500	6.0%	56.2%	6.0%
550	6.1%	24.1%	9.3%
600	9.5%	6.6%	36.9%
650	13.5%	5.5%	12.8%
700	18.2%	8.1%	25.3%
750	15.1%	8.6%	33.2%
800	62.5%	35.4%	51.8%

30

測定条件：D光源 視野：2° 対物レンズ ×5

40

【 0 0 3 2 】

また、表 1 をグラフにしたものが図 3 である。

【 0 0 3 3 】

表 1 及び図 3 で示されるように、R + B + A l (第 2 の遮光部 1 6 に相当) は 4 0 0 ~ 4 5 0 nm の波長域で約 3 5 % の反射率となり、十分に遮光マスクとして機能する。また、R + G + A l (第 1 の遮光部 1 5 に相当) は 5 7 0 nm 付近で約 5 0 % の反射率を有しているものの十分に遮光マスクとして機能する。

【 0 0 3 4 】

また、図 2 4 には非単結晶珪素膜 5 5 nm に対する吸収率と照射される波長との関係を示した。図 2 4 に示したように、T F T の活性層を形成する非単結晶珪素膜は、5 0 0 n

50

mの波長域の光を吸収しやすい傾向が見られる。この500nmの波長域において、上記第1の遮光部15及び第2の遮光部16は、表1及び図3で示されるように、反射率を10%以下に抑えることができるため、光によるTFTの劣化を抑えることができる。

【0035】

また、着色層を3層重ねれば遮光性は上がるが、3層重ねた分、凹凸が大きくなるため、基板の平坦性が失われ、液晶層に乱れが生じてしまう。しかし、本発明のように着色層を2層重ねる程度であれば、基板の平坦性に液晶層にもほとんど影響ないレベルである。

【0036】

このように本発明では2層の着色層からなる積層膜(R+BあるいはR+G)で遮光マスクを形成することを特徴としている。結果として、ブラックマトリクスを形成する工程を省略することができ、工程数が低減した。

10

【0037】

ただし、図1(B)に示した断面図は一例であって、特に限定されず、例えば、図2(A)~図2(C)に示す構造を取ってもよい。図2(A)は最初に着色層(R)23を形成した後、着色層(B)22と着色層(G)21を積層した例であり、図2(B)は最初に着色層(G)31を形成した後、着色層(R)33を形成し、次いで着色層(B)32を積層した例であり、図2(C)は最初に着色層(B)42を形成した後、着色層(R)43を形成し、次いで着色層(G)41を積層した例である。

【0038】

また、画素電極間における配線と画素電極と着色層との位置関係を図4に示す。図4(A)は、画素電極51と画素電極52との間を遮光するように、ソース配線50上方で着色層(B)58と着色層(R)59との端面が接しており、その接面がソース配線上に存在している例を示した。なお、図4(A)中において53、55は配向膜、54は液晶、56は対向基板、57は平坦化膜である。

20

【0039】

なお、図4(A)に示した例に限定されることなく、着色層のパターニング時のずれを考慮して図4(B)や図4(C)に示すような構造としてもよい。図4(B)は、画素電極61と画素電極62との間を遮光するように、ソース配線60上方で着色層(B)68の端部と一部が重なるように着色層(R)69を形成している例である。また、図4(C)は、画素電極71と画素電極72との間を遮光するように、ソース配線70上方で着色層(B)78と着色層(R)79とが互いに接しないよう形成している例である。

30

【0040】

また、画素開口部17~19を通過した光は、単層の着色層11~13によりそれぞれ対応する色に着色されて観察者に認識される。なお、図1(C)は、図1(A)中における画素開口部を鎖線(A2-A2')で切断した断面構造を示している。図1(C)に示すように、対向基板10上に単層の着色層11~13が順次形成されており、さらに、これらの着色層11~13を覆う平坦化膜14が形成されている。

【0041】

画素開口部においては、図25に示した従来と同様に、青色の着色層は450nm付近で90%を越える反射率を示している。また、緑色の着色層は530nm付近で90%を越える反射率を示している。また、赤色の着色層は600~800nmで90%を越える反射率を示している。

40

【0042】

ここでは反射型液晶表示装置の例であるので、画素開口部17~19に入射した光は、単層の着色層11~13をそれぞれ通過した後、液晶層を通過して画素電極で反射し、再度、液晶層、単層の着色層11~13をそれぞれ通過して、それぞれの色の光が抽出され、観察者に認識される。

【0043】

また、着色層11~13には、最も単純なストライプパターンをはじめとして、斜めモ

50

ザイク配列、三角モザイク配列、RGBG四画素配列、もしくはRGBW四画素配列などを用いることができる。

【0044】

また、白色発光の発光素子を用いた自発光表示装置に本発明の着色層の配置を適用してもよい。

【0045】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例1】

【0046】

以下、本発明の一実施例をアクティブマトリクス型液晶表示装置に用いる対向基板の製造を例にとって説明する。図1は本発明に従って形成された着色層を備えた対向基板を模式的に示す図である。

【0047】

まず、透光性を有する対向基板10にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるパリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用意する。その他に、石英基板、プラスチック基板などの透光性基板を使用することもできる。

【0048】

次いで、対向基板10上に有機感光材料(CGY-S705C:富士フィルムオーリン社製のCOLOR MOSAIC)を塗布して、フォトリソグラフィ法により、この有機感光材料を図1(A)に示すようにストライプ状にパターニングして緑色の着色層(G)11を所定の位置に形成する。ここでは幅42μmでパターニングした。

【0049】

次いで、所定の位置に有機感光材料(CVB-S706C:富士フィルムオーリン社製のCOLOR MOSAIC)を塗布して、フォトリソグラフィ法により、この有機感光材料を図1(A)に示した形状にパターニングして青色の着色層(B)12を形成する。なお、この青色の着色層(B)12と緑色の着色層(G)11とが互いに重ならないように形成する。

【0050】

次いで、所定の位置に有機感光材料(CRY-S778:富士フィルムオーリン社製のCOLOR MOSAIC)を塗布して、フォトリソグラフィ法により、この有機感光材料を図1(A)に示すように格子状にパターニングして赤色の着色層(R)

13を形成する。図1(B)及び図1(A)に示すように、この赤色の着色層(R)13は、緑色の着色層(G)11と一部重なり第1の遮光部15を形成する。一方、図1(C)に示すように、緑色の着色層(G)11のうち、赤色の着色層(R)13と重なっていない領域が緑色の画素開口部17となる。なお、第1の遮光部15は、TFTが設けられた素子基板と貼り合わせた時にTFTのチャンネル形成領域と重なるように形成する。

【0051】

また、図1(B)及び図1(A)に示すように、赤色の着色層(R)13は、青色の着色層(B)12と一部重なり第2の遮光部16を形成する。一方、図1(C)に示すように、青色の着色層(B)12のうち、赤色の着色層(R)13と重なっていない領域が青色の画素開口部18となる。本実施例では、画素開口部18のサイズは、126μm×42μmとなった。なお、第2の遮光部16も、TFTが設けられた素子基板と貼り合わせた時にTFTのチャンネル形成領域と重なるように形成する。

【0052】

また、赤色の着色層(R)13のうち、緑色の着色層(G)11と重なっておらず、青色の着色層(B)12とも重なっていない領域が赤色の画素開口部19となる。

【0053】

こうして3回のフォトリソグラフィ法で画素開口部17~19と、第1の遮光部15と、第2の遮光部16とを形成することができる。

10

20

30

40

50

【0054】

次いで、各着色層を覆う平坦化膜14を形成する。着色層が単層である領域と着色層が2層重なっている領域とで1~1.5 μm 程度の段差が生じるため、この平坦化膜14としては1 μm 以上、好ましくは2 μm の膜厚を必要とする。この平坦化膜14としては透光性を有する有機物、例えば、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等の有機樹脂材料を用いることができる。ただし、平坦性が問題にならないのであれば、この平坦化膜を設ける必要はない。

【0055】

なお、本実施例では有機感光材料を塗布して、フォトリソグラフィ法により、所望の形状にパターンニングして各着色層11~13を形成したが、特に上記作製方法に限定されないことは言うまでもない。

10

【0056】

この後、図示しないが、平坦化膜上に透明導電膜からなる対向電極を形成し、さらにその上に液晶を配向させるための配向膜を形成し、さらに必要があればラビング処理を施す。

【0057】

こうして得られた対向基板を用いて、アクティブマトリクス型の液晶表示装置を作製する。

【実施例2】

【0058】

実施例1では、緑色の着色層(G)11、青色の着色層(B)12、赤色の着色層(R)13と順次形成した例を示したが、本実施例は実施例1と異なる順序で各着色層を形成する例を以下に示す。なお、各着色層の形成順序以外は実施例1と同じであるので異なる点についてのみ説明する。

20

【0059】

第1の例として、図2(A)に示す構造を取ってもよい。図2(A)は最初に着色層(R)23を形成した後、着色層(B)22と着色層(G)21を積層した例である。なお、図2(A)は図1(A)中の鎖線A1-A1'で切断した断面構造図に対応している。

【0060】

また、第2の例として、図2(B)に示す構造を取ってもよい。図2(B)は最初に着色層(G)31を形成した後、着色層(R)33を形成し、次いで着色層(B)32を積層した例である。なお、図2(B)は図1(A)中の鎖線A1-A1'で切断した断面構造図に対応している。

30

【0061】

また、第3の例として、図2(C)に示す構造を取ってもよい。図2(C)は最初に着色層(B)42を形成した後、着色層(R)43を形成し、次いで着色層(G)41を積層した例である。なお、図2(C)は図1(A)中の鎖線A1-A1'で切断した断面構造図に対応している。

【実施例3】

【0062】

本実施例では実施例1または実施例2で得られた対向基板と貼り合わせる素子基板(アクティブマトリクス基板とも言う)を作製する方法について説明する。

ここでは、同一基板の上に画素部と、画素部の周辺に設ける駆動回路のTF T(nチャンネル型TF T及びpチャンネル型TF T)を同時に作製する方法について詳細に説明する。

40

【0063】

まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板100を用いる。なお、基板100としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

50

【0064】

次いで、図5(A)に示すように、基板100上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜101を形成する。本実施例では下地膜101として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜101の一層目としては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜102aを10~200nm(好ましくは50~100nm)形成する。本実施例では、膜厚50nmの酸化窒化シリコン膜102a(組成比 $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$)を形成した。次いで、下地膜101の二層目としては、プラズマCVD法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜101bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化シリコン膜101b(組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$)を形成した。

10

【0065】

次いで、下地膜上に半導体層102~106を形成する。半導体層102~106は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層102~106の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層102~106を形成した。

20

【0066】

また、半導体層102~106を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

30

【0067】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、 YVO_4 レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100~400mJ/cm²(代表的には200~300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600mJ/cm²(代表的には350~500mJ/cm²)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98%として行えばよい。

40

【0068】

次いで、半導体層102~106を覆うゲート絶縁膜107を形成する。ゲート絶縁膜107はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化シリコン膜(組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$)で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0069】

50

また、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400~500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0070】

次いで、ゲート絶縁膜107上に膜厚20~100nmの第1の導電膜108と、膜厚100~400nmの第2の導電膜109とを積層形成する。本実施例では、膜厚30nmのTa₂N膜からなる第1の導電膜108と、膜厚370nmのW膜からなる第2の導電膜109を積層形成した。Ta₂N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要がある。W膜の抵抗率は20μΩ/cm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999%または純度99.99%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中の不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩ/cmを実現することができた。

10

【0071】

なお、本実施例では、第1の導電膜108をTa₂N、第2の導電膜109をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(Ta₂N)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(Ta₂N)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

20

【0072】

次に、フォトリソグラフィ法を用いてレジストからなるマスク110~115を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。なお、エッチング用ガスとしては、Cl₂、BCl₃、SiCl₄、CCl₄などを代表とする塩素系ガスまたはCF₄、SF₆、NF₃などを代表とするフッ素系ガス、またはO₂を適宜用いることができる。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。

30

40

【0073】

この後、レジストからなるマスク110~115を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件ではW膜及びTa₂N膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0074】

50

上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層117~122(第1の導電層117a~122aと第2の導電層117b~122b)を形成する。116はゲート絶縁膜であり、第1の形状の導電層117~122で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0075】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。(図5(B))ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を60~100keVとして行う。本実施例ではドーズ量を $1.5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を80keVとして行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、導電層117~121がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域123~127が形成される。第1の不純物領域123~127には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

10

【0076】

次に、レジストからなるマスクを除去せずに図5(C)に示すように第2のエッチング処理を行う。第2のエッチング処理では第3及び第4のエッチング条件で行う。第3のエッチング条件として、同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を30/30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して約60秒程度のエッチングを行った。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べて低い自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第3のエッチング条件ではW膜及びTaN膜とも同程度にエッチングされる。

20

【0077】

この後、レジストからなるマスクを除去せずに第4のエッチング条件に変え、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量比を25/25/10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約20秒程度のエッチングを行った。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。この第4のエッチング条件によりW膜をエッチングする。

30

【0078】

こうして、上記第3及び第4のエッチング条件によりW膜を異方性エッチングし、かつ、W膜より遅いエッチング速度でTaN膜を異方性エッチングして第2の形状の導電層129~134(第1の導電層129a~134aと第2の導電層129b~134b)を形成する。128はゲート絶縁膜であり、第2の形状の導電層129~134で覆われない領域は、エッチングされて、約10~20nm程度の膜厚にまで薄くなった。

40

【0079】

W膜やTaN膜に対する CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaNのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTaN膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaNはFが増大しても相対的にエッチング速度の増加は少ない。また、TaNはWに比較して酸化されやすいので、 O_2 を添加することでTaNの表面が多少酸化される。TaNの酸化

50

物はフッ素や塩素と反応しないため、さらにT a N膜のエッチング速度は低下する。従って、W膜とT a N膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をT a N膜よりも大きくすることが可能となる。

【0080】

次いで、レジストからなるマスクを除去せずに図6(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120keV、本実施例では90keVの加速電圧とし、 3.5×10^{12} atoms/cm²のドーズ量で行い、図5(B)で形成された第1の不純物領域より内側の半導体層に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層129b~133bを不純物元素に
10

【0081】

なお、第2のドーピング処理の前に、レジストからなるマスクを除去してもよい。

【0082】

こうして、第2の導電層129a~133aと重なる第3の不純物領域140~144と、第1の不純物領域145~149と第3の不純物領域との間の第2の不純物領域135~139とを形成する。n型を付与する不純物元素は、第2の不純物領域で 1×10^{17} ~ 1×10^{19} atoms/cm³の濃度となるようにし、第3の不純物領域で 1×10^{16} ~ 1×10^{18} atoms/cm³の濃度となるようにする。なお、この第3の不純物領域140~144に
20

【0083】

そして、レジストからなるマスクを除去した後、新たにレジストからなるマスク150~152を形成して図6(B)に示すように、第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFETの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された第4の不純物領域153~158を形成する。第2の形状の導電層130、133を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に第4の不純物領域を形成する。本実施例では、不純物領域153~158はジボラン(B₂H₆)を用いたイオンドープ法で形成する。この第3のドーピング処理の際には、nチャネル型TFETを形成する半導体層はレジストからなるマスク150~152で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域153~158にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を 2×10^{20} ~ 2×10^{21} atoms/cm³となるようにドーピング処理することにより、pチャネル型TFETのソース領域およびドレイン領域として機能するために何ら問題は生じない。
30

【0084】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。半導体層と重なる第2の形状の導電層129~132がゲート電極として機能する。また、134はソース配線、133は保持容量を形成するための第2の電極として機能する。
40

【0085】

次いで、レジストからなるマスク150~152を除去し、全面を覆う第1の層間絶縁膜159を形成する。この第1の層間絶縁膜159としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化シリコン膜を形成した。勿論、第1の層間絶縁膜159は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。
50

【0086】

次いで、図6(C)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700、代表的には500~550で行えばよく、本実施例では550、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0087】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域145~149、153、156にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

10

【0088】

また、第1の層間絶縁膜159を形成する前に活性化処理を行っても良い。ただし、129~134に用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0089】

また、上記活性化処理後での画素部における上面図を図7に示す。なお、図5及び図6に対応する部分には同じ符号を用いている。図6中の鎖線C-C'は図7中の鎖線C-C'で切断した断面図に対応している。また、図6中の鎖線D-D'は図7中の鎖線D-D'で切断した断面図に対応している。

20

【0090】

さらに、3~100%の水素を含む雰囲気中で、300~550で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約100%の含む雰囲気中で350、1時間の熱処理を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。

水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

30

【0091】

また、窒化シリコン膜からなる層間絶縁膜中に含まれる水素を利用して熱処理(300~550で1~12時間の熱処理)を行い、半導体層を水素化する工程を行ってもよい。この場合、窒素雰囲気中で410、1時間の熱処理を行えば層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端することができる。

【0092】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0093】

次いで、第1の層間絶縁膜159上に有機絶縁物材料から成る第2の層間絶縁膜160を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。次いで、ソース配線134に達するコンタクトホールと各不純物領域145、147、148、153、156に達するコンタクトホールを形成するためのパターニングを行う。

40

【0094】

そして、駆動回路406において、第1の不純物領域または第4の不純物領域とそれぞれ電氣的に接続する配線161~166を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜(AlとTiとの合金膜)との積層膜をパターニングして形成する。

【0095】

50

また、画素部 407 においては、画素電極 169、ゲート配線 168、接続電極 167 を形成する。(図 8) この接続電極 167 によりソース配線 134 は、画素 TFT 404 と電気的な接続が形成される。また、ゲート配線 168 は、第 1 の電極(第 2 の形状の導電層 133) と電気的な接続が形成される。また、画素電極 169 は、画素 TFT のドレイン領域と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層と電気的な接続が形成される。また、画素電極 169 としては、Al または Ag を主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

【0096】

以上の様にして、n チャンネル型 TFT 401、p チャンネル型 TFT 402、n チャンネル型 TFT 403 を有する駆動回路 406 と、画素 TFT 404、保持容量 405 とを有する画素部 407 を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0097】

駆動回路 406 の n チャンネル型 TFT 401 はチャンネル形成領域 170、ゲート電極を形成する第 2 の形状の導電層 129 と重なる第 3 の不純物領域 140 (GOLD 領域)、ゲート電極の外側に形成される第 2 の不純物領域 135 (LDD 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 145 を有している。p チャンネル型 TFT 402 にはチャンネル形成領域 171、ゲート電極を形成する第 2 の形状の導電層 130 と重なる第 4 の不純物領域 155、ゲート電極の外側に形成される第 4 の不純物領域 154、ソース領域またはドレイン領域として機能する第 4 の不純物領域 153 を有している。n チャンネル型 TFT 403 にはチャンネル形成領域 172、ゲート電極を形成する第 2 の形状の導電層 131 と重なる第 3 の不純物領域 142 (GOLD 領域)、ゲート電極の外側に形成される第 2 の不純物領域 137 (LDD 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 147 を有している。

【0098】

画素部の画素 TFT 404 にはチャンネル形成領域 173、ゲート電極を形成する第 2 の形状の導電層 132 と重なる第 3 の不純物領域 143 (GOLD 領域)、ゲート電極の外側に形成される第 2 の不純物領域 138 (LDD 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 148 を有している。また、保持容量 405 の一方の電極として機能する半導体層 156 ~ 159 には第 4 の不純物領域と同じ濃度で、それぞれ p 型を付与する不純物元素が添加されている。保持容量 405 は、絶縁膜(ゲート絶縁膜と同一膜)を誘電体として、第 2 の電極 133 と、半導体層 156 ~ 159 とで形成している。

【0099】

本実施例で作製するアクティブマトリクス基板の画素部の上面図を図 9 に示す。なお、図 5 ~ 図 8 に対応する部分には同じ符号を用いている。図 9 中の鎖線 A - A' は図 8 中の鎖線 A - A' で切断した断面図に対応している。また、図 9 中の鎖線 B - B' は図 8 中の鎖線 B - B' で切断した断面図に対応している。

【0100】

このように、本実施例の画素構造を有するアクティブマトリクス基板は、一部がゲート電極の機能を果たす第 1 の電極 132 とゲート配線 168 とを異なる層に形成し、ゲート配線 168 で半導体層を遮光することを特徴としている。

【0101】

また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【0102】

また、本実施例の画素電極の表面を公知の方法、例えばサンドブラスト法やエッチング法等により凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが望ましい。

10

20

30

40

50

【0103】

上述の画素構造とすることにより大きな面積を有する画素電極を配置でき、開口率を向上させることができる。

【0104】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚（半導体層パターンマスク、第1配線パターンマスク（第1の電極132、第2の電極133、ソース配線134を含む）、p型TFTのソース領域及びドレイン領域形成のパターンマスク、コンタクトホール形成のパターンマスク、第2配線パターンマスク（画素電極169、接続電極167、ゲート配線168を含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

10

【実施例4】

【0105】

本実施例では、実施例3で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図10を用いる。

【0106】

まず、実施例3に従い、図8の状態のアクティブマトリクス基板を得た後、図8のアクティブマトリクス基板上に配向膜567を形成しラビング処理を行う。

なお、本実施例では配向膜567を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサ572を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

20

【0107】

次いで、対向基板569を用意する。実施例1に従い、対向基板569上に着色層570、571、平坦化膜573を形成する。赤色の着色層570と青色の着色層571とを一部重ねて、第2遮光部を形成する。なお、図10では図示しないが、赤色の着色層と緑色の着色層とを一部重ねて、第1遮光部を形成する。

【0108】

次いで、対向電極576を画素部に形成し、対向基板の全面に配向膜574を形成し、ラビング処理を施した。

30

【0109】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤568で貼り合わせる。シール剤568にはフィラーが混入されていて、このフィラーと柱状スペーサ572によって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。

このようにして図10に示すアクティブマトリクス型液晶表示装置が完成する。

【0110】

本実施例では、実施例3に示す基板を用いている。従って、実施例3の画素部の上面図を示す図9では、少なくともゲート配線168と画素電極169、177の間隙と、ゲート配線168と接続電極167の間隙と、接続電極167と画素電極169の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に第1遮光部と第2遮光部が重なるように対向基板を素子基板と貼り合わせた。

40

【0111】

なお、図11に完成した液晶表示装置の画素部の一部を示す簡略図を示す。図11では、鎖線で示した画素電極169上に着色層(B)12が重なるように形成されている。なお、図11において、図1(A)に対応する部分は同じ符号を用いた。また、画素電極169と隣り合う画素電極177との間は、第2遮光部16で遮光されている。この第2遮光部16は着色層(B)と着色層(R)とを重ねて形成されている。また、この第2遮光部16は隣りの画素(R)の画素TFTも遮光している。また、点線で示したソース配線

50

1 3 4 上には着色層 (B)

1 2 の端部と着色層 (G) 1 1 の端部とが形成されている。また、第 1 遮光部 1 5 は着色層 (G) と着色層 (R) とを重ねて形成されている。また、図 1 1 では、ソース配線と重なる着色層 (B) の端部と着色層 (G) の端部とが接するようにパターンングを行った。また、同様にソース配線と重なる着色層 (R) の端部と着色層 (G) の端部とが接するようにパターンングを行った。

【 0 1 1 2 】

このように、ブラックマスクを形成することなく、各画素間の隙間を第 1 遮光部 1 5 もしくは第 2 遮光部 1 6 で遮光することによって工程数の低減を可能とした。

【 実施例 5 】

【 0 1 1 3 】

実施例 4 を用いて得られたアクティブマトリクス型液晶表示装置 (図 1 0) の構成を図 1 2 の上面図を用いて説明する。なお、図 1 0 と対応する部分には同じ符号を用いた。

【 0 1 1 4 】

図 1 2 で示す上面図は、画素部、駆動回路、F P C (フレキシブルプリント配線板 : Flexible Printed Circuit) を貼り付ける外部入力端子 2 0 3、外部入力端子と各回路の入力部までを接続する配線 2 0 4 などが形成されたアクティブマトリクス基板 2 0 1 と、着色層などが形成された対向基板 2 0 2 とがシール材 5 6 8 を介して貼り合わされている。

【 0 1 1 5 】

ゲート配線側駆動回路 2 0 5 とソース配線側駆動回路 2 0 6 の上面には対向基板側に赤色カラーフィルタまたは赤色と青色の着色層を積層させた遮光部 2 0 7 が形成されている。また、画素部 4 0 7 上の対向基板側に形成された着色層 2 0 8 は赤色 (R)、緑色 (G)、青色 (B) の各色の着色層が各画素に対応して設けられている。実際の表示に際しては、赤色 (R) の着色層、緑色 (G) の着色層、青色 (B) の着色層の 3 色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【 0 1 1 6 】

図 1 3 (A) は、図 1 2 で示す外部入力端子 2 0 3 の E - E ' 線に対する断面図を示している。外部入力端子はアクティブマトリクス基板側に形成され、層間容量や配線抵抗を低減し、断線による不良を防止するために画素電極と同じ層で形成される配線 2 0 9 によって層間絶縁膜 2 1 0 を介してゲート配線と同じ層で形成される配線 2 1 1 と接続する。

【 0 1 1 7 】

また、外部入力端子にはベースフィルム 2 1 2 と配線 2 1 3 から成る F P C が異方性導電性樹脂 2 1 4 で貼り合わされている。さらに補強板 2 1 5 で機械的強度を高めている。

【 0 1 1 8 】

図 1 3 (B) はその詳細図を示し、図 1 3 (A) で示す外部入力端子の断面図を示している。アクティブマトリクス基板側に設けられる外部入力端子が第 1 の電極及びソース配線と同じ層で形成される配線 2 1 1 と、画素電極と同じ層で形成される配線 2 0 9 とから形成されている。勿論、これは端子部の構成を示す一例であり、どちらか一方の配線のみで形成しても良い。例えば、第 1 の電極及びソース配線と同じ層で形成される配線 2 1 1 で形成する場合にはその上に形成されている層間絶縁膜を除去する必要がある。画素電極と同じ層で形成される配線 2 0 9 は、Ti 膜 2 0 9 a、合金膜 (Al と Ti との合金膜) 2 0 9 b の 2 層構造で形成されている。F P C はベースフィルム 2 1 2 と配線 2 1 3 から形成され、この配線 2 1 3 と画素電極と同じ層で形成される配線 2 0 9 とは、熱硬化型の接着剤 2 1 4 とその中に分散している導電性粒子 2 1 6 とから成る異方性導電性接着剤で貼り合わされ、電気的な接続構造を形成している。

【 0 1 1 9 】

以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子機器の表示部として用いることができる。

【 実施例 6 】

【 0 1 2 0 】

10

20

30

40

50

本実施例では実施例3とは異なるアクティブマトリクス基板の作製方法について図14~16を用いて説明する。実施例3では自己整合的にn型を付与する不純物元素を添加して不純物領域を形成したが、本実施例ではマスク数を1枚増やしてnチャネル型TFTのソース領域またはドレイン領域を形成することを特徴としている。

【0121】

なお、その他の構成については実施例3において既に述べているので、詳しい構成については実施例3を参照し、ここでは説明を省略する。

【0122】

まず、実施例3に従って図1(A)と同じ状態を得る。図1(A)に対応する図面が図14(A)であり、同一の符号を用いた。

【0123】

次いで、フォトリソグラフィ法を用いてレジストからなるマスク601~607を形成し、電極及び配線を形成するための第1のエッチング処理を行う。なお、エッチング用ガスとしては、 Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などを代表とする塩素系ガスまたは CF_4 、 SF_6 、 NF_3 などを代表とするフッ素系ガス、または O_2 を適宜用いることができる。本実施例ではICPEッチング法を用い、エッチング用ガスに CF_4 と Cl_2 とを用い、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合したエッチング条件ではW膜及びTa₂N膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0124】

上記第1のエッチング処理により、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°となる。こうしてW膜及びTa₂N膜をエッチングして、第1の形状の導電層608~613(第1の導電層608a~613aと第2の導電層608b~613b)を形成する。614はゲート絶縁膜であり、第1の形状の導電層608~613で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。(図14(B))

【0125】

次いで、レジストからなるマスク601~607を除去せずに第2のエッチング処理を行う。エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このエッチング条件によりW膜をエッチングする。

【0126】

上記第2のエッチング処理によりW膜を異方性エッチングし、かつ、第1の導電層であるTa₂N膜がW膜より遅いエッチング速度でわずかにエッチングされ、第2の形状の導電層615~620(第1の導電層615a~620aと第2の導電層615b~620b)を形成する。621はゲート絶縁膜であり、第2の形状の導電層615~620で覆われない領域は、エッチングされて薄くなった。

【0127】

次いで、第1のドーピング処理を行う。ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。この場合、高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。例えば、加速電圧を70~120keVとし、不純物領域(A)622~626を形成する。(図14(C))ドーピングは、第2の形状の導電層615b~619bを不純物元素に対するマスクとして用い、第2の導電層615a~619aのテーパ部下方における半導体層に

10

20

30

40

50

も不純物元素が添加されるようにドーピングする。こうして、自己整合的に形成された不純物領域(A)622~626のうち、導電層615~619と重なる不純物領域が622a、623a、624a、625a、626aであり、導電層615~619と重ならない不純物領域が622b、623b、624b、625b、626bである。

【0128】

次いで、レジストからなるマスクを除去した後、導電層615~619をマスクとして用い、ゲート絶縁膜621を選択的に除去して絶縁層627a、627b、627cを形成する。また、絶縁層627a、627b、627cを形成すると同時に第2の形状の導電層615~619の形成に使用したレジストマスクを除去してもよい。(図14(D))

10

【0129】

次いで、フォトリソグラフィ法を用いてレジストからなるマスク628、629を形成した後、第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を上げて低い加速電圧の条件としてn型を付与する不純物元素を半導体層にドーピングする。不純物領域(B)630~634には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。(図15(A))

【0130】

こうして、nチャネル型TFETのソース領域またはドレイン領域となる不純物領域(B)630、632、633を形成することができた。また、画素部において、導電層618と重なる不純物領域(A)625bと不純物領域633との間には、導電層618と重ならない領域636が形成される。この領域636はnチャネル型TFETのLDD領域として機能する。また、不純物領域(B)631、634に添加された不純物元素は、後のゲッターリング工程で主にチャネル形成領域となる半導体層中のニッケル濃度を低減させるために添加する。

20

【0131】

そして、実施例3と同様にレジストからなるマスク628、629を除去した後、新たにレジストからなるマスク637~639を形成して、第3のドーピング処理を行う。(図15(B))この第3のドーピング処理により、pチャネル型TFETの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域(C)640~644を形成する。第2の導電層616、619を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域(C)を形成する。本実施例では、不純物領域(C)640~644はジボラン(B_2H_6)を用いたイオンドープ法で形成する。また、実施例3と同様に、不純物領域(C)640~644にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFETのソース領域およびドレイン領域として機能するために何ら問題は生じない。

30

【0132】

次いで、実施例3と同様にレジストからなるマスク637~639を除去し、全面を覆う第1の層間絶縁膜645を形成する。この第1の層間絶縁膜645としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとしてシリコンを含む絶縁膜で形成する。

40

【0133】

次いで、図15(C)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、窒素雰囲気中で400~700、代表的には500~550で行えばよい。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0134】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッ

50

ケルが高濃度のリンを含む不純物領域 (B) 6 3 0 ~ 6 3 4 にゲッタリングされ、主にチャンネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャンネル形成領域を有する T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【 0 1 3 5 】

また、第 1 の層間絶縁膜 6 3 5 を形成する前に活性化処理を行っても良い。ただし、導電層 6 1 5 ~ 6 1 9 に用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜 (シリコンを主成分とする絶縁膜、例えば窒化珪素膜) を形成した後で活性化処理を行うことが好ましい。

【 0 1 3 6 】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。半導体層と重なる第 2 の形状の導電層 6 1 5 ~ 6 1 8 がゲート電極として機能する。また、6 2 0 はソース配線、6 1 9 は保持容量を形成するための第 2 の電極として機能する。

【 0 1 3 7 】

さらに、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 5 5 0 で 1 ~ 1 2 時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【 0 1 3 8 】

また、窒化シリコン膜からなる層間絶縁膜中に含まれる水素を利用して熱処理 (3 0 0 ~ 5 5 0 で 1 ~ 1 2 時間の熱処理) を行い、半導体層を水素化する工程を行ってもよい。この場合、窒素雰囲気中で 4 1 0 、 1 時間の熱処理を行えば層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端することができる。

【 0 1 3 9 】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーや Y A G レーザー等のレーザー光を照射することが望ましい。

【 0 1 4 0 】

次いで、第 1 の層間絶縁膜 6 4 5 上に有機絶縁物材料から成る第 2 の層間絶縁膜 6 4 6 を形成する。次いで、ソース配線 1 3 4 に達するコンタクトホールと各不純物領域 (B) 及び (C) 6 3 0 、 6 3 2 、 6 3 3 、 6 4 0 、 6 4 3 に達するコンタクトホールを形成するためのパターンニングを行う。

【 0 1 4 1 】

そして、駆動回路において、不純物領域 (B) または不純物領域 (C) とそれぞれ電氣的に接続する配線 6 4 7 ~ 6 5 2 を形成する。なお、これらの配線は、膜厚 5 0 n m の T i 膜と、膜厚 5 0 0 n m の合金膜 (A l と T i との合金膜) との積層膜をパターンニングして形成する。

【 0 1 4 2 】

また、画素部においては、画素電極 6 5 6 、ゲート配線 6 5 4 、接続電極 6 5 3 を形成する。(図 1 6) この接続電極 6 5 3 によりソース配線 6 2 0 は、画素 T F T と電氣的な接続が形成される。また、ゲート配線 6 5 4 は、第 1 の電極 (第 2 の形状の導電層 6 1 8) と電氣的な接続が形成される。また、画素電極 6 5 6 は、画素 T F T のドレイン領域と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層 6 4 3 と電氣的な接続が形成される。

【 0 1 4 3 】

以上の様にして、nチャンネル型 T F T 、 pチャンネル型 T F T 、 nチャンネル型 T F T を有する駆動回路と、画素 T F T 、保持容量とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上、アクティブマトリクス基板と呼ぶ。

【 0 1 4 4 】

駆動回路の nチャンネル型 T F T の半導体層はチャンネル形成領域、ゲート電極を形成する

10

20

30

40

50

第2の形状の導電層615と重なる不純物領域(A)622b(GOLD領域)とソース領域またはドレイン領域として機能する不純物領域(B)630を有している。また、pチャネル型TFTの半導体層はチャネル形成領域、ゲート電極を形成する第2の形状の導電層616と重なる不純物領域(C)642、ソース領域またはドレイン領域として機能する不純物領域(C)640を有している。また、nチャネル型TFTの半導体層はチャネル形成領域、ゲート電極を形成する第2の形状の導電層617と重なる不純物領域(A)624b(GOLD領域)、ソース領域またはドレイン領域として機能する不純物領域(B)632を有している。

【0145】

画素部の画素TFTの半導体層はチャネル形成領域、ゲート電極を形成する第2の形状の導電層618と重なる不純物領域(A)625b(GOLD領域)、ゲート電極の外側に形成される不純物領域636(LDD領域)とソース領域またはドレイン領域として機能する不純物領域(B)633を有している。また、保持容量の一方の電極として機能する半導体層643、644には不純物領域(C)と同じ濃度で、それぞれp型を付与する不純物元素が添加されている。保持容量は、絶縁層627c(ゲート絶縁膜と同一膜)を誘電体として、第2の電極619と、半導体層643、644とで形成している。

10

【0146】

また、本実施例で作製したアクティブマトリクス基板を用いて実施例4の工程に従えば液晶表示装置が得られる。

【0147】

なお、本実施例は実施例1乃至5のいずれとも組み合わせることが可能である。

20

【実施例7】

【0148】

本実施例では、作製工程数を増やすことなく、表面に凸凹を有する画素電極を形成する例を示す。なお、簡略化のため、実施例3と異なる点についてのみ以下に説明する。

【0149】

実施例3においては、表示領域となる画素電極の下方にあたる領域には、基板上に下地膜101と絶縁膜128と第1層間絶縁膜159と第2層間絶縁膜160とが積層されているだけだったが、本実施例では、TFTを作製すると同時に図19で示される凸部701、702を形成し、その上に形成される画素電極を凹凸化させることを特徴としている。なお、図8中の画素TFT404及び保持容量405と図19の画素TFT801及び保持容量802はそれぞれ同一の製造工程で作製される。

30

【0150】

この凸部701、702は、実施例3に示した画素TFT404の製造工程における半導体層、ゲート電極のパターニングの際に同時に形成する。なお、凸部の配置は、画素部803の表示領域となる画素電極の下方にあたる領域であれば特に限定されず、凸部の大きさ(上面から見た面積)も特に限定されないが $1\mu\text{m}^2 \sim 400\mu\text{m}^2$ の範囲内、好ましくは $25 \sim 100\mu\text{m}^2$ であればよい。なお、凸部の大きさはランダムであるほうが、より反射光を散乱させるため望ましい。

【0151】

このようにして、凸部701、702は、マスク数を増やすことなくマスクを変更することにより形成することができる。本実施例では実施例3で使用したマスクを変更し、図17(A)に示す2種類の四角形状の凸部701、702を表示領域に形成し、さらに配置をランダムなものとした。

40

【0152】

なお、図18では四角形状のものを示したが、特にその形状は限定されず、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、図17(A)~(G)で示された形状のうち、いずれのものでもよい。また、凸部を規則的に配置しても不規則に配置してもよい。

【0153】

50

こうして形成された凸部701、702を覆う絶縁膜804には表面に凸凹が形成され、その上に形成される画素電極805も凸凹化された。この画素電極805の凸部の高さは0.3~3 μ m、好ましくは0.5~1.5 μ mである。この画素電極805の表面に形成された凸凹によって、図19に示すように入射光を反射する際に光を散乱させることができた。

【0154】

なお、絶縁膜804としては、無機絶縁膜や有機樹脂膜を用いることができる。この絶縁膜804の材料によって画素電極の凸凹の曲率を調節することも可能である。また、絶縁膜804として有機樹脂膜を用いる場合は、粘度が10~1000cp、好ましくは40~200cpのものを用い、十分に凸部701、702の影響を受けて表面に凸凹が形成されるものを用いる。ただし、蒸発しにくい溶剤を用いれば、有機樹脂膜の粘度が低くても凸凹を形成することができる。

10

【0155】

次いで、本実施例では、画素電極を覆う配向膜806を形成し、ラビング処理を行った。

【0156】

次いで、実施例1に示した対向基板を用意する。図19において、808は対向基板であり、実施例1に従い、対向基板808上に着色層809、810、平坦化膜811を形成する。赤色の着色層809と青色の着色層810とを一部重ねて、第2遮光部を形成する。なお、図19では図示しないが、赤色の着色層と緑色の着色層とを一部重ねて、第1遮光部を形成する。

20

【0157】

次いで、対向電極812を画素部に形成し、対向基板の全面に配向膜813を形成し、ラビング処理を施した。

【0158】

また、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤で貼り合わせる。シール剤にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料807を注入し、封止剤(図示せず)によって完全に封止する。液晶材料807には公知の液晶材料を用いれば良い。このようにして図19に示すアクティブマトリクス型液晶表示装置が完成する。

30

【0159】

なお、本実施例は実施例1乃至5のいずれか一の構成と自由に組み合わせることができる。

【実施例8】

【0160】

本実施例では、表面に凸凹を有する画素電極を形成する実施例7とは異なる他の例を示す。なお、簡略化のため、実施例7と異なる点についてのみ以下に説明する。なお、図20において、図19に対応する部分には同じ符号を用いた。

【0161】

本実施例は、図20に示すように、高さの異なる凸部900、901を形成した例である。

40

【0162】

凸部900、901は、マスク数を増やすことなく実施例7のマスクを変更することにより形成することができる。図20では、半導体層のパターニングの際、凸部901において半導体層を形成しないマスクを用いたため、凸部901の高さは凸部900よりも半導体層の膜厚分、低くなっている。本実施例では実施例7で使用した半導体層のパターニングで使用するマスクを変更し、高さの異なる2種類の四角形状の凸部900、901を表示領域となる箇所ランダムに形成した。

【0163】

50

こうすることにより、作製工程数を増やすことなく、画素電極の表面に形成される凹凸の高低差を大きくすることができ、さらに反射光を散乱させることができる。

【0164】

なお、本実施例は実施例1乃至5のいずれか一の構成と自由に組み合わせることができる。

【実施例9】

【0165】

実施例7及び実施例8ではトップゲート型のTFET作製と同時に形成される凸部を用いた画素電極の作製例を示したが、本実施例では図21、図22を用いて、逆スタガ型のTFET作製と同時に形成される凸部を用いた画素電極の作製例について示す。

10

【0166】

まず、第1のマスク（フォトマスク1枚目）でゲート配線1000を形成する。この時、表示領域となる領域にゲート配線と同じ材料で金属層1001を形成する。

【0167】

次いで、ゲート配線1000及び金属層1001を覆って、絶縁膜（ゲート絶縁膜）1002、第1の非晶質半導体膜、n型を付与する不純物元素を含む第2の非晶質半導体膜、及び第1の導電膜を順次、積層形成する。なお、非晶質半導体膜に代えて微結晶半導体膜を用いてもよいし、n型を付与する不純物元素を含む非晶質半導体膜に代えてn型を付与する不純物元素を含む微結晶半導体膜を用いてもよい。さらに、これらの膜はスパッタ法やプラズマCVD法を用いて複数のチャンバー内または同一チャンバー内で連続的に大気に曝すことなく形成することができる。大気に曝さないようにすることで不純物の混入を防止できる。

20

【0168】

次いで、第2のマスク（フォトマスク2枚目）で上記第1の導電膜をパターニングして第1の導電膜からなる配線（後にソース配線及び電極（ドレイン電極）となる）を形成し、上記第2の非晶質半導体膜をパターニングしてn型を付与する不純物元素を含む第2の非晶質半導体膜を形成し、上記第1の非晶質半導体膜をパターニングして第1の非晶質半導体膜を形成する。また、金属層1001上にも同様にして、第1の非晶質半導体膜とn型を付与する不純物元素を含む第2の非晶質半導体膜と上記第1の導電膜とを残すようにパターニングする。このパターニングでは、後に形成される第2の導電膜のカバレッジを良好なものとするため、図21に示すように端部が階段状になるようなエッチングとした。

30

【0169】

また、金属層1001及びその上に形成される積層物（凸部）の形状は特に限定されず、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、図17(A)～(G)で示された形状のうち、いずれのものでもよい。また、金属層1001及びその上に形成される積層物（凸部）を規則的に配置しても不規則に配置してもよい。また、金属層1001及びその上に形成される積層物（凸部）の高さは0.3～3μm、好ましくは0.5～1.5μmである。

【0170】

次いで、端子部において、シャドーマスクを用いてレジストマスクを形成し、端子部のパッド部分を覆っている絶縁膜1002を選択的に除去した後、レジストマスクを除去する。また、シャドーマスクに代えてスクリーン印刷法によりレジストマスクを形成してエッチングマスクとしてもよい。

40

【0171】

その後、全面に第2の導電膜を成膜する。なお、第2の導電膜としては、反射性を有する導電膜、例えばAlまたはAgからなる材料膜を用いる。

【0172】

次いで、第3のマスク（フォトマスク3枚目）で上記第2の導電膜をパターニングして第2の導電膜からなる画素電極1004を形成し、上記導電膜をパターニングしてソース

50

配線 1003 及び電極（ドレイン電極）1009 を形成し、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜をパターンングして n 型を付与する不純物元素を含む第 2 の非晶質半導体膜からなるソース領域 1008 及びドレイン領域 1009 を形成し、上記第 1 の非晶質半導体膜を一部除去して第 1 の非晶質半導体膜 1006 を形成する。

【0173】

次いで、配向膜 1005 を形成し、ラビング処理を行った。

【0174】

このような構成とすることで、画素 TFT 部を作製する際、フォトリソグラフィ技術で使用するフォトマスクの数を 3 枚とすることができる。

【0175】

加えて、このような構成とすることで、金属層 1001 上に形成された絶縁膜、第 1 の非晶質半導体膜、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜、及び第 1 の導電膜からなる積層物（凸部）により凸凹を有し、この凸凹を覆って画素電極 1004 が形成されるので、作製工程数を増やすことなく、画素電極 1004 の表面に凹凸を持たせて光散乱性を図ることができる。

【0176】

次いで、実施例 1 に示した対向基板を用意する。図 21 において、1010 は対向基板であり、実施例 1 に従い、対向基板 1010 上に着色層 1011、1012、平坦化膜 1013 を形成する。赤色の着色層 1011 と青色の着色層 1012 とを一部重ねて、第 2 遮光部を形成する。なお、図 21 では図示しないが、赤色の着色層と緑色の着色層とを一部重ねて、第 1 遮光部を形成する。

【0177】

次いで、対向電極 1014 を画素部に形成し、対向基板の全面に配向膜 1015 を形成し、ラビング処理を施した。

【0178】

また、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤で貼り合わせる。シール剤にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 1016 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 1016 には公知の液晶材料を用いれば良い。このようにして図 21 に示すアクティブマトリクス型液晶表示装置が完成する。

【0179】

図 22 はアクティブマトリクス基板の画素部と端子部の配置を説明する図である。基板 1110 上には画素部 1111 が設けられ、画素部にはゲート配線 1108 とソース配線 1107 が交差して形成され、これに接続する n チャネル型 TFT 1101 が各画素に対応して設けられている。n チャネル型 TFT 1101 のドレイン側には画素電極 1004 及び保持容量 1102 が接続し、保持容量 1102 のもう一方の端子は容量配線 1109 に接続している。n チャネル型 TFT 1101 と保持容量 1102 の構造は図 21 で示す n チャネル型 TFT または保持容量と同じものとする。

【0180】

基板の一方の端部には、走査信号を入力する入力端子部 1105 が形成され、接続配線 1106 によってゲート配線 1108 に接続している。また、他の端部には画像信号を入力する入力端子部 1103 が形成され、接続配線 1104 によってソース配線 1107 に接続している。ゲート配線 1108、ソース配線 1107、容量配線 1109 は画素密度に応じて複数本設けられるものである。また、画像信号を入力する入力端子部 1112 と接続配線 1113 を設け、入力端子部 1103 と交互にソース配線と接続させても良い。入力端子部 1103、1105、1112 はそれぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0181】

なお、本実施例は実施例 1 または実施例 2 と組み合わせることができる。

10

20

30

40

50

【実施例 10】**【0182】**

本実施例では、作製工程数を増やすことなく、表面に凸凹を有する画素電極を形成する例を示す。なお、簡略化のため、実施例 9 と異なる点についてのみ以下に説明する。なお、図 21 に対応する部分には同じ符号を用いた。

【0183】

本実施例は、図 23 に示すように、高さの異なる凸部 1201、1202 を形成した例である。

【0184】

凸部 1201、1202 は、マスク数を増やすことなく実施例 9 のマスクを変更することにより形成することができる。図 23 では、ゲート電極のパターニングの際、凸部 1202 において金属層を形成しないマスクを用いたため、凸部 1202 の高さは凸部 1201 よりも金属層の膜厚分、低くなっている。本実施例では実施例 9 で使用した金属層のパターニングで使用するマスクを変更し、高さの異なる 2 種類の凸部 1201、1202 を表示領域となる箇所ランダムに形成した。

10

【0185】

こうすることにより、作製工程数を増やすことなく、画素電極 1200 の表面に形成される凹凸の高低差を大きくすることができ、さらに反射光を散乱させることができる。

【0186】

なお、本実施例は、実施例 1 または実施例 2 と組み合わせることができる。

20

【実施例 11】**【0187】**

上記各実施例 1 乃至 10 のいずれか一を実施して形成された TFT は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EC ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0188】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 26 及び図 27 に示す。

30

【0189】

図 26 (A) はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 等を含む。本発明を表示部 2003 に適用することができる。

【0190】

図 26 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本発明を表示部 2102 に適用することができる。

40

【0191】

図 26 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 等を含む。本発明は表示部 2205 に適用できる。

【0192】

図 26 (D) はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 等を含む。本発明は表示部 2302 に適用することができる。

【0193】

図 26 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2401、表示部 2402、スピーカ部 2403、記録媒体 2404

50

、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

本発明は表示部2402に適用することができる。

【0194】

図26(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本発明を表示部2502に適用することができる。

【0195】

図27(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を表示部2904に適用することができる。

10

【0196】

図27(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0197】

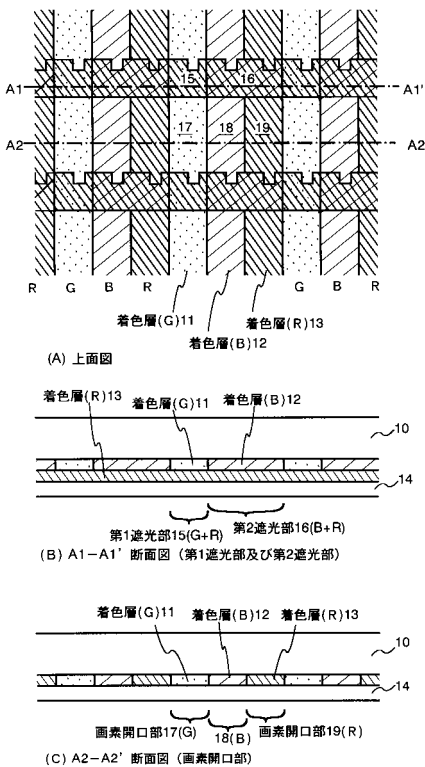
図27(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

20

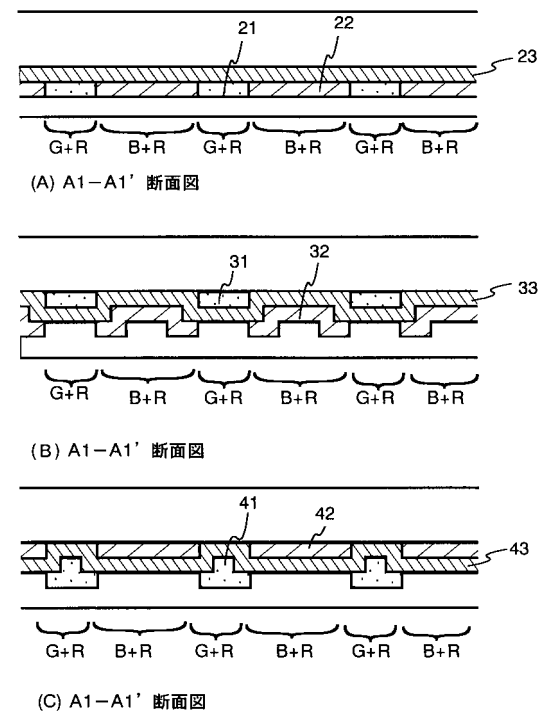
【0198】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~10のどのような組み合わせからなる構成を用いても実現することができる。

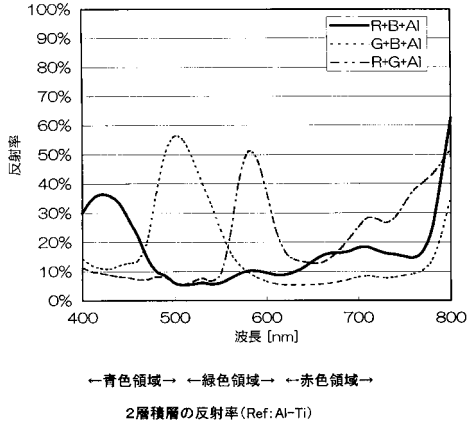
【図1】



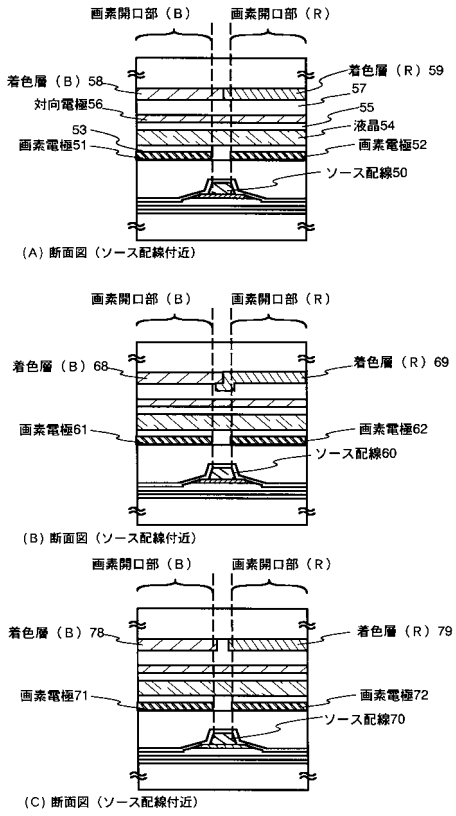
【図2】



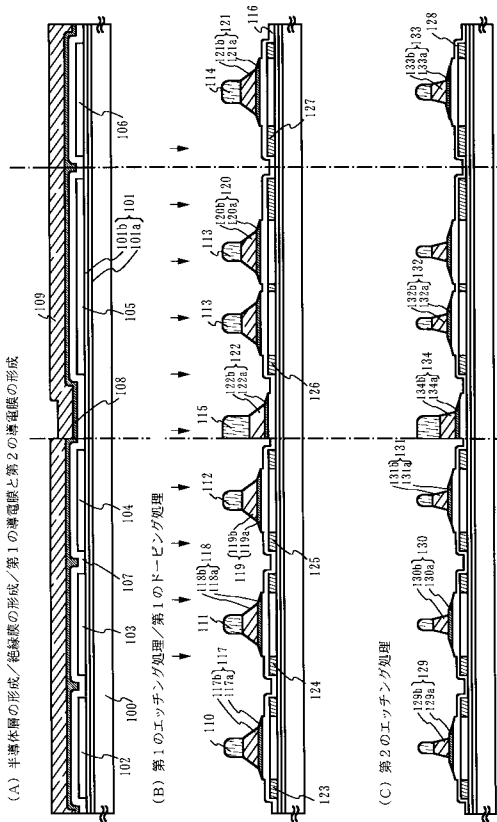
【 図 3 】



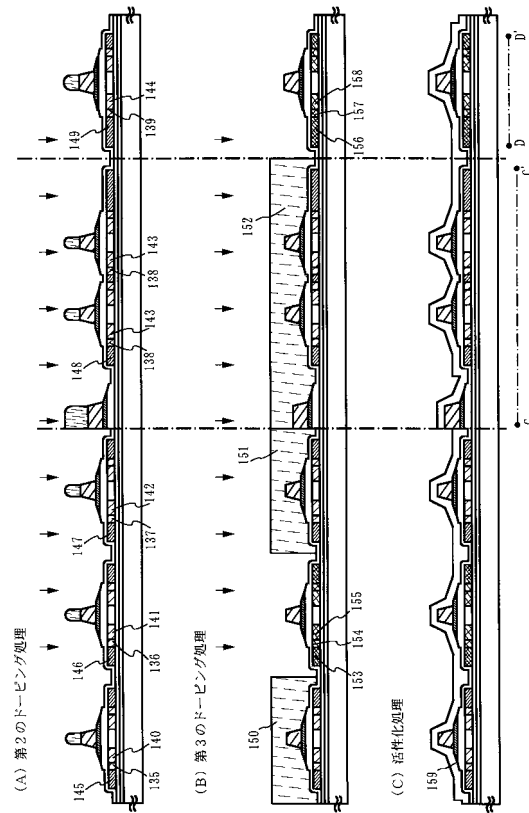
【 図 4 】



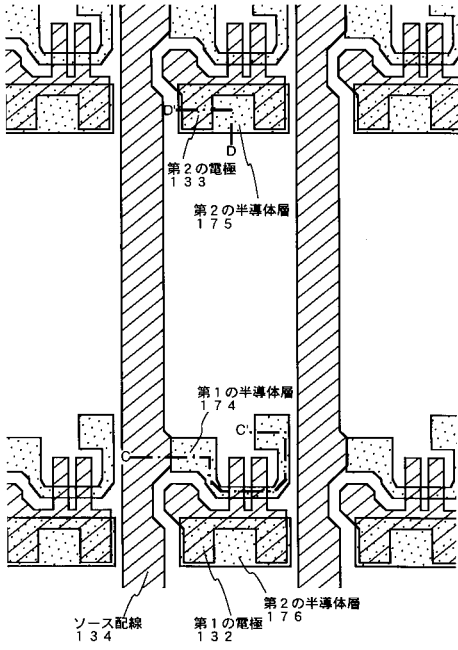
【 図 5 】



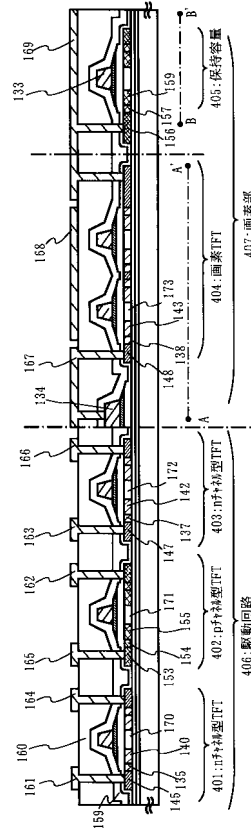
【 図 6 】



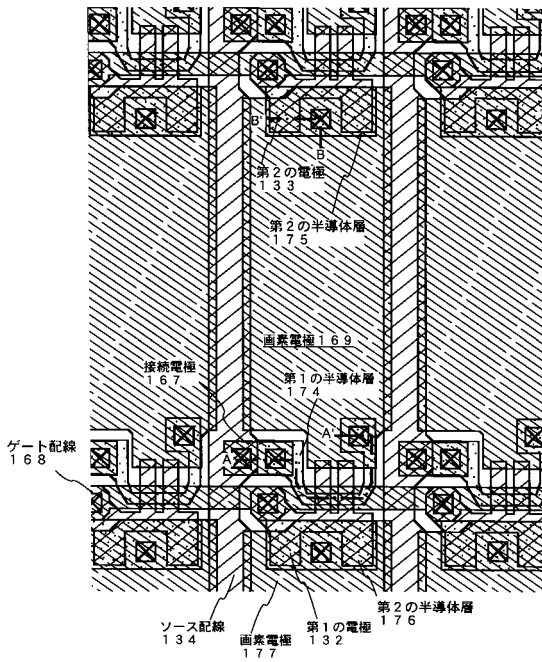
【図7】



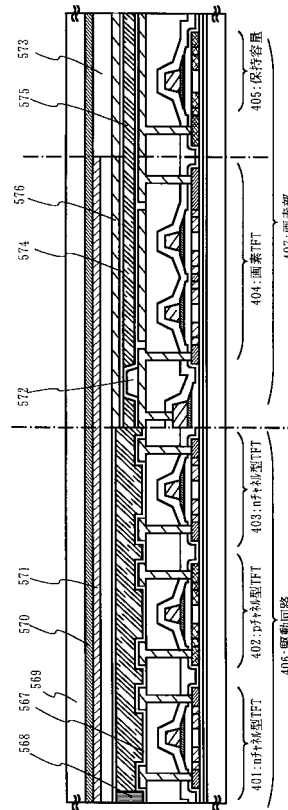
【図8】



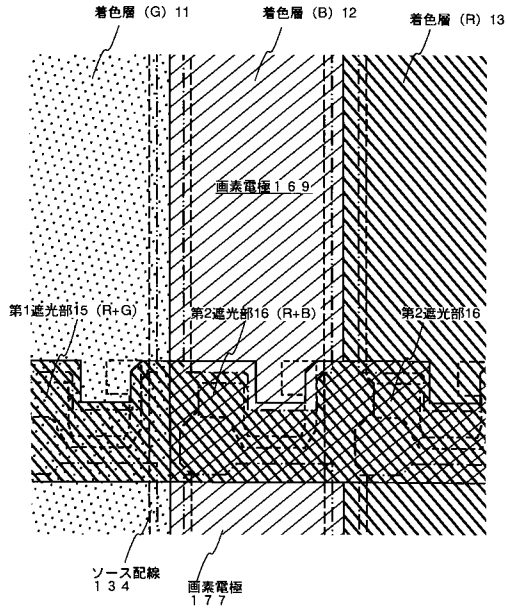
【図9】



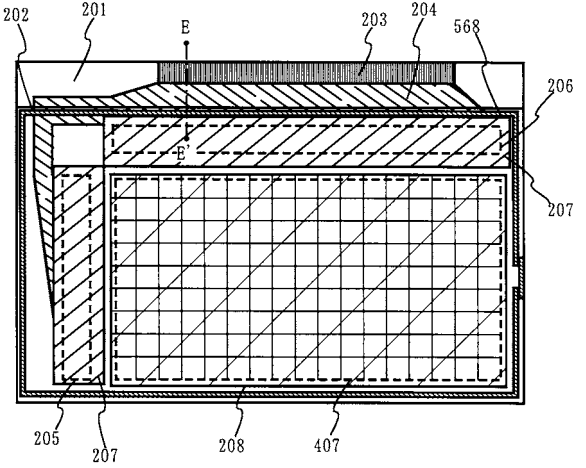
【図10】



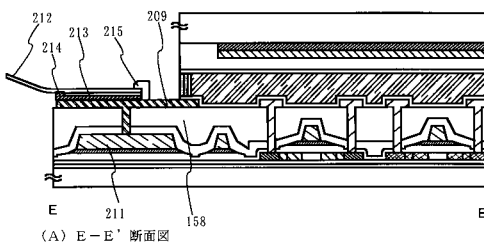
【図11】



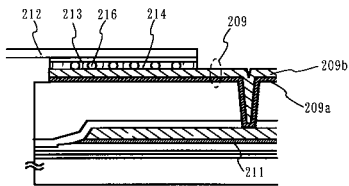
【図12】



【図13】

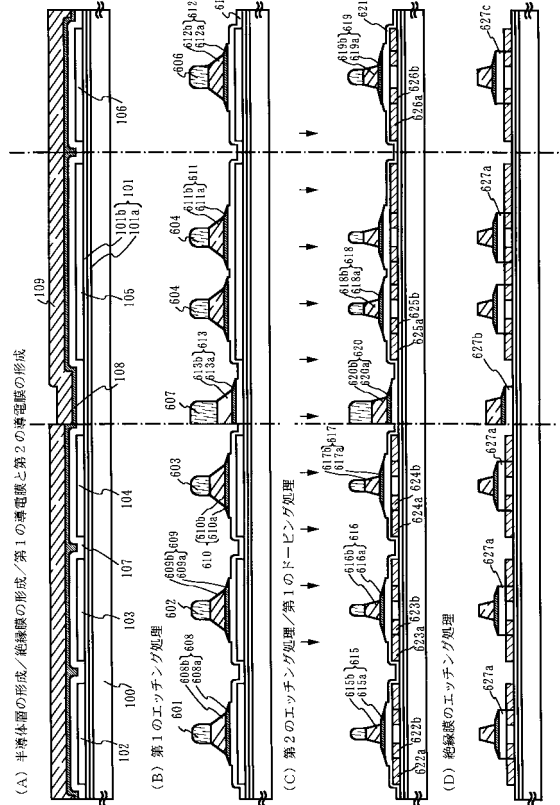


(A) E-E' 断面図



(B)

【図14】



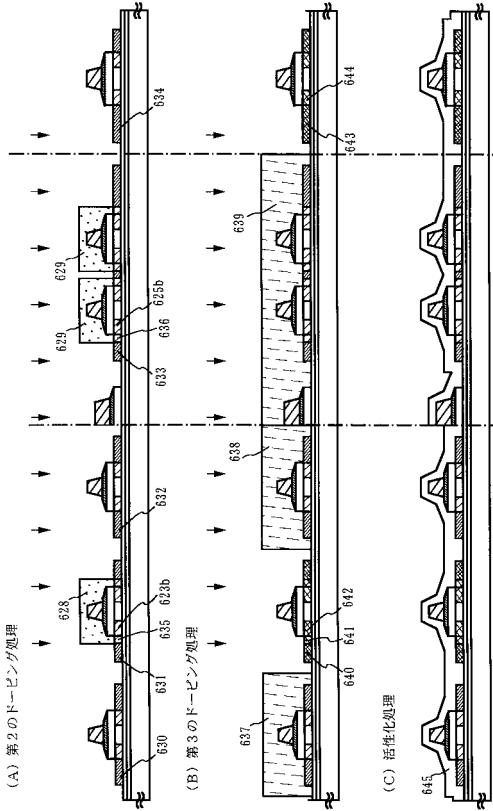
(A) 半導体層の形成/絶縁膜の形成/第1の導電層と第2の導電層の形成

(B) 第1のエッチング処理

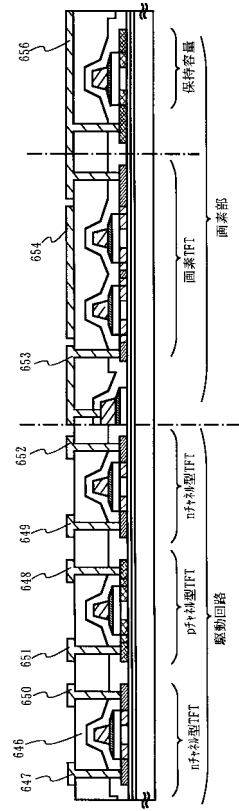
(C) 第2のエッチング処理/第1のドローピング処理

(D) 絶縁膜のエッチング処理

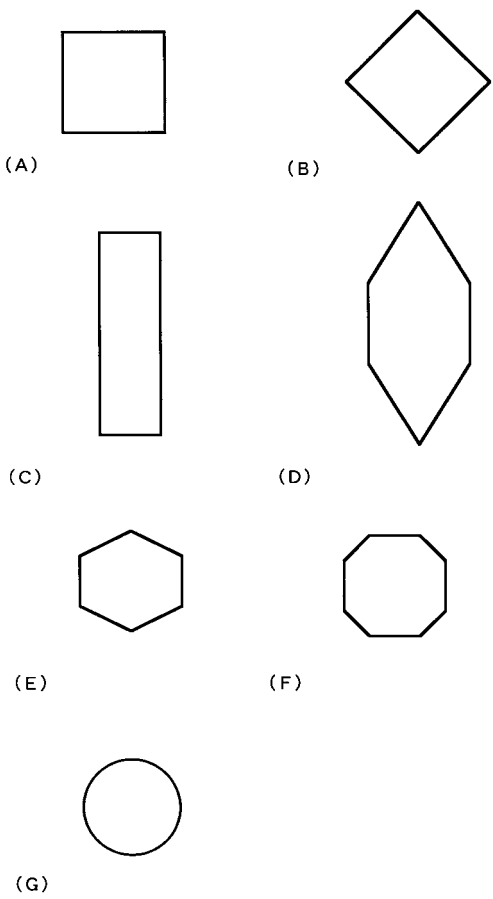
【図15】



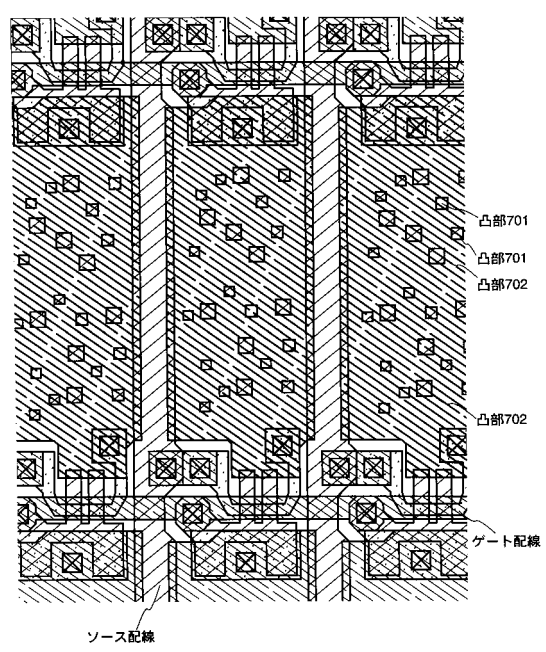
【図16】



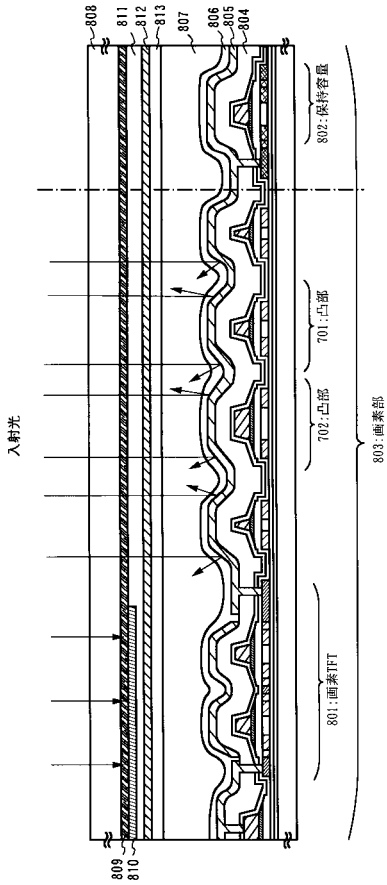
【図17】



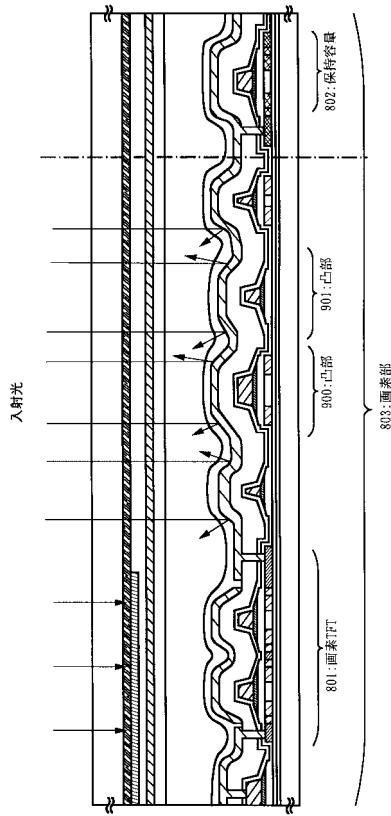
【図18】



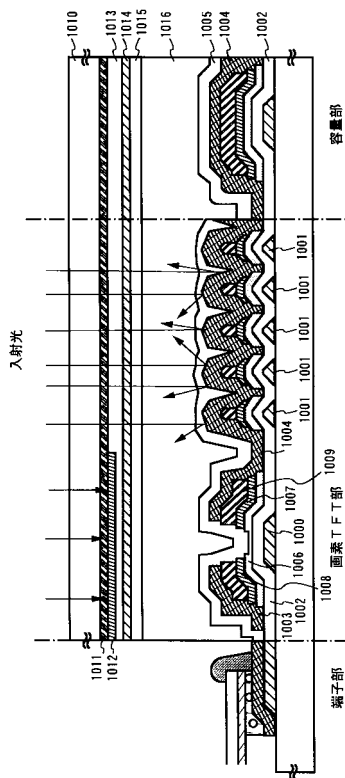
【図 19】



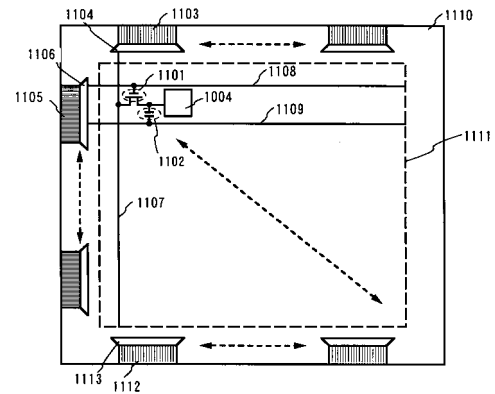
【図 20】



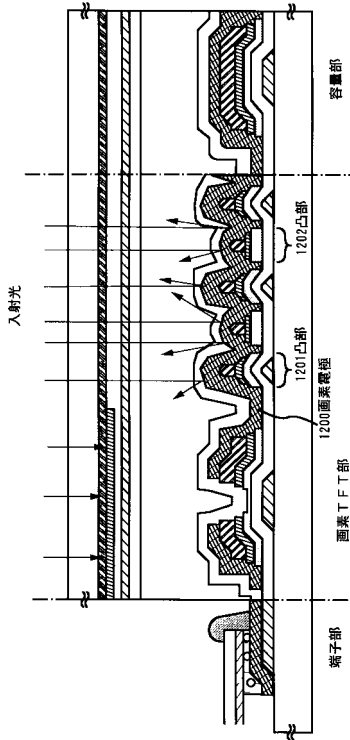
【図 21】



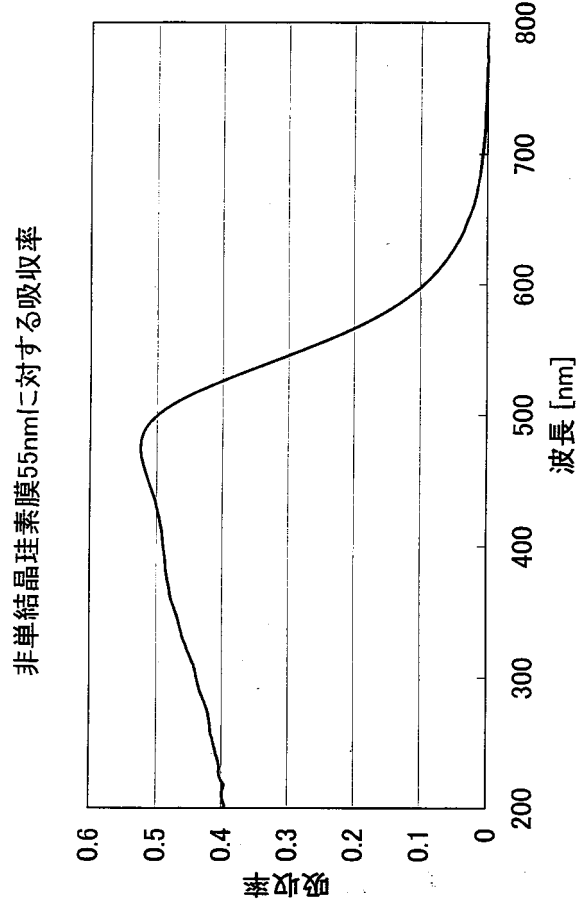
【図 22】



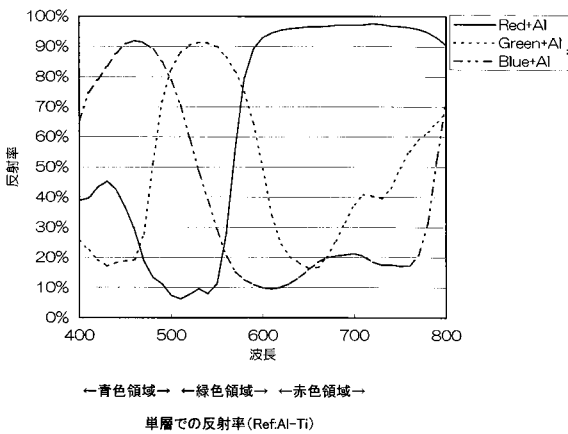
【図 2 3】



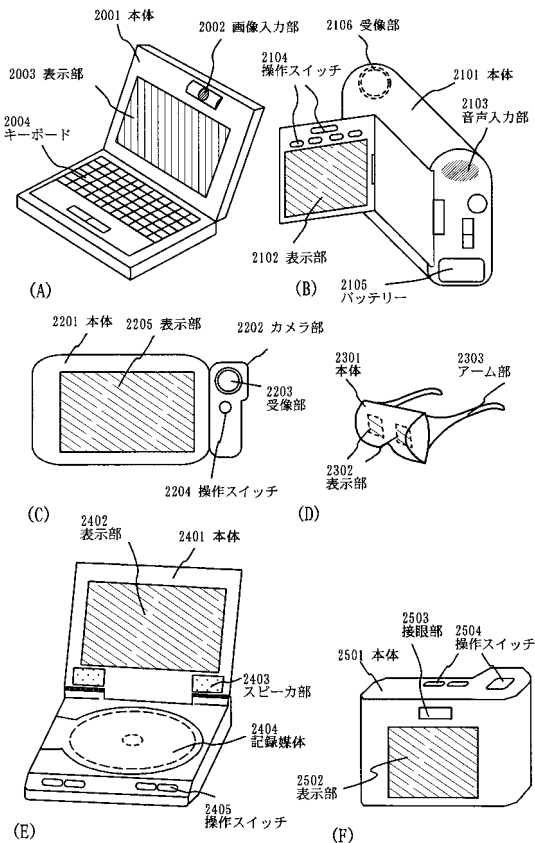
【図 2 4】



【図 2 5】



【図 2 6】



【図 27】

