

發明專利說明書 200401189

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P2106046

※申請日期：P2. 3, 19 ※IPC 分類：G06F12/00

壹、發明名稱：(中文/英文)

具有叢發長度較預取長度為短之記憶體系統

MEMORY SYSTEM WITH BURST LENGTH SHORTER THAN
PREFETCH LENGTH

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商英特爾公司

INTEL CORPORATION

代表人：(中文/英文)

大衛 賽門

DAVID SIMON

住居所或營業所地址：(中文/英文)

美國加州聖塔卡拉瓦市米遜大學路 2200 號

2200 MISSION COLLEGE BOULEVARD, SANTA CLARA,
CALIFORNIA 95052, U.S.A.

國籍：(中文/英文)

美國

U.S.A.

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 詹姆士 M. 杜德

JAMES M. DODD

2. 郝沃得 S. 大衛

HOWARD S. DAVID

住居所地址：(中文/英文)

1. 美國加州辛格泉水市拜內特藍曲路 4561 號

4561 BARNETT RANCH ROAD, SHINGLE SPRINGS,
CALIFORNIA 95682, U.S.A.

2. 美國奧勒岡州波特蘭市第 48 街西南廣場 3745 號

3745 SW 48TH PLACE, PORTLAND, OREGON 97221, U.S.A.

國 籍：(中文/英文)

1. 美國 U.S.A.

2. 美國 U.S.A.

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家(地區)申請專利：

1.美國；2002年03月22日；10/104,270

2.

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1.美國；2002年03月22日；10/104,270

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

3.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於電腦記憶體系統，而更特定言之，係關於具有記憶體控制器之電腦系統，該記憶體控制器可以叢發長度讀取或寫入資料大塊，而其中叢發長度較相應記憶體之預取長度短。

【先前技術】

電腦系統通常包含資料可以寫入或自其讀取之記憶體裝置。一般用來儲存相對大量資料的記憶體裝置是動態隨機存取記憶體 (DRAMs)。DRAMs 的實例包含同步 DRAMs (SDRAMs) 與雙倍資料傳輸率 SDRAMs (DDR DRAMs)。DDR-II DRAMs (下一代 DDR DRAMs) 的規格即將完成。其他的同步 DRAMs 包含靜態隨機存取記憶體 (SRAMs)。其他類型的記憶體則正在開發中。

記憶體控制器發佈寫入要求與讀取要求給 DRAMs。記憶體控制器與 DRAMs 係經由攜帶寫入或讀取資料的匯流排耦合。反應寫入要求而儲存的資料係來自處理器或另一晶片。DRAM 反應讀取要求而提供的資料，可以由處理器或另一晶片使用。記憶體控制器可以是實體上從處理器分離的晶片，或者是與處理器在同一晶片上。

叢發長度是反應寫入或讀取指令，以及相應之起始位址，而儲存於記憶體核心或從記憶體核心擷取之資料大塊的數目。在 SDRAM 的情況中，每一個大塊與全時脈循環有關，而在雙倍資料傳輸率 DRAMs，如 DDR 或 DDR II DRAMs

的情況中，則是與半時脈循環有關。在每一大塊中，有許多相同的資料位元。DRAMs具有一核心預取長度，無論是以單一寫入或讀取操作將資料寫入核心或自其擷取，其為資料時脈循環(在SDRAMs的情況中)或半循環(在DDR DRAMs的情況中)的數目。預取一詞涉及寫入記憶體核心與從核心讀取。

SDRAM與DDR DRAMs具有一可控制之叢發長度，而DDR-II DRAMs也將具有可控制之叢發長度。可是，這些記憶體不具有或不能預期具有可控制之核心預取長度。SDRAMs具有1時脈循環之預取長度，並且允許1，2，與4時脈循環之叢發長度。因此，如果叢發長度是1，則每一個寫入或讀取指令僅有一個預取操作。如果叢發長度是2，則每一個寫入或讀取指令有兩個預取操作。如果叢發長度是4，則每一個寫入或讀取指令有四個預取操作。DDR DRAMs具有兩個半時脈循環之預取長度，並允許2，4，與8半時脈循環之叢發長度。因此，如果叢發長度是2，則每一個寫入或讀取指令僅有一個預取操作。如果叢發長度是4，則每一個寫入或讀取指令有兩個預取操作。如果叢發長度是8，則每一個寫入或讀取指令有四個預取操作。DDR-II DRAMs將具有4與8之半時脈循環的叢發長度，與4個半時脈循環之預取長度。因此，如果叢發長度是4，則每一個寫入或讀取指令僅有一個預取操作。如果叢發長度是8，則每一個寫入或讀取指令有兩個預取操作。

預期有一天將會有8之預取長度的DRAM(這將會是目

前尚未存在之 DDR-III DRAM)。那時，當具有 8 之預取長度的 DRAM 與預期為 4 之叢發長度的記憶體控制器一起使用時，便發生問題。下列發明提出此一問題之解決方法。

【發明內容】

經由動態控制輸出驅動器啟動，已經以插入的方式使用記憶體裝置。以插入的方式使用針腳來控制一個記憶體與另一個的輸出啟動。在讀取操作或遮罩資料期間，記憶體裝置具有三態驅動器。

【實施方式】

本發明包含一電腦系統，其中記憶體控制器可以較相應記憶體之預取長度為短之叢發長度，讀取或寫入資料大塊。

圖 1 說明包含記憶體 14 之電腦系統 10。記憶體 14 可以表示一個或更多個記憶體模組上的單一記憶體裝置或一些記憶體裝置。記憶體裝置可以是 DRAM，如以上所述之 DRAM 其中之一或某些其他種類的記憶體。記憶體控制器 18 經由匯流排 16 提供資料給記憶體 14，並反應讀取要求，從記憶體 14 接收資料。經由除了匯流排 16 以外的導體或經由匯流排 16，可以提供指令與/或位址給記憶體 14。控制器 18 可以從處理器 24 或另一晶片接收將儲存於記憶體 14 的資料。控制器 18 可以提供其自記憶體 14 接收之資料給處理器 24 或其他晶片。控制器 18 係位於集線器 20 中，其有時稱為記憶體控制器集線器或晶片組中的北橋晶片。匯流排 18 可以是雙向匯流排或單向匯流排。匯流排 16 可以包含許多平行的導體

。匯流排18可以是包含一個或更多個點對點導體的多點匯流排，或是一些其他類型的匯流排。信號可以是差動或單端的。雖然只有顯示一個處理器，本發明可以用於多處理器系統中。

圖2說明一電腦系統30，其類似於系統10，但是其中控制器18係包含於處理器32中。

圖3係一時序圖，顯示如果記憶體控制器以4之叢發長度與具有8之預取長度的記憶體一起運作，在沒有本發明時，所發生的事。讀取指令Rd A要求資料A。一些時脈循環之後(確切數目並不重要)，從記憶體預取出八個資料大塊A0-A7。資料A之八個組被驅動到外部匯流排，但是要求之記憶體控制器僅使用前四個大塊A0-A3。同樣地，要求之記憶體控制器僅使用資料B之八個大塊B0-B7中的前四個。這可能使記憶體控制器忽略大塊A4-A7與B4-B7或更糟，而這可能導致匯流排的爭用，因為記憶體控制器認為已經完成讀取要求，但是資料仍然在匯流排上。在圖3之方法中，至少損失一半的頻寬。在寫入指令的情況中，記憶體預期八個大塊，但僅接收4大塊，所有一半記憶體沒有有效地使用，而且匯流排上可能有爭用。

本發明包含允許記憶體控制器以較記憶體之預取長度為短的叢發長度來操作的技術。對於讀取操作，這可以藉由關閉記憶體控制器不預期將接收的那些預取大塊的記憶體裝置輸出驅動器來達成。舉例來說，在圖4中，時序圖說明讀取指令Rd A與Rd B。在指令Rd A指令之後的一些半時脈

循環中，記憶體裝置預取大塊A0-A7的資料。圖4中的「記憶體內部DATA」部分顯示大塊進入驅動器中。啟動驅動器，使大塊A1-A4輸出到外部匯流排，但是在已經輸出大塊A4-A7的期間關閉。至於大塊B0-B7反應讀取要求RdB，也是同樣的情況。注意，在讀取要求時間與預取大塊的期間，實際上可能有比圖3，4，6，與9中所顯示更多的時脈循環。可是，圖中的空間限制不允許讀取要求與應用到驅動器的大塊之間有較大的空間。

藉由插入記憶體裝置之輸出，每一個具有類似於圖4之操作，則可以達到較大的頻寬使用。圖5顯示如此做的一種系統，但是本發明並不受限於圖5之細節。記憶體裝置0與記憶體裝置1係包含於記憶體14中。記憶體裝置0與1可以在不同的階層，但是本發明並不受限於多重階層的使用。記憶體裝置0與1可以在相同或不同的記憶體模組上。記憶體裝置0或1可以在相同或在不同的晶片上。記憶體14可以僅包含裝置0與1，或者可以包含額外的記憶體裝置。

圖5之系統操作可以參考圖6，9，與10之時序圖來解說。在圖6中，CLK是時脈信號，CMD表示由控制器18提供給記憶體14之指令，「記憶體0內部DATA」是提供給輸出驅動器54的資料大塊，而「記憶體1內部DATA」則是提供給輸出驅動器56的資料大塊；「外部匯流排16上的DATA」是從驅動器54與56輸出的資料。在圖6中，讀取指令Rd A與Rd C係提供給記憶體裝置0，而指令Rd B與Rd D則是提供給記憶體裝置1。有時在接收Rd A指令之後，資料A係由記憶體裝

置1之核心72，以8之預取長度預取，並以資料大塊A0-A7提供給驅動器54。(如所說明的，讀取指令與資料大塊之間CLK半循環的數目，可以大於圖6所示。)

控制邏輯58啟動驅動器54以輸出大塊A1-A4，但於提供A4-A7給驅動器54的期間，關閉驅動器54。因此，只有大塊A0-A3被輸出到匯流排16。有時在接收到Rd B指令之後，資料B由記憶體裝置1之核心78，以8之預取長度預取，並以資料大塊B0-B7提供給驅動器56。控制邏輯60啟動驅動器56以輸出大塊B0-B3，但在提供B4-B7給驅動器56期間，關閉驅動器56。因此，只有大塊B0-B3被輸出到匯流排16。同樣地，反應讀取要求Rd C，資料C由核心72，以8之預取長度預取，並以資料大塊C0-C7提供給驅動器54，其啟動以輸出大塊C0-C3，但不是C4-C7。反應讀取要求Rd D，資料D由核心78，以8之叢發長度預取，並以資料大塊D0-D7提供給驅動器56，其啟動以輸出大塊D0-D3，但不是D4-D7。如圖6所示，只有大塊A0-A3，B0-B3，C0-C3，與D0-D3是以插入的方式，在匯流排16上輸出，而這是控制其18所預期的。

在一些具體實施例中，可以使用如8之預取情況中的A2位址位元，以選擇該等大塊是否從記憶體核心之較低或較高部分讀取或寫入，其中記憶體核心容納八個大塊的資料。如此一來，可以利用整個核心，即使叢發長度比預取長度小。當然，本發明並不受限於8之預取長度或4之叢發長度的使用。此外，記憶體14可以和具有叢發長度與其預取長度相同之控制器一起使用。

圖7顯示詳細的細節，其可以用於本發明之一些具體實施例，但本發明並不受限於這些細節。傳送電路106從核心72傳送至少一些資料到驅動器54。在一些具體實施例中，電路106包含閉鎖器108與多工器(Mux)110，雖然本發明並不受限於此。核心72可以同時預取大塊的位元。僅當作實例，在X8裝置中，核心72可以預取由閉鎖器108所接收之64位元(72位元附錯誤修正代碼(ECC))，並由多工器110多路傳輸到8大塊中，其中每一大塊是8位元寬，而持續期間則是二分之一時脈循環。如果多工器110提供大塊A0-A7給驅動器54，其仍可以說核心72預取大塊A0-A7。圖7之其他部分將與圖10一起討論。當然，本發明並不受限於X8裝置，預取特定的資料寬度，或如圖7所示之閉鎖與多路傳輸。

如所述，裝置0與1可能不是記憶體14中僅有的裝置。舉例來說，如圖8所示，階層0包含裝置01...0n，而階層1則包含裝置11...1n。在一些具體實施例中，階層中的每一個反應讀取要求，並提供一些資料給匯流排16，或反應寫入要求，而儲存部分資料到匯流排上，雖然本發明並不受限於此一配置。階層0顯示於記憶體模組0中，而階層1則顯示於記憶體模組1中，但是這並不是必要的。階層0與1可以在相同的模組上。可能有額外的階層與模組，或額外的模組但僅有兩個階層，或額外的階層但僅有兩個模組。

在一些記憶體中，在兩個記憶體裝置之間有週轉的延遲。週轉延遲是當一記憶體裝置三態其輸出驅動器與另一裝置開始驅動其輸出至匯流排上時，其間所需要的特定時間

量。週轉是特定的協定。圖9是非常類似於圖6的時序圖，但是在圖9中，包含了週轉時間。在圖9中，於時間驅動器54停止驅動大塊A3與驅動器56開始驅動大塊B0之間，有一個延遲(如，兩個時脈半循環)。此外，在驅動器56停止驅動大塊B3與驅動器54開始驅動大塊C0之間，以及在驅動器54停止驅動大塊C3與驅動器56開始驅動大塊D0之間，有一個延遲。這些延遲反映於時序圖之「外部匯流排16上的DATA」中。

在圖9中，未由驅動器54驅動之資料A與資料C等大塊，分別顯示為A3，A3，A3，與A3及C3，C3，C3，與C3。同樣地，未由驅動器56驅動之資料B與資料D等大塊，分別顯示為B3，B3，B3，與B3及D3，D3，D3，與D3。這與圖6相反，其中未由驅動器56驅動的大塊是大塊A4-A7與C4-C7，而未由驅動器54驅動的是大塊B4-B7與D4-D7。重複地提供相同的大塊給驅動器54與56的優點，是其可以減少瞬變與功率消耗。可是，在圖9中，當其關閉時，提供給驅動器54與56的大塊可以與圖6中的相同，但在圖6中，當其關閉時，提供給驅動器54與56的大塊可以與圖9中的相同。也就是說，無論是否包含週轉時間，皆可或可不重複地提供相同的大塊(如，A3，A3，A3，A3，A3)。又進一步減少功率的另一個選擇是，核心可以不提供任何東西給那些未輸出的大塊。雖然在大塊A0-A3，B0-B3，C0-C3，與D0-D3之間的匯流排16之間有間隙，來自不同記憶體의讀取資料組可以說是插到匯流排16上。

圖 10 說明由圖 5 之具體實施例所執行之寫入指令。控制器 18 提供寫入指令 $Wr A$ 與 $Wr C$ 給記憶體裝置 0，以要求其寫入(儲存)資料 A 與資料 C。控制器 18 提供寫入指令 $Wr B$ 與 $Wr D$ 給記憶體裝置 1，以要求其寫入資料 B 與資料 D。資料 A，B，C，與 D 每一個包含二分之一循環長度的四個大塊(A0-A3，B0-B3，C0-C3，D0-D3)。將資料寫入匯流排 16 被插入到希望改變不同裝置的地方。資料 A 與 C 係從匯流排 16 上提供給記憶體裝置 0，而資料 B 與 C 則是從從匯流排 16 上提供給記憶體裝置 1。也有額外的位元伴隨這些為其他記憶體裝置(如，參見圖 8)準備的大塊。有時在發佈 $Wr A$ 指令之後，大塊 A0-A3 便由記憶體裝置 0 之接收器 64 接收。核心 72 預期有八個資料大塊要寫入(儲存到)核心中。大塊 A0-A3 的資料係寫入核心 72 中，但是已經寫入之最後四個大塊的資料(不是從匯流排 16 接收)是遮罩的，所有沒有資料存到這些大塊中。(如所敘述的，位址位元，如位元 A2，可以控制哪四個大塊 A0-A3 會被寫入較低或較高的一半部分，而其中八個大塊係從整個部分預取。

有時在發佈 $Wr B$ 寫入指令之後，大塊 B0-B3 便由記憶體裝置 1 之接收器 66 接收。大塊 B0-B3 的資料係寫入核心 78 中，但是已經寫入之最後四個大塊的資料(不是從匯流排 16 接收)是遮罩的，所有沒有資料存到這些大塊中。同樣地，大塊 C0-C3 與 D0-D3 分別被寫入核心 72 與 78 中。在一些具體實施例中，在資料 A 與資料 B，資料 B 與資料 C，資料 C 與資料 D 之間的匯流排 16 上有間隙。

圖7顯示可以用於本發明之一些具體實施例中的額外細節，但本發明並不受限於這些細節。傳送電路120傳送至少一些來自接收器64的資料到核心72。在一些具體實施例中，電路120包含解多工器122，其採取由接收器64接收之DATA信號(如，A0-A3)，並將其轉換成由閉鎖器124接收之較寬的信號。閉鎖器124之輸出由驅動器128驅動到核心72中的讀取，寫入，與遮罩電路116。注意，來自驅動器128與到閉鎖器108的路徑，並不需要在讀取，寫入與遮罩電路116外合併。而是，他們可以是完全分開的路徑。解多工器130接收遮罩信號，其可以是來自控制器18，經由資料遮罩(DM或DQM)衰減器接收，或是經由其他機制接收之序列資料遮罩信號。解多工器130可以將此一序列資料遮罩信號轉換成平行資料遮罩信號，該信號應用於邏輯ORing 電路132。邏輯ORing電路132依據位置位元(如，在8預取情況中的A2)，改變記憶體之底部或頂部部分哪一個要遮罩。在控制邏輯58的控制下，可以自動執行資料遮罩，而不是經由外部資料遮罩衰減器與相關之遮罩信號。在這些具體實施例中，經由DM衰減器之資料遮罩信號，可以指示確實接收之大塊中，是否有任何位元組需要遮罩。

控制邏輯58可以控制下列之一或更多個：驅動器54是否啟動或關閉，閉鎖器108是否重複地提供相同的大塊(如，A0-A8或A0，A1，A2，A3，A3，A3，A3，與A3)，ORing電路132是否提供遮罩信號，核心72是否反應讀取而提供所有的大塊或僅其一部分。

圖 11 顯示可以用於本發明之一些具體實施例中的額外細節，但本發明並不受限於這些細節。在一些具體實施例中，控制邏輯 58 包含一暫存器 156，而控制邏輯 60 則包含一暫存器 158。也許除了別的以外，暫存器 156 與 158 指示記憶體裝置 0 與 1 是否在叢發長度與預取長度相同的模式中，或者是他們是不同的模式中。如果在每一個暫存器 156 與 158 中，為此一目的而僅使用一個位元，則該位元之一個狀態可以指示控制器 18 具有 4 之叢發長度，而其他狀態則可以指示 8 之叢發長度，或其他可用的數值。在一些具體實施例中，控制器 18 中可能有暫存器 146 指示記憶體裝置 0 與 1 之預取長度，但是那是沒有必要的。暫存器 146 可以用來指示控制器 18 是否可以和裝置 0 與 1 一起使用，或者是暫存器 146 可以用來改變控制器 18 之內部操作，使其可以有效地以記憶體裝置 0 與 1 分界。在一些具體實施例中，控制器 18 僅以一個記憶體預取長度運作，而在其他具體實施例中，可以調整控制器 18 以不同的記憶體預取長度運作。

注意，暫存器 146，156，與 158 不必具有與叢發或預取長度相同的數目。而是，暫存器中的數值可以藉由使控制器 18 或記憶體裝置 0 與 1 和預取或叢發長度一致，而直接指示叢發或預取長度。可以經由導體 142 與 144，從 BIOS 140 (基本輸入輸出系統)，執行暫存器 146，156，與 158 之設定。導體 142 與 144 也可以用於其他目的。舉例來說，啟動時，BIOS 140 可以偵測控制器 18 之叢發長度，或記憶體裝置 0 與 1 之預取長度。BIOS 140 表示硬體與韌體或軟體。暫存器

156與158可以經由控制器18來控制。系統可以具有暫存器156與158，但沒有暫存器146，或者其可以包含暫存器146，而沒有暫存器156與158，或者是其可以包含暫存器146，156，與158。控制器18之叢發長度可以經由暫存器156與158之外的一些機制來指示。叢發長度可變是不必要的，但其允許系統更加多功能。

在一些具體實施例中，讀取與寫入可以是不同的叢發長度。舉例來說，寫入可以是8之叢發長度，讀取是4之叢發長度(或相反)，而預取長度則是8。在該情況中，一半的寫入資料將不會自動遮罩。另一實例為，讀取可以是4之叢發長度，寫入可以是8之叢發長度，而預取長度則是16。這些可以在暫存器156與158中指示。

控制器18之操作可以依據其叢發長度與記憶體裝置0與1之預取長度來變化。如圖6，9，與10所說明的，在4之叢發長度與8之預取長度的情況中，因為4之長度與8之長度之間的差異，到記憶體裝置之資料或來自相同記憶體之資料之間有實質上的間隙。藉由插入記憶體裝置操作來相對地保持匯流排的充滿。在4之叢發與4之預取的情況中，控制器18可以對相同的記憶體裝置使用背靠背的指令。可是，可能有背靠背指令的間隙，即使是在4之叢發與4之預取情況中。依據叢發與預取長度，可能改變裝置選擇信號相對於讀取與寫入指令的狀態，以及讀取與寫入之間隔與順序。

位址與/或控制信號可以經由匯流排16或經由到導體152來提供。讀取，寫入，與遮罩信號是控制信號的實例。位

址與控制信號可以在位址與控制電路148中產生，並經由驅動器150提供。裝置選擇信號也可以當作控制信號，並承載於導體152上。裝置選擇是選擇性的，也可以經由其他方法達成。裝置之全部階層可以用單一的裝置選擇信號來選擇。如此一來，如所敘述的，控制器18可以控制裝置的插入。其他方法也可以用來控制裝置的插入。

在圖4，6，9，與10中，記憶體裝置內部的大塊與匯流排16上的大塊係顯示成彼此排列。實際上，他們可能差二分之一時脈循環或更多。

附圖是簡化的表示。舉例來說，在圖解之導體上的說明組件之間，可能有額外的結構(如，閉鎖器，緩衝器，控制電路或其他電路)。

在一些具體實施例中，處理器，記憶體控制器，與記憶體可以彼此堆疊。舉例來說，記憶體14之晶片堆疊於控制器18上，而控制器18則堆疊於處理器24上。在堆疊系統的情況中，可能不用集線器20。而且，在一些堆疊的具體實施例中，記憶體控制器是在處理器中。

具體實施例是本發明的實作或實例。專利說明書中使用的「具體實施例」，「一具體實施例」，「一些具體實施例」或「其他具體實施例」，意味著與具體實施例有關的特殊特徵，結構，或特性，係包含於至少一些具體實施例中，但未必是本發明之所有具體實施例。各種不同的「具體實施例」，「一具體實施例」，或「一些具體實施例」未必都是相同的具體實施例。

如果專利說明書陳述「可以」，「可能」，或「能夠」包含一組件，特徵，結構，或特性，則該特定組件，特徵，結構或特性不是必要包含的。如果專利說明書或申請專利範圍提到「一個」元素，那並不表示只有一個元素。如果專利說明書或申請專利範圍提到「一個額外的」元素，那並不表示排除有比一個額外的元素更多的元素。

本發明並不受限於本文中所列舉的特定細節。實際上，受益於本發明之熟諳此技藝之士將了解，在本發明之範圍內，可以對先前敘述與圖式做許多其他的變化。因此，下列申請專利範圍包含對定義本發明之範圍的任何修正。

【圖式簡單說明】

從以上敘述與下列本發明之具體實施例的附圖，將更完整地了解本發明，可是不應將本發明限制於所敘述之具體實施例，而應僅當作解說與認識。

圖1係一電腦系統之方塊圖表示，其中該電腦系統包含一處理器，一記憶體控制器，與記憶體，其係根據本發明之一具體實施例。

圖2係一電腦系統之方塊圖表示，其中該電腦系統包含一處理器，包含於處理器中之記憶體控制器，與記憶體，其係根據本發明之一些具體實施例。

圖3係一時序圖，顯示未使用本發明時之時脈，讀取指令，與DATA信號。

圖4係一時序圖，說明本發明之一些與讀取操作有關的具體實施例的一些態樣。

圖5係一系統之方塊圖表示，其中該系統包含一記憶體控制器與兩個記憶體裝置，其係根據本發明之一些具體實施例。

圖6係一時序圖，說明本發明之一些與讀取操作有關的具體實施例的一些態樣。

圖7係記憶體裝置之附加細節的方塊圖表示，其係根據本發明之一些具體實施例。

圖8係多重記憶體裝置之方塊圖表示，該等多重記憶體裝置可以在插入記憶體操作中，以群的方式運作，其係根據本發明之一些具體實施例。

圖9係一時序圖，說明本發明之一些與讀取操作有關的具體實施例的一些態樣。

圖10係一時序圖，說明本發明之一些與寫入操作有關的具體實施例的一些態樣。

圖11係一系統之方塊圖表示，該系統包含一記憶體控制器，兩個記憶體裝置，與BIOS，其係根據本發明之一些具體實施例。

【圖式代表符號說明】

0,1	記憶體裝置
10,30	電腦系統
14	記憶體
16	匯流排
18	控制器
20	集線器

24,32	處理器
54,56	輸出驅動器
58,60	控制邏輯
64,66	接收器
72,78	核心
106,120	傳送電路
108,124	閉鎖器
110	多工器
116	遮罩電路
122,130	解多工器
128,150	驅動器
132	邏輯 ORing 電路
140	基本輸入輸出系統
142,144,152	導體
146,156,158	暫存器
148	控制電路

伍、中文發明摘要：

在一些具體實施例，本發明包含一系統，該系統具有一記憶體控制器，一匯流排，以及第一與第二記憶體裝置。該記憶體控制器要求讀取與寫入操作，並以叢發長度執行。第一與第二記憶體裝置經由該匯流排耦合到記憶體控制器，第一與第二記憶體裝置每一個均具有大於叢發長度之預取長度，但以叢發長度執行所要求之讀取與寫入操作。同時敘述與主張其他具體實施例。

陸、英文發明摘要：

In some embodiments, the invention includes a system having a memory controller, a bus, and first and second memory devices. The memory controller requests read and write operations and operates with a burst length. The first and second memory devices are coupled to the memory controller through the bus, the first and second memory devices each having a prefetch length that is greater than the burst length, but performing the requested read and write operations with the burst length. Other embodiments are described and claimed.

拾、申請專利範圍：

1. 一種系統，包括：

要求讀取與寫入操作之記憶體控制器，其以叢發長度操作；

一匯流排；及

第一與第二記憶體裝置，其經由該匯流排耦合到記憶體控制器，該第一與第二記憶體裝置每一個具有大於該叢發長度之預取長度，但以叢發長度執行所要求之讀取與寫入操作。

2. 如申請專利範圍第1項之系統，其中第一與第二記憶體裝置每一個包含：

預取讀取操作之資料的核心，其中該讀取操作係針對一些等於該預取長度的大塊；

輸出驅動器，其耦合到該匯流排，以輸出一些於讀取操作時所預取之資料大塊；

傳送電路，以至少提供來自核心之資料到輸出驅動器；

控制邏輯，以啟動輸出驅動器輸出一些等於叢發長度的資料大塊，否則關閉輸出驅動器。

3. 如申請專利範圍第2項之系統，其中傳送電路傳送所有在讀取操作時，從核心預取的資料。

4. 如申請專利範圍第2項之系統，其中傳送電路僅傳送在讀取操作時，從核心預取的部分資料。

5. 如申請專利範圍第2項之系統，其中控制邏輯的啟動是選擇性的，取決於第一與第二記憶體裝置的模式，而其中

在一模式中，第一與第二記憶體裝置操作猶如叢發長度小於預取速率，在另一模式中，第一與第二記憶體裝置操作猶如叢發長度等於預取速率。

6. 如申請專利範圍第5項之系統，進一步包括BIOS，而且其中該模式係由包含於控制邏輯中之暫存器所控制，而暫存器則是由BIOS控制。
7. 如申請專利範圍第1項之系統，其中第一與第二記憶體裝置每一個包含：
 - 接收器，其耦合到該匯流排以接收寫入操作之資料大塊；
 - 傳送電路，以提供來自接收器，將寫入核心之接收的大塊，其中該核心包含遮罩電路，以遮罩資料免於寫入鄰近之接收的大塊。
8. 如申請專利範圍第7項之系統，其中資料的遮罩是選擇性，而且其中第一與第二記憶體裝置包含控制邏輯，其依據第一與第二記憶體裝置之模式，控制資料遮罩是否發生，其中在一模式中，第一與第二記憶體裝置操作猶如叢發長度小於預取速率，而在另一模式中，第一與第二記憶體裝置操作猶如叢發長度等於預取速率。
9. 如申請專利範圍第8項之系統，進一步包括BIOS，而且其中該模式係由包含於控制邏輯中之暫存器所控制，而暫存器則是由BIOS控制。
10. 如申請專利範圍第1項之系統，其中叢發長度是二分之一預取速率，而且其中第一與第二記憶體裝置以插入的方

式，提供讀取資料。

11. 如申請專利範圍第1項之系統，其中第一與第二記憶體裝置可以處於不同的模式，其中在模式之一，第一與第二記憶體裝置操作猶如記憶體控制器以叢發長度小於預取長度來操作，而在另一模式中，第一與第二記憶體裝置操作猶如記憶體控制器以叢發長度等於預取長度來操作。
12. 如申請專利範圍第11項之系統，進一步包括BIOS以控制第一與第二記憶體裝置處於哪一個模式。
13. 如申請專利範圍第1項之系統，其中在由第一記憶體裝置輸出之讀取資料的最後大塊與由第二記憶體裝置輸出之讀取資料輸出的第一大塊之間有間隙。
14. 如申請專利範圍第13項之系統，其中因為週轉時間而使用該間隙。
15. 如申請專利範圍第1項之系統，進一步包括額外的記憶體裝置，且其中第一與第二記憶體裝置是在不同模組中的不同階層。
16. 一種記憶體裝置，包括：
 - 預取讀取操作之資料的核心，其中該讀取操作係針對一些等於該預取长度的大塊；
 - 輸出驅動器，以輸出一些於讀取操作時所預取之資料大塊；
 - 傳送電路，以至少提供來自核心之資料到輸出驅動器；

控制邏輯，以啟動輸出驅動器輸出一些等於叢發長度的資料大塊，否則關閉輸出驅動器。

17. 如申請專利範圍第16項之裝置，其中傳送電路傳送所有在讀取操作時，從核心預取的資料。

18. 如申請專利範圍第16項之裝置，其中傳送電路僅傳送在讀取操作時，從核心預取的部分資料。

19. 如申請專利範圍第16項之裝置，其中控制邏輯的啟動是選擇性的，取決於第一與第二記憶體裝置的模式，而其中在一模式中，第一與第二記憶體裝置操作猶如叢發長度小於預取速率，在另一模式中，第一與第二記憶體裝置操作猶如叢發長度等於預取速率。

20. 如申請專利範圍第19項之裝置，其中該模式係由包含於控制邏輯中之暫存器所控制。

21. 如申請專利範圍第16項之裝置，其中記憶體裝置包含：

接收器，其耦合到匯流排以接收寫入操作之資料大塊；

第二傳送電路，以提供來自接收器，將寫入核心之接收的大塊，其中該核心包含遮罩電路，以遮罩資料免於寫入鄰近之接收的大塊。

22. 如申請專利範圍第21項之裝置，其中資料之遮罩是選擇性的，而且其中第一與第二記憶體裝置包含控制邏輯，其依據第一與第二記憶體裝置之模式，控制資料遮罩是否發生，其中在一模式中，第一與第二記憶體裝置操作猶如叢發長度小於預取速率，而在另一模式中，第一與

第二記憶體裝置操作猶如叢發長度等於預取速率。

23. 一種記憶體控制器，包括：

提供裝置選擇信號，讀取指令，與寫入指令之控制電路；及

提供寫入資料之驅動器，與接收讀取資料之接收器，其中讀取資料係經由裝置選擇信號與讀取指令之選擇，以插入的方式接收。

24. 如申請專利範圍第23項之記憶體控制器，其中裝置選擇信號在背靠背讀取指令中是不同的。

25. 如申請專利範圍第23項之記憶體控制器，其中驅動器經由裝置選擇信號與寫入指令的選擇，以插入的方式驅動寫入資料，而控制電路則產生插入方式的選擇信號與寫入指令。

26. 如申請專利範圍第25項之記憶體控制器，其中裝置選擇信號在背靠背寫入指令中是不同的。

27. 如申請專利範圍第23項之記憶體控制器，其中讀取要求係以第一叢發長度操作，而寫入操作則是以不等於第一叢發長度之第二叢發長度操作。

28. 一種記憶體控制器，包括：

提供裝置選擇信號，讀取指令，與寫入指令之控制電路；及

提供寫入資料之驅動器，與接收讀取資料之接收器，其中控制電路控制將驅動之寫入資料的叢發長度與將接收之讀取資料的叢發長度的選擇。

29. 如申請專利範圍第28項之記憶體控制器，其中寫入資料之叢發長度是選擇性的4或8，而讀取資料之叢發長度則是選擇性的4或8。
30. 如申請專利範圍第28項之記憶體控制器，其中寫入資料與讀取資料之叢發長度是選擇性的4或8。
31. 如申請專利範圍第28項之記憶體控制器，其中裝置選擇信號的狀態依據選擇之叢發長度，相對於讀取指令與寫入指令改變。
32. 一種系統，包括：
- 要求讀取與寫入操作之記憶體控制器，其以第一叢發長度操作讀取操作，並以第二叢發長度操作寫入操作；
- 一匯流排；及
- 第一與第二記憶體裝置，其經由該匯流排耦合到記憶體控制器，該第一與第二記憶體裝置每一個具有預取長度，並以第一叢發長度執行所要求之讀取操作，以第二叢發長度執行所要求之寫入操作，其中第一或第二叢發長度其中之一小於預取長度，而其他第一與第二叢發長度則小於或等於預取長度，而且其中第一與第二叢發長度是不相等的。
33. 如申請專利範圍第32項之系統，其中第一叢發長度是4，第二叢發長度是8，而預取長度則是8。
34. 如申請專利範圍第32項之系統，其中第一叢發長度是4，第二叢發長度是8，而預取長度則是16。
35. 如申請專利範圍第32項之系統，其中第一與第二記憶體

裝置每一個包含：

預取讀取操作之資料的核心，其中該讀取操作係針對一些等於該預取长度的大塊；

輸出驅動器，其耦合到該匯流排，以輸出一些於讀取操作時所預取之資料大塊；

傳送電路，以至少提供來自核心之資料到輸出驅動器；

控制邏輯，以啟動輸出驅動器輸出一些等於叢發长度的資料大塊，否則關閉輸出驅動器。

36. 如申請專利範圍第35項之系統，其中控制邏輯的啟動是選擇性的，取決於第一與第二記憶體裝置的模式，而其中在一模式中，第一與第二記憶體裝置操作猶如叢發长度小於預取速率，在另一模式中，第一與第二記憶體裝置操作猶如叢發长度等於預取速率。

37. 如申請專利範圍第35項之系統，進一步包括BIOS，而且其中該模式係由包含於控制邏輯中之暫存器所控制，而暫存器則是由BIOS控制。

38. 如申請專利範圍第32項之系統，其中第一與第二記憶體裝置每一個包含：

接收器，其耦合到該匯流排以接收寫入操作之資料大塊；

傳送電路，以提供來自接收器，將寫入核心之接收的大塊，其中該核心包含遮罩電路，以遮罩資料免於寫入鄰近之接收的大塊。

39. 如申請專利範圍第38項之系統，其中資料的遮罩是選擇性，而且其中第一與第二記憶體裝置包含控制邏輯，其依據第一與第二記憶體裝置之模式，控制資料遮罩是否發生，其中在一模式中，第一與第二記憶體裝置操作猶如叢發長度小於預取速率，而在另一模式中，第一與第二記憶體裝置操作猶如叢發長度等於預取速率。
40. 如申請專利範圍第32項之系統，進一步包括BIOS，而且其中該模式係由包含於控制邏輯中之暫存器所控制，而暫存器則是由BIOS控制。
41. 如申請專利範圍第32項之系統，其中叢發長度是二分之一預取速率，而且其中第一與第二記憶體裝置以插入的方式，提供讀取資料。
42. 如申請專利範圍第32項之系統，其中第一與第二記憶體裝置可以處於不同的模式，其中在模式之一，第一與第二記憶體裝置操作猶如記憶體控制器以叢發長度小於預取長度來操作，而在另一模式中，第一與第二記憶體裝置操作猶如記憶體控制器以叢發長度等於預取長度來操作。
43. 如申請專利範圍第42項之系統，進一步包括BIOS以控制第一與第二記憶體裝置處於哪一個模式。
44. 如申請專利範圍第32項之系統，進一步包括額外的記憶體裝置，且其中第一與第二記憶體裝置是在不同模組中的不同階層。

拾壹、圖式：

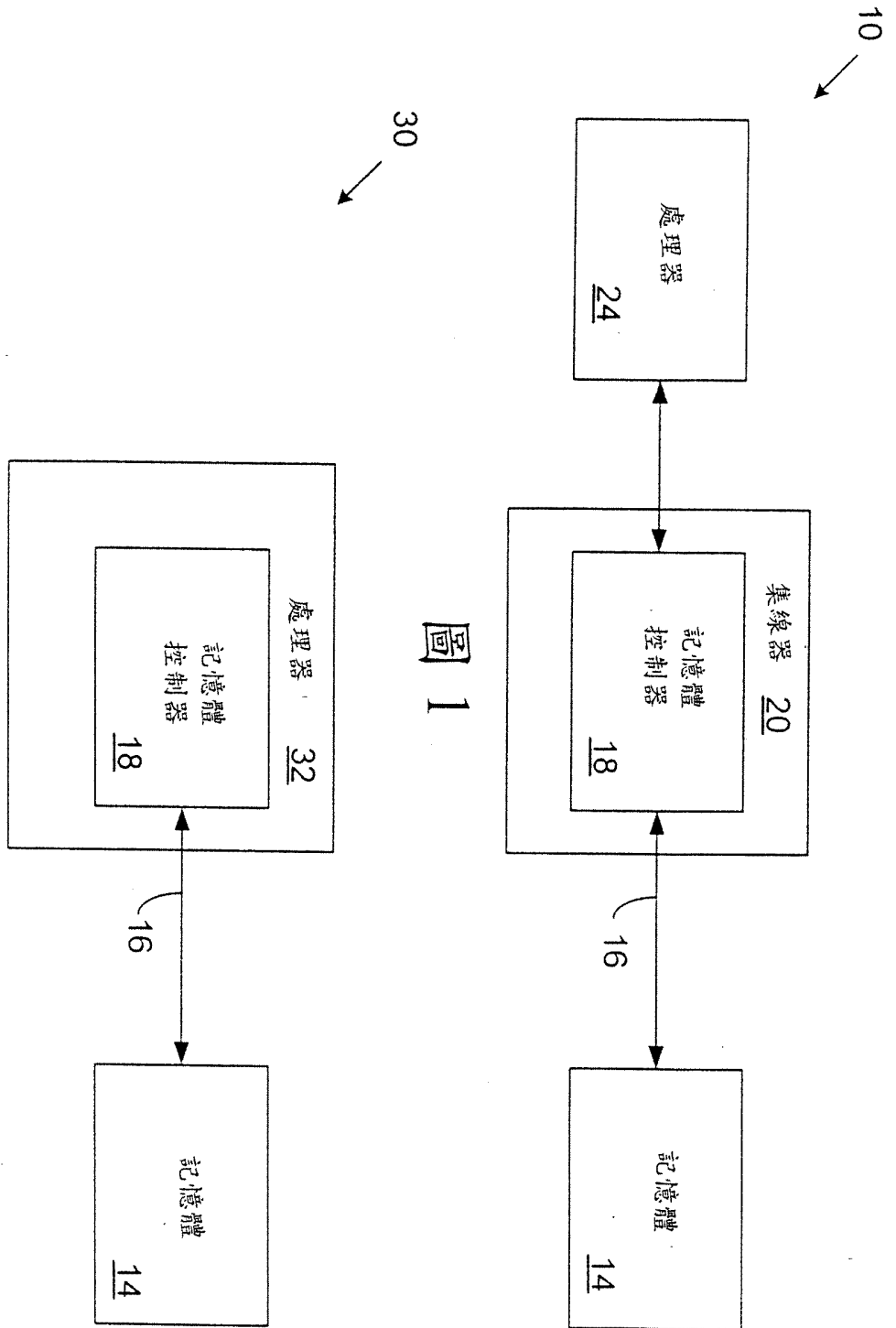


圖 1

圖 2

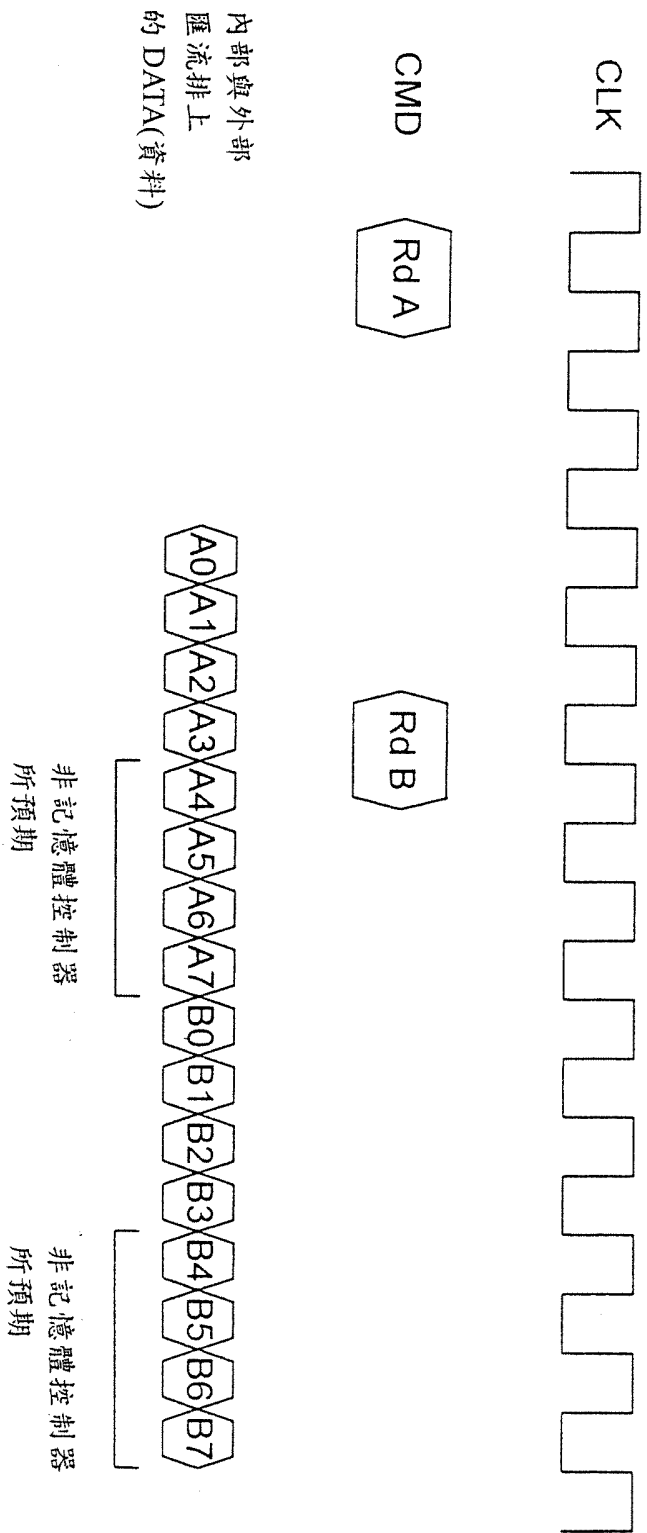


圖 3

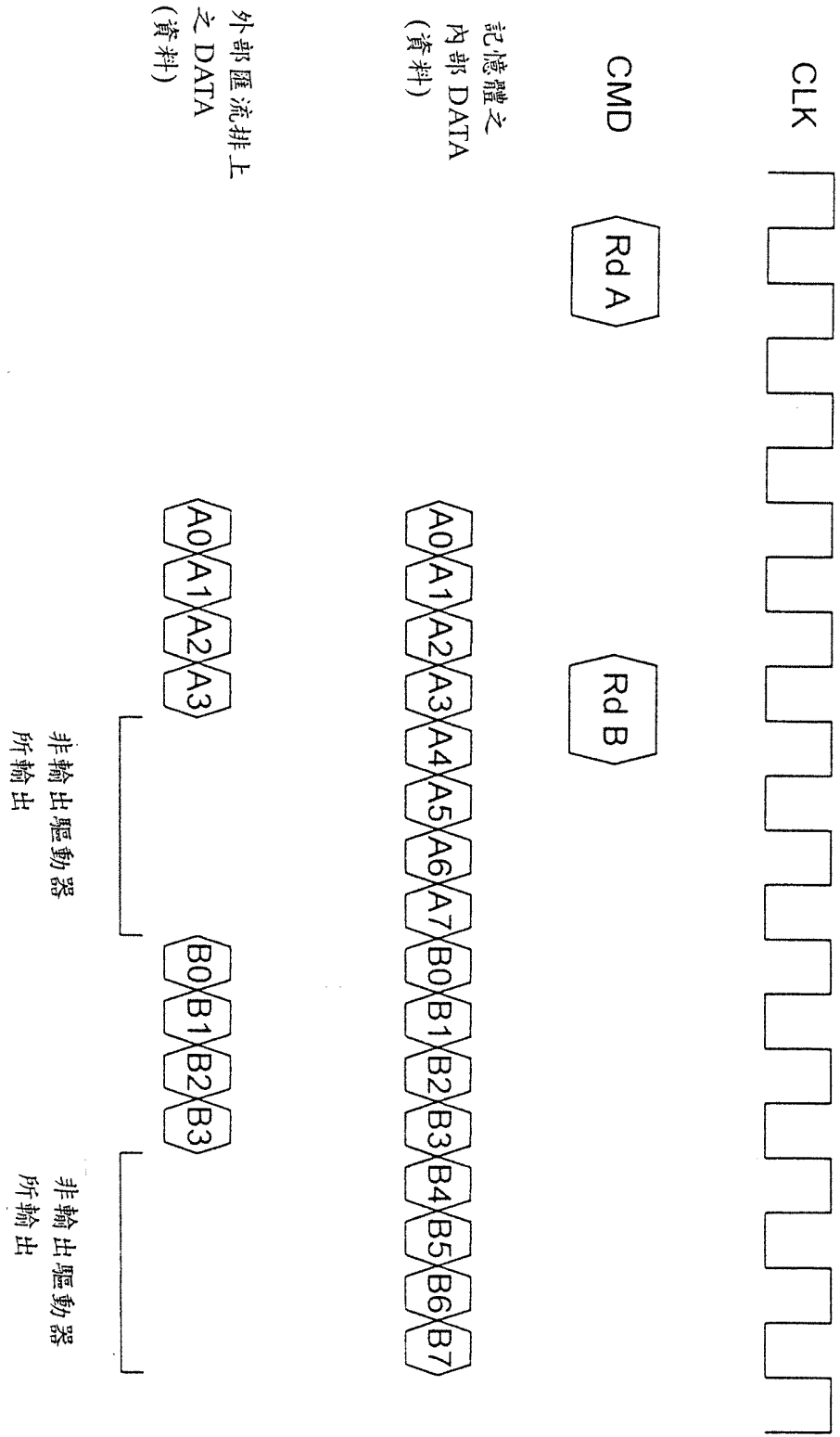


圖 4

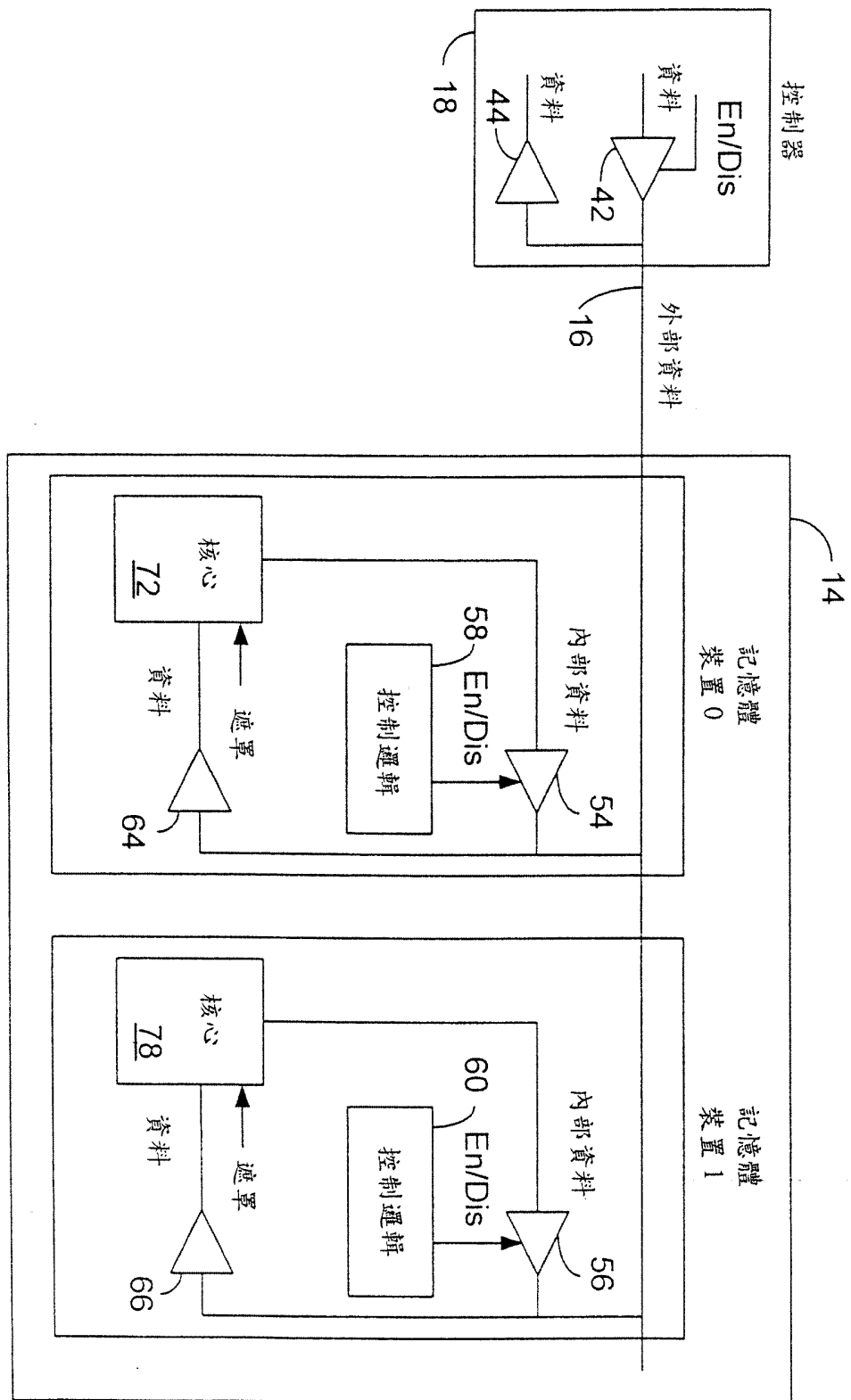


圖 5

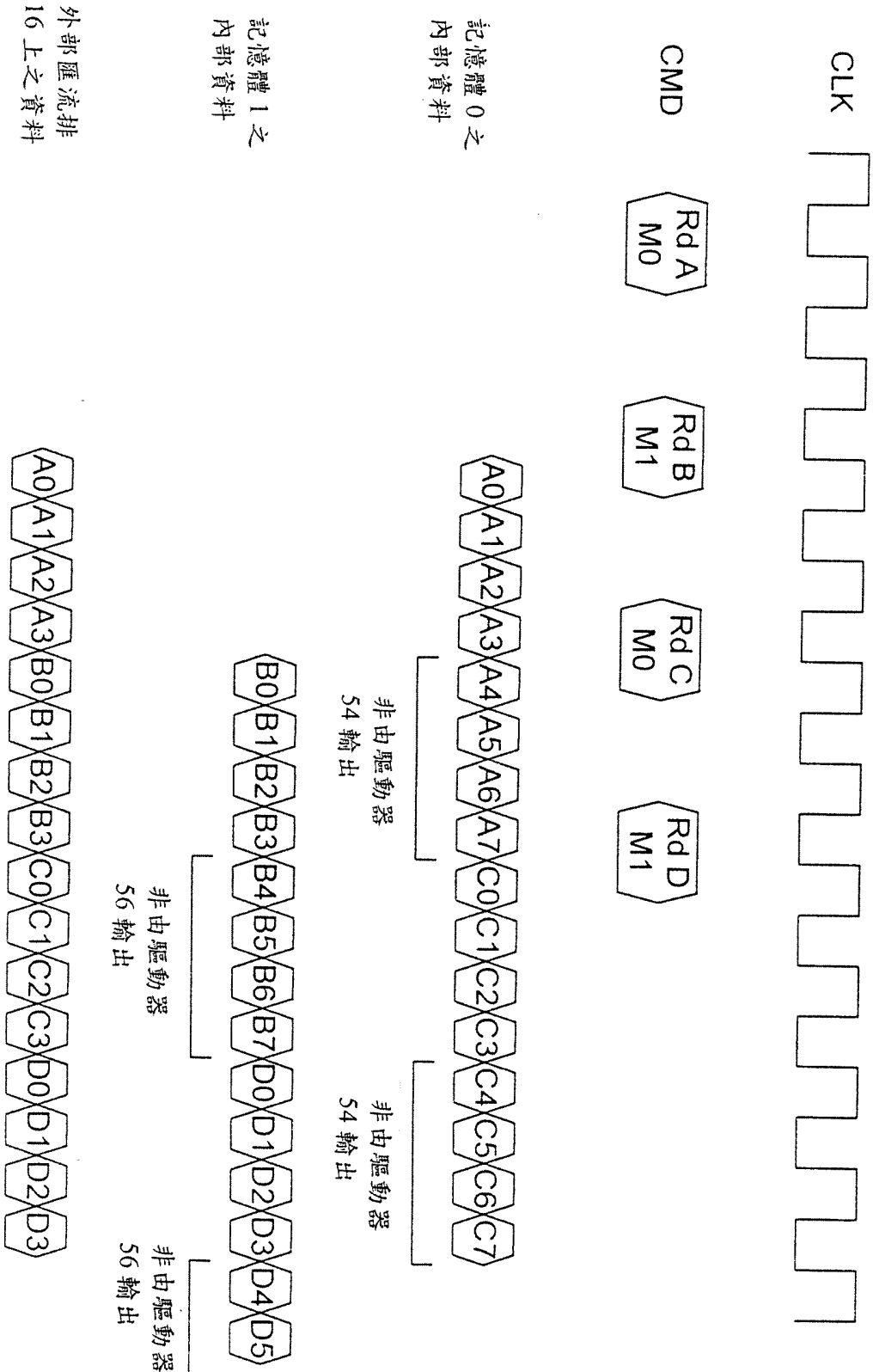


圖 6

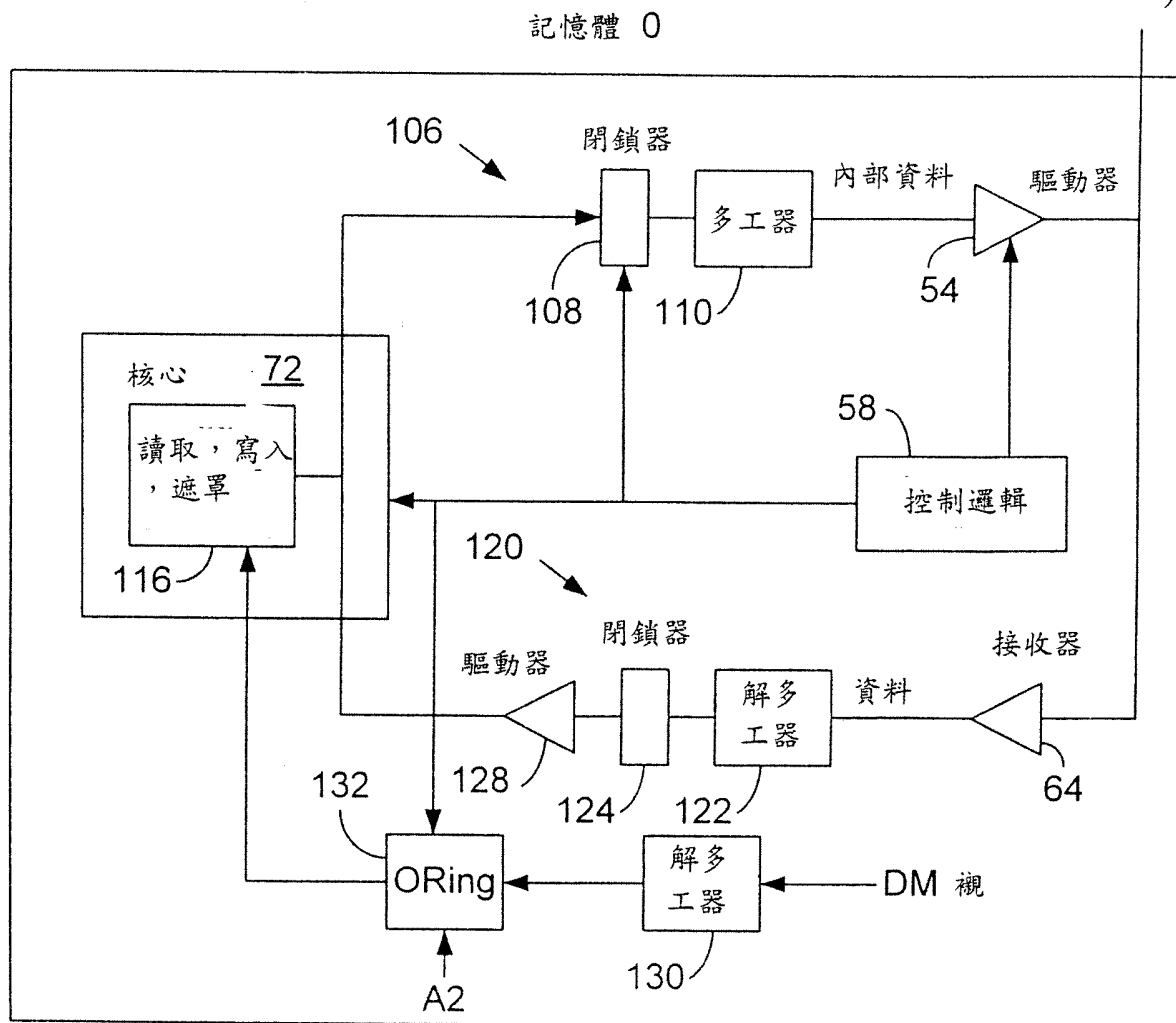


圖 7

14

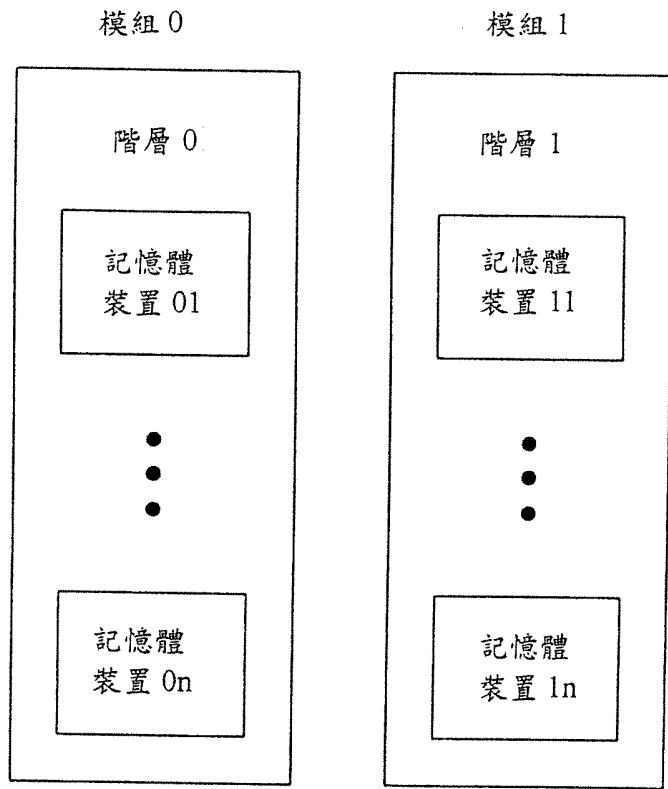


圖 8

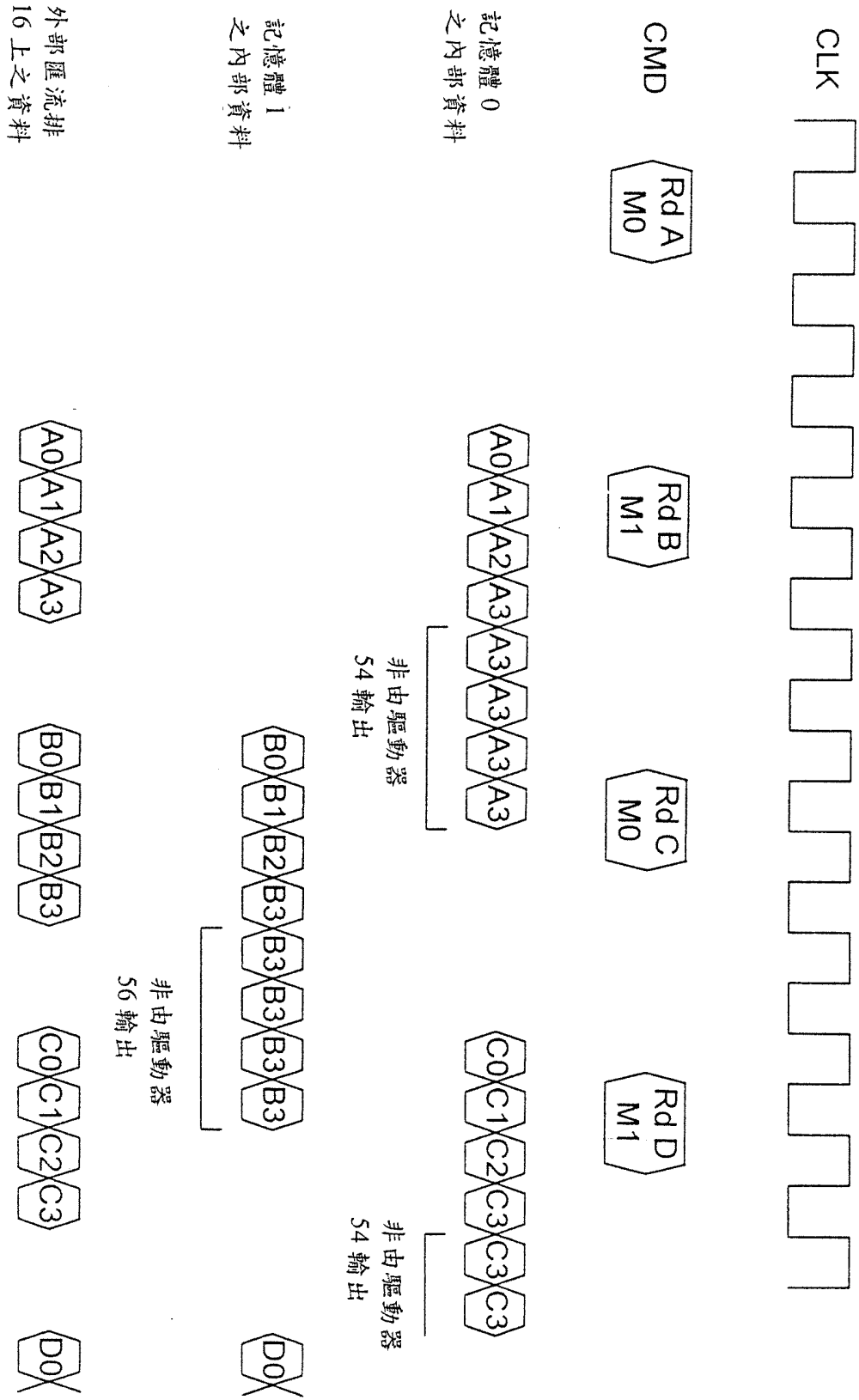


圖 9

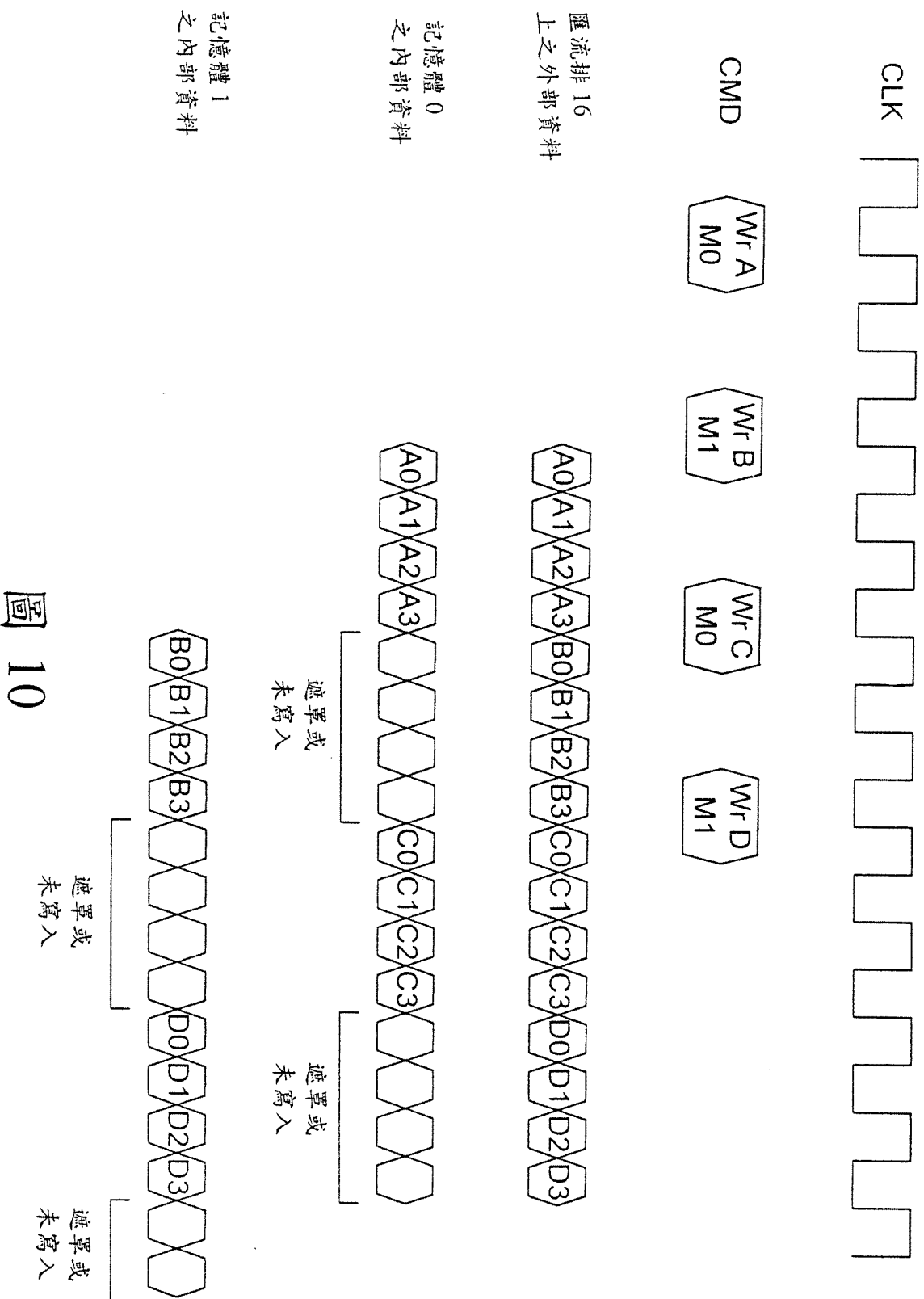


圖 10



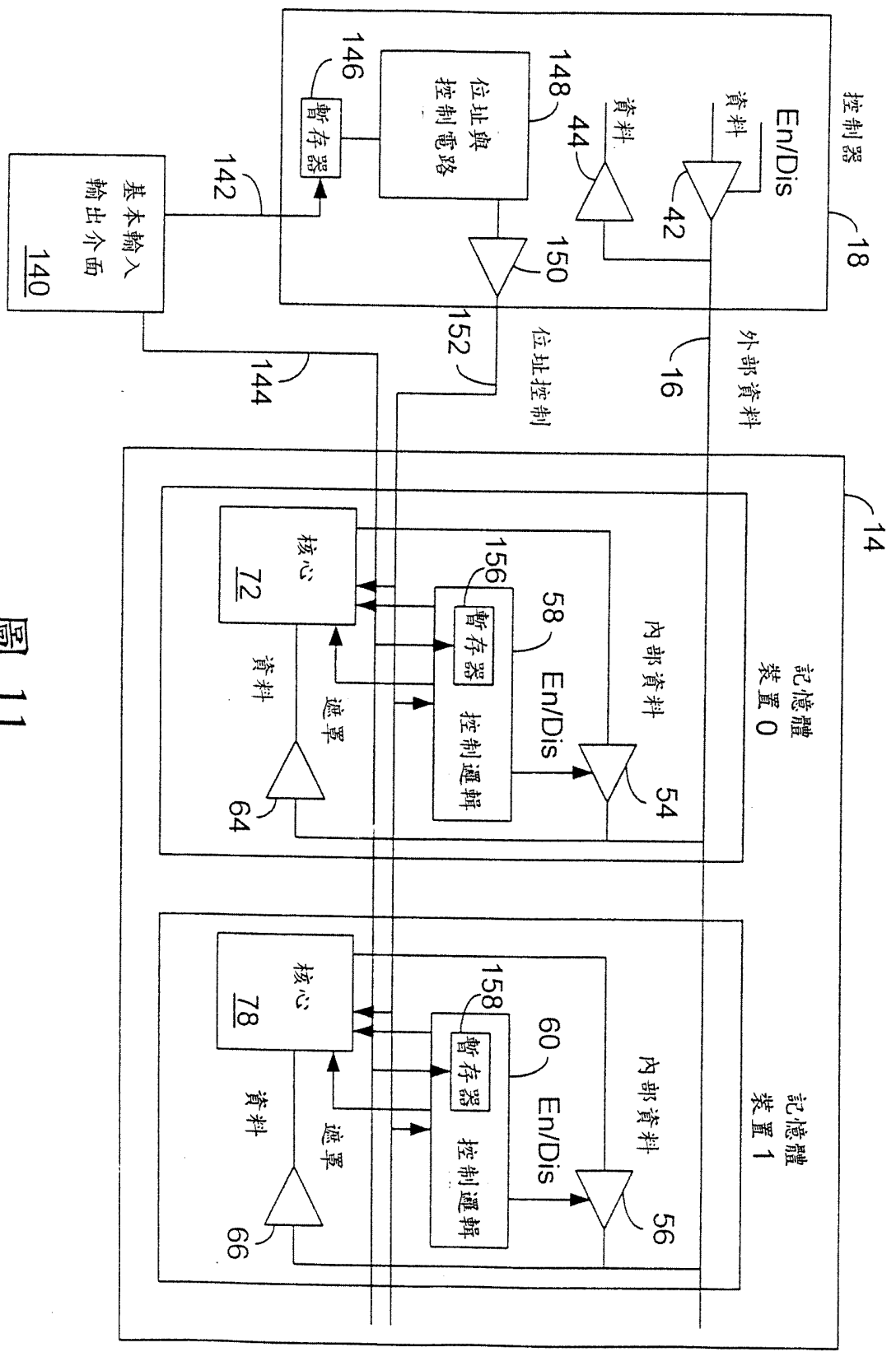


圖 11

柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

10	電腦系統
14	記憶體
16	匯流排
18	控制器
24	處理器
20	集線器

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：