

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成25年5月9日(2013.5.9)

【公開番号】特開2012-8920(P2012-8920A)

【公開日】平成24年1月12日(2012.1.12)

【年通号数】公開・登録公報2012-002

【出願番号】特願2010-146142(P2010-146142)

【国際特許分類】

G 06 F 12/00 (2006.01)

【F I】

G 06 F 12/00 5 6 4 D

G 06 F 12/00 5 9 7 D

【手続補正書】

【提出日】平成25年3月27日(2013.3.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1半導体部品搭載領域に形成された複数の第1端子、第2半導体部品搭載領域に形成された複数の第2端子、および前記複数の第1端子と前記複数の第2端子とをそれぞれ繋ぐ複数の伝送経路、を有する基板と、

前記第1半導体部品搭載領域に搭載された第1半導体部品と、

前記第2半導体部品搭載領域に搭載された第2半導体部品と、

を含み、

前記第2半導体部品は、クロック信号に同期動作される複数のメモリデバイスを有し、

前記第1半導体部品は、前記第2半導体部品を制御するメモリコントローラを有し、

前記複数の伝送経路は、前記第1半導体部品から前記第2半導体部品に前記クロック信号を供給するクロック伝送経路、前記第1半導体部品から前記第2半導体部品にコマンド及びアドレス信号を供給するコマンドアドレス伝送経路、前記第1半導体部品と前記第2半導体部品との間でデータ伝送を行うためのデータ系伝送経路、及び前記クロック信号と前記コマンド及びアドレス信号の有効性を示すための第1コントロール系信号を前記第1半導体部品から前記第2半導体部品に伝送する第1コントロール系伝送経路とを含み、

前記基板は更に、グランドプレーンと、前記第1コントロール系伝送経路の途中から分岐してグランドプレーンに至る第1特定伝送経路と、前記第1特定伝送経路に直列配置された第1容量素子とを有し、

前記第1容量素子は前記第1コントロール系伝送経路の信号伝送方向基端から前記第1特定伝送経路への分岐点までの経路の寄生容量よりも大きな容量値を持つ、電子機器。

【請求項2】

請求項1記載の電子機器において、

前記第1コントロール系伝送経路上における前記第1半導体部品から前記第1特定伝送経路への分岐点までの距離は、前記第1コントロール系伝送経路上における前記分岐点から第2半導体部品までの距離よりも短い、電子機器。

【請求項3】

請求項1記載の電子機器において、

前記第2半導体部品は、モジュール基板に前記複数のメモリデバイスが搭載されたメモ

リモジュールであり、前記クロック伝送経路から供給される前記クロック信号を受ける前記モジュール基板内のクロック配線、前記コマンドアドレス伝送経路から供給される前記コマンド及びアドレス信号を受ける前記モジュール基板内の信号線、及び前記第1コントロール系伝送経路からの前記第1コントロール系信号を受ける前記モジュール基板内の信号線に、前記複数のメモリデバイスの対応端子がフライ・バイ形態で接続されている、電子機器。

#### 【請求項4】

請求項3記載の電子機器において、  
前記メモリデバイスはDDR3-SDRAMであり、  
前記第1コントロール系信号は、前記DDR3-SDRAMにおけるチップ選択信号及びクロックイネーブル信号である、電子機器。

#### 【請求項5】

請求項1記載の電子機器において、  
前記複数の伝送経路は更に、前記データ系伝送経路の伝送特性を選択的に切り換えるための第2コントロール系信号を前記第1半導体部品から前記第2半導体部品に伝送する第2コントロール系伝送経路を含み、

前記基板は更に、前記第2コントロール系伝送経路の途中から分岐してグランドブレインに至る第2特定伝送経路と、前記第2特定伝送経路に直列配置された第2容量素子とを有し、

前記第2容量素子は前記第2コントロール系伝送経路の信号伝送方向基端から前記第2特定伝送経路への分岐点までの経路の寄生容量よりも大きな容量値を持つ、電子機器。

#### 【請求項6】

請求項5記載の電子機器において、  
前記第2コントロール系伝送経路上における前記第1半導体部品から前記第2特定伝送経路への分岐点までの距離は、前記第2コントロール系伝送経路上における前記分岐点から第2半導体部品までの距離よりも短い、電子機器。

#### 【請求項7】

請求項5記載の電子機器において、  
前記第2半導体部品は、モジュール基板に前記複数のメモリデバイスが搭載されたメモリモジュールであり、前記クロック伝送経路から供給される前記クロック信号を受ける前記モジュール基板内のクロック配線、前記コマンドアドレス伝送経路から供給される前記コマンド及びアドレス信号を受ける前記モジュール基板内の信号線、前記第1コントロール系伝送経路からの前記第1コントロール系信号を受ける前記モジュール基板内の信号線、及び前記第2コントロール系伝送経路から供給される前記第2コントロール系信号を受ける前記モジュール基板内の信号線に、前記複数のメモリデバイスの対応端子がフライ・バイ形態で接続されている、電子機器。

#### 【請求項8】

請求項7記載の電子機器において、  
前記第2半導体部品はDDR3-SDRAMであり、  
前記メモリデバイスは、前記データ系伝送経路に対応する終端抵抗として利用可能なオンダイターミネーションを有し、前記入力端子から入力される選択信号は、前記オンダイターミネーションの有効又は無効を指示するオンダイターミネーション指示信号である、電子機器。

#### 【請求項9】

請求項5記載の電子機器において、  
前記基板は複数の配線層を有し、  
前記第1コントロール系伝送経路及び第2コントロール系伝送経路は、前記複数の配線層のうちの最上層および最下層のそれぞれの配線層に形成され、  
前記複数の第1端子及び第2端子のそれぞれは前記複数の配線層のうちの最上層に形成されている、電子機器。

**【請求項 1 0】**

請求項 9 記載の電子機器において、

前記グランドプレーンは、前記複数の配線層のうちの最上層と最下層との間の内層の配線層に形成され、

前記特定電層経路は、前記基板に形成されたスルーホールに設けられたピア配線を介して前記グランドプレーンとそれぞれ電気的に接続され、

前記ピア配線のそれぞれは、平面視において、前記第 1 コントロール系伝送経路及び第 2 コントロール系伝送経路に含まれる互いに隣り合う配線に共通接続される、電子機器。

**【請求項 1 1】**

基板に第 1 半導体部品と前記第 1 半導体部品が制御する第 2 半導体部品が搭載された電子機器であって、

前記第 2 半導体部品はクロック信号に同期動作される複数のメモリデバイスを有し、

前記基板は前記第 2 半導体部品を前記第 1 の半導体部品に接続するための複数の信号経路を有し、

前記複数の信号経路は、前記第 1 半導体部品から前記第 2 半導体部品に前記クロック信号を供給するクロック伝送経路、前記第 1 半導体部品から前記第 2 半導体部品にコマンド及びアドレス信号を供給するコマンドアドレス伝送経路、前記第 1 半導体部品と前記第 2 半導体部品との間でデータ伝送を行うためのデータ系伝送経路、及び前記クロック信号と前記コマンド及びアドレス信号の有効性を示すための第 1 コントロール系信号を前記第 1 半導体部品から前記第 2 半導体部品に伝送する第 1 コントロール系伝送経路とを含み、

前記基板は更に、グランドプレーンと、前記第 1 コントロール系伝送経路の途中から分岐してグランドプレーンに至る特定伝送経路と、前記特定伝送経路に直列配置された容量素子とを有し、

前記容量素子は、それがない場合に比べて前記第 1 コントロール系信号のスルーレートを小さくし且つタイミングウインドウを大きくする、電子機器。

**【請求項 1 2】**

請求項 1 1 記載の電子機器において、

前記複数の伝送経路は更に、前記データ系伝送経路の伝送特性を選択的に切り換えるための第 2 コントロール系信号を前記第 1 半導体部品から前記第 2 半導体部品に伝送する第 2 コントロール系伝送経路を含み、

前記基板は更に、前記第 2 コントロール系伝送経路の途中から分岐してグランドプレーンに至る第 2 特定伝送経路と、前記第 2 特定伝送経路の途中に直列配置された第 2 容量素子を有し、

前記第 2 容量素子は、それがない場合に比べて前記第 2 コントロール系信号のスルーレートを小さくし且つタイミングウインドウを大きくする、電子機器。

**【請求項 1 3】**

請求項 1 2 記載の電子機器において、

前記第 2 半導体部品は、モジュール基板に前記複数のメモリデバイスが搭載されたメモリモジュールであり、前記クロック伝送経路から供給されるクロック信号を受けるモジュール基板内のクロック配線、前記コマンドアドレス伝送経路から供給されるコマンド及びアドレス信号を受けるモジュール基板内の信号線、及び第 1 コントロール系伝送経路からの第 1 コントロール系信号を受けるモジュール基板内の信号線に、前記複数のメモリデバイスの対応端子がフライ・バイ形態で接続されている、電子機器。

**【請求項 1 4】**

請求項 1 3 記載の電子機器において、

前記第 2 半導体部品は、前記第 2 コントロール系伝送経路から供給される第 2 コントロール系信号を受けるモジュール基板内の信号線に前記複数のメモリデバイスの対応端子がフライ・バイ形態で接続されている、電子機器。

**【請求項 1 5】**

請求項 1 4 記載の電子機器において、

前記メモリデバイスは D D R 3 - S D R A M であり、

前記第1コントロール系信号は、 D D R 3 - S D R A M におけるチップ選択信号及びクロックイネーブル信号である、電子機器。

【請求項 1 6】

請求項 1 5 記載の電子機器において、

前記メモリデバイスは、前記データ系伝送経路に対応する終端抵抗として利用可能なオンダイターミネーションを有し、前記入力端子から入力される選択信号は、前記オンダイターミネーションの有効又は無効を指示するオンダイターミネーション指示信号である、電子機器。