



(12)发明专利

(10)授权公告号 CN 104425263 B

(45)授权公告日 2017.06.13

(21)申请号 201310365611.1

(22)申请日 2013.08.20

(65)同一申请的已公布的文献号

申请公布号 CN 104425263 A

(43)申请公布日 2015.03.18

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 张翼英 何其暘

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51)Int.Cl.

H01L 21/336(2006.01)

H01L 21/28(2006.01)

(56)对比文件

CN 103578988 A,2014.02.12,

US 2002/0109182 A1,2002.08.15,

CN 1581431 A,2005.02.16,

US 2008/0296702 A1,2008.12.04,

CN 103094112 A,2013.05.08,

审查员 孙鹏

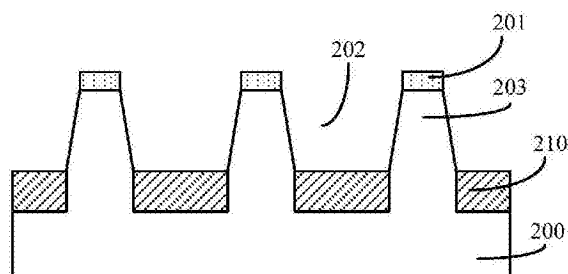
权利要求书2页 说明书9页 附图3页

(54)发明名称

半导体结构的形成方法

(57)摘要

一种半导体结构的形成方法,包括:提供衬底,所述衬底表面具有掩膜层,所述掩膜层暴露出部分衬底表面;以所述掩膜层为掩膜,刻蚀部分衬底,在所述衬底内形成开口,相邻开口之间的衬底形成鳍部;在形成鳍部之后,缩小所述掩膜层平行于衬底表面方向的尺寸,使所述掩膜层暴露出部分鳍部的顶部表面;在缩小所述掩膜层平行于衬底表面方向的尺寸之后,以所述掩膜层为掩膜,采用具有方向性的刻蚀工艺对所述鳍部进行刻蚀,使所述鳍部的侧壁相对于衬底表面倾斜,且所述鳍部的顶部尺寸小于底部尺寸。所形成的半导体结构尺寸精确易控,由所述半导体结构形成的鳍式场效应管性能改善。



1. 一种半导体结构的形成方法,其特征在于,包括:
提供衬底,所述衬底表面具有掩膜层,所述掩膜层暴露出部分衬底表面;
以所述掩膜层为掩膜,刻蚀部分衬底,在所述衬底内形成开口,相邻开口之间的衬底形成鳍部;

在形成鳍部之后,缩小所述掩膜层平行于衬底表面方向的尺寸,使所述掩膜层暴露出部分鳍部的顶部表面;

在缩小所述掩膜层平行于衬底表面方向的尺寸之后,以所述掩膜层为掩膜,采用具有方向性的刻蚀工艺对所述鳍部进行刻蚀,使所述鳍部的侧壁相对于衬底表面倾斜,且所述鳍部的顶部尺寸小于底部尺寸,所述具有方向性的刻蚀工艺为干法刻蚀工艺,所述具有方向性的刻蚀工艺的气体包括主蚀刻气体、氧气和载气,所述主蚀刻气体中包括碳氟气体。

2. 如权利要求1所述半导体结构的形成方法,其特征在于,在采用具有方向性的刻蚀工艺对所述鳍部进行刻蚀之后,所述鳍部侧壁与衬底表面之间的角度为70度~85度。

3. 如权利要求1所述半导体结构的形成方法,其特征在于,所述具有方向性的刻蚀工艺参数包括:气压为2毫托~50毫托,偏置电压为100伏~1000伏。

4. 如权利要求1所述半导体结构的形成方法,其特征在于,所述主蚀刻气体包括CF₄、CHF₃、C₄F₈、CH₂F₂中的一种或多种;所述载气为氩气或He。

5. 如权利要求1所述半导体结构的形成方法,其特征在于,缩小所述掩膜层尺寸的工艺为各向同性的湿法刻蚀工艺或各向同性的干法刻蚀工艺。

6. 如权利要求1所述半导体结构的形成方法,其特征在于,所述掩膜层的形成工艺包括多重图形化工艺。

7. 如权利要求6所述半导体结构的形成方法,其特征在于,所述多重图形化工艺包括自对准多重图形化掩膜工艺、或双重曝光工艺。

8. 如权利要求1所述半导体结构的形成方法,其特征在于,所述衬底为体衬底。

9. 如权利要求1所述半导体结构的形成方法,其特征在于,所述衬底包括半导体基底、以及位于所述半导体基底表面的半导体层,所述鳍部的形成工艺为:以所述掩膜层为掩膜,刻蚀所述半导体层直至暴露出半导体基底为止,在半导体层内形成开口,相邻开口之间的半导体层形成鳍部,所述鳍部位于半导体基底表面。

10. 如权利要求8或9所述半导体结构的形成方法,其特征在于,还包括:在形成鳍部之后,在缩小所述掩膜层尺寸的尺寸之前,在所述衬底表面形成介质层,所述介质层表面低于鳍部的顶部,且所述介质层覆盖部分鳍部的侧壁。

11. 如权利要求10所述半导体结构的形成方法,其特征在于,所述介质层的形成工艺为:采用沉积工艺在衬底表面、以及鳍部的侧壁和底部表面形成填充满开口的介质薄膜;采用抛光工艺去除高于鳍部顶部的介质薄膜;在所述抛光工艺之后,采用回刻蚀工艺刻蚀所述介质薄膜,形成介质层,所述介质层的表面低于鳍部的顶部。

12. 如权利要求11所述半导体结构的形成方法,其特征在于,所述回刻蚀工艺为湿法刻蚀工艺或各向异性的干法刻蚀工艺。

13. 如权利要求1所述半导体结构的形成方法,其特征在于,所述衬底为绝缘体上半导体基底,所述绝缘体上半导体基底包括:基底、位于基底表面的介质层、以及位于介质层表面的半导体层。

14. 如权利要求13所述半导体结构的形成方法,其特征在于,所述鳍部的形成工艺为:以所述掩膜层为掩膜,刻蚀所述半导体层直至暴露出介质层为止,在半导体层内形成开口,相邻开口之间的半导体层形成鳍部,所述鳍部位于介质层表面。

15. 如权利要求1所述半导体结构的形成方法,其特征在于,还包括:在采用具有方向性的刻蚀工艺对所述鳍部进行刻蚀之后,在所述鳍部表面形成栅极结构,所述栅极结构横跨于所述鳍部的侧壁和顶部表面,所述栅极结构包括:栅介质层、位于栅介质层表面的栅电极层、以及位于栅介质层和栅电极层两侧的侧壁。

16. 如权利要求15所述半导体结构的形成方法,其特征在于,所述栅极结构的形成方法包括:在所述鳍部的侧壁和顶部表面形成栅介质薄膜;在所述栅介质薄膜表面形成栅电极薄膜;刻蚀部分栅电极薄膜和栅介质薄膜,直至暴露出鳍部的侧壁和顶部表面,形成栅电极层和栅介质层;在所述栅电极层、栅介质层和鳍部表面形成侧墙薄膜;回刻蚀所述侧墙薄膜直至暴露出栅电极层表面、以及鳍部的侧壁和顶部表面,在栅电极层和栅介质层两侧的鳍部侧壁和顶部表面形成侧墙。

17. 如权利要求15所述半导体结构的形成方法,其特征在于,还包括:采用离子注入工艺在所述栅极结构两侧的鳍部内形成源区和漏区。

半导体结构的形成方法

技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种半导体结构的形成方法。

背景技术

[0002] 随着半导体制造技术的飞速发展,半导体器件朝着更高的元件密度,以及更高的集成度的方向发展。晶体管作为最基本的半导体器件目前正被广泛应用,因此随着半导体器件的元件密度和集成度的提高,平面晶体管的栅极尺寸也越来越短,传统的平面晶体管对沟道电流的控制能力变弱,产生短沟道效应,产生漏电流,最终影响半导体器件的电学性能。

[0003] 为了克服晶体管的短沟道效应,抑制漏电流,现有技术提出了鳍式场效应晶体管(Fin FET),请参考图1,图1是现有技术的鳍式场效应管的立体结构示意图,包括:半导体衬底10;位于所述半导体衬底10上凸出的鳍部14;覆盖所述半导体衬底10表面以及鳍部14侧壁的一部分的介质层11,所述介质层11的表面低于所述鳍部14的顶部;横跨所述鳍部14的顶部和侧壁的栅极结构12,所述栅极结构12包括:栅介质层、位于所述栅介质层表面的栅电极、以及位于栅电极层和栅介质层两侧的侧墙。需要说明的是,对于鳍式场效应管,鳍部14的顶部以及两侧的侧壁与栅极结构12相接触的部分成为沟道区,有利于增大驱动电流,改善器件性能。

[0004] 然而,随着工艺节点的缩小,形成所述鳍式场效应管的工艺难度提高,导致所形成的鳍式场效应管性能下降。

发明内容

[0005] 本发明解决的问题是提供一种半导体结构的形成方法,改善所形成的鳍式场效应管的性能。

[0006] 为解决上述问题,本发明提供一种半导体结构的形成方法,包括:提供衬底,所述衬底表面具有掩膜层,所述掩膜层暴露出部分衬底表面;以所述掩膜层为掩膜,刻蚀部分衬底,在所述衬底内形成开口,相邻开口之间的衬底形成鳍部;在形成鳍部之后,缩小所述掩膜层平行于衬底表面方向的尺寸,使所述掩膜层暴露出部分鳍部的顶部表面;在缩小所述掩膜层平行于衬底表面方向的尺寸之后,以所述掩膜层为掩膜,采用具有方向性的刻蚀工艺对所述鳍部进行刻蚀,使所述鳍部的侧壁相对于衬底表面倾斜,且所述鳍部的顶部尺寸小于底部尺寸。

[0007] 可选的,在采用具有方向性的刻蚀工艺对所述鳍部进行刻蚀之后,所述鳍部侧壁与衬底表面之间的角度为70度~85度。

[0008] 可选的,所述具有方向性的刻蚀工艺为干法刻蚀工艺,所述具有方向性的刻蚀工艺参数包括:气体包括主蚀刻气体、氧气和载气,气压为2毫托~50毫托,偏置电压为100伏~1000伏。

[0009] 可选的,所述主蚀刻气体包括CF₄、CHF₃、C₄F₈、CH₂F₂中的一种或多种;所述载气为氩

气或He。

[0010] 可选的,缩小所述掩膜层尺寸的工艺为各向同性的湿法刻蚀工艺或各向同性的干法刻蚀工艺。

[0011] 可选的,所述掩膜层的形成工艺包括多重图形化工艺。

[0012] 可选的,所述多重图形化工艺包括自对准双重图形化掩膜工艺、或双重曝光工艺。

[0013] 可选的,所述衬底为体衬底。

[0014] 可选的,所述衬底包括半导体基底、以及位于所述半导体基底表面的半导体层,所述鳍部的形成工艺为:以所述掩膜层为掩膜,刻蚀所述半导体层直至暴露出半导体基底为止,在半导体层内形成开口,相邻开口之间的半导体层形成鳍部,所述鳍部位于半导体基底表面。

[0015] 可选的,还包括:在形成鳍部之后,在缩小所述掩膜层尺寸的尺寸之前,在所述衬底表面形成介质层,所述介质层表面低于鳍部的顶部,且所述介质层覆盖部分鳍部的侧壁。

[0016] 可选的,所述介质层的形成工艺为:采用沉积工艺在衬底表面、以及鳍部的侧壁和底部表面形成填充满开口的介质薄膜;采用抛光工艺去除高于鳍部顶部的介质薄膜;在所述抛光工艺之后,采用回刻蚀工艺刻蚀所述介质薄膜,形成介质层,所述介质层的表面低于鳍部的顶部。

[0017] 可选的,所述回刻蚀工艺为湿法刻蚀工艺或各向异性的干法刻蚀工艺。

[0018] 可选的,所述衬底为绝缘体上半导体基底,所述绝缘体上半导体基底包括:基底、位于基底表面的介质层、以及位于介质层表面的半导体层。

[0019] 可选的,所述鳍部的形成工艺为:以所述掩膜层为掩膜,刻蚀所述半导体层直至暴露出介质层为止,在半导体层内形成开口,相邻开口之间的半导体层形成鳍部,所述鳍部位于介质层表面。

[0020] 可选的,还包括:在采用具有方向性的刻蚀工艺对所述鳍部进行刻蚀之后,在所述鳍部表面形成栅极结构,所述栅极结构横跨于所述鳍部的侧壁和顶部表面,所述栅极结构包括:栅介质层、位于栅介质层表面的栅电极层、以及位于栅介质层和栅电极层两侧的侧壁。

[0021] 可选的,所述栅极结构的形成方法包括:在所述鳍部的侧壁和顶部表面形成栅介质薄膜;在所述栅介质薄膜表面形成栅电极薄膜;刻蚀部分栅电极薄膜和栅介质薄膜,直至暴露出鳍部的侧壁和顶部表面,形成栅电极层和栅介质层;在所述栅电极层、栅介质层和鳍部表面形成侧墙薄膜;回刻蚀所述侧墙薄膜直至暴露出栅电极层表面、以及鳍部的侧壁和顶部表面,在栅电极层和栅介质层两侧的鳍部侧壁和顶部表面形成侧墙。

[0022] 可选的,还包括:采用离子注入工艺在所述栅极结构两侧的鳍部内形成源区和漏区。

[0023] 与现有技术相比,本发明的技术方案具有以下优点:

[0024] 由于所形成的鳍部侧壁相对于衬底表面倾斜,且鳍部的顶部尺寸小于底部尺寸,在后续形成栅极结构时,不易在鳍部的侧壁表面残留栅介质层和栅电极层的材料,因此所形成的鳍式场效应管的性能稳定。而且,由于所形成的鳍部侧壁相对于衬底表面倾斜,且鳍部的顶部尺寸小于底部尺寸,使相邻鳍部之间的开口顶部尺寸大于底部尺寸,则后续在形成栅极结构后,形成栅介质层或栅电极层的材料容易进入所述开口底部,且所述形成栅介

质层或栅电极层的材料不易在开口顶部的侧壁表面堆积,使所形成的栅介质层或栅电极层的厚度均匀,从而保证了所形成的鳍式场效应晶体管的性能良好。

[0025] 进一步,在所述具有方向性的刻蚀工艺中,气体在对鳍部暴露出的表面进行刻蚀的同时,会在鳍部的侧壁表面形成聚合物层,通过调节所述刻蚀工艺中,用于形成聚合物层的气体与用于刻蚀的气体之间的比例,能够调节所述聚合物层的厚度以及覆盖的位置,从而能够精确控制所形成的鳍部侧壁与衬底表面之间的角度,进而使所形成的鳍式场效应晶体管的特征尺寸更为精确,有利于使所形成的鳍式场效应管的性能稳定精确。

附图说明

[0026] 图1是是现有技术的鳍式场效应管的立体结构示意图;

[0027] 图2至图8是本发明实施例的半导体结构的形成过程的剖面结构示意图。

具体实施方式

[0028] 如背景技术所述,现有技术形成鳍式场效应管的工艺难度较高,所形成的鳍式场效应管性能不良。

[0029] 随着工艺节点的缩小,所述鳍部的尺寸以及相邻鳍部之间的距离也相应缩小,导致形成于鳍部的侧壁和顶部表面的栅介质层和栅电极层的质量变差。请继续参考图1,现有技术对鳍部表面形成栅极结构的方法包括:采用沉积工艺在介质层11表面、以及鳍部14的侧壁和顶部表面形成栅介质薄膜;在所述栅介质薄膜表面形成栅电极薄膜;采用各向异性的干法刻蚀工艺刻蚀部分栅电极薄膜和栅介质薄膜直至暴露出鳍部14的顶部和侧壁表面、以及介质层11表面,形成横跨于所述鳍部14表面的栅介质层、以及栅介质层表面的栅电极层;采用沉积工艺在介质层11表面、鳍部14的侧壁和顶部表面、栅介质层和栅电极层表面形成侧墙薄膜;采用会回刻蚀工艺刻蚀所述侧墙薄膜,直至暴露出介质层11表面、鳍部14的侧壁和顶部表面,在栅介质层和栅电极层两侧形成侧墙。

[0030] 然而,在现有技术中,鳍部往往通过对体衬底(Bulk Wafer)或绝缘体上半导体(SOI, Semiconductor On Insulator)衬底进行各向异性的干法刻蚀而形成,所形成的鳍部的侧壁垂直于衬底表面。当采用各向异性的干法刻蚀工艺刻蚀栅电极薄膜和栅介质薄膜,以形成栅介质层和栅电极层时,由于鳍部的侧壁垂直于衬底表面,受到投影效应(Shadow Effect)的影响,容易在鳍部的侧壁表面残留栅介质薄膜、栅电极薄膜的材料,导致所形成的鳍式场效应管容易发生漏电,使所述鳍式场效应管的性能不稳定。

[0031] 其次,随着工艺节点的缩小,相邻鳍部之间构成的沟槽的深宽比(AR, Aspect Ratio)也相应增大,当采用沉积工艺形成栅介质薄膜和栅电极薄膜时,所述栅介质薄膜或所述栅电极薄膜的材料难以进入所述沟槽底部,容易使形成于介质层表面、或形成于鳍部靠近介质层的部分侧壁表面的栅介质薄膜或栅电极薄膜厚度较薄,而位于靠近鳍部顶部的部分侧壁表面的栅介质薄膜或电极薄膜厚度较厚,导致所形成的栅介质层或栅电极层厚度不均匀。此外,当需要形成如图1所示的栅极结构,则所述栅电极薄膜需要填充满鳍部之间的沟槽,当所述沟槽的深宽比较大时,由于栅介质薄膜或栅电极薄膜的材料容易在沟槽顶部的侧壁表面堆积,使沟槽过早闭合,导致所形成的栅电极薄膜内还容易形成空隙(void)。因此,现有技术使所形成鳍式场效应管性能不稳定。

[0032] 为了解决上述问题,本发明提出了一种半导体结构的形成方法,包括:提供衬底,所述衬底表面具有掩膜层,所述掩膜层暴露出部分衬底表面;以所述掩膜层为掩膜,刻蚀部分衬底,在所述衬底内形成开口,相邻开口之间的衬底形成鳍部;在形成鳍部之后,缩小所述掩膜层平行于衬底表面方向的尺寸,使所述掩膜层暴露出部分鳍部的顶部表面;在缩小所述掩膜层平行于衬底表面方向的尺寸之后,以所述掩膜层为掩膜,采用具有方向性的刻蚀工艺对所述鳍部进行刻蚀,使所述鳍部的侧壁相对于衬底表面倾斜,且所述侧壁的顶部尺寸小于底部尺寸。由于所形成的鳍部侧壁相对于衬底表面倾斜,且鳍部的顶部尺寸小于底部尺寸,在后续形成栅极结构时,不易在鳍部的侧壁表面残留栅介质层和栅电极层的材料,因此所形成的鳍式场效应管的性能稳定。而且,由于所形成的鳍部侧壁相对于衬底表面倾斜,且鳍部的顶部尺寸小于底部尺寸,使相邻鳍部之间的沟槽顶部尺寸大于底部尺寸,则后续在形成栅极结构后,形成栅介质层或栅电极层的材料容易进入所述沟槽底部,且所述形成栅介质层或栅电极层的材料不易在沟槽顶部的侧壁表面堆积,使所形成的栅介质层或栅电极层的厚度均匀,从而保证了所形成的鳍式场效应晶体管的性能良好。

[0033] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0034] 图2至图8是本发明实施例的半导体结构的形成过程的剖面结构示意图。

[0035] 请参考图2,提供衬底200,所述衬底200表面具有掩膜层201,所述掩膜层201暴露出部分衬底200表面。

[0036] 所述衬底200为后续工艺提供了工作平台。本实施例中,所述衬底200为体衬底(Bulk Wafer),所述体衬底包括硅衬底、锗衬底、硅锗衬底或碳化硅衬底,后续通过刻蚀部分所述体衬底形成鳍部。所述体衬底的价格低廉,使用所述体衬底有利于降低工艺成本;而且,直接通过刻蚀所述体衬底形成鳍部能够使工艺简化。采用体衬底形成鳍部之后,需要在相邻鳍部之间的开口内形成介质层,且所述介质层的表面低于鳍部顶部表面,所述介质层用于隔离相邻鳍部。

[0037] 在另一实施例中,所述衬底包括半导体基底、以及形成于所述半导体基底表面的半导体层。所述半导体基底包括硅衬底、硅锗衬底、碳化硅衬底、绝缘体上硅衬底、绝缘体上锗衬底、玻璃衬底或III-V族化合物衬底,例如氮化镓衬底或砷化镓衬底等,所述半导体基底的选择不受限制,能够选取适于工艺需求或易于集成的半导体基底。所述半导体层的材料为硅、锗、碳化硅或硅锗,所述半导体层的形成工艺为选择性外延沉积工艺,后续通过刻蚀所述半导体层以形成鳍部,则所形成的鳍部的材料不受限制,能够满足特定的工艺需求,且所述半导体层的厚度能够控制,从而控制所形成的鳍部的高度。当通过刻蚀所述半导体层形成鳍部之后,需要在半导体基底表面形成介质层,所述介质层的表面低于鳍部的顶部,所述介质层用于隔离相邻鳍部。

[0038] 在其他实施例中,所述衬底为绝缘体上半导体(SOI, Semiconductor On Insulator)基底,所述绝缘体上半导体基底包括:基底、位于基底表面的介质层、以及位于介质层表面的半导体层,所述半导体层的材料包括硅、锗或硅锗。后续通过刻蚀所述半导体层直至暴露出所述介质层以形成鳍部,所述介质层既能够用于隔离相邻鳍部,因此在形成鳍部之后,采用额外工序在鳍部之间形成隔离介质层,能够使制造工艺简化。

[0039] 所述掩膜层201的材料为氧化硅、氮化硅、氮氧化硅或无定形碳。由于后续在在所

述掩膜层201为掩膜形成鳍部之后,需要缩小所述掩膜层201的尺寸,以便于后续能够以缩小尺寸的掩膜层为掩膜,采用具有方向性的刻蚀工艺对鳍部暴露出的表面进行刻蚀,使鳍部的侧壁相对于衬底200表面倾斜,因此需要保证在后续缩小尺寸的掩膜层201仍旧具有足够厚度以进行具有方向性的刻蚀工艺;本实施例中,所述掩膜层201的厚度为10纳米~80纳米。

[0040] 所述掩膜层201的形成工艺包括多重图形化工艺,采用所述多重图形化工艺能够在保证所形成的掩膜层201的尺寸精确度的情况下,使所述掩膜层201的尺寸、以及相邻掩膜层201之间的距离缩小;因此后续形成的鳍部尺寸精确,且所述鳍部的尺寸、以及相邻鳍部之间的距离缩小,有利于在保证所形成鳍式场效应管的性能稳定的情况下,进一步缩小器件尺寸、提高芯片集成度。所述多重图形化工艺包括自对准多重图形化掩膜工艺、或双重曝光工艺;所述对准多重图形化掩膜工艺包括自对准双重图形化(Self-aligned Double Patterned, SaDP)工艺、自对准三重图形化(Self-aligned Triple Patterned)工艺、或自对准四重图形化(Self-aligned Double Double Patterned, SaDDP)工艺;所述双重曝光工艺包括LELE(Litho-Etch-Litho-Etch)工艺、或LLE(Litho-Litho-Etch)工艺。

[0041] 在一实施例中,所述掩膜层201的形成工艺为自对准双重图形化工艺,包括:在衬底200表面沉积牺牲薄膜;在所述牺牲薄膜表面形成图形化的光刻胶层;以所述光刻胶层为掩膜,刻蚀所述牺牲薄膜直至暴露出衬底200表面为止,形成牺牲层,并去除光刻胶层;在衬底200和牺牲层表面沉积掩膜薄膜;回刻蚀所述掩膜薄膜直至暴露出牺牲层和衬底200表面为止,在牺牲层两侧的衬底200表面形成掩膜层201;在回刻蚀工艺之后,去除牺牲层。

[0042] 在另一实施例中,所述掩膜层201的形成工艺为LELE工艺,包括:在衬底200表面沉积掩膜薄膜;在所述掩膜薄膜表面形成图形化的第一光刻胶层;以所述第一光刻胶层为掩膜,第一次刻蚀所述掩膜薄膜直至暴露出衬底200表面为止;在第一次刻蚀工艺之后,去除第一光刻胶层,并在衬底200表面和部分掩膜薄膜表面形成图形化的第二光刻胶层,所述光刻胶层暴露出部分掩膜薄膜表面;以所述第二光刻胶层为掩膜,第二次刻蚀所述掩膜薄膜直至暴露出衬底200表面为止,形成掩膜层;在形成掩膜层之后,去除第二光刻胶层。

[0043] 请参考图3,以所述掩膜层201为掩膜,刻蚀部分衬底200,在所述衬底200内形成开口202,相邻开口202之间的衬底200形成鳍部203;在形成鳍部203之后,在所述衬底200表面形成介质层210,所述介质层210表面低于鳍部203的顶部,且所述介质层210覆盖部分鳍部203的侧壁。

[0044] 在本实施例中,所述衬底200为体衬底,所述鳍部的形成工艺为:以所述掩膜层201为掩膜,采用各向异性的干法刻蚀工艺刻蚀所述体衬底,在所述体衬底内形成开口202,而相邻开口202之间的体衬底形成鳍部203。

[0045] 本实施例中,所述体衬底为硅衬底,形成所述鳍部203的各向异性的干法刻蚀工艺包括:刻蚀气体包括氯气和溴化氢中的一种或两种组合,所述化氢的流量为200标准毫升/分钟~800标准毫升/分钟,氯气的流量为20标准毫升/分钟~100标准毫升/分钟,此外刻蚀气体中还包括惰性气体,惰性气体的流量为50标准毫升/分钟~1000标准毫升/分钟,刻蚀腔室的压力为2毫托~200毫托,偏置电压大于10伏,偏置功率大于100瓦。

[0046] 在另一实施例中,所述衬底包括半导体基底、以及形成于所述半导体基底表面的半导体层,所述鳍部的形成工艺为:以所述掩膜层为掩膜,刻蚀所述半导体层直至暴露出半

导体基底为止,在半导体层内形成开口,相邻开口之间的半导体层形成鳍部,所述鳍部位于半导体基底表面。所述刻蚀半导体层的工艺为各向异性的干法刻蚀工艺,刻蚀气体以及气体流量根据所述半导体层的具体材料而定,刻蚀腔室的压力为2毫托~200毫托,偏置电压大于10伏,偏置功率大于100瓦。所形成的鳍部高度即所述半导体层的厚度,因此所述鳍部的高度能够通过形成所述半导体层的工艺精确控制,有利于使所形成的器件性能稳定。

[0047] 当所述衬底200为体衬底时,或所述衬底200包括半导体基底和半导体层时,在形成鳍部之后,需要在衬底200表面形成介质层210;所述介质层210的形成工艺为:采用沉积工艺在衬底200表面、以及鳍部203的侧壁和底部表面形成填充满开口202的介质薄膜,所述介质薄膜的材料为氧化硅、氮化硅或氮氧化硅;采用抛光工艺去除高于鳍部203顶部的介质薄膜;在所述抛光工艺之后,采用回刻蚀工艺刻蚀所述介质薄膜,形成介质层210,所述介质层210的表面低于鳍部203的顶部,所述回刻蚀工艺为湿法刻蚀工艺或各向异性的干法刻蚀工艺。所述介质层210用于隔离相邻鳍部203,并用于隔离后续形成的栅极结构和衬底200,使栅极结构仅与鳍部203的侧壁和顶部表面接触,即位于栅极结构底部的沟道区仅为与鳍部203内。

[0048] 在其他实施例中,所述衬底为绝缘体上半导体基底,所述鳍部的形成工艺为:以所述掩膜层为掩膜,刻蚀所述半导体层直至暴露出介质层为止,在半导体层内形成开口,相邻开口之间的半导体层形成鳍部,所述鳍部位于介质层表面。所述刻蚀工艺为各向异性的干法刻蚀工艺。由于所形成的鳍部底部具有介质层,因此无需额外形成在鳍部之间形成介质层,使工艺过程简化。

[0049] 需要说明的是,在形成鳍部203之后,能够进行热退火工艺,以消除鳍部203表面或内部的缺陷,使所形成的鳍式场效应管的沟道区性能良好,所述热退火工艺的温度为900摄氏度~1100摄氏度,退火气体为氢气或氦气。

[0050] 为了使鳍部203的底部的尺寸、以及相邻鳍部203之间的开口202底部的尺寸与掩膜层201所定义的图形一致,以保证所形成的鳍部203的尺寸、以及相邻鳍部203之间的距离精确,形成鳍部203的各向异性的干法刻蚀工艺使鳍部203侧壁相对于衬底200表面垂直。

[0051] 然而,若鳍部203的侧壁相对于衬底200表面垂直,当后续形成栅介质层和栅电极层之后,容易在鳍部203的侧壁表面残留栅介质薄膜、栅电极薄膜的材料。而且,随着工艺节点的缩小,所述开口202的深宽比相应增大,容易导致后续所形成的栅介质层或栅电极层厚度不均匀,甚至使栅电极层内产生空隙,导致所形成的器件性能不稳定。此外,由于工艺节点的缩小,所形成的鳍部203平行于衬底200表面方向的宽度尺寸也相应缩小,当所述鳍部203的侧壁相对于衬底200表面垂直时,所述鳍部203的稳定性较差,容易在后续工艺中发生倒塌。

[0052] 因此,后续工艺使所述鳍部203的侧壁相对于衬底200表面倾斜,以改善所形成的鳍式场效应管的性能。

[0053] 请参考图4,在形成鳍部203之后,缩小所述掩膜层201平行于衬底200表面方向的尺寸,使所述掩膜层201暴露出部分鳍部203的顶部表面。

[0054] 缩小所述掩膜层201尺寸的工艺为各向同性的湿法刻蚀工艺或各向同性的干法刻蚀工艺,所述各向同性的湿法刻蚀工艺或各向同性的干法刻蚀工艺能够同时对所述掩膜层201的顶部表面和侧壁表面进行刻蚀,从而使所述掩膜层201平行于衬底200表面方向的尺

寸缩小,并暴露出鳍部203顶部靠近侧壁的部分表面,后续通过具有方向性的刻蚀工艺对鳍部203暴露出的顶部和侧壁表面进行刻蚀,即能够使所述鳍部203的侧壁相对于衬底200表面倾斜。

[0055] 所述各向同性的湿法刻蚀工艺或各向同性的干法刻蚀工艺的刻蚀厚度为1纳米~10纳米,由于所述各向同性的湿法刻蚀工艺或各向同性的干法刻蚀工艺的刻蚀厚度能够通过精确控制,因此缩小后的掩膜层201尺寸精确易控,当后续进行具有方向性的刻蚀工艺之后,能够使鳍部203的顶部尺寸也相应精确,有利于保证所形成的鳍式场效应管的性能稳定。

[0056] 由于所述各向同性的湿法刻蚀工艺或各向同性的干法刻蚀工艺能够同时对掩膜层201的顶部和侧壁表面进行刻蚀,因此在缩小所述掩膜层201平行于衬底200表面方向的尺寸时,所述掩膜层201的厚度也相应被减小,因此需要保证在经过所述各向同性的湿法刻蚀工艺或各向同性的干法刻蚀工艺之后,所述掩膜层201具有足够的厚度作为后续进行具有方向性的刻蚀工艺的掩膜。

[0057] 当缩小所述掩膜层201尺寸的工艺为各向同性的湿法刻蚀工艺,所述湿法刻蚀工艺的刻蚀液包括:磷酸(当掩膜层201的材料为氮化硅时),氢氟酸(当掩膜层201的材料为氧化硅时),或磷酸和氢氟酸的组合(当掩膜层201的材料为氮氧化硅时)。

[0058] 当缩小所述掩膜层201尺寸的工艺为各向同性的干法刻蚀工艺时,所述各向同性的干法刻蚀工艺包括:气体包括 CHF_3 、 CF_4 、或 CHF_3 和 CF_4 的组合,偏置电压小于10伏,偏置功率小于100瓦。

[0059] 请参考图5,在缩小所述掩膜层201平行于衬底200表面方向的尺寸之后,以所述掩膜层201为掩膜,采用具有方向性的刻蚀工艺对所述鳍部203进行刻蚀,使所述鳍部203的侧壁相对于衬底200表面倾斜,且所述鳍部203的顶部尺寸小于底部尺寸。

[0060] 在缩小所述掩膜层201的尺寸之后,所述具有方向性的刻蚀工艺能够对鳍部暴露出的顶部表面和侧壁表面进行刻蚀,从而使鳍部203的侧壁相对于衬底200表面倾斜,所述鳍部203侧壁与衬底200表面之间的角度为70度~85度,且所述鳍部203的顶部尺寸小于底部尺寸。

[0061] 在所述具有方向性的刻蚀工艺为干法刻蚀工艺中,能够通过调节刻蚀气体之间的比例、刻蚀气体的等离子体的轰击角度、刻蚀腔内的气压、以及偏置电压和偏置功率等参数使刻蚀后的鳍部203侧壁能够相对于衬底200表面倾斜,且通过调节具体的工艺参数能够精确控制所形成的鳍部203侧壁与衬底200表面之间的角度,从而使所形成的鳍部203的尺寸精确;而所述鳍部203的顶部尺寸由缩小尺寸后的掩膜层203定义,由于缩小尺寸后的掩膜层203尺寸也能够保持精确,因此,经过所述具有方向性的刻蚀工艺之后,所述鳍部203的顶部尺寸也能够保持精确。

[0062] 在本实施例中,所述具有方向性的刻蚀工艺包括:气体包括用于刻蚀鳍部203的主蚀刻气体、氧气和载气,气压为2毫托~50毫托,偏置电压为100伏~1000伏;所述用于刻蚀的主蚀刻气体根据鳍部203的材料而定,例如当鳍部203的材料为硅时,用于刻蚀的气体包括溴化氢;此外,所述主蚀刻气体中还包括用于形成聚合物层的气体,所述用于形成聚合物层的气体包括碳氟气体,例如 CF_4 、 CHF_3 、 C_4F_8 、 CH_2F_2 中的一种或多种;所述载气为氩气。

[0063] 其中,氧气能够消耗所形成的聚合物层,氧气的等离子体能够轰击去除聚合物层,

从而使形成于鳍部203表面的聚合物层自鳍部203的顶部至底部逐渐被去除,使所述鳍部203自顶部至底部的表面逐渐被暴露出,而鳍部203暴露出的表面会受到刻蚀,因此越靠近鳍部203顶部的表面被刻蚀时间越长、被刻蚀量越大,从而形成鳍部203的侧壁相对于衬底200表面倾斜。通过调节碳氟气体和氧气的比例,能够控制所形成的控制所形成的鳍部203侧壁与衬底200表面之间的角度。

[0064] 本实施例中,刻蚀气体的单位体积内,氧原子摩尔量与氟离子摩尔量之间的比值为0.05~0.5,能够使刻蚀后的鳍部203侧壁与衬底200表面的角度为70度~85度。

[0065] 此外,还能够通过控制气体轰击的方向、刻蚀腔的气压、或偏置电压,也能控制所形成的鳍部203的侧壁相对于衬底200表面倾斜。

[0066] 请参考图6,在采用具有方向性的刻蚀工艺对所述鳍部203进行刻蚀之后,在所述介质层210表面、以及鳍部203的侧壁和顶部表面形成栅介质薄膜204;在所述栅介质薄膜204表面形成栅电极薄膜205。

[0067] 需要说明的是,在所述具有方向性的刻蚀工艺之后,去除所述掩膜层201(如图5所示)。

[0068] 在本实施例中,所述栅介质薄膜204的材料为氧化硅,所述栅电极薄膜的材料为多晶硅,所述栅介质薄膜204和栅电极薄膜205的形成工艺为化学气相沉积工艺;在本实施例中,在采用化学气相沉积工艺形成栅电极薄膜205之后,对所述栅电极薄膜205进行化学机械抛光工艺,使所述栅电极薄膜205表面平坦。在其他实施例中,后续形成的栅极结构为高K金属栅极(HKMG)结构,则所述栅极结构的形成工艺为后栅工艺(Gate Last),在当前步骤中,在介质层210表面、以及鳍部203的侧壁和顶部表面形成伪栅极薄膜,所述伪栅极薄膜包括多晶硅层。

[0069] 由于所形成的鳍部203的侧壁相对于衬底200表面倾斜,且鳍部203的顶部尺寸小于底部尺寸,使相邻鳍部203之间的开口202(如图5所示)的顶部尺寸大于底部尺寸,则所述栅介质薄膜204或栅电极薄膜205的材料易于进入所述开口202底部,且所述栅介质薄膜204或栅电极薄膜205的材料不易在开口202顶部的侧壁表面堆积,因此所形成的栅介质薄膜204或栅电极薄膜205的厚度均匀,从而保证了所形成的鳍式场效应晶体管的性能良好。在另一实施例中,所述栅电极薄膜需要填充满所述开口,所述开口不易过早闭合,则所形成的栅电极薄膜内部致密,有利于使所形成的器件性能改善。

[0070] 请参考图7和图8,图8是图7沿AA'线方向的剖视图,刻蚀部分栅电极薄膜205(如图6所示)和栅介质薄膜204(如图6所示),直至暴露出介质层210表面、以及鳍部203的侧壁和顶部表面,形成栅电极层205a和栅介质层204a;在所述栅电极层205a和栅介质层204a两侧的介质层210表面、以及鳍部203的侧壁和顶部表面形成侧墙206,即在所述鳍部203表面形成栅极结构(未标示),所述栅极结构横跨于所述鳍部203的侧壁和顶部表面。

[0071] 所述刻蚀栅电极薄膜205和栅介质薄膜204的工艺为各向异性的干法刻蚀工艺,由于投影效应的影响,所述栅电极薄膜205或栅介质薄膜204的材料容易残留在垂直于衬底200薄膜方向的表面上。而在本实施例中,由于鳍部203的侧壁相对于衬底200表面倾斜,且鳍部203的顶部尺寸小于底部尺寸,因此在所述各向异性的干法刻蚀工艺中,所述鳍部203侧壁表面的栅电极薄膜205和栅介质薄膜204容易被去除,因此所形成的鳍式场效应管的性能稳定。

[0072] 所述侧墙206的材料为氧化硅、氮化硅、氮氧化硅中的一种或多种组合,所述侧墙206的形成工艺包括:在所述栅电极层205a、栅介质层204a和鳍部203表面形成侧墙薄膜;回刻蚀所述侧墙薄膜直至暴露出栅电极层205a表面、以及鳍部203的侧壁和顶部表面,在栅电极层205a和栅介质层204a两侧的鳍部203侧壁和顶部表面形成侧墙206。

[0073] 需要说明的是,在形成侧墙206之后,采用离子注入工艺在所述栅极结构两侧的鳍部203内形成源区和漏区。

[0074] 在另一实施例中,所述栅极结构需要形成高K金属栅极结构,且在前序步骤中,在介质层表面、以及鳍部的侧壁和顶部表面形成伪栅极薄膜,则刻蚀部分伪栅极薄膜,直至暴露出介质层表面、以及鳍部的侧壁和顶部表面,形成伪栅极层,所述伪栅极层横跨于鳍部的侧壁和顶部表面;在所述伪栅极层两侧的介质层表面、以及鳍部的侧壁和顶部表面形成侧墙。之后再介质层表面、鳍部的侧壁和顶部表面形成绝缘层,所述绝缘层的表面与伪栅极层的表面齐平;去除伪栅极层,在绝缘层内形成开口;在所述开口内形成高K介质层、以及位于高K介质层表面的金属栅极层。

[0075] 本实施例中,由于所形成的鳍部侧壁相对于衬底表面倾斜,且鳍部的顶部尺寸小于底部尺寸,在后续形成栅极结构时,不易在鳍部的侧壁表面残留栅介质层和栅电极层的材料,因此所形成的鳍式场效应管的性能稳定。而且,由于所形成的鳍部侧壁相对于衬底表面倾斜,且鳍部的顶部尺寸小于底部尺寸,使相邻鳍部之间的开口顶部尺寸大于底部尺寸,则后续在形成栅极结构后,形成栅介质层或栅电极层的材料容易进入所述开口底部,且所述形成栅介质层或栅电极层的材料不易在开口顶部的侧壁表面堆积,使所形成的栅介质层或栅电极层的厚度均匀,从而保证了所形成的鳍式场效应晶体管的性能良好。进一步,在所述具有方向性的刻蚀工艺中,气体在对鳍部暴露出的表面进行刻蚀的同时,会在鳍部的侧壁表面形成聚合物层,通过调节所述刻蚀工艺中,用于形成聚合物层的气体与用于刻蚀的气体之间的比例,能够调节所述聚合物层的厚度以及覆盖的位置,从而能够精确控制所形成的鳍部侧壁与衬底表面之间的角度,进而使所形成的鳍式场效应晶体管的特征尺寸更为精确,有利于使所形成的鳍式场效应管的性能稳定精确。

[0076] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

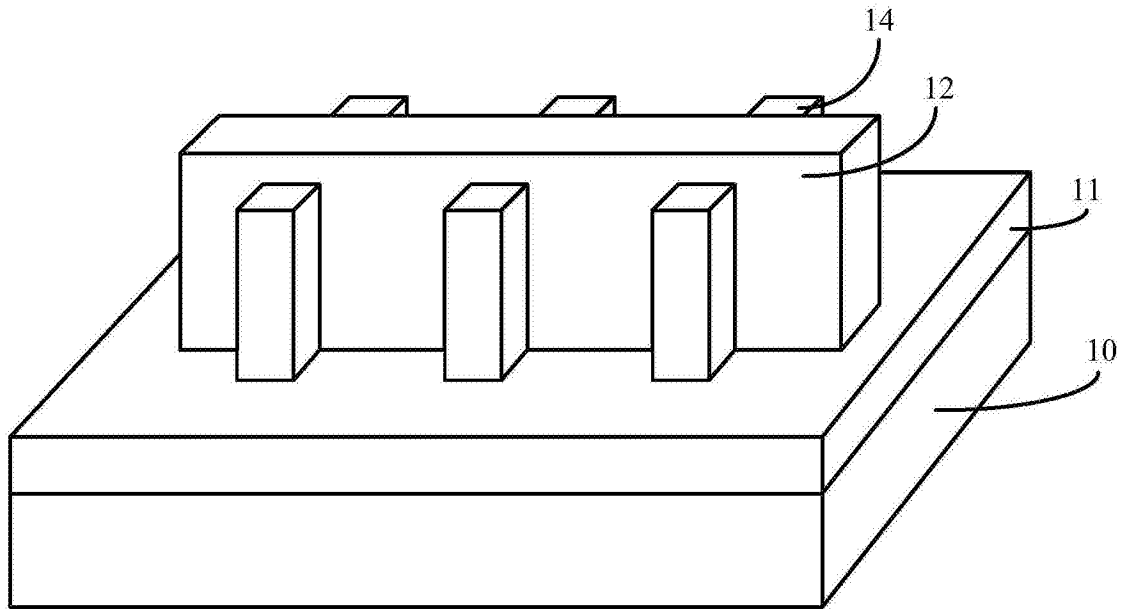


图1

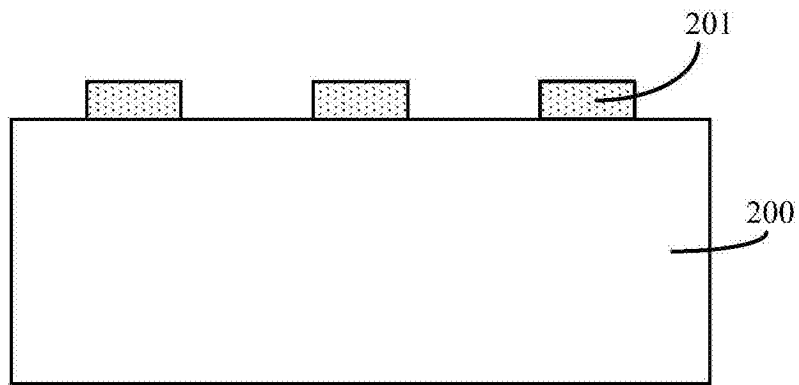


图2

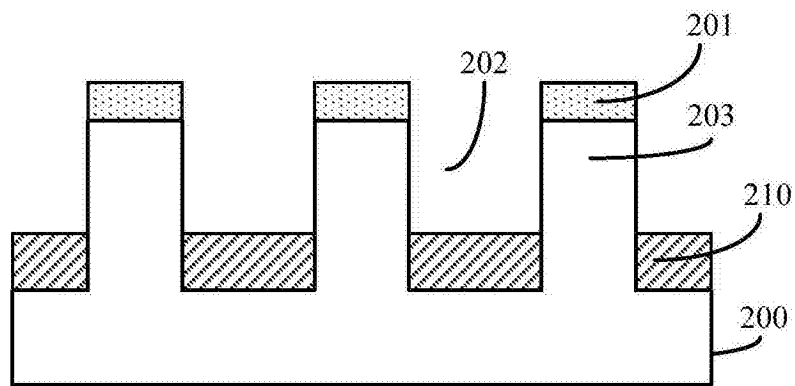


图3

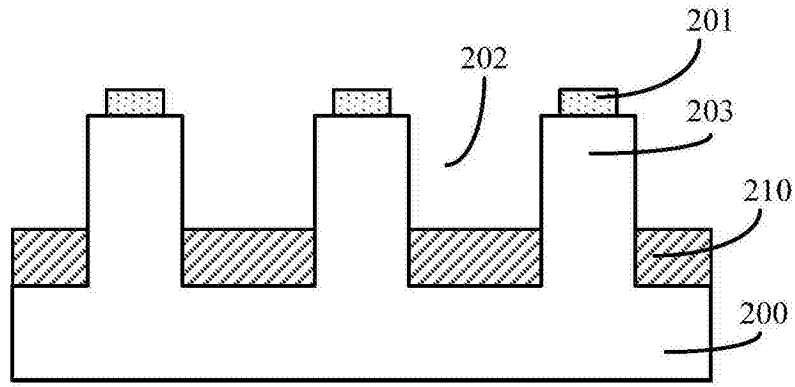


图4

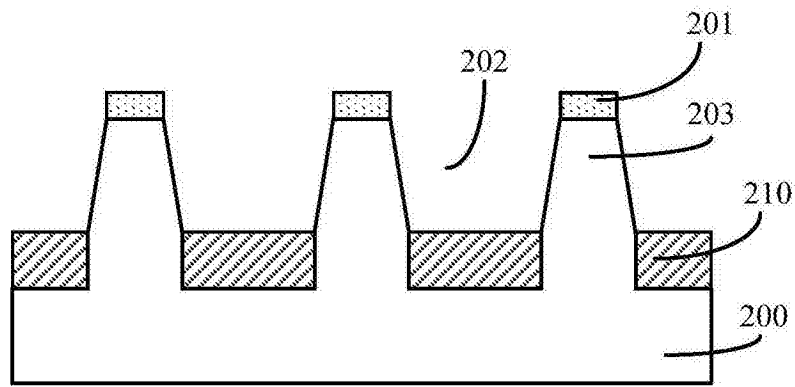


图5

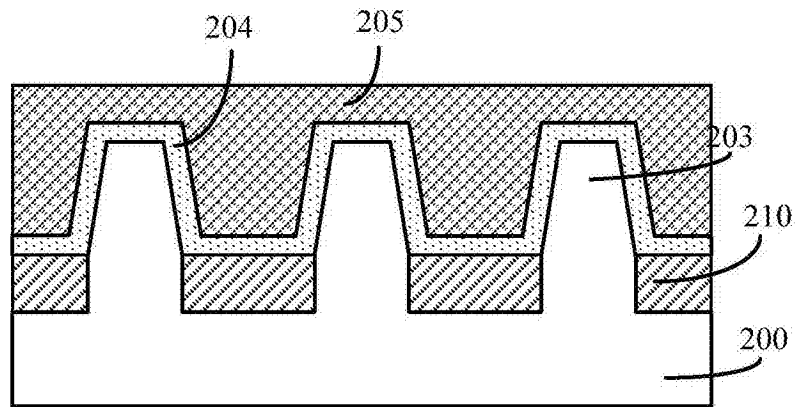


图6

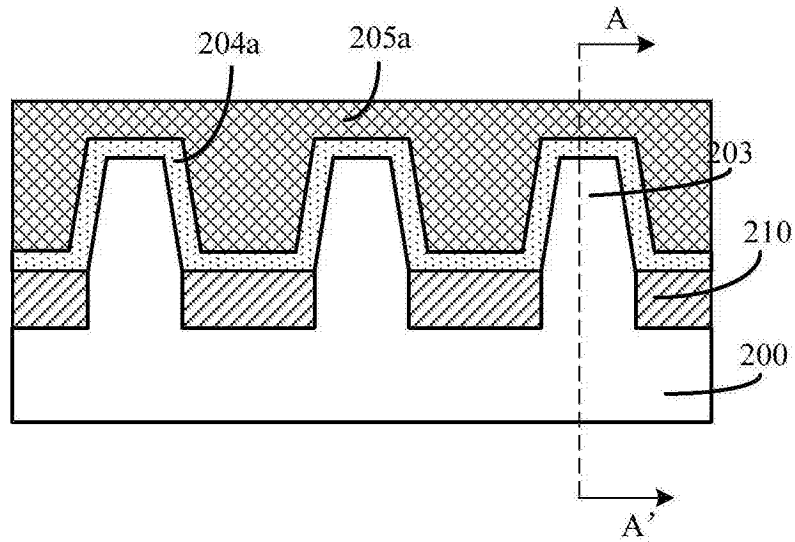


图7

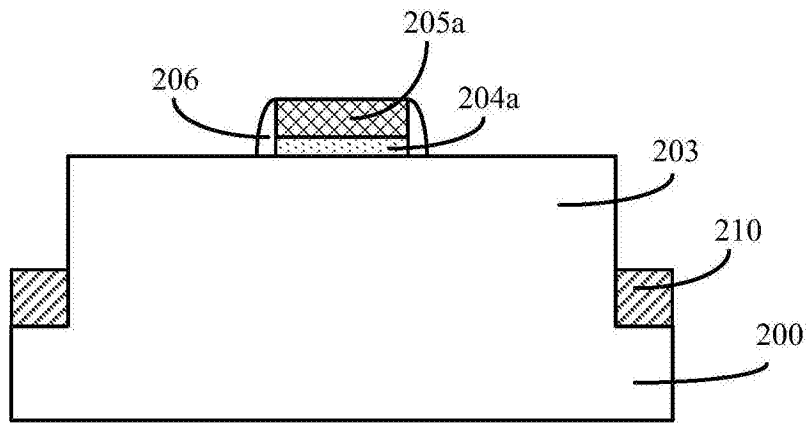


图8