

I291757

鄭智元 / JENG, JR YUAN

國籍：(中文/英文)

中華民國 / Taiwan, R. O. C.  
中華民國 / Taiwan, R. O. C.  
中華民國 / Taiwan, R. O. C.  
中華民國 / Taiwan, R. O. C.  
中華民國 / Taiwan, R. O. C.  
中華民國 / Taiwan, R. O. C.  
中華民國 / Taiwan, R. O. C.  
中華民國 / Taiwan, R. O. C.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種電子構裝之應力阻障結構，特別是一種降低導孔應力之結構及其製造方法。

### 【先前技術】

近年來，由於電子產品之速度與容量等要求皆大幅提升，晶片之輸入/輸出 (input/output; I/O) 引腳之數量與晶片之功率亦隨之提高。

以記憶體為例，早期之記憶體係為 16M 或 64M 之記憶體，至今已發展到 512M 之二代同步雙倍資料傳輸動態隨機存取記憶體 (Double Data Rate II Synchronous Dynamic Random Access Memory; DDRII SDRAM)，其中製程的困難度與產品的可靠度亦逐漸浮現，因此，為達到單顆高容量或多顆之堆疊構裝，皆藉由不同之封裝結構方式達到小體積但高容量高速度之需求。因此，晶片端之訊號接點 (I/O) 由較少之週邊輸入/輸出 (peripheral I/O) 引腳進入到區域陣列輸入/輸出 (area array I/O) 引腳。因此，於重佈線時，需於晶片墊片上方於厚度方向鍍出所需之導線線路 (即，透過導孔連接不同層上的線路)，再進行重佈線，厚度方向之導線 (即，導孔) 可為鍍滿或盲孔式之設計。然而，於製程過程中，因製程需求而施加之溫度、或於封裝 (package) 完全後，為進行可靠度測試所需承受之溫度循環試驗，甚至是裝置、元件運作時，所產生的熱效應，都會造成側向應力的產生，因此不論

是採用何種設計，厚度方向的導線必定需要承受此些狀況下因溫度變化所產生之側向熱應力。於此，熱應力的產生主要原因包括有結構設計與材料選擇等，而其中又以材料本身之材料參數，例如：楊氏係數 (Young's Modulus ; E) 和熱膨脹係數 (coefficient of thermal expansion ; CTE)，對熱應力產生之影響最為顯著。由於在各種不同之電子裝置或元件中，一般都會具有多種材料，因此會因不同材料之溫度分佈狀況與熱膨脹係數之差異，而造成於不同材料之介面區域將產生不匹配之熱應力，進而使電訊接點破壞，例如：厚度方向之導線斷裂等，因而造成產品可靠度問題。但是，受限於材料的物理特性並無法改變，再者與製程相容所能選用的材料也有限，因此，如何藉由較佳之結構設計使延長電子裝置或元件之使用時間，遂成為電子裝置或元件之重要研究課題之一。

傳統上，於電子裝置或元件中，會採用低楊氏係數之絕緣材料作為其介電層，以充當應力緩衝裝置，但是此種絕緣材料一般皆為高分子材料，因此其材料特性雖具備有低楊氏係數，但相對有存在相當大之熱膨脹係數。在可靠度之溫度循環考量下，厚度方向之導線容易因為絕緣材料熱膨脹量大而承受大應力與大變形。目前，一般習知的解決方式皆係藉由採用將厚度方向之導線的壁厚增大，或者係將金屬材質鍍滿盲孔，藉以解決可靠度不佳的問題。然而以低楊氏係數之絕緣材料來充當應力緩衝裝置時，應力緩衝的效果會隨著絕緣材料越厚而越佳，但是如此一來將會

使得厚度方向之導線的深寬比過大，因此即便是採用將壁厚增大或以金屬材質鍍滿盲孔的結構設計，仍然是無法有效抵擋此先天材質所產生的問題。

如美國專利第 6,586,822 號和美國專利第 6,586,836 號所示，其係揭露一種將晶片埋入有機基板內之結構，其中均皆存在軟性承載基板（flex component interposer）以充當其吸收應力層，藉以克服將面臨之應力與應變問題。

### 【發明內容】

鑒於以上的問題，本發明的主要目的在於提供一種降低導孔應力之結構及其製造方法，藉以解決先前技術所揭露之無法有效抵擋此先天材質所產生之應力與應變的問題。

因此，為達上述目的，本發明所揭露之降低導孔應力之結構，包括有絕緣層、應力阻障塊、第一導體、第二導體及導孔；其中，應力阻障塊係位於絕緣層中，且呈現格狀結構，第一導體和第二導體分別位於絕緣層的兩面，而導孔則係通過應力阻障塊的內側，並貫穿絕緣層以連接該第一導體和該第二導體。如此一來，即可藉由應力阻障塊來阻隔或吸收絕緣層於溫度負載下所產生之剪切應力，藉以保護導孔，進而提高導孔及電子元件之可靠度。

其中，格狀結構具有一個或多個框架，且每一框架內通過有一個或多個導孔。於此，框架之形狀可為矩形、類矩形、圓形、類圓形、三角或多邊形等形狀。

再者，應力阻障塊之熱膨脹係數係小於絕緣層之熱膨脹係數。而此應力阻障塊之材料參數，例如：楊氏係數（E）和熱膨脹係數（CTE）係近似於第二導體之材料參數，但此應力阻障塊之材料可為金屬或非金屬。並且，此導孔可為導線狀、貫穿狀或盲孔狀之導孔。

本發明另揭露一種降低導孔應力的製造方法，包括有下列步驟：首先，提供第一導體；接著，對應於第一導體之位置形成一應力阻障塊，其中此應力阻障塊係呈現一格狀結構；然後形成一絕緣層以覆蓋於基板、第一導體和應力阻障塊；並且，於第一導體上方開孔，以使絕緣層形成有通過應力阻障塊內側之貫孔；最後，於絕緣層上形成第二導體，並且於貫孔中形成導孔，藉以透過導孔而連接第一導體和第二導體。

於此，第一導體可位於一基板上，或是位於絕緣層上。

其中，此格狀結構具有一個或多個框架，且每一框架內通過有一個或多個導孔。於此，框架之形狀可為矩形、類矩形、圓形、類圓形、三角或多邊形等形狀。

再者，應力阻障塊之熱膨脹係數係小於絕緣層之熱膨脹係數。而此應力阻障塊之材料參數，例如：楊氏係數（E）和熱膨脹係數（CTE）係近似於第二導體之材料參數，但此應力阻障塊之材料可為金屬或非金屬。其中此導孔可為導線狀、貫穿狀或盲孔狀之導孔。

於此，可透過光罩電鍍、壓合、膠合、接合或黏合等方式形

成應力阻障塊。再者，可利用機械鑽孔、化學蝕刻及雷射鑽孔等方法於絕緣層中形成貫孔。

有關本發明的特徵與實作，茲配合圖示作最佳實施例詳細說明如下。

### 【實施方式】

於此，主要是於厚度方向之導線結構（即，導孔）旁，以框架之方式將厚度方向之導線框起，藉以隔絕與大區塊之高熱膨脹係數的材料直接接觸，因此可將電子裝置或元件因材料之熱膨脹係數不同而產生之熱膨脹與熱應力“阻隔”於厚度方向之導線的一既定範圍之外，或係吸收掉。如此一來，於溫度負載下因熱膨脹係數所產生之剪切應力則無法直接作用於厚度方向之導線上，進而有助於電子裝置或元件無論製程過程或是消費者端所需之長時可靠度。因此，本發明可廣泛地應用於各種構裝結構，例如：晶圓尺寸封裝（Chip Size Package；CSP）、球柵陣列（Ball Grid Array；BGA）封裝、晶圓級晶片尺寸封裝（Wafer Level Chip Scale Package；WLCSP）及埋入式晶片封裝（Chip in Substrate Package；CiSP）等任何需晶片重佈線（redistribution）之結構。

以下舉出具體實施例以詳細說明本發明之內容，並以圖示作為輔助說明。說明中提及之符號係參照圖式符號。

參照第 1A~1G 圖，為根據本發明一實施例之降低導孔應力之結構的製造方法；首先，提供一基板 110，如第 1A 圖所示；並且，於基板 110 上形成第一導體 122，如第 1B 圖所示；接著，以

相對於所需之格狀結構之光罩 130 作為遮罩，進行電鍍（如第 1C 圖所示），藉以形成出所需之格狀結構的應力阻障塊 140（如第 1D 圖所示）；然後形成一絕緣層 150 以覆蓋於基板 110、第一導體 122 和應力阻障塊 140 之上，如第 1E 圖所示；並且，於第一導體 122 上方開孔，以使絕緣層 150 形成有通過應力阻障塊 140 內側之貫孔 160，如第 1F 圖所示，其中可利用諸如機械鑽孔、化學蝕刻或雷射鑽孔等開孔方式來形成貫孔 160；最後，於貫孔 160 的內鍍滿金屬，或是僅內側壁鍍上一層金屬，藉以形成導線狀、貫穿狀或盲孔狀之導孔 162，以及於絕緣層 150 上形成第二導體 124，並藉由導孔 162 而連接第一導體 122 和第二導體 124，如第 1G 圖所示。

其中，此應力阻障塊 140 會對應於第一導體 122 之位置而設置，以便於後續導孔 162 的形成，換句話說，此應力阻障塊 140 可依據後續連接第一導體 122 之導孔 162 欲設置之位置而形成於第一導體 122 上或基板 110 上，如第 2 圖所示。

在此，由於應力阻障塊 140 需備有能阻隔或吸收絕緣層 150 於溫度負載下所產生之剪切應力，因此應力阻障塊 140 之熱膨脹係數係小於絕緣層 150 之熱膨脹係數。再者，應力阻障塊 140 之材料參數，例如：楊氏係數（E）和熱膨脹係數（CTE）係近似於第二導體 124 之材料參數，但此應力阻障塊 140 之材料可為金屬或非金屬。

其中，基板 110 可為有機基板、半導體基板或晶圓等。而第



一導體 122 和第二導體 124 可為傳導走線或微電子晶粒，並且其材料均為金屬，如銅、金等材質。

於此，於每一個應力阻障塊 140 所形成之格狀框架內可形成有一個或多個導孔 162，如第 3A 和 3B 圖所示，換句話說，可有一個或多個導孔 162 穿過一應力阻障塊 140 內側。並且，此每一個應力阻障塊 140 所具備之格狀結構可由單一之框架或是多個框架所組成，如第 3B 圖所示。此外，於圖中雖然僅顯現出矩形之框架（如第 3A 和 3B 圖所示）和類矩形（如第 3C 圖所示），然於實際應用上亦可框架之形狀亦可為圓形、類圓形、三角或多邊形等形狀（圖中未顯示），並且當格狀結構係為具有多個框架之結構型態時，於同一格狀結構中可為具有一種或多種形狀之框架組合（圖中未顯示）。

此外，亦可依據所需之形狀先形成具備所需之隔狀結構之應力阻障塊 140；而於基板 110 上形成第一導體 122（如第 1B 圖所示）之後，再透過諸如壓合、膠合、接合或黏合等方式，將已成形之應力阻障塊 140 對應於第一導體 122 之位置而貼合於基板 110 上，如第 4 圖所示，進而在接續進行絕緣層 150、導孔 162 及第二導體 124 的形成，如第 1E、1F 及 1G 圖所示。

舉例來說，將根據本發明之一實施例應用於電子構裝中，參照第 5 圖，於一有機基板 210 上設置有電子設施 222，例如：微電子晶粒，於其上覆蓋有絕緣材料以作為絕緣層 150，其中具有貫穿此絕緣層 150 之導孔 162 將絕緣層 150 上之傳導走線 224 的

一端與絕緣層 150 下之電子設施 222 電性連結，並且有一應力阻障塊 140 圍繞於導孔 162 周圍，以阻隔或吸收絕緣層 150 於溫度負載下所產生之剪切應力，進而提高導孔及電子元件之可靠度。最後，於傳導走線 224 的另一端形成有焊點 270，以便於將此電子構裝連接至電路板上。並且，當以銅作為此結構之應力阻障塊和導孔之材質時，將此結構（即具有應力阻障塊之結構）及不具有應力阻障塊之結構進行應力模擬測試，可得到具有應力阻障塊之結構於導孔處所產生之最大剪應力為 186 MPa，而未具有應力阻障塊之結構於導孔處所產生之最大剪應力為 356 MPa，由此可知產生之最大剪應力減少了 47.6 百分比（%）。此外，於最大應力值（Von Mises stress）上亦有減少 23%，而於剝離應力（Peeling stress）上也有減少 26%。

於此，此降低導孔應力之結構可為單層或多層結構，也就是，於基板 110 上依序設有多層之絕緣層 150，且於每一層之間有一個或多個導體 120，並且透過貫穿絕緣層 150 之導孔 162 而電性連接兩不同層之導體 120，其中，於導孔 162 附近的絕緣層 150 中具有應力阻障塊 140，且每一應力阻障塊 140 可圍繞一個或多個導孔 162，如第 6 圖所示。再者，於第 6 圖中，雖然僅顯示出每一導孔可連接位於相鄰層之兩導體，然事實上，導孔亦可用以連接分別位於不相鄰之兩層的兩導體。

雖然本發明以前述之較佳實施例揭露如上，然其並非用以限定本發明，任何熟習相像技藝者，在不脫離本發明之精神和範圍

內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

第 1A~1G 圖係為根據本發明一實施例之降低導孔應力之結構的製造方法的流程圖；

第 2 圖係為根據本發明之降低導孔應力之結構之一實施例的示意圖；

第 3A 圖係為根據本發明之降低導孔應力之結構之另一實施例的示意圖；

第 3B 圖係為根據本發明之降低導孔應力之結構之再另一實施例的示意圖；

第 3C 圖係為根據本發明之降低導孔應力之結構之再另一實施例的示意圖；

第 4 圖係為在根據本發明之降低導孔應力之結構的製造方法中應力阻障塊形成方式之一實施例的示意圖；

第 5 圖係為應用本發明之電子構裝的實例之示意圖；以及

第 6 圖係為根據本發明之降低導孔應力之結構之再另一實施例的示意圖。

**【主要元件符號說明】**

- 110.....基板
- 120.....導體
- 122.....第一導體

|          |       |
|----------|-------|
| 124..... | 第二導體  |
| 130..... | 光罩    |
| 140..... | 應力阻障塊 |
| 150..... | 絕緣層   |
| 160..... | 貫孔    |
| 162..... | 導孔    |
| 210..... | 有機基板  |
| 222..... | 電子設施  |
| 224..... | 傳導走線  |
| 270..... | 焊點    |

### 五、中文發明摘要：

一種降低導孔應力之結構及其製造方法，其係利用呈現格狀結構之應力阻障塊將厚度方向之一個或多個導線或導孔框起，藉以隔絕與大區塊之高熱膨脹係數的絕緣材料的直接接觸，進而可將於溫度負載下所產生之剪切應力阻隔或吸收掉。

### 六、英文發明摘要：

A structure to reduce stress for vias and a fabricating method thereof are provided. A stress block shaping a lattice is sited around one or more vias to be isolated from the major portion of insulating materials with high coefficient of thermal expansion (CTE). Therefore, the shear stress resulted from temperature loading is substantially blocked or absorbed by the stress block.

## 十、申請專利範圍：

1. 一種降低導孔應力之結構，包括有：
  - 一絕緣層；
  - 至少一應力阻障塊，位於該絕緣層中，並呈現一格狀結構；
  - 至少一第一導體，位於該絕緣層之一面；
  - 至少一第二導體，位於該絕緣層之另一面；以及
  - 至少一導孔，通過該應力阻障塊的內側，並貫穿該絕緣層，以連接該第一導體和該第二導體。
2. 如申請專利範圍第 1 項所述之降低導孔應力之結構，其中該格狀結構包括有至少一框架，並且每一該框架內通過有至少一該導孔。
3. 如申請專利範圍第 2 項所述之降低導孔應力之結構，其中每一該框架之形狀係選自矩形、類矩形、圓形、類圓形、三角和多邊形之群組。
4. 如申請專利範圍第 1 項所述之降低導孔應力之結構，其中該應力阻障塊之熱膨脹係數小於該絕緣層之熱膨脹係數。
5. 如申請專利範圍第 4 項所述之降低導孔應力之結構，其中該應力阻障塊之材料參數係近似於該第二導體之材料參數。
6. 如申請專利範圍第 1 項所述之降低導孔應力之結構，其中該導孔之類型係選自導線狀、貫穿狀和盲孔狀之群組。
7. 如申請專利範圍第 1 項所述之降低導孔應力之結構，其中該第一導體係選自傳導走線、微電子晶粒和電子設施之群組，該第

二導體亦係選自傳導走線和微電子晶粒之群組。

8. 一種降低導孔應力之結構的製造方法，包括有下列步驟：

提供至少一第一導體；

對應於該第一導體之位置形成至少一應力阻障塊，其中該應力阻障塊係呈現一格狀結構；

形成一絕緣層以覆蓋該基板、該第一導體和該應力阻障塊；

於該第一導體上方開孔，以於該絕緣層中形成通過該應力阻障塊之內側的至少一貫孔；以及

於該絕緣層上形成至少一第二導體，且於每一該貫孔中形成一導孔，以透過該導孔而連接該第一導體和該第二導體。

9. 如申請專利範圍第 8 項所述之降低導孔應力之結構的製造方法，更包括有下列步驟：提供一基板，其中該第一導體係設置於該基板上。

10. 如申請專利範圍第 9 項所述之降低導孔應力之結構的製造方法，其中該基板係選自有機基板、半導體基板和晶圓之群組。

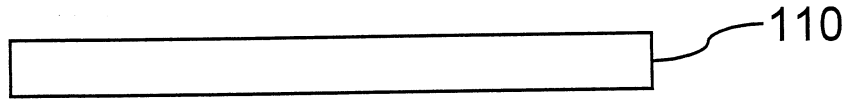
11. 如申請專利範圍第 8 項所述之降低導孔應力之結構的製造方法，其中該提供至少一第一導體之步驟，包括有下列步驟：提供另一絕緣層，其中該第一導體係設置於該另一絕緣層上。

12. 如申請專利範圍第 8 項所述之降低導孔應力之結構的製造方法，其中該格狀結構包括有至少一框架，並且每一該框架內通過有至少一該導孔。

13. 如申請專利範圍第 8 項所述之降低導孔應力之結構的製造方法，其中該應力阻障塊之熱膨脹係數小於該絕緣層之熱膨脹係數。
14. 如申請專利範圍第 13 項所述之降低導孔應力之結構的製造方法，其中該應力阻障塊之材料參數係近似於該第二導體之材料參數。
15. 如申請專利範圍第 8 項所述之降低導孔應力之結構的製造方法，其中該應力阻障塊的形成方式係選自光罩電鍍、壓合、膠合、接合和黏合之群組。
16. 如申請專利範圍第 8 項所述之降低導孔應力之結構的製造方法，其中該第一導體係選自傳導走線和微電子晶粒之群組，並且該第二導體亦係選自傳導走線和微電子晶粒之群組。
17. 如申請專利範圍第 8 項所述之降低導孔應力之結構的製造方法，其中該貫孔的形成方法係選自機械鑽孔、化學蝕刻及雷射鑽孔之群組。
18. 如申請專利範圍第 8 項所述之降低導孔應力之結構的製造方法，其中該導孔之類型係選自導線狀、貫穿狀和盲孔狀之群組。



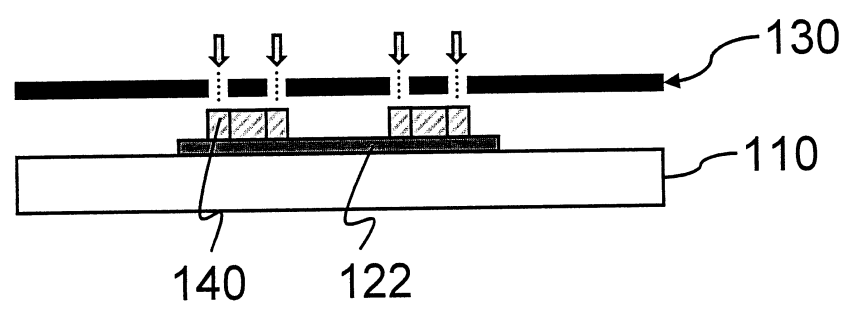
圖式



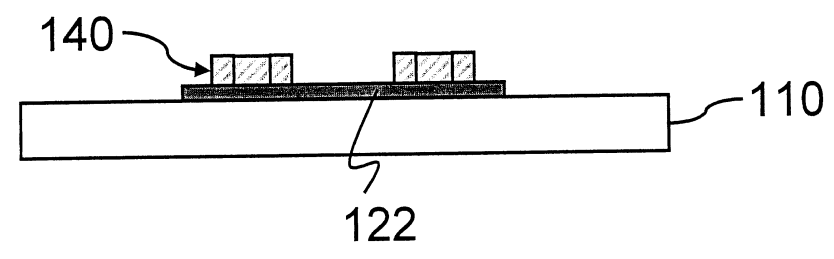
第1A圖



第1B圖

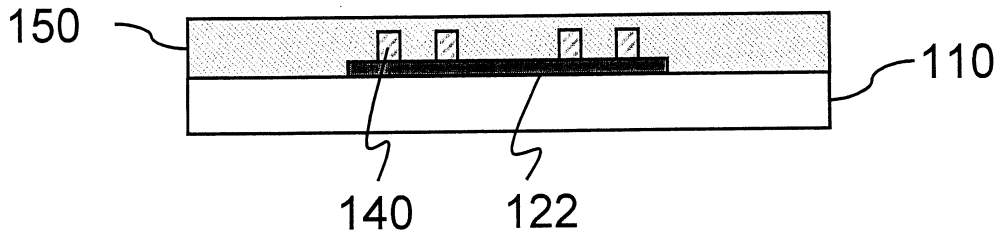


第1C圖

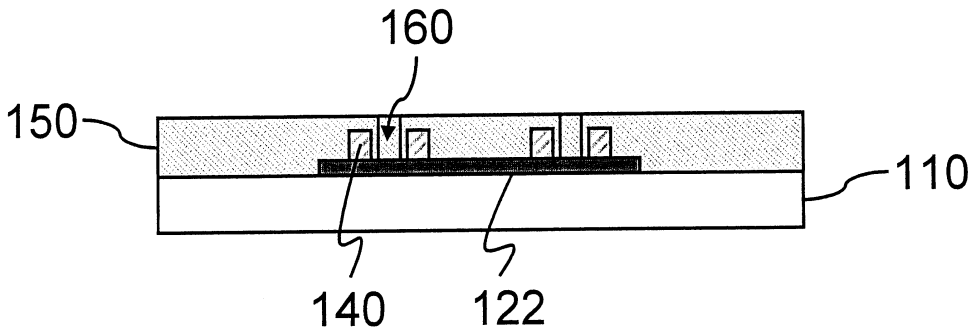


第1D圖

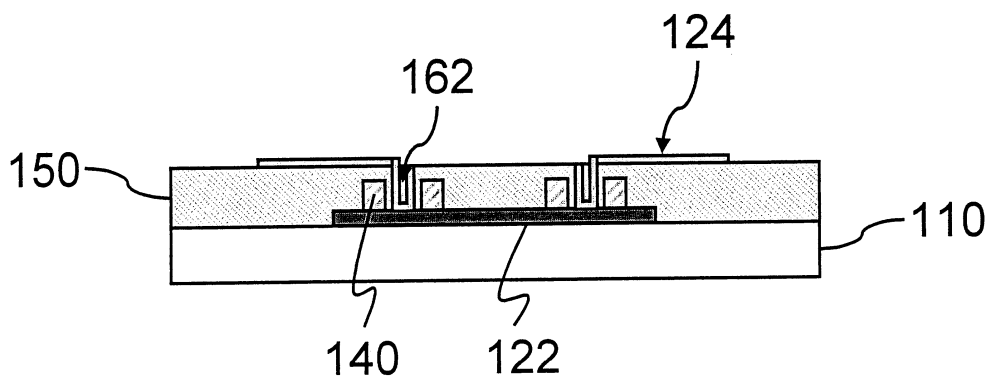
圖式



第1E圖

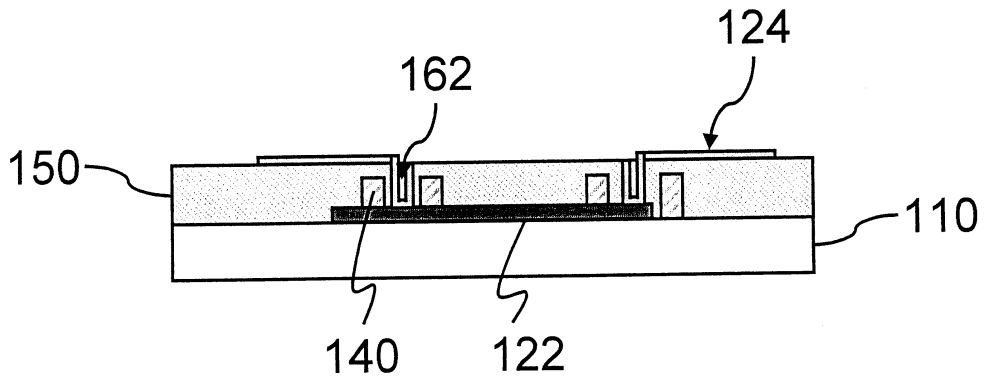


第1F圖

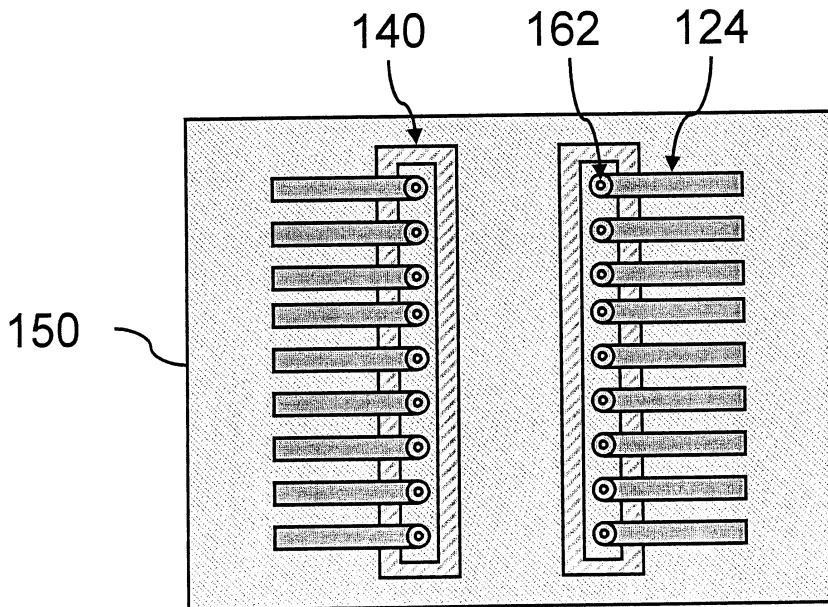


第1G圖

圖式

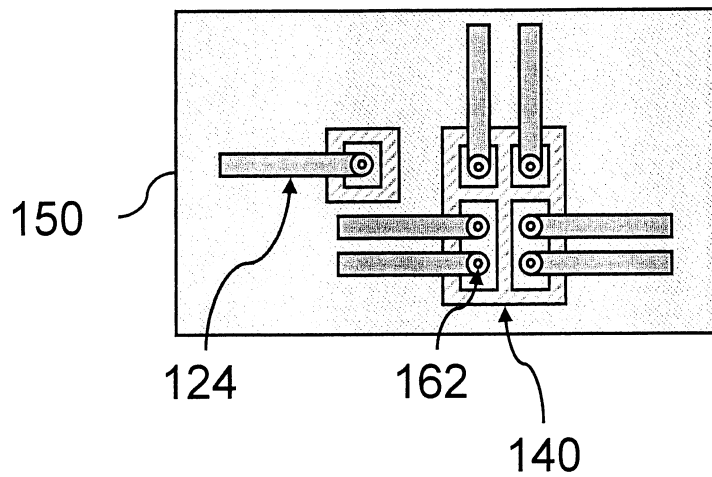


第2圖

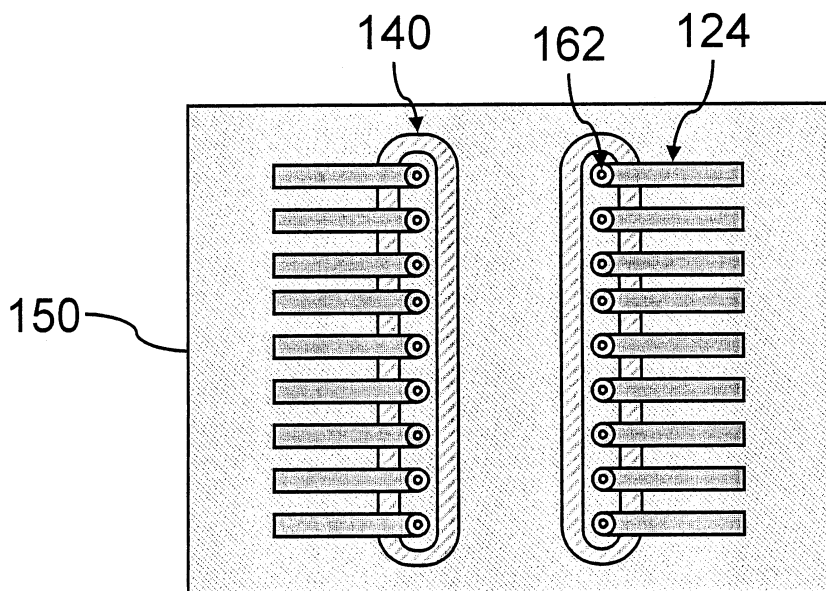


第3A圖

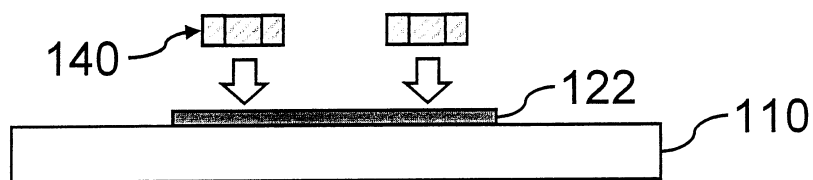
圖式



第3B圖

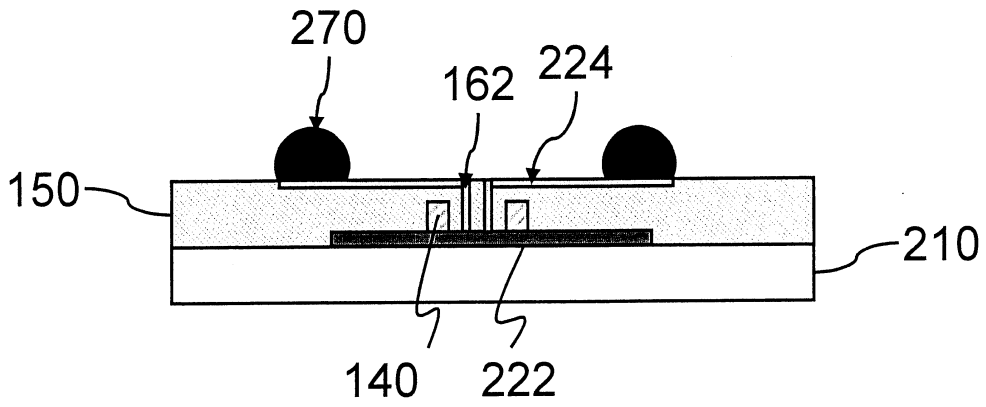


第3C圖

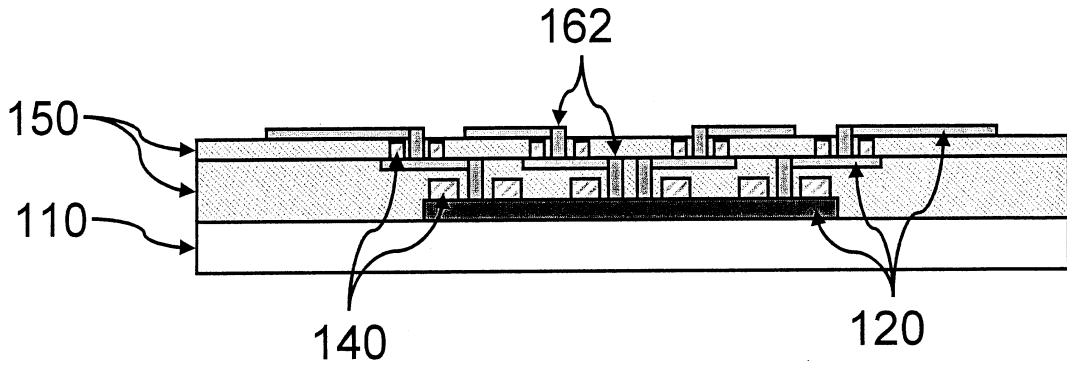


第4圖

圖式



第5圖



第6圖

七、指定代表圖：

(一)本案指定代表圖為：第（ 1G ）圖。

(二)本代表圖之元件符號簡單說明：

- 110.....基板
- 122 .....第一導體
- 124 .....第二導體
- 140 .....應力阻障塊
- 150 .....絕緣層
- 162 .....導孔

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

公告本

94年12月2日 修正 補覽

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94146304

※申請日期：94.11.16

※IPC分類：H01L 23/522

## 一、發明名稱：(中文/英文)

降低導孔應力之結構及其製造方法

STRUCTURE TO REDUCE STRESS FOR VIAS AND A FABRICATING METHOD THEREOF

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人：(中文/英文)

林信義 / LIN, HSIN I

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段195號

No. 195, Sec. 4, Chung-Hsing Rd., Chu-Tung, Hsinchu, Taiwan, R. O. C.

國籍：(中文/英文)

中華民國 / Taiwan, R. O. C.

## 三、發明人 (共 8 人)

姓名：(中文/英文)

許永昱 / HSU, YUNG YU

范榮昌 / FENG, RONG CHANG

譚瑞敏 / TAIN, RA MIN

廖錫卿 / LIAU, SHYI CHING

林基正 / LIN, JI CHENG

游善溥 / YU, SHAN PU

陳守龍 / CHEN, SHOU LUNG