



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월15일
(11) 등록번호 10-2808717
(24) 등록일자 2025년05월13일

(51) 국제특허분류(Int. Cl.)
H04L 1/00 (2006.01) H04L 27/00 (2006.01)
H04L 27/34 (2006.01) H04L 27/36 (2006.01)
(52) CPC특허분류
H04L 1/0042 (2013.01)
H04L 1/0008 (2013.01)
(21) 출원번호 10-2022-7026208
(22) 출원일자(국제) 2021년02월02일
심사청구일자 2024년01월17일
(85) 번역문제출일자 2022년07월27일
(65) 공개번호 10-2022-0137893
(43) 공개일자 2022년10월12일
(86) 국제출원번호 PCT/US2021/016167
(87) 국제공개번호 WO 2021/158518
국제공개일자 2021년08월12일
(30) 우선권주장
62/969,407 2020년02월03일 미국(US)
17/163,771 2021년02월01일 미국(US)
(56) 선행기술조사문헌
EP03547572 A1
W02018133939 A1
US10200231 B1

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
도안 등 응옥
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
양 린
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
티안 빈
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 15 항

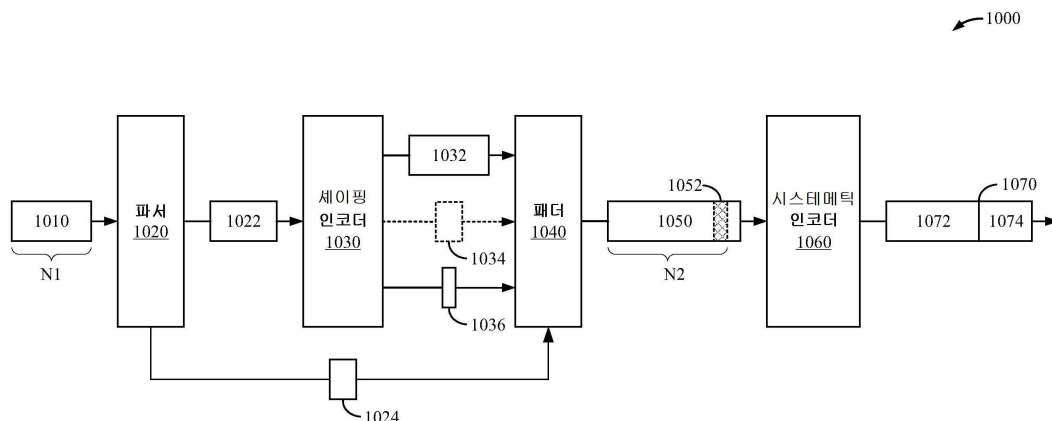
심사관 : 이현주

(54) 발명의 명칭 고정 길이 확률적 진폭 셰이핑

(57) 요약

본 개시는 확률적 진폭-셰이핑을 실현하도록 무선 통신을 위한 데이터를 인코딩하기 위한 방법들, 디바이스들 및 시스템들을 제공한다. 일부 구현들에서, 송신 디바이스는 셰이핑되지 않은 비트들의 수와 조합된 진폭-셰이핑된 비트들의 수가 최대 페이로드 길이 이하로 될 때까지 정보 비트들을 반복적으로 인코딩하는 것에 의해 적어도 부분적으로 고정된 정보 블록 길이 (N) 를 실현할 수도 있다. 예를 들어, 최대 페이로드 길이는 N 과 동일할 수도 있다. 셰이핑되지 않은 비트들의 수에, 진폭-셰이핑된 비트들 플러스의 결과적인 수가 N 미만이면, 송신 디바이스는 고정된 블록 길이를 실현하도록 정보 블록에 하나 이상의 패딩 비트들을 추가할 수도 있다.

대표도



(52) CPC특허분류

H04L 1/0045 (2013.01)

H04L 1/0057 (2013.01)

H04L 1/0061 (2013.01)

H04L 27/0014 (2013.01)

H04L 27/3405 (2013.01)

H04L 27/36 (2013.01)

H04L 2027/0083 (2013.01)

명세서

청구범위

청구항 1

무선 통신 디바이스에 의한 무선 통신을 위한 방법으로서,

고정된 수 (N_1)의 정보 비트들을 포함하는 제 1 정보 블록을 획득하는 단계 (1402);

다수 (L_S)의 진폭-셰이핑된 비트들을 생성하는 제 1 인코딩 동작을 정보 비트들의 하나 이상에 대해 수행하는 단계 (1404);

상기 제 1 정보 블록으로부터의 다수 (L_{US})의 셰이핑되지 않은 정보 비트들을 포함하는 제 2 정보 블록으로 상기 L_S 의 진폭-셰이핑된 비트들을 배열하는 단계로서, L_S 와 L_{US} 의 합은 고정된 양 (N_2) 이하인, 상기 L_S 의 진폭-셰이핑된 비트들을 배열하는 단계 (1406);

상기 제 2 정보 블록의 길이가 N_2 와 동일하게 되도록 상기 제 2 정보 블록에 하나 이상의 패딩 비트들을 선택적으로 추가하는 단계 (1408);

상기 제 2 정보 블록에, 상기 제 2 정보 블록에서 상기 다수의 진폭-셰이핑된 비트들을 나타내는 하나 이상의 시그널링 비트들을 추가하는 단계 (1410);

하나 이상의 코드워드들을 생성하는 제 2 인코딩 동작을 상기 제 2 정보 블록에 대해 수행하는 단계로서, 각각의 코드워드는 상기 제 2 인코딩 동작으로부터 기인하는 하나 이상의 패리티 비트들 및 상기 제 2 정보 블록의 비트들의 개별적인 서브세트를 포함하는, 상기 제 2 인코딩 동작을 수행하는 단계 (1412);

상기 제 2 정보 블록의 비트들의 서브세트들 및 상기 패리티 비트들을 복수의 심볼들로 배열하는 단계로서, 각각의 심볼은 상기 심볼에서 배열된 개별적인 비트들에 기초하는 진폭을 갖고, 상기 제 1 인코딩 동작은 상기 복수의 심볼들의 진폭들이 불균일 분포를 갖게 하도록 상기 진폭-셰이핑된 비트들을 생성하는, 상기 복수의 심볼들로 배열하는 단계 (1414); 및

상기 복수의 심볼들을 포함하는 무선 패킷을 적어도 하나의 수신 디바이스로 송신하는 단계 (1416)를 포함하는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 인코딩 동작의 수행 (1404)은:

lookup 테이블 (LUT)로부터, 상기 정보 비트들의 서브세트에 매칭하는 비트 값들의 패턴을 반복적으로 선택하는 것을 포함하고, 상기 LUT는 진폭-셰이핑된 비트들의 개별적인 복수의 패턴들에 대응하는 비트 값들의 복수의 패턴들을 저장하고, 진폭-셰이핑된 비트들의 복수의 패턴들은 선택된 상기 비트 값들의 패턴에 대응하는 진폭-셰이핑된 비트들의 패턴을 포함하는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 3

제 2 항에 있어서,

비트 값들의 패턴의 반복적 선택은, 각각의 반복에 대해, 정보 비트들의 제 1 서브세트에 매칭하는 비트 값들의 제 1 패턴의 선택이 N_2 보다 큰 L_S 및 L_{US} 의 합을 야기하는지의 여부를 결정하는 것을 포함하고,

비트 값들의 패턴의 반복적 선택은, 비트 값들의 제 1 패턴을 선택하는 것이 N_2 보다 큰 L_S 및 L_{US} 의 합을 야기한다고 결정하는 것에 응답하여 정보 비트들의 제 2 서브세트에 매칭하는 비트 값들의 제 2 패턴의 선택이 N_2 이하인 L_S 및 L_{US} 의 합을 야기하는지의 여부를 결정하는 것을 더 포함하고,

상기 정보 비트들의 제 2 서브세트는 정보 비트들의 제 1 서브세트보다 더 크고, 그리고

비트 값들의 패턴의 반복적 선택은,

L_S 및 L_{US} 의 결과적인 합이 $N2$ 이하라는 결정에 응답하여, 비트 값들의 제 1 패턴 대신에 비트 값들의 제 2 패턴을 선택하는 것; 및

상기 비트 값들의 제 2 패턴을 선택하는 것에 응답하여 제 1 인코딩 동작을 완료하는 것을 더 포함하는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 4

제 2 항에 있어서,

하나 이상의 시그널링 비트들의 추가는:

상기 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것;

LUT 에서 진폭-셰이핑된 비트들의 각각의 패턴의 길이에 기초하여 무선 패킷과 연관된 진폭-셰이핑된 비트들의 추정된 수를 결정하는 것; 및

진폭-셰이핑된 비트들의 추정된 수와 연관된 심볼들의 수 (L_{EST}) 를 결정하는 것을 포함하고, 하나 이상의 시그널링 비트들은 L_{PAM} 와 L_{EST} 사이의 차이와 동일한 값을 나타내는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 5

제 1 항에 있어서,

하나 이상의 시그널링 비트들의 추가 (1410) 는,

진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것으로서, 상기 하나 이상의 시그널링 비트들은 L_{PAM} 와 동일한 값을 나타내는, 상기 심볼들의 수 (L_{PAM}) 를 결정하는 것을 포함하거나, 또는

상기 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것;

$N1$ 정보 비트들이 주어진 제 1 인코딩 동작에 기초하여 인코딩가능한 진폭-셰이핑된 비트들의 평균 수를 결정하는 것; 및

진폭-셰이핑된 비트들의 평균 수와 연관된 심볼들의 수 (L_{MEAN}) 를 결정하는 것으로서, 상기 하나 이상의 시그널링 비트들은 L_{PAM} 와 L_{MEAN} 사이의 차이와 동일한 값을 나타내는, 상기 심볼들의 수 (L_{MEAN}) 를 결정하는 것을 포함하거나, 또는

제 2 정보 블록에서 정보 비트들과 연관된 심볼들의 수를 결정하는 것으로서, 상기 하나 이상의 시그널링 비트들은 제 2 정보 블록에서 정보 비트들과 연관된 심볼들의 수와 동일한 값을 나타내는, 상기 연관된 심볼들의 수를 결정하는 것을 포함하는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 6

제 1 항에 있어서,

하나 이상의 시그널링 비트들은 제 2 정보 블록에 포함된 패딩 비트들의 수와 동일한 값을 나타내는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 7

무선 통신 디바이스로서,

적어도 하나의 모듈;

상기 적어도 하나의 모듈과 통신가능하게 커플링된 적어도 하나의 프로세서; 및

상기 적어도 하나의 프로세서와 통신가능하게 커플링되고, 프로세서 판독가능 코드를 저장하는 적어도 하나의

메모리를 포함하고,

상기 프로세서 판독가능 코드는, 상기 적어도 하나의 모뎀과 함께 상기 적어도 하나의 프로세서에 의해 실행될 때, 상기 무선 통신 디바이스로 하여금:

고정된 수 (N_1)의 정보 비트들을 포함하는 제 1 정보 블록을 획득하게 하고;

다수 (L_S)의 진폭-셰이핑된 비트들을 생성하는 제 1 인코딩 동작을 정보 비트들의 하나 이상에 대해 수행하게 하고;

상기 제 1 정보 블록으로부터의 다수 (L_{US})의 셰이핑되지 않은 정보 비트들을 포함하는 제 2 정보 블록으로 상기 L_S 의 진폭-셰이핑된 비트들을 배열하는 것으로서, L_S 와 L_{US} 의 합은 고정된 양 (N_2)이하인, 상기 L_S 의 진폭-셰이핑된 비트들을 배열하게 하고;

상기 제 2 정보 블록의 길이가 N_2 와 동일하게 되도록 상기 제 2 정보 블록에 하나 이상의 패딩 비트들을 선택적으로 추가하게 하고;

상기 제 2 정보 블록에, 상기 제 2 정보 블록에서 상기 다수의 진폭-셰이핑된 비트들을 나타내는 하나 이상의 시그널링 비트들을 추가하게 하고;

하나 이상의 코드워드들을 생성하는 제 2 인코딩 동작을 상기 제 2 정보 블록에 대해 수행하게 하는 것으로서, 각각의 코드워드는 상기 제 2 인코딩 동작으로부터 기인하는 하나 이상의 패리티 비트들 및 상기 제 2 정보 블록의 비트들의 개별적인 서브셋을 포함하는, 상기 제 2 인코딩 동작을 수행하게 하고;

상기 제 2 정보 블록의 비트들의 서브셋들 및 상기 패리티 비트들을 복수의 심볼들로 배열하게 하는 것으로서, 각각의 심볼은 상기 심볼에서 배열된 개별적인 비트들에 기초하는 진폭을 갖고, 상기 제 1 인코딩 동작은 상기 복수의 심볼들의 진폭들이 불균일 분포를 갖게 하도록 진폭-셰이핑된 비트들을 생성하는, 상기 복수의 심볼들로 배열하게 하고; 그리고

상기 복수의 심볼들을 포함하는 무선 패킷을 적어도 하나의 수신 디바이스에 송신하게 하는, 무선 통신 디바이스.

청구항 8

무선 통신 디바이스에 의한 무선 통신을 위한 방법으로서,

복수의 진폭들을 갖는 복수의 심볼들을 포함하는 무선 패킷을 수신하는 단계로서, 상기 복수의 심볼들은 복수의 코드워드 비트들을 나타내고, 상기 복수의 진폭들은 불균일 분포를 갖는, 상기 무선 패킷을 수신하는 단계 (1502);

상기 복수의 코드워드 비트들을 하나 이상의 코드워드들로 배열하는 단계 (1504);

하나 이상의 개별적인 디코딩된 코드 블록들을 생성하는 제 1 디코딩 동작을 하나 이상의 코드워드들에 대해 수행하는 단계로서, 각각의 디코딩된 코드 블록은 복수의 디코딩된 코드워드 비트들 및 하나 이상의 패리티 비트들을 포함하는, 상기 제 1 디코딩 동작을 수행하는 단계 (1506);

복수의 디코딩된 코드워드 비트들을 고정된 길이 (N_2)를 갖는 정보 블록으로 배열하는 단계 (1508);

상기 정보 블록의 고정된 길이 (N_2)에 기초하여 정보 블록의 하나 이상의 시그널링 비트들을 검출하는 단계 (1510);

하나 이상의 시그널링 비트들과 연관된 값에 기초하여 정보 블록에서 만약 있다면 하나 이상의 패딩 비트들 및 다수 (L_S)의 진폭-셰이핑된 비트들을 식별하는 단계 (1512);

상기 정보 블록으로부터 상기 시그널링 비트들, 및 만약 있다면 상기 패딩 비트들을 제거하는 단계;

다수 (L_{DS})의 디-셰이핑된 비트들을 생성하는 제 2 디코딩 동작을 진폭-셰이핑된 비트들에 대해 수행하는 단계 (1514);

디-셰이핑된 비트들의 수 (L_{DS}) 및 디코딩된 정보 블록과 연관된 고정된 길이 (N_1)에 기초하여 정보 블록으로부

터 다수 (L_{US}) 의 세이핑되지 않은 비트들을 파싱하는 단계 (1516); 및

다-세이핑된 비트들 및 세이핑되지 않은 비트들을 고정된 길이 ($N1$) 를 갖는 디코딩된 정보 블록으로 배열하는 단계 (1518) 를 포함하는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 9

제 8 항에 있어서,

진폭-세이핑된 비트들은 정보 블록의 최상위 비트들 (MSBs) 을 나타내는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 10

제 8 항에 있어서,

L_{US} 와 L_{DS} 의 합은 $N2$ 와 동일한, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 11

제 10 항에 있어서,

L_{US} 를 초과하는 정보 블록의 하나 이상의 비트들을 폐기하는 단계를 더 포함하거나, 또는

폐기된 상기 비트들은 정보 블록의 최하위 비트들 (LSBs) 을 나타내는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 12

제 8 항에 있어서,

제 2 디코딩 동작의 수행 (1514) 은:

룩업 테이블 (LUT) 로부터, 진폭-세이핑된 비트들의 서브세트에 매칭하는 다-세이핑된 비트들의 패턴을 반복적으로 선택하는 것을 포함하고, 상기 LUT 는 진폭-세이핑된 비트들의 개별적인 복수의 패턴들에 대응하는 다-세이핑된 비트들의 복수의 패턴들을 저장하고, 그리고 복수의 다-세이핑된 비트들은 다-세이핑된 비트들의 선택된 패턴을 포함하는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 13

제 12 항에 있어서,

다수의 진폭-세이핑된 비트들의 식별 (1512) 은:

LUT 에서 진폭-세이핑된 비트들의 각각의 패턴의 길이에 기초하여 무선 패킷과 연관된 진폭-세이핑된 비트들의 추정된 수를 결정하는 것;

진폭-세이핑된 비트들의 추정된 수와 연관된 심볼들의 수 (L_{EST}) 를 결정하는 것;

L_{EST} 와 하나 이상의 시그널링 비트들과 연관된 값 사이의 차이에 기초하여 진폭-세이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및

L_{PAM} 와 연관된 진폭-세이핑된 비트들의 수를 결정하는 것을 포함하는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 14

제 8 항에 있어서,

다수의 진폭-세이핑된 비트들의 식별 (1512) 은:

하나 이상의 시그널링 비트들과 연관된 값에 기초하여 진폭-세이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결

정하는 것; 및

L_{PAM} 와 연관된 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함하거나, 또는

N1 정보 비트들이 주어진 제 2 디코딩 동작에 기초하여 디코딩가능한 진폭-셰이핑된 비트들의 평균 수를 결정하는 것;

진폭-셰이핑된 비트들의 평균 수와 연관된 심볼들의 수 (L_{MEAN}) 를 결정하는 것;

L_{MEAN} 와 하나 이상의 시그널링 비트들과 연관된 값 사이의 차이에 기초하여 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및

L_{PAM} 와 연관된 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함하거나, 또는

하나 이상의 시그널링 비트들과 연관된 값에 기초하여 정보 블록에 포함된 패딩 비트들의 수를 결정하는 것; 및

N2, L_{US} , 및 패딩 비트들의 수에 기초하여 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함하는, 무선 통신 디바이스에 의한 무선 통신을 위한 방법.

청구항 15

무선 통신 디바이스로서,

적어도 하나의 모뎀;

상기 적어도 하나의 모뎀과 통신가능하게 커플링된 적어도 하나의 프로세서; 및

상기 적어도 하나의 프로세서와 통신가능하게 커플링되고, 프로세서 판독가능 코드를 저장하는 적어도 하나의 메모리를 포함하고,

상기 프로세서 판독가능 코드는, 상기 적어도 하나의 모뎀과 함께 상기 적어도 하나의 프로세서에 의해 실행될 때, 상기 무선 통신 디바이스로 하여금:

복수의 진폭들을 갖는 복수의 심볼들을 포함하는 무선 패킷을 수신하게 하는 것으로서, 상기 복수의 심볼들은 복수의 코드워드 비트들을 나타내고, 상기 복수의 진폭들은 불균일 분포를 갖는, 상기 무선 패킷을 수신하게 하고;

상기 복수의 코드워드 비트들을 하나 이상의 코드워드들로 배열하게 하고;

하나 이상의 개별적인 디코딩된 코드 블록들을 생성하는 제 1 디코딩 동작을 하나 이상의 코드워드들에 대해 수행하게 하는 것으로서, 각각의 디코딩된 코드 블록은 복수의 디코딩된 코드워드 비트들 및 하나 이상의 패리티 비트들을 포함하는, 상기 제 1 디코딩 동작을 수행하게 하고;

복수의 디코딩된 코드워드 비트들을 고정된 길이 (N_2) 를 갖는 정보 블록으로 배열하게 하고;

정보 블록의 고정된 길이 (N_2) 에 기초하여 정보 블록의 하나 이상의 시그널링 비트들을 검출하게 하고;

하나 이상의 시그널링 비트들과 연관된 값에 기초하여 정보 블록에서 만약 있다면 하나 이상의 패딩 비트들 및 다수 (L_S) 의 진폭-셰이핑된 비트들을 식별하게 하고;

상기 정보 블록으로부터 상기 시그널링 비트들, 및 만약 있다면 상기 패딩 비트들을 제거하게 하고;

다수 (L_{DS}) 의 디-셰이핑된 비트들을 생성하는 제 2 디코딩 동작을 진폭-셰이핑된 비트들에 대해 수행하게 하고;

디-셰이핑된 비트들의 수 (L_{DS}) 및 디코딩된 정보 블록과 연관된 고정된 길이 (N_1) 에 기초하여 정보 블록으로부터 다수 (L_{US}) 의 셰이핑되지 않은 비트들을 파싱하게 하고; 그리고

디-셰이핑된 비트들 및 셰이핑되지 않은 비트들을 고정된 길이 (N_1) 를 갖는 디코딩된 정보 블록으로 배열하게 하는, 무선 통신 디바이스.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

발명의 설명

기술 분야

[0001] 본 개시는 일반적으로 무선 통신에 관한 것으로, 보다 구체적으로는, 고정된 길이 정보 블록을 사용하여 불균일한 진폭 분포를 달성하기 위해 데이터를 인코딩하는 것에 관한 것이다.

배경 기술

[0002] 무선 로컬 영역 네트워크 (WLAN) 는 스테이션들 (STA들)로서 또한 지칭되는 다수의 클라이언트 디바이스들에 의한 사용을 위해 공유 무선 통신 매체를 제공하는 하나 이상의 액세스 포인트들 (AP들)에 의해 형성될 수도 있다. IEEE (Institute of Electrical and Electronics Engineers) 802.11 표준 패밀리에 따르는 WLAN의 기본 빌딩 블록은 AP에 의해 관리되는 기본 서비스 세트 (Basic Service Set; BSS)이다. 각각의 BSS는 AP에 의해 광고되는 기본 서비스 세트 식별자 (Basic Service Set Identifier; BSSID)에 의해 식별된다. AP는 AP의 무선 범위 내의 임의의 STA들이 WLAN과의 통신 링크를 확립 또는 유지할 수 있도록 비컨 프레임들을 주기적으로 브로드캐스트한다.

[0003] 송신 및 수신 디바이스들은 데이터를 송신 및 수신하기 위해 다양한 변조 및 코딩 방식 (Modulation and Coding Scheme; MCS)의 사용을 지원하여, 무선 채널 조건들을 최적으로 활용할 수 있어, 예를 들어 스루풋을 증가시키거나 레이턴시를 감소시키거나 또는 여러 서비스 품질 파라미터 (QoS) 파라미터를 강화할 수도 있다. 예를 들어, 기존 기술은 최대 1024-QAM의 사용을 지원하며, 4096-QAM ("4k QAM"으로서 또한 지칭됨)이 또한 구현될 것으로 예상된다. 1024-QAM 및 4096-QAM은 다른 MCS들 중에서, 저밀도 패리티 검사 (LDPC) 인코딩의 사용을 수반한다. 예를 들어, 순방향 에러 정정 (FEC)을 위한 중복성을 추가하기 위해 코드 블록의 데이터 비트들에 대해 LDPC 인코딩 동작이 수행될 수도 있다.

[0004] 실제의 무선 채널들은 일반적으로, 데이터가 통신될 수 있는 최대 레이트에 대한 한계를 부여하는 잡음을 포함한다. Shannon-Hartley 정리는 링크의 절대 채널 용량, 즉 잡음의 존재 시 특정 대역폭 상으로 송신될 수 있는 단위 시간 당 에러 없는 정보의 최대량을 나타내는 상계 또는 상한 ("Shannon 경계"로서 지칭됨)을 확립한다. 그러나, LDPC 인코딩으로 실현가능한 채널 용량은 높은 MCS들에 대해서도 Shannon 경계에 대한 상당한 갭을 보여준다. 추가적으로, 1024-QAM 및 4096-QAM을 포함하는 높은 MCS들을 사용할 수 있게 하기 위해, 높은 신호 대 잡음비 (SNR)가 요구되지만, 그러한 높은 MCS들에 필요한 SNR들을 획득하기가 어려울 수도 있다.

본 발명의 배경이 되는 기술은 EP 3547572 A1 (공개일: 2019년 10월 2일) 및 US 10200231 B1 (공개일: 2019년 2월 5일)에 개시되어 있다.

발명의 내용

과제의 해결 수단

[0005] 본 개시의 시스템들, 방법들 및 디바이스들 각각은 여러 혁신적인 양태들을 가지며, 이들 중 어느 것도 본 명세서에 개시된 바람직한 속성들에 대해 단독으로 책임이 있는 것은 아니다.

[0006] 본 개시에서 설명된 주제의 하나의 혁신적인 양태는 무선 통신의 방법으로서 구현될 수 있다. 방법은 무선 통신 디바이스에 의해 수행될 수도 있고, 본 방법은, 고정된 수의 (N_1) 정보 비트들을 포함하는 제 1 정보 블록을 획득하는 단계; 복수 (L_s)의 진폭 세이핑된 비트들을 생성하는 제 1 인코딩 동작을 정보 비트들 중 하나 이

상에 대해 수행하는 단계; 제 1 정보 블록으로부터의 다수 (L_{US})의 정보 비트들을 포함하는 제 2 정보 블록으로 L_S 의 진폭-셰이핑된 비트들을 배열하는 단계로서, L_S 및 L_{US} 의 합은 고정된 양 ($N2$) 이하임; 제 2 정보 블록의 길이가 $N2$ 와 동일하게 되도록 제 2 정보 블록에 하나 이상의 패딩 비트들을 선택적으로 추가하는 단계; 제 2 정보 블록에, 제 2 정보 블록에서 다수의 진폭-셰이핑된 비트들을 나타내는 하나 이상의 시그널링 비트들을 추가하는 단계; 하나 이상의 코드워드들을 생성하는 제 2 인코딩 동작을 제 2 정보 블록에 대해 수행하는 단계로서, 각각의 코드워드는 제 2 인코딩 동작으로부터 기인하는 하나 이상의 패리티 비트들 및 제 2 정보 블록의 개별적인 비트들의 서브세트를 포함함; 제 2 정보 블록의 비트들의 서브세트들 및 패리티 비트들을 복수의 심볼들로 배열하는 단계로서, 각각의 심볼은 심볼에서 배열된 개별적인 비트들에 기초하는 진폭을 갖고, 제 1 인코딩 동작은 복수의 심볼들의 진폭들이 불균일 분포를 갖게 하도록 진폭-셰이핑된 비트들을 생성함; 및 복수의 심볼들을 포함하는 무선 패킷을 적어도 하나의 수신 디바이스로 송신하는 단계를 포함한다.

[0007] 일부 구현들에서, 제 1 인코딩 동작의 수행은 룩업 테이블 (LUT)로부터, 정보 비트들의 서브세트에 매칭하는 비트 값들의 패턴을 반복적으로 선택하는 것을 포함할 수도 있고, 여기서 LUT는 진폭-셰이핑된 비트들의 개별적인 복수의 패턴들에 대응하는 비트 값들의 복수의 패턴들을 저장하고, 진폭-셰이핑된 복수의 비트들은 선택된 비트 값들의 패턴에 대응하는 진폭-셰이핑된 비트들의 패턴을 포함한다. 일부 구현들에서, 비트 값들의 패턴의 반복적인 선택은 각각의 반복에 대해, 정보 비트들의 제 1 서브세트에 매칭하는 비트 값들의 제 1 패턴의 선택이 $N2$ 보다 큰 L_S 및 L_{US} 의 합을 야기하는지의 여부를 결정하는 것을 더 포함할 수도 있다. 일부 구현들에서, 비트 값들의 패턴의 반복적인 선택은 비트 값들의 제 1 패턴을 선택함이 없이, 비트 값들의 제 1 패턴을 선택하는 것이 $N2$ 보다 큰 L_S 및 L_{US} 의 합을 야기한다고 결정하는 것에 응답하여 제 1 인코딩 동작을 완료하는 것을 더 포함할 수도 있다.

[0008] 일부 다른 구현들에서, 비트 값들의 패턴의 반복적 선택은 비트 값들의 제 1 패턴을 선택하는 것이 $N2$ 보다 큰 L_S 및 L_{US} 의 합을 야기한다고 결정하는 것에 응답하여 정보 비트들의 제 2 서브세트에 매칭하는 비트 값들의 제 2 패턴의 선택이 $N2$ 이하인 L_S 및 L_{US} 의 합을 야기하는지의 여부를 결정하는 것을 더 포함할 수도 있다. 일부 양태들에서, 정보 비트들의 제 2 서브세트는 정보 비트들의 제 1 서브세트보다 더 클 수도 있다. 일부 구현들에서, 비트 값들의 패턴의 반복적 선택은 L_S 및 L_{US} 의 결과적인 합이 $N2$ 이하라는 결정에 응답하는 것; 및 비트 값들의 제 2 패턴을 선택하는 것에 응답하여 제 1 인코딩 동작을 완료하는 것을 더 포함할 수도 있다. 일부 구현들에서, 하나 이상의 시그널링 비트들의 추가는 진폭 셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM})를 결정하는 것; LUT에서 진폭 셰이핑된 비트들의 각각의 패턴의 길이에 기초하여 무선 패킷과 연관된 진폭-셰이핑된 비트들의 추정된 수를 결정하는 것; 및 진폭-셰이핑된 비트들의 추정된 수와 연관된 심볼들의 수 (L_{EST})를 결정하는 것을 포함할 수도 있고, 하나 이상의 시그널링 비트들은 L_{PAM} 와 L_{EST} 사이의 차이와 동일한 값을 나타낸다.

[0009] 일부 다른 구현들에서, 하나 이상의 시그널링 비트들의 추가는 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM})를 결정하는 것을 포함할 수도 있고, 하나 이상의 시그널링 비트들은 L_{PAM} 와 동일한 값을 나타낸다. 일부 다른 구현들에서, 하나 이상의 시그널링 비트들의 추가는 진폭 셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM})를 결정하는 것; $N1$ 정보 비트들이 주어진 제 1 인코딩 동작에 기초하여 인코딩가능한 진폭-셰이핑된 비트들의 평균 수를 결정하는 것; 및 진폭-셰이핑된 비트들의 평균 수와 연관된 심볼들의 수 (L_{MEAN})를 결정하는 것을 포함할 수도 있고, 하나 이상의 시그널링 비트들은 L_{PAM} 와 L_{MEAN} 사이의 차이와 동일한 값을 나타낸다. 일부 다른 구현들에서, 하나 이상의 시그널링 비트들의 추가는 제 2 정보 블록에서 정보 비트들과 연관된 심볼들의 수를 결정하는 것을 포함할 수도 있고, 하나 이상의 시그널링 비트들은 제 2 정보 블록에서 정보 비트들과 연관된 심볼들의 수와 동일한 값을 나타낸다. 또한, 일부 구현들에서, 하나 이상의 시그널링 비트들은 제 2 정보 블록에 포함된 패딩 비트들의 수와 동일한 값을 나타낼 수도 있다.

[0010] 본 개시에서 설명된 주제의 다른 혁신적인 양태는 무선 통신 디바이스에서 구현될 수 있다. 일부 구현들에서, 무선 통신 디바이스는 적어도 하나의 모듈, 적어도 하나의 모듈과 통신가능하게 커플링된 적어도 하나의 프로세서, 및 적어도 하나의 프로세서와 통신가능하게 커플링되고 프로세서 관독가능 코드를 저장하는 적어도 하나의 메모리를 포함할 수도 있다. 일부 구현들에서, 적어도 하나의 프로세서들에 의한 프로세서-관독가능 코드의 실행은 무선 통신 디바이스로 하여금, 고정된 수의 ($N1$)정보 비트들을 포함하는 제 1 정보 블록을 획득

하는 것; 다수 (L_S) 의 진폭 세이핑된 비트들을 생성하는 제 1 인코딩 동작을 정보 비트들 중 하나 이상에 대해 수행하는 것; 제 1 정보 블록으로부터의 다수 (L_{US}) 의 정보 비트들을 포함하는 제 2 정보 블록으로 L_S 의 진폭-세이핑된 비트들을 배열하는 것으로서, L_S 및 L_{US} 의 합은 고정된 양 ($N2$) 이하임; 제 2 정보 블록의 길이가 $N2$ 와 동일하게 되도록 제 2 정보 블록에 하나 이상의 패딩 비트들을 선택적으로 추가하는 것; 제 2 정보 블록에, 제 2 정보 블록에서 다수의 진폭-세이핑된 비트들을 나타내는 하나 이상의 시그널링 비트들을 추가하는 것; 하나 이상의 코드워드들을 생성하는 제 2 인코딩 동작을 제 2 정보 블록에 대해 수행하는 것으로서, 각각의 코드워드는 제 2 인코딩 동작으로부터 기인하는 하나 이상의 패리티 비트들 및 제 2 정보 블록의 개별적인 비트들의 서브세트를 포함함; 제 2 정보 블록의 비트들의 서브세트들 및 패리티 비트들을 복수의 심볼들로 배열하는 것으로서, 각각의 심볼은 심볼에서 배열된 개별적인 비트들에 기초하는 진폭을 갖고, 제 1 인코딩 동작은 복수의 심볼들의 진폭들이 불균일 분포를 갖게 하도록 진폭-세이핑된 비트들을 생성함; 및 복수의 심볼들을 포함하는 무선 패킷을 적어도 하나의 수신 디바이스로 송신하는 것을 포함하는 동작들을 수행하게 한다.

[0011] 본 개시에서 설명된 주제의 다른 혁신적인 양태는 무선 통신의 방법으로서 구현될 수 있다. 본 발명은 무선 통신 디바이스에 의해 수행될 수도 있고 본 방법은, 복수의 진폭들을 갖는 복수의 심볼들을 포함한 무선 패킷을 수신하는 단계로서, 복수의 심볼들은 복수의 코드워드 비트들을 나타내고, 복수의 진폭들은 불균일 분포를 가짐; 복수의 코드워드 비트들을 하나 이상의 코드워드들로 배열하는 단계; 하나 이상의 개별적인 디코딩된 코드 블록들을 생성하는 제 1 디코딩 동작을 하나 이상의 코드워드들에 대해 수행하는 단계로서, 각각의 디코딩된 코드 블록은 복수의 디코딩된 코드워드 비트들 및 하나 이상의 패리티 비트들을 포함함; 복수의 디코딩된 코드워드 비트들을 고정된 길이 ($N2$) 를 갖는 정보 블록으로 배열하는 단계; 정보 블록의 고정된 길이 ($N2$) 에 기초하여 정보 블록의 하나 이상의 시그널링 비트들을 검출하는 단계; 하나 이상의 시그널링 비트들과 연관된 값에 기초하여 정보 블록에서 다수 (L_S) 의 진폭-세이핑된 비트들을 식별하는 단계; 다수 (L_{DS}) 의 디-세이핑된 비트들을 생성하는 제 2 디코딩 동작을 진폭-세이핑된 비트들에 대해 수행하는 단계; 디-세이핑된 비트들의 수 (L_{DS}) 및 디코딩된 정보 블록과 연관된 고정된 길이 ($N1$) 에 기초하여 정보 블록으로부터 다수 (L_{US}) 의 세이핑되지 않은 비트들을 파싱하는 단계; 디-세이핑된 비트들 및 세이핑되지 않은 비트들을 고정된 길이 ($N1$) 를 갖는 디코딩된 정보 블록으로 배열하는 단계를 포함할 수도 있다.

[0012] 일부 구현들에서, 진폭-세이핑된 비트들은 정보 블록의 최상위 비트들 (MSBs) 을 나타낼 수도 있다. 일부 구현들에서, L_{US} 및 L_{DS} 의 합은 $N2$ 와 동일할 수도 있다. 일부 구현들에서, 본 방법은 L_{US} 를 초과하는 정보 블록의 하나 이상의 비트들을 폐기하는 단계를 더 포함할 수도 있다. 일부 구현들에서, 폐기된 비트들은 정보 블록의 최하위 비트들 (LSBs) 을 나타낼 수도 있다.

[0013] 일부 구현들에서, 제 2 디코딩 동작의 수행은, LUT로부터, 진폭-세이핑된 비트들의 서브세트에 매칭하는 디-세이핑된 비트들의 패턴을 선택하는 것을 포함할 수도 있고, LUT는 진폭-세이핑된 비트들의 개별적인 복수의 패턴들에 대응하는 디-세이핑된 비트들의 복수의 패턴들을 저장하고, 그리고 복수의 디-세이핑된 비트들은 디-세이핑된 비트들의 선택된 패턴을 포함한다. 일부 구현들에서, 다수의 진폭-세이핑된 비트들의 식별은 LUT에서 진폭 세이핑된 비트들의 각각의 패턴의 길이에 기초하여 무선 패킷과 연관된 진폭-세이핑된 비트들의 추정된 수를 결정하는 것; 진폭 세이핑된 비트들의 추정된 수와 연관된 심볼들의 수 (L_{EST}) 를 결정하는 것; L_{EST} 와 하나 이상의 시그널링 비트들과 연관된 값 사이의 차이에 기초하여 진폭-세이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및 L_{PAM} 와 연관된 진폭-세이핑된 비트들의 수를 결정하는 것을 포함할 수도 있다.

[0014] 일부 다른 구현들에서, 다수의 진폭-세이핑된 비트들의 식별은 하나 이상의 시그널링 비트들과 연관된 값에 기초하여 진폭-세이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및 L_{PAM} 와 연관된 진폭-세이핑된 비트들의 수를 결정하는 것을 포함할 수도 있다. 일부 다른 구현들에서, 다수의 진폭-세이핑된 비트들의 식별은 $N1$ 정보 비트들이 주어진 제 2 디코딩 동작에 기초하여 디코딩가능한 진폭-세이핑된 비트들의 평균 수를 결정하는 것; 진폭 세이핑된 비트들의 평균 수와 연관된 심볼들의 수 (L_{MEAN}) 를 결정하는 것; L_{MEAN} 와 하나 이상의 시그널링 비트들과 연관된 값 사이의 차이에 기초하여 진폭-세이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및 L_{PAM} 와 연관된 진폭-세이핑된 비트들의 수를 결정하는 것을 포함할 수도 있다. 또한, 일부 구현들에서, 다수의 진폭-세이핑된 비트들의 식별은 하나 이상의 시그널링 비트들과 연관된 값에 기초하여 정보 블록에 포함된 패딩 비트들의 수를 결정하는 것; 및 $N2$, L_{US} , 및 패딩 비트들의 수에 기초하여 진폭-세이핑된 비

트들의 수를 결정하는 것을 포함할 수도 있다.

[0015]

본 개시에서 설명된 주제의 다른 혁신적인 양태는 무선 통신 디바이스에서 구현될 수 있다. 일부 구현들에서, 무선 통신 디바이스는 적어도 하나의 모뎀, 적어도 하나의 모뎀과 통신가능하게 커플링된 적어도 하나의 프로세서, 및 적어도 하나의 프로세서와 통신가능하게 커플링되고 프로세서 관독가능 코드를 저장하는 적어도 하나의 메모리를 포함할 수도 있다. 일부 구현들에서, 적어도 하나의 프로세서들에 의한 프로세서-관독가능 코드의 실행은 무선 통신 디바이스로 하여금, 복수의 진폭들을 갖는 복수의 심볼들을 포함한 무선 패킷을 수신하는 것으로서, 복수의 심볼들은 복수의 코드워드 비트들을 나타내고, 복수의 진폭들은 불균일 분포를 가짐; 복수의 코드워드 비트들을 하나 이상의 코드워드들로 배열하는 것; 하나 이상의 개별적인 디코딩된 코드 블록들을 생성하는 제 1 디코딩 동작을 하나 이상의 코드워드들에 대해 수행하는 것으로서, 각각의 디코딩된 코드 블록은 복수의 디코딩된 코드워드 비트들 및 하나 이상의 패리티 비트들을 포함함; 복수의 디코딩된 코드워드 비트들을 고정된 길이 (N_2)를 갖는 정보 블록으로 배열하는 것; 정보 블록의 고정된 길이 (N_2)에 기초하여 정보 블록의 하나 이상의 시그널링 비트들을 검출하는 것; 하나 이상의 시그널링 비트들과 연관된 값에 기초하여 다수 (L_s)의 진폭-셰이핑된 비트들을 식별하는 것; 다수 (L_{DS})의 디-셰이핑된 비트들을 생성하는 제 2 디코딩 동작을 진폭-셰이핑된 비트들에 대해 수행하는 것; 디-셰이핑된 비트들의 수 (L_{DS}) 및 디코딩된 정보 블록과 연관된 고정된 길이 (N_1)에 기초하여 정보 블록으로부터 다수 (L_{US})의 셰이핑되지 않은 비트들을 파싱하는 것; 디-셰이핑된 비트들 및 셰이핑되지 않은 비트들을 고정된 길이 (N_1)를 갖는 디코딩된 정보 블록으로 배열하는 것을 포함하는 동작들을 수행하게 한다.

도면의 간단한 설명

[0016]

이 개시에서 설명되는 청구 대상의 하나 이상의 구현들의 상세들이 첨부 도면들 및 하기의 설명에 제시된다. 다른 특징들, 양태들, 및 이점들은 설명, 도면들, 및 청구항들로부터 명백하게 될 것이다. 다음 도면들의 상대적인 치수들은 스케일 (scale) 대로 그려지지 않을 수도 있다는 점에 유의한다.

도 1은 예시적인 무선 통신 네트워크의 도면을 나타낸다.

도 2a는 액세스 포인트(AP)와 다수의 스테이션들(STA들) 사이의 통신들을 위해 사용가능한 예시적인 프로토콜 데이터 유닛(PDU)을 도시한다.

도 2b는 도 2a의 PDU에서의 예시적인 필드를 나타낸다.

도 3은 예시적인 무선 통신 디바이스의 블록 다이어그램을 도시한다.

도 4a는 예시적인 액세스 포인트 (AP)의 블록 다이어그램을 도시한다.

도 4b는 예시적인 스테이션 (STA)의 블록 다이어그램을 도시한다.

도 5는 일부 구현들에 따른 진폭 셰이핑을 지원하는 무선 통신을 위한 예시적인 프로세스를 예시하는 플로우차트를 도시한다.

도 6a 및 도 6b는 일부 구현들에 따른 진폭 셰이핑을 지원하는 플로우의 다이어그램을 도시한다.

도 7은 일부 구현들에 따른 진폭 셰이핑을 지원하는 예시적인 룩업 테이블 (LUT)을 도시한다.

도 8은 일부 구현들에 따른 진폭 셰이핑을 지원하는 무선 통신을 위한 예시적인 프로세스를 예시하는 플로우차트를 도시한다.

도 9a 및 도 9b는 일부 구현들에 따른 진폭 셰이핑을 지원하는 플로우의 다이어그램을 도시한다.

도 10은 일부 구현들에 따른 진폭 셰이핑을 지원하는 플로우의 다른 다이어그램을 도시한다.

도 11은 일부 구현들에 따른 진폭 셰이핑을 사용하여 인코딩될 수도 있는 진폭 비트들의 예시적인 시퀀스를 도시한다.

도 12a는 일부 구현들에 따른 예시적인 프리-진폭 셰이핑 정보 블록을 도시한다.

도 12b는 일부 구현들에 따른 예시적인 포스트-진폭 셰이핑 정보 블록을 도시한다.

도 13은 일부 구현들에 따른 진폭 셰이핑을 지원하는 플로우의 다른 다이어그램을 도시한다.

도 14 는 일부 구현들에 따른 진폭 세이핑을 지원하는 무선 통신을 위한 예시적인 프로세스를 예시하는 플로우 차트를 도시한다.

도 15 는 일부 구현들에 따른 진폭 세이핑을 지원하는 무선 통신을 위한 예시적인 프로세스를 예시하는 플로우 차트를 도시한다.

도 16 은 일부 구현들에 따른 예시적인 무선 통신 디바이스의 블록도를 도시한다.

도 17 은 일부 구현들에 따른 예시적인 무선 통신 디바이스의 블록도를 도시한다.

다양한 도면들에서 같은 참조 번호들 및 지정들은 같은 엘리먼트들을 표시한다.

발명을 실시하기 위한 구체적인 내용

[0017] 다음의 설명은 본 개시의 혁신적 양태들을 설명할 목적들을 위한 일부 특정 구현들에 관한 것이다. 하지만, 당업자는 본 명세서에서의 교시들이 다수의 상이한 방식으로 적용될 수 있음을 쉽게 인식할 것이다. 설명된 구현들은, 특히, IEEE (Institute of Electrical and Electronics Engineers) 802.11 표준들, IEEE 802.15 표준들, 블루투스 특수 관심 그룹(SIG)에 의해 정의된 바와 같은 Bluetooth® 표준들, 또는 3GPP(3rd Generation Partnership Project)에 의해 공표된 LTE(Long Term Evolution), 3G, 4G 또는 5G (뉴 라디오 (NR)) 표준들 중 하나 이상에 따라 라디오 주파수 (RF) 신호들을 송신 및 수신할 수도 있는 임의의 디바이스, 시스템 또는 네트워크에서 구현될 수 있다. 설명된 구현들은 다음의 기술들 또는 기법들: 코드 분할 다중 액세스(CDMA), 시간 분할 다중 액세스(TDMA), 주파수 분할 다중 액세스(FDMA), 직교 FDMA(OFDMA), 단일-캐리어 FDMA(SC-FDMA), 단일-사용자(SU) 다중-입력 다중-출력(MIMO) 및 다중-사용자(MU) MIMO 중 하나 이상에 따라 RF 신호들을 송신 및 수신할 수도 있는 임의의 디바이스, 시스템 또는 네트워크에서 구현될 수 있다. 설명된 구현들은 또한 무선 개인 영역 네트워크 (WPAN), 무선 로컬 영역 네트워크 (WLAN), 무선 광역 네트워크 (WWAN), 또는 사물 인터넷 (IoT) 네트워크 중 하나 이상에서 사용하기에 적합한 다른 무선 통신 프로토콜들 또는 RF 신호들을 사용하여 구현될 수 있다.

[0018] 다양한 양태들은 일반적으로 원하는 진폭 분포를 달성하기 위해 무선 통신을 위한 데이터를 인코딩하는 것에 관한 것으로, 보다 구체적으로는, 진폭들이 불균일 분포를 갖도록 결과적인 심볼들의 진폭들을 세이핑하기 위해 고정된-길이 정보 블록의 정보 비트들에 대해 제 1 인코딩 동작을 수행하는 것에 관한 것이다. 불균일 분포의 일부 양태들에서, 개별적인 진폭들과 연관된 확률들은 일반적으로 진폭의 감소에 따라 증가한다. 예를 들어, 심볼들의 진폭들의 불균일 분포는 대략 Gaussian 일 수도 있다. 일부 양태들에서, 제 1 인코딩 동작은 더 낮은 진폭을 갖는 심볼들로 정보 비트들을 인코딩하는 것과 연관된 확률이 더 높은 진폭을 갖는 심볼들로 정보 비트들을 인코딩하는 것과 연관된 확률보다 더 크도록, 정보 비트들의 하나 이상의 패턴들을 진폭-세이핑된 비트들의 하나 이상의 패턴들에 맵핑하는 프리픽스 인코딩 동작이거나 이를 포함한다. 일부 양태들에서, 제 1 인코딩 동작은 또한, 세이핑되지 않은 비트들의 수와 조합된 진폭 세이핑된 비트들의 수가 최대 페이로드 길이 이하로 될 때까지 정보 비트들을 반복적으로 인코딩하는 것에 의해 적어도 부분적으로 그 출력에서 고정된 길이 정보 블록을 실현할 수도 있다.

[0019] 본 개시에 설명된 청구물의 특정 구현들은 다음의 잠재적인 이점들 중 하나 이상을 실현하도록 구현될 수 있다. 일부 구현들에서, 설명된 기법들은, 예를 들어, 결과적인 진폭 분포들이 대략 Gaussian 이 되도록 진폭들을 인코딩함으로써, 송신 디바이스에 의해 실제로 달성가능한 채널 용량과 이론적인 Shannon 경계 사이의 갭을 좁히는데 사용될 수 있다. 본 구현들에서, 패킷 길이는 진폭 세이핑 동작이 고정된 코딩 레이트를 유지하는 것을 강제함이 없이 고정된 사이즈로 유지될 수도 있다. 진폭 세이핑 이전 또는 이후의 고정된 정보 블록 길이를 유지하는 것에 의해, 본 개시의 양태들은 진폭 세이핑 동작을 먼저 수행할 필요 없이 매체 액세스 제어 (MAC) 층이 (정수 개의 심볼들을 생성하도록) 정보 블록에 첨가될 패딩 비트들의 수를 결정할 수 있게 한다. 또한, 진폭 세이핑 동작의 가변 코딩 레이트를 보존하는 것에 의해, 본 개시의 양태들은 진폭-세이핑 비트들의 최적의 인코딩을 지원할 수도 있다.

[0020] 도 1 은 예시적인 무선 통신 네트워크 (100) 의 블록 다이어그램을 도시한다. 일부 양태들에 따르면, 무선 통신 네트워크 (100) 는 Wi-Fi 네트워크와 같은 무선 로컬 영역 네트워크 (WLAN) 의 예일 수 있다 (그리고 이하 WLAN (100) 으로서 지칭될 것이다). 예를 들어, WLAN (100) 은 (802.11ah, 802.11ad, 802.11ay, 802.11ax, 802.11az, 802.11ba 및 802.11be 를 포함하지만 이에 한정되지 않는 IEEE 802.11-2016 사양 또는 그 보정안들에 의해 정의된 것과 같은) 무선 통신 프로토콜 표준들의 IEEE 802.11 패밀리 중 적어도 하나를 구현하는 네트워크일 수 있다. WLAN (100) 은 액세스 포인트 (AP) (102) 및 다수의 스테이션들 (STA들) (104) 과 같은

다수의 무선 통신 디바이스들을 포함할 수도 있다. 단지 하나의 AP (102) 만이 도시되지만, WLAN 네트워크 (100) 는 또한 다수의 AP들 (102) 을 포함할 수 있다.

[0021] STA들 (104) 의 각각은 또한, 다른 가능성들 중에서, 이동국 (MS), 모바일 디바이스, 모바일 핸드셋, 무선 핸드셋, 액세스 단말기 (AT), 사용자 장비 (UE), 가입자국 (SS), 또는 가입자 유닛으로서 지칭될 수도 있다. STA들 (104) 은, 다른 가능성들 중에서, 모바일 폰들, 개인용 디지털 보조기 (PDA들), 다른 핸드헬드 디바이스들, 넷북들, 노트북 컴퓨터들, 태블릿 컴퓨터들, 랩탑들, 디스플레이 디바이스들 (예를 들어, TV들, 컴퓨터 모니터들, 내비게이션 시스템들 등), 뮤직 또는 다른 오디오 또는 스테레오 디바이스들, 원격 제어 디바이스들 ("원격기기들"), 프린터들, 주방 또는 다른 가전 제품들, (예를 들어, 수동 키리스 엔트리 및 스타트 (PKES) 시스템들을 위한) 키 포브들과 같은 다양한 디바이스들을 나타낼 수도 있다.

[0022] 단일의 AP (102) 및 연관된 세트의 STA들 (104) 은, 개별의 AP (102) 에 의해 관리되는 기본 서비스 세트 (BSS) 로서 지칭될 수도 있다. 도 1 은 WLAN (100) 의 기본 서비스 영역 (BSA) 을 나타낼 수도 있는 AP (102) 의 예시적인 커버리지 영역 (106) 을 추가적으로 도시한다. BSS 는 서비스 세트 식별자 (SSID) 에 의해 사용자들 뿐만 아니라, AP (102) 의 매체 액세스 제어 (MAC) 어드레스일 수도 있는 기본 서비스 세트 식별자 (BSSID) 에 의해 다른 디바이스들에 대해 식별될 수도 있다. AP (102) 는, AP (102) 의 무선 범위 내의 임의의 STA들 (104) 이 AP (102) 와 "연관" 또는 재연관하여, AP (102) 와, 개별의 통신 링크 (108) (이하, "Wi-Fi 링크" 로서 또한 지칭됨) 를 확립할 수 있게 하거나, 또는 통신 링크 (108) 를 유지할 수 있게 하도록 BSSID 를 포함하는 비컨 프레임들 ("비컨들") 을 주기적으로 브로드캐스트한다. 예를 들어, 비컨들은 개별의 AP (102) 에 의해 사용되는 프라이머리 채널의 식별 뿐만 아니라 AP (102) 와의 타이밍 동기화를 확립 또는 유지하기 위한 타이밍 동기화 기능을 포함할 수 있다. AP (102) 는 개별의 통신 링크들 (108) 을 통해 WLAN 에서의 다양한 STA들 (104) 에 외부 네트워크들로의 액세스를 제공할 수도 있다.

[0023] AP들 (102) 및 STA들 (104) 은 (802.11ah, 802.11ad, 802.11ay, 802.11ax, 802.11az, 802.11ba 및 802.11be 를 포함하지만, 이에 한정되지 않는 IEEE 802.11-2016 사양 또는 그 보정안들에 의해 정의된 것과 같은) 무선 통신 프로토콜 표준들의 IEEE 802.11 패밀리에 따라 (개별의 통신 링크들 (108) 을 통해) 기능 및 통신할 수도 있다. 이들 표준들은 PHY 및 매체 액세스 제어 (MAC) 계층들에 대한 WLAN 무선 및 기저대역 프로토콜들을 정의한다. AP들 (102) 및 STA들 (104) 은 물리 계층 수렴 프로토콜 (PLCP) 프로토콜 데이터 유닛들 (PPDU 들) 의 형태로 서로로의 및 로부터의 무선 통신물들 (이하, "Wi-Fi 통신물들" 로서 또한 지칭됨) 을 송신 및 수신한다. WLAN (100) 에서의 AP들 (102) 및 STA들 (104) 은 비허가 스펙트럼 상으로 PPDU들을 송신할 수도 있으며, 이는 2.4 GHz 대역, 5 GHz 대역, 60 GHz 대역, 3.6 GHz 대역, 및 700 MHz 대역과 같은, Wi-Fi 기술에 의해 전통적으로 사용되는 주파수 대역들을 포함하는 스펙트럼의 부분일 수도 있다. 본 명세서에서 설명된 AP들 (102) 및 STA들 (104) 의 일부 구현들은 또한, 허가 및 비허가 통신들 양자 모두를 지원할 수도 있는 6 GHz 대역과 같은 다른 주파수 대역들에서 통신할 수도 있다. AP들 (102) 및 STA들 (104) 은 또한 공유된 허가 주파수 대역들과 같은 다른 주파수 대역들 상으로 통신하도록 구성될 수 있으며, 여기서, 다수의 오퍼레이터들은 동일하거나 중첩하는 주파수 대역 또는 대역들에서 동작하기 위한 허가를 가질 수도 있다.

[0024] 도 2a 는 AP 와 다수의 STA들 사이의 무선 통신을 위해 사용가능한 예시적인 프로토콜 데이터 유닛 (PDU) (200) 을 도시한다. 예를 들어, PDU(200)는 PPDU로서 구성될 수도 있다. 도시된 바와 같이, PDU (200) 는 PHY 프리앰블 (202) 및 PHY 페이로드 (204) 를 포함한다. 예를 들어, 프리앰블 (202) 은 그 자체가 2개의 BPSK 심볼들로 구성될 수도 있는 레거시 짧은 트레이닝 필드(L-STF)(206), 2개의 BPSK 심볼들로 구성될 수도 있는 레거시 긴 트레이닝 필드(L-LTF)(208), 및 2개의 BPSK 심볼들로 구성될 수도 있는 레거시 신호 필드(L-SIG)(210)를 포함하는 레거시 부분을 포함할 수도 있다. 프리앰블 (202) 의 레거시 부분은 IEEE 802.11a 무선 통신 프로토콜 표준에 따라 구성될 수도 있다. 프리앰블 (202) 은 또한, 예를 들어, IEEE 802.11ac, 802.11ax, 802.11be 또는 그 이후의 무선 통신 프로토콜 표준들과 같은 IEEE 무선 통신 프로토콜에 따르는 하나 이상의 비-레거시 필드들 (212) 을 포함하는 비-레거시 부분을 포함할 수도 있다.

[0025] L-STF(206)는 일반적으로 수신 디바이스가 자동 이득 제어와 거친 타이밍 및 주파수 추정을 수행할 수 있도록 한다. L-LTF(208)는 일반적으로 수신 디바이스가 미세 타이밍 및 주파수 추정을 수행하고 또한 무선 채널의 초기 추정을 수행할 수 있게 한다. L-SIG(210)는 일반적으로 수신 디바이스가 PDU의 지속기간을 결정하고, PDU의 상부에서 송신하는 것을 회피하기 위해 결정된 지속기간을 사용할 수 있게 한다. 예를 들어, L-STF(206), L-LTF(208) 및 L-SIG(210)는 바이너리 페이즈 시프트 키잉 (BPSK) 변조 방식에 따라 변조될 수도 있다. 페이로드(204)는 BPSK 변조 방식, 직교 BPSK (Q-BPSK) 변조 방식, 직교 진폭 변조 (QAM) 변조 방식 또는 다른 적절한 변조 방식에 따라 변조될 수도 있다. 페이로드(204)는, 차례로, 예를 들어, 매체 액세스 제

어 (MAC) 프로토콜 데이터 유닛들 (MPDU들) 또는 집성된 MPDU (A-MPDU) 의 형태로 상위 계층 데이터를 반송할 수도 있는 데이터 필드(DATA)(214)를 포함하는 PSDU를 포함할 수도 있다.

[0026] 도 2b는 도 2a의 PDU(200) 내의 예시적인 L-SIG(210)를 도시한다. L-SIG (210) 는 데이터 레이트 필드 (222), 예비 비트 (224), 길이 필드 (226), 패리티 비트 (228), 및 테일 필드 (230) 를 포함한다. 데이터 레이트 필드 (222) 는 데이터 레이트를 표시한다 (데이터 레이트 필드 (212) 에 표시된 데이터 레이트는 페이로드 (204) 에서 반송된 데이터의 실제 데이터 레이트가 아닐 수도 있음에 유의한다). 길이 필드 (226) 는 패킷의 길이를 예를 들어 심볼들 또는 바이트들의 단위로 표시한다. 패리티 비트 (228) 는 비트 에러들을 검출하는데 사용될 수도 있다. 테일 필드 (230) 는 디코더 (예를 들어, 비터비 디코더) 의 동작을 종료하기 위해 수신 디바이스에 의해 사용될 수도 있는 테일 비트들을 포함한다. 수신 디바이스는 데이터 레이트 필드(222) 및 길이 필드(226)에 표시된 데이터 레이트 및 길이를 이용하여, 예를 들어 마이크로세컨드(μs) 또는 다른 시간 단위의 패킷의 지속기간을 결정할 수도 있다.

[0027] 도 3 은 예시적인 무선 통신 디바이스 (400) 의 블록 다이어그램을 도시한다. 일부 구현들에서, 무선 통신 디바이스 (300) 는, 도 1 을 참조하여 설명된 STA들 (104) 중 하나와 같은 STA 에서 사용하기 위한 디바이스의 예일 수 있다. 일부 구현들에서, 무선 통신 디바이스 (300) 는 도 1 을 참조하여 설명된 AP (102) 와 같은 AP 에서 사용하기 위한 디바이스의 예일 수 있다. 무선 통신 디바이스 (300) 는 (예를 들어, 무선 패킷들의 형태의) 무선 통신물들을 송신 (또는 송신을 위해 출력) 및 수신 가능하다. 예를 들어, 무선 통신 디바이스는, 802.11ah, 802.11ad, 802.11ay, 802.11ax, 802.11az, 802.11ba 및 802.11be 를 포함하지만 이에 한정되지 않는 IEEE 802.11-2016 사양 또는 그 보정안들에 의해 정의된 것과 같은 IEEE 802.11 무선 통신 프로토콜 표준에 부합하는 물리 계층 수렴 프로토콜 (PLCP) 프로토콜 데이터 유닛들 (PPDU들) 및 매체 액세스 제어 (MAC) 프로토콜 데이터 유닛들 (MPDU들) 의 형태로 패킷들을 송신 및 수신하도록 구성될 수 있다.

[0028] 무선 통신 디바이스 (300) 는 하나 이상의 모뎀들 (302), 예를 들어, Wi-Fi (IEEE 802.11 호환) 모뎀을 포함하는 디바이스, 칩, 시스템 온 칩 (SoC), 칩셋 또는 패키지일 수 있거나 또는 이를 포함할 수 있다. 일부 구현들에 있어서, 하나 이상의 모뎀들 (302) (집합적으로, "모뎀 (302)") 은 WWAN 모뎀 (예를 들어, 3GPP 4G LTE 또는 5G 호환 모뎀) 을 추가적으로 포함한다. 일부 구현들에 있어서, 무선 통신 디바이스 (300) 는 또한, 하나 이상의 라디오들 (304) (집합적으로, "라디오 (304)") 을 포함한다. 일부 구현들에 있어서, 무선 통신 디바이스 (306) 는 하나 이상의 프로세서들, 프로세싱 블록들 또는 프로세싱 엘리먼트들 (306) (집합적으로, "프로세서 (306)") 및 하나 이상의 메모리 블록들 또는 엘리먼트들 (308) (집합적으로, "메모리 (308)") 을 더 포함한다.

[0029] 모뎀 (302) 은, 다른 가능성들 중에서, 예를 들어, 주문형 집적 회로 (ASIC) 와 같은 지능형 하드웨어 블록 또는 디바이스를 포함할 수 있다. 모뎀 (302) 은 일반적으로 PHY 계층을 구현하도록 구성된다. 예를 들어, 모뎀 (302) 은 패킷들을 변조하고, 변조된 패킷들을 무선 매체 상으로의 송신을 위해 라디오 (304) 에 출력하도록 구성된다. 모뎀 (302) 은 라디오 (304) 에 의해 수신된 변조된 패킷들을 획득하고 그 패킷들을 복조하여 복조된 패킷들을 제공하도록 유사하게 구성된다. 변조기 및 복조기에 부가하여, 모뎀 (302) 은 디지털 신호 프로세싱 (DSP) 회로부, 자동 이득 제어 (AGC), 코더, 디코더, 멀티플렉서 및 디멀티플렉서를 더 포함할 수도 있다. 예를 들어, 송신 모드에 있는 동안, 프로세서 (306) 로부터 획득된 데이터는, 데이터를 인코딩하여 인코딩된 비트들을 제공하는 코더에 제공된다. 그 다음, 인코딩된 비트들은 (선택된 MCS 를 사용하여) 변조 콘스텔레이션에서의 포인트들에 맵핑되어, 변조된 심볼들을 제공한다. 그 다음, 변조된 심볼들은 공간 스트림들의 수 (N_{ss}) 또는 공간-시간 스트림들의 수 (N_{sts}) 에 맵핑될 수도 있다. 그 다음, 개별의 공간 또는 공간-시간 스트림들에서의 변조된 심볼들은 멀티플렉싱되고, 역 고속 푸리에 변환 (IFFT) 블록을 통해 변환되고, 후속하여 Tx 윈도우 및 필터링을 위해 DSP 회로부에 제공될 수도 있다. 그 다음, 디지털 신호들은 디지털-아날로그 컨버터 (DAC) 에 제공될 수도 있다. 그 다음, 결과적인 아날로그 신호들은 주파수 업컨버터, 및 궁극적으로, 라디오 (304) 에 제공될 수도 있다. 빔포밍을 수반하는 구현들에 있어서, 개별의 공간 스트림들에서의 변조된 심볼들은 IFFT 블록으로의 그들의 제공 전에 스티어링 행렬을 통해 프리코딩된다.

[0030] 수신 모드에 있는 동안, 라디오 (304) 로부터 수신된 디지털 신호들은, 예를 들어, 신호의 존재를 검출하고 초기 타이밍 및 주파수 오프셋들을 추정함으로써, 수신된 신호를 포착하도록 구성되는 DSP 회로부에 제공된다. DSP 회로부는, 예를 들어, 채널 (협대역) 필터링, (I/Q 불균형을 정정하는 것과 같은) 아날로그 손상 컨디셔닝, 및 궁극적으로 협대역 신호를 획득하기 위해 디지털 이득을 적용하는 것을 사용하여, 디지털 신호들을 디지털적으로 컨디셔닝하도록 추가로 구성된다. 그 다음, DSP 회로부의 출력은, 예를 들어, 하나 이상의 수신된

트레이닝 필드들에서 디지털 신호들로부터 추출된 정보를 사용하여 적절한 이득을 결정하도록 구성되는 AGC 에 공급될 수도 있다. DSP 회로부의 출력은 또한, 신호로부터 변조된 심볼들을 추출하고, 예를 들어, 각각의 공간 스트림에서 각각의 서브캐리어의 각각의 비트 포지션에 대한 로그 가능성 비율들(LLR들)을 계산하도록 구성되는 복조기와 커플링된다. 복조기는, 디코딩된 비트들을 제공하기 위해 LLR들을 프로세싱하도록 구성될 수도 있는 디코더와 커플링된다. 그 다음, 모든 공간 스트림들로부터의 디코딩된 비트들은 디멀티플렉싱을 위해 디멀티플렉서에 공급된다. 그 다음, 디멀티플렉싱된 비트들은 디스크램블링되고, 프로세싱, 평가, 또는 해석을 위해 MAC 계층(프로세서(306))에 제공될 수도 있다.

[0031]

라디오(304)는 일반적으로 하나 이상의 트랜시버들로 결합될 수도 있는 적어도 하나의 라디오 주파수(RF) 송신기(또는 "송신기 체인") 및 적어도 하나의 RF 수신기(또는 "수신기 체인")를 포함한다. 예를 들어, RF 송신기들 및 수신기들은, 각각, 적어도 하나의 전력 증폭기(PA) 및 적어도 하나의 저잡음 증폭기(LNA)를 포함하는 다양한 DSP 회로부를 포함할 수도 있다. RF 송신기들 및 수신기들은, 차례로, 하나 이상의 안테나들에 커플링될 수도 있다. 예를 들어, 일부 구현들에서, 무선 통신 디바이스(300)는 다수의 송신 안테나들(각각 대응하는 송신 체인을 가짐) 및 다수의 수신 안테나들(각각 대응하는 수신 체인을 가짐)을 포함하거나 또는 이들과 커플링될 수 있다. 모뎀(302)으로부터 출력된 심볼들은 라디오(304)에 제공되고, 이 라디오는, 그 다음, 커플링된 안테나들을 통해 심볼들을 송신한다. 유사하게, 안테나들을 통해 수신된 심볼들은 라디오(304)에 의해 획득되고, 이 라디오는, 그 다음, 그 심볼들을 모뎀(302)에 제공한다.

[0032]

프로세서(306)는, 예를 들어, 프로세싱 코어, 프로세싱 블록, 중앙 프로세싱 유닛(CPU), 마이크로프로세서, 마이크로제어기, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래밍가능 게이트 어레이(FPGA)와 같은 프로그래밍가능 로직 디바이스(PLD), 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에서 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합과 같은 지능형 하드웨어 블록 또는 디바이스를 포함할 수 있다. 프로세서(306)는 라디오(304) 및 모뎀(302)을 통해 수신된 정보를 프로세싱하고, 무선 매체를 통한 송신을 위해 모뎀(302) 및 라디오(304)를 통해 출력될 정보를 프로세싱한다. 예를 들어, 프로세서(306)는 MPDU들, 프레임들 또는 패킷들의 생성 및 송신에 관련된 다양한 동작들을 수행하도록 구성된 제어 평면 및 MAC 계층을 구현할 수도 있다. MAC 계층은, 다른 동작들 또는 기법들 중에서, 프레임들의 코딩 및 디코딩, 공간 멀티플렉싱, 공간-시간 블록 코딩(STBC), 빔포밍, 및 OFDMA 리소스 할당을 수행하거나 또는 용이하게 하도록 구성된다. 일부 구현들에 있어서, 프로세서(306)는 일반적으로, 모뎀으로 하여금 상기 설명된 다양한 동작들을 수행하게 하도록 모뎀(302)을 제어할 수도 있다.

[0033]

메모리(304)는 랜덤 액세스 메모리(RAM) 또는 판독 전용 메모리(ROM), 또는 이들의 조합들과 같은 유형의 저장 매체들을 포함할 수 있다. 메모리(304)는 또한, 프로세서(306)에 의해 실행될 경우, 프로세서로 하여금, MPDU들, 프레임들 또는 패킷들의 생성, 송신, 수신 및 해석을 포함하는, 무선 통신을 위해 본 명세서에서 설명된 다양한 동작들을 수행하게 하는 명령들을 포함하는 비일시적 프로세서-또는 컴퓨터-실행가능 소프트웨어(SW) 코드를 저장할 수 있다. 예를 들어, 본 명세서에 개시된 컴포넌트들의 다양한 기능들, 또는 본 명세서에 개시된 방법, 동작, 프로세스 또는 알고리즘의 다양한 블록들 또는 단계들은 하나 이상의 컴퓨터 프로그램들의 하나 이상의 모듈들로서 구현될 수 있다.

[0034]

도 4a는 예시적인 AP(402)의 블록 다이어그램을 도시한다. 예를 들어, AP(402)는 도 1을 참조하여 설명된 AP(102)의 예시적인 구현일 수 있다. AP(402)는(AP(402) 자체가, 본 명세서에서 사용된 바와 같은 무선 통신 디바이스로서 일반적으로 또한 지칭될 수도 있지만) 무선 통신 디바이스(WCD)(410)를 포함한다. 예를 들어, 무선 통신 디바이스(410)는 도 3을 참조하여 설명된 무선 통신 디바이스(300)의 예시적인 구현일 수도 있다. AP(402)는 또한, 무선 통신물들을 송신 및 수신하기 위해 무선 통신 디바이스(410)와 커플링된 다수의 안테나들(420)을 포함한다. 일부 구현들에 있어서, AP(402)는 무선 통신 디바이스(410)와 커플링된 애플리케이션 프로세서(430), 및 애플리케이션 프로세서(430)와 커플링된 메모리(440)를 추가적으로 포함한다. AP(402)는 AP(402)가 인터넷을 포함한 외부 네트워크들에 대한 액세스를 획득하기 위해 코어 네트워크 또는 백홀 네트워크와 통신할 수 있게 하는 적어도 하나의 외부 네트워크 인터페이스(450)를 더 포함한다. 예를 들어, 외부 네트워크 인터페이스(450)는 유선(예를 들어, 이더넷) 네트워크 인터페이스 및 무선 네트워크 인터페이스(예를 들어, WWAN 인터페이스) 중 하나 또는 양자 모두를 포함할 수도 있다. 전술한 컴포넌트들 중의 컴포넌트들은 적어도 하나의 버스 상으로, 직접 또는 간접적으로 컴포넌트들 중의 다른 컴포넌트들과 통신할 수 있다. AP(402)는 무선 통신 디바이스(410), 애플리케이션 프로세서(430), 메모리(440) 및 안테나들(420) 및 외부 네트워크 인터페이스(450)의 적어도 부분들을 포함하는 하우징을 더 포함한다.

[0035] 도 4b 는 예시적인 STA (404) 의 블록 다이어그램을 도시한다. 예를 들어, STA (404) 는 도 1 을 참조하여 설명된 STA (104) 의 예시적인 구현일 수 있다. STA (404) 는 (STA (404) 자체가, 본 명세서에서 사용된 바와 같은 무선 통신 디바이스로서 일반적으로 또한 지칭될 수도 있지만) 무선 통신 디바이스 (415) 를 포함한다. 예를 들어, 무선 통신 디바이스 (415) 는 도 3 을 참조하여 설명된 무선 통신 디바이스 (300) 의 예시적인 구현일 수도 있다. STA (404) 는 또한, 무선 통신물들을 송신 및 수신하기 위해 무선 통신 디바이스 (415) 와 커플링된 하나 이상의 안테나들 (425) 을 포함한다. STA (404) 는 무선 통신 디바이스 (415) 와 커플링된 애플리케이션 프로세서 (435), 및 애플리케이션 프로세서 (435) 와 커플링된 메모리 (445) 를 추가적으로 포함한다. 일부 구현들에서, STA (404) 는 (터치스크린 또는 키패드와 같은) 사용자 인터페이스 (UI) (455) 및 터치스크린 디스플레이를 형성하기 위해 UI (455) 와 통합될 수도 있는 디스플레이 (465) 를 더 포함한다. 일부 구현들에서, STA (404) 는, 예를 들어, 하나 이상의 관성 센서들, 가속도계들, 온도 센서들, 압력 센서들, 또는 고도 센서들과 같은 하나 이상의 센서들 (475) 을 더 포함할 수도 있다. 전술한 컴포넌트들 중의 컴포넌트들은 적어도 하나의 버스 상으로, 직접 또는 간접적으로 컴포넌트들 중의 다른 컴포넌트들과 통신할 수 있다. STA (404) 는 무선 통신 디바이스 (415), 애플리케이션 프로세서 (435), 메모리 (445), 및 안테나들 (425), UI (455), 및 디스플레이 (465) 의 적어도 부분들을 포함하는 하우징을 더 포함한다.

[0036] 송신 및 수신 디바이스들은 데이터를 송신 및 수신하기 위해 다양한 변조 및 코딩 방식 (Modulation and Coding Scheme; MCS) 의 사용을 지원하여, 무선 채널 조건들을 최적으로 활용할 수 있어, 예를 들어 스루풋을 증가시키거나 레이턴시를 감소시키거나 또는 여러 서비스 품질 파라미터 (QoS) 파라미터를 강화할 수도 있다. 예를 들어, 기존 기술은 최대 1024-QAM 의 사용을 지원하며, 4096-QAM ("4k QAM" 으로서 또한 지칭됨) 이 또한 구현될 것으로 예상된다. 1024-QAM 및 4096-QAM 은 다른 MCS들 중에서, 저밀도 패리티 검사 (LDPC) 인코딩의 사용을 수반한다. 예를 들어, 송신 디바이스의 PHY 계층은 PSDU 의 형태로 송신 디바이스의 MAC 계층으로부터 하나 이상의 MPDU들 또는 A-MPDU들을 수신할 수도 있다. PSDU 는 다수의 코드 블록들로 배열될 수도 있고, 이들 각각은 정보 비트들의 형태로 MPDU들 중 하나 이상의 일부 또는 전부를 나타내는 프라이머리 정보 (또는 "시스템마틱 정보") 를 포함한다. 코드 블록에서의 정보 비트들 (본 명세서에서 "진폭 비트들" 로서 또한 지칭됨) 의 일부는 변조되어 수신 디바이스에 송신될 심볼들의 진폭들을 결정하는데 사용된다. LDPC 인코딩 동작은, 예를 들어, 순방향 에러 정정을 위한 중복성을 부가하기 위해 데이터 비트들을 인코딩하도록 코드 블록에서의 정보 비트들에 대해 수행될 수도 있다. LDPC 인코딩은 시스템마틱 인코딩의 예이기 때문에, LDPC 인코딩 동작은 데이터 비트들을 변경하지 않고; 오히려, LDPC 인코더로부터 출력된 진폭 비트들은 LDPC 인코더에 입력된 진폭 비트들과 동일하다. 즉, 변조에 사용된 진폭 비트들의 값들은 초기 코드 블록으로부터 직접 기원한다.

[0037] 실제의 무선 채널들은 일반적으로, 데이터가 통신될 수 있는 최대 레이트에 대한 한계를 부여하는 잡음을 포함한다. Shannon-Hartley 정리는 링크의 절대 채널 용량, 즉 잡음의 존재 시 특정 대역폭 상으로 송신될 수 있는 단위 시간 당 에러 없는 정보의 최대량을 나타내는 상계 또는 상한 ("Shannon 경계" 로서 지칭됨) 을 확립한다. 하기의 식 (1) 은 Shannon-Hartley 정리의 하나의 표현을 나타낸다.

$$C = B \log_2(1 + SNR) \quad (1)$$

[0038] 식 (1) 에서, C 는 초당 비트 단위의 채널 용량을 나타내고, B 는 헤르츠 단위의 대역폭을 나타내고, SNR 은 평균 수신 신호 전력 대 잡음 및 간섭의 평균 전력의 비로서 정의되는 신호 대 잡음비를 나타낸다. 그러나, LDPC 인코딩으로 실현가능한 채널 용량은 높은 MCS들에 대해서도 Shannon 경계에 대한 상당한 갭을 보여준다. 추가적으로, 1024-QAM 및 4096-QAM 을 포함하는 높은 MCS들을 사용할 수 있게 하기 위해, 높은 SNR 이 요구되지만, 그러한 높은 MCS들에 필요한 SNR들을 획득하기가 어려울 수도 있다.

[0040] 다양한 양태들은 일반적으로 원하는 진폭 분포를 달성하기 위해 무선 통신을 위한 데이터를 인코딩하는 것에 관한 것으로, 보다 구체적으로는, 진폭들이 불균일 분포를 갖도록 결과적인 심볼들의 진폭들을 셰이핑하기 위해 고정된-길이 정보 블록의 정보 비트들에 대해 제 1 인코딩 동작을 수행하는 것에 관한 것이다. 불균일 분포의 일부 양태들에서, 개별의 진폭들과 연관된 확률들은 일반적으로 진폭의 감소에 따라 증가한다. 예를 들어, 심볼들의 진폭들의 불균일 분포는 대략 Gaussian 일 수도 있다. 일부 양태들에서, 제 1 인코딩 동작은 더 낮은 진폭을 갖는 심볼들로 정보 비트들을 인코딩하는 것과 연관된 확률이 더 높은 진폭을 갖는 심볼들로 정보 비트들을 인코딩하는 것과 연관된 확률보다 더 크도록, 정보 비트들의 하나 이상의 패턴들을 진폭-셰이핑된 비트들의 하나 이상의 패턴들에 맵핑하는 프리픽스 인코딩 동작이거나 이를 포함한다. 일부 양태들에서, 제

1 인코딩 동작은 또한, 세이핑되지 않은 비트들의 수와 조합된 진폭 세이핑된 비트들의 수가 최대 페이로드 길이 이하로 될 때까지 정보 비트들을 반복적으로 인코딩하는 것에 의해 적어도 부분적으로 그 출력에서 고정된 길이 정보 블록을 실현할 수도 있다.

[0041] 본 개시에 설명된 청구물의 특정 구현들은 다음의 잠재적인 이점들 중 하나 이상을 실현하도록 구현될 수 있다.

일부 구현들에서, 설명된 기법들은, 예를 들어, 결과적인 진폭 분포들이 대략 Gaussian 이 되도록 진폭들을 인코딩함으로써, 송신 디바이스에 의해 실제로 달성가능한 채널 용량과 이론적인 Shannon 경계 사이의 갭을 좁히는데 사용될 수 있다. 본 구현들에서, 패킷 길이는 진폭 세이핑 동작이 고정된 코딩 레이트를 유지하는 것을 강제함이 없이 고정된 사이즈로 유지될 수도 있다. 진폭 세이핑 이전 또는 이후의 고정된 정보 블록 길이를 유지하는 것에 의해, 본 개시의 양태들은 진폭 세이핑 동작을 먼저 수행할 필요 없이 MAC 층이 (정수 개의 심볼들을 생성하도록) 정보 블록에 첨가될 패딩 비트들의 수를 결정할 수 있게 한다. 또한, 진폭 세이핑 동작의 가변 코딩 레이트를 보존하는 것에 의해, 본 개시의 양태들은 진폭-세이핑 비트들의 최적의 인코딩을 지원할 수도 있다.

[0042] 도 5 는 일부 구현들에 따른 진폭 세이핑을 지원하는 무선 통신을 위한 예시적인 프로세스 (500) 를 예시하는 플로우차트를 도시한다. 프로세스 (500) 의 동작들은 본 명세서에서 설명된 바와 같은 송신 디바이스 또는 그 컴포넌트들에 의해 구현될 수도 있다. 예를 들어, 프로세스 (500) 는 도 3 를 참조하여 설명된 무선 통신 디바이스 (300) 와 같은 무선 통신 디바이스에 의해 수행될 수도 있다. 일부 구현들에서, 프로세스 (500) 는, 각각 도 1 및 도 4a 를 참조하여 설명된 AP들 (102 및 402) 중 하나와 같은, AP 로서 또는 그 내에서 동작하는 무선 통신 디바이스에 의해 수행될 수도 있다. 일부 다른 구현들에서, 프로세스 (500) 는, 각각 도 1 및 도 4b 를 참조하여 설명된 STA들 (104 및 404) 중 하나와 같은, STA 로서 또는 그 내에서 동작하는 무선 통신 디바이스에 의해 수행될 수도 있다.

[0043] 블록 (502) 에서, 무선 통신 디바이스는 복수의 심볼들의 진폭들을 표시하는 복수의 진폭-세이핑된 비트들을 생성하는 제 1 인코딩 동작을 복수의 진폭 비트들에 대해 수행한다. 일부 구현들에서, 제 1 인코딩 동작은 진폭들이 불균일 분포를 갖도록 복수의 진폭-세이핑된 비트들을 생성하기 위해 복수의 진폭 비트들을 인코딩한다.

블록 (504) 에서, 무선 통신 디바이스는 복수의 진폭-세이핑된 비트들에 적어도 부분적으로 기초하여 복수의 진폭-세이핑된 비트들 및 복수의 패리티 비트들을 포함하는 코드워드를 생성하는 제 2 인코딩 동작을 복수의 진폭-세이핑된 비트들에 대해 수행한다. 블록 (506) 에서, 무선 통신 디바이스는 복수의 진폭-세이핑된 비트들 및 복수의 패리티 비트들을 복수의 심볼들로 배열하고, 심볼들의 각각의 개별의 진폭은 심볼에 정렬된 개별의 진폭-세이핑된 비트들에 적어도 부분적으로 기초한다. 블록 (508) 에서, 무선 통신 디바이스는 복수의 서브캐리어들 상에서 복수의 심볼들을 무선 패킷으로 적어도 하나의 수신 디바이스로 송신한다.

[0044] 일부 구현들에서, 블록 (502) 에서의 제 1 인코딩 동작 (본 명세서에서 "진폭-세이핑 인코딩 동작" 또는 간단히 "진폭 세이핑 동작" 으로서 또한 지칭됨) 의 수행은, 심볼들의 진폭들의 불균일 분포가 개별의 진폭들과 연관된 확률들이 일반적으로 진폭의 감소에 따라 증가하는 분포가 되도록 복수의 진폭-세이핑된 비트들을 생성하기 위해 복수의 진폭 비트들을 인코딩한다. 예를 들어, 불균일 분포는 변조 콘스텔레이션의 중심점 (0,0) 에 대하여 센터링되는 대략 가우시안일 수도 있다. 위에 설명된 바와 같이, 이러한 진폭 세이핑은 SNR 및 채널 용량을 증가시키는데 사용될 수도 있어 더 큰 스루풋을 가능하게 한다.

[0045] 일부 구현들에서, 블록 (502) 에서 제 1 인코딩 동작을 수행하기 전에, 무선 통신 디바이스의 MAC 계층은 복수의 MPDU들을 포함하는 A-MPDU 를 생성한다. 각각의 MPDU 는 복수의 제어 비트들 또는 복수의 시그널링 비트들 (예를 들어, MAC 시그널링 비트들) 에 더하여 복수의 정보 비트들 (또한 "페이로드 비트들"로서 지칭됨) 을 포함하는 복수의 데이터 비트들을 포함한다. 제 1 인코딩 동작은 블록 (502) 에서 MPDU들에서의 데이터 비트들의 전부 또는 서브세트에 대해 수행될 수도 있다. 예를 들어, 각각의 MPDU 에서의 정보 비트들은 심볼들의 진폭들을 결정하기 위해 사용될 복수의 비트들 (진폭 비트들) 일 수도 있거나, 또는 이들을 포함할 수도 있다. 일부 구현들에서, 제 1 인코딩 동작은 블록 (502) 에서 진폭 비트들에 대해서만 수행될 수도 있다.

추가적으로, 일부 구현들에서, 복잡성을 감소시키기 위해 또는 유효 결과적인 코딩 레이트 때문에, 블록 (502) 에서, 예를 들어, 진폭 비트들의 최상위 비트들 (MSB들) 에 대해서만 제 1 인코딩 동작을 수행하는 것이 충분하거나 또는 유리할 수도 있다 (예를 들어, 4 개의 비트들이 심볼의 진폭 컴포넌트를 인코딩하는데 일반적으로 사용되면, MSB들의 수는 각각의 심볼당 3 개일 수도 있다). 그러한 구현들에서, 제 1 인코딩 동작은 진폭 비트들의 나머지 최하위 비트들 (LSB들) 에 대해 수행되지 않는다.

[0046] 송신을 위해 선택된 MCS 에 기초하여, PHY 계층은 MPDU들에서의 데이터 비트들을 (블록 (502) 에서 제 1 인코딩

동작을 수행하기 전이나 또는 후에) M 개의 심볼들을 사용하여 송신될 코드 블록들로 패키징할 수도 있다. M 개의 심볼들의 각각은 궁극적으로 심볼의 적어도 하나의 진폭을 표시하는 n 개의 진폭 비트들의 세트를 포함한다. 일부 구현들에서, 각각의 심볼에 대한 n 개의 진폭 비트들의 세트의 제 1 $n/2$ 개의 비트들은 변조 콘스텔레이션의 실수 축을 따른 심볼의 진폭의 제 1 진폭 성분을 표시할 수도 있고, M 개의 심볼들의 각각의 심볼에 대한 n 개의 진폭 비트들의 세트의 제 2 $n/2$ 개의 비트들은 변조 콘스텔레이션의 허수 축을 따른 심볼의 진폭의 제 2 진폭 성분을 표시할 수도 있다. 이와 같이, 각각의 심볼의 제 1 (실수) 진폭 성분에 대해 $2^{n/2}$ 개의 가능한 제 1 진폭 레벨들, 및 각각의 심볼의 제 2 (허수) 진폭 성분에 대해 $2^{n/2}$ 개의 가능한 제 2 진폭 레벨들이 있을 수도 있다.

[0047] M 개의 심볼들의 각각은 개별의 진폭의 부호를 표시하는 진폭 성분들의 각각에 대한 부호 비트를 더 포함할 수도 있다. 예를 들어, QAM 을 사용할 때, 각각의 QAM 심볼에 대한 부호 비트들의 쌍의 제 1 부호 비트는 실수 축을 따른 개별의 제 1 진폭 성분 (동위상 (i) 성분) 이 양인지 또는 음인지 여부를 표시할 수도 있고, 부호 비트들의 쌍의 제 2 부호 비트는 허수 축을 따른 개별의 제 2 진폭 성분 (직교 (q) 성분) 이 양인지 또는 음인지 여부를 표시할 수도 있다. 이와 같이, 제 1 및 제 2 진폭 성분들은 개별의 QAM 심볼의 전체 진폭을 제공하기 위해 결합되고, 제 1 및 제 2 부호 비트들은 전체 진폭이 있는 변조 콘스텔레이션의 사분면 (quadrant) 을 표시하기 위해 결합된다. 예를 들어, 1024-QAM 을 사용할 때, 각각의 심볼은 10 개의 인코딩된 비트들을 포함할 수도 있고, 여기서 비트들 중 처음 4 개는 제 1 (실수) 진폭을 표시하고, 비트들의 다른 4 개는 제 2 (허수) 진폭을 표시하고, 비트들의 다른 하나는 제 1 진폭의 부호 (양 또는 음) 를 표시하고, 비트들 중 다른 하나는 제 2 진폭의 부호 (양 또는 음) 를 표시한다.

[0048] 도 6a 및 도 6b 는 일부 구현들에 따른 진폭 셰이핑을 지원하는 플로우 (600) 의 다이어그램을 도시한다. 예를 들어, 플로우 (600) 는 프로세스 (500) 의 양태들을 예시할 수도 있다. 예시된 예에서, 셰이핑 인코더 (610) 가 블록 (502) 에서 제 1 인코딩 동작을 수행할 복수의 진폭 비트들을 획득하기 위해 정보 블록 (602) 이 프리-셰이핑 파서 (604) 에 제공된다. 예를 들어, 프리-셰이핑 파서 (604) 는 정보 블록 (602) 에서 부호 비트들 (608) 로부터 진폭 비트들 (706) 을 분리하거나 또는 분할할 수도 있다. 일부 구현들에서, 파서는 또한 진폭 비트들을 MSB들 (606a) 및 LSB들 (606b) 로 분리하거나 또는 분할한다. 일부 구현들에서, 셰이핑 인코더 (610) 에 제공된 복수의 진폭 비트들은 진폭 비트들 (706) 의 MSB들 (606a) 만을 포함한다. 일부 다른 구현들에서, 복수의 진폭 비트들은 진폭 비트들 (706) 모두를 포함할 수도 있다. 예시된 예에서, 셰이핑 인코더 (610) 는 진폭-셰이핑된 비트들 (612) 을 생성하기 위해 블록 (502) 에서 MSB들 (606a) 에 대해 제 1 인코딩 동작을 수행한다.

[0049] 일부 구현들에서, 블록 (502) 에서 제 1 인코딩 동작을 수행하기 위해, 그리고 특히, 제 1 및 제 2 진폭 성분들을 표시하는 n 개의 진폭 비트들의 세트 (1024-QAM 예에서 8 개) 를 획득하기 위해, 프리-셰이핑 파서 (604) (또는 셰이핑 인코더 (610) 자체) 는 복수의 진폭 비트들 (예를 들어, MSB들 (606a)) 을, 코딩될 때 심볼들에 대한 제 1 진폭 성분을 정의할 진폭 비트들의 제 1 스트림, 및 코딩될 때 심볼들에 대한 제 2 진폭 성분들을 정의할 진폭 비트들의 제 2 스트림으로 추가로 파싱할 수도 있다. 예를 들어, 일부 구현들에서 QAM 플로우는 2 개의 독립적인 펄스 진폭 변조 (PAM) 플로우들을 통해 구현된다. 일부 그러한 구현들에서, 셰이핑 인코더 (610) 는 (궁극적으로 QAM 심볼 스트림을 획득하기 위해 제 1 PAM 심볼 스트림과 결합될 수도 있는) 제 2 PAM 심볼 스트림을 제공하기 위해 진폭 비트들의 제 2 스트림에 대해 제 1 인코딩 동작을 독립적으로 수행하는 것과 병렬로 제 1 PAM 심볼 스트림을 제공하기 위해 진폭 비트들의 제 1 스트림에 대해 제 1 인코딩 동작을 수행할 수도 있다.

[0050] 일부 구현들에서, 블록 (502) 에서의 제 1 인코딩 동작의 수행은, 진폭-셰이핑된 비트들 (612) 이 셰이핑 인코더 (610) 에 입력된 복수의 진폭 비트들보다 더 많은 비트들을 포함하도록 진폭-셰이핑된 비트들 (612) 을 생성하기 위해 복수의 진폭 비트들 (도 6a 및 도 6b 의 예에서 MSB들 (606a)) 에 중복성을 부가한다. 중복성을 부가함으로써, 셰이핑 인코더 (610) 는 연관된 심볼들의 진폭들이 불균일 분포, 및 구체적으로는, 개별의 진폭들과 연관된 확률들이 일반적으로 Gaussian 분포와 같이, 진폭의 감소에 따라 증가하는 분포를 갖도록 진폭-셰이핑된 비트들 (612) 을 생성하기 위해 MSB들 (606a) 을 인코딩할 수도 있다.

[0051] 일부 구현들에서, 블록 (502) 에서 수행된 제 1 인코딩 동작은 프리픽스 인코딩 동작이거나 또는 이를 포함한다. 일부 그러한 구현들에서, 블록 (502) 에서의 프리픽스 인코딩 동작의 수행은, M 개의 심볼들의 각각의 심볼에 대해, 그리고 제 1 (실수) 및 제 2 (허수) 진폭 성분들의 각각에 대해, 다양한 길이들의 비트 값들의 $2^{b/2}$ 개의 패턴들의 세트의 하나 이상의 패턴들을 셰이핑 인코더 (610) 에 입력된 복수의 진폭 비트들의 비

트들과 비교하는 것을 포함한다. 다시, 그러한 구현들에서, 셰이핑 인코더 (706) 에 제공된 복수의 진폭 비트들이 코드 블록에서의 모든 데이터 비트들을 포함하면 b 는 n 과 동일하다. 그러나, 복수의 진폭 비트들이 코드 블록에서의 데이터 비트들의 전부 미만, 예를 들어, 진폭 비트들 (706) 의 MSB들 (606a) 만을 포함하면, b 는 각각의 심볼에 대한 n 개의 비트들의 MSB들의 수와 동일할 수도 있다. 패턴들의 세트에서의 패턴들의 각각은 $2^{b/2}$ 개의 가능한 제 1 (실수) 진폭 레벨들 또는 $2^{b/2}$ 개의 가능한 제 2 (허수) 진폭 레벨들의 개별의 진폭 레벨과 연관될 수도 있다. 이러한 방식으로, 진폭 레벨들의 각각은 확률 질량 함수와 연관된 개별의 발생 확률과 연관된다. 일부 구현들에서, 패턴들의 세트 및 연관된 확률 질량 함수는 Huffman 알고리즘에 기초한다. 일부 구현들에서, 확률 질량 함수는 이진성 (dyadic) 이며, 즉, 확률 질량 함수에서의 모든 확률들이 음의 2 의 거듭제곱으로 된다.

[0052] 예를 들어, 셰이핑 인코더 (610) 는 확률 질량 함수를 구현하는 패턴들의 세트를 포함하는 룩업 테이블 (LUT) 에 복수의 진폭 비트들의 비트들 (예를 들어, MSB들 (606a)) 을 입력할 수도 있다. 일부 그러한 구현들에서, 셰이핑 인코더 (610) 는 진폭 비트들의 제 1 스트림에 기초하여 제 1 PAM 심볼 스트림에 대한 제 1 (실수) 진폭 성분들을 결정하기 위한 제 1 LUT, 및 진폭 비트들의 제 2 스트림에 기초하여 제 2 PAM 심볼 스트림에 대한 제 2 (허수) 성분들을 결정하기 위한 제 2 LUT 를 포함한다. 제 1 및 제 2 LUT들은 일부 구현들에서 초기에 동일할 수도 있지만; 그러나, 아래 설명된 바와 같이, 프리픽스 인코딩 동작이 블록 (502) 에 진행할 때 제 1 및 제 2 LUT들은 더 바람직한 LUT 에 대해 각각 독립적으로 동적으로 조정될 수도 또는 스위칭 아웃될 수도 있다.

[0053] 도 7 은 일부 구현들에 따른 진폭 셰이핑을 지원하는 예시적인 LUT (700) 를 도시한다. 예시된 예에서, LUT (700) 는 8 개의 행들 (702a-702h) 을 포함하고, 각각의 행은 확률 질량 함수와 연관된 8 개의 진폭 레벨들 중 개별의 하나에 대응하는 비트 값들의 패턴을 표시한다. 예를 들어, 제 1 (가장 낮은) 진폭 레벨과 연관된 제 1 행 (702a) 은 1/4 의 발생 확률과 연관된 제 1 비트 값들의 패턴 00 을 포함하고, 제 2 진폭 레벨과 연관된 제 2 행 (702b) 은 1/4 의 발생 확률과 연관된 제 2 비트 값들의 패턴 01 을 포함하고, 제 3 진폭 레벨과 연관된 제 3 행 (702c) 은 1/8 의 발생 확률과 연관된 제 3 비트 값들의 패턴 111 을 포함하고, 제 4 진폭과 연관된 제 4 행 (702d) 은 1/8 의 발생 확률과 연관된 제 4 비트 값들의 패턴 100 을 포함하고, 제 5 진폭과 연관된 제 5 행 (702e) 은 1/8 의 발생 확률과 연관된 제 5 비트 값들의 패턴 101 을 포함하고, 제 6 진폭 레벨과 연관된 제 6 행 (702f) 은 1/16 의 발생 확률과 연관된 제 6 비트 값들의 패턴 1101 을 포함하고, 제 7 진폭 레벨과 연관된 제 7 행 (702g) 은 1/32 의 발생 확률과 연관된 제 7 비트 값들의 패턴 11000 을 포함하고, 제 8 (가장 높은) 진폭 레벨과 연관된 제 8 행 (702h) 은 1/32 의 발생 확률과 연관된 제 8 비트 값들의 패턴 11001 을 포함한다.

[0054] 일부 구현들에서, 블록 (502) 에서의 프리픽스 인코딩 동작의 수행은 복수의 진폭 비트들의 비트들 (예를 들어, MSB들 (606a)) 과 패턴들 중 하나 사이의 매칭을 식별하는 것을 더 포함한다. 예를 들어, 셰이핑 인코더 (610) 는 복수의 진폭 비트들의 연속적인 비트들을 LUT (700) 에서의 패턴들과 비교할 수도 있다. 일반적으로, LUT (700) 에 입력되어 매칭되는 각각의 추가적인 데이터 비트에 의해, 가능한 매칭 패턴들의 수는 패턴들 중 하나만이 남겨질때까지 감소하며, 이는 그 후, 셰이핑 인코더 (610) 에 의해 선택된다. 즉, 셰이핑 인코더 (610) 는, 블록 (502) 에서, 진폭 비트들의 개별의 스트림의 다음 연속적인 입력 비트들의 수들을 LUT (700) 에서의 개별의 패턴들 중 하나, 일부 또는 전부와 비교할 수도 있다. 예를 들어, 셰이핑 인코더 (610) 는 처음 2 개의 비트들을 행들 (702a 및 702b) 에서의 패턴들 중 하나 또는 양자 모두와, 처음 3 개의 비트들을 행들 (702c, 702d 및 702e) 에서의 패턴들 중 하나, 2 개 또는 전부와, 처음 4 개의 비트들을 행 (702f) 에서의 패턴과, 또는 처음 5 개의 비트들을 행들 (702g 및 702h) 에서의 패턴들 중 하나 또는 양자 모두와 비교할 수도 있다. 매칭을 찾는 것에 응답하여, 셰이핑 인코더 (610) 는 개별의 패턴과 연관된 진폭 레벨을 표시하는 개별의 PAM 심볼에 대한 $b/2$ 개의 진폭-셰이핑된 비트들 (612) 의 세트를 출력할 수도 있다. 일부 구현들에서, 셰이핑 인코더 (610) 는 일반적으로 하기의 식 (2) 에서 정의된 바와 같이 PAM 심볼 당 진폭-셰이핑된 비트들 (612) 의 평균 수를 출력할 수도 있다.

[0055]

$$\text{비트들의 \#} = \sum_k -p_k \log_2 p_k$$

[0056] 식 (2) 에서, p_k 는 입력 데이터 비트들의 개별의 수 k 와 연관된 확률이다. 예를 들어, LUT (700) 와 연관된 확률 질량 함수에 기초하여, PAM 심볼 당 출력된 진폭-셰이핑된 비트들 (612) 의 수는 2.6875 비트들일 것이

고; 즉, 8 개의 상이한 진폭 레벨들을 인코딩하기 위한 유효 코딩 레이트는 3 으로부터, 진폭 셰이핑의 결과로서 통상적으로 요구되는 2.6875 까지 감소될 것이다.

[0057] 상기 설명된 바와 같이, 진폭-셰이핑된 비트들 (612) 을 생성하기 위해 블록 (502) 에서 복수의 진폭 비트들 (예를 들어, MSB들 (606a)) 에 대해 제 1 인코딩 동작을 수행한 후에, 제 2 인코딩 동작이 그 후, 블록 (504) 에서 진폭-셰이핑된 비트들 (612) 에 대해 수행될 수도 있다. 예를 들어, 제 2 인코더 (616) 는 진폭-셰이핑된 비트들 (612) 을 포함하는 코드 블록을 수신하고, 제 2 복수의 코딩된 데이터 비트들 (620) 을 포함하는 코드워드 (618) 를 생성하기 위해 코드 블록에 대해 블록 (504) 에서 제 2 인코딩 동작을 수행할 수도 있다. 예시된 예에서, 제 2 인코더 (616) 는 (MSB들 (606a) 에 기초하여) 진폭-셰이핑된 비트들 (612) 에 대해 뿐만 아니라 LSB들 (606b) 및 부호 비트들 (608) 에 대해 블록 (504) 에서 제 2 인코딩 동작을 수행한다. 추가적으로, 셰이핑 인코더가 시그널링 비트들 (614) 을 생성하는 구현들에서, 그러한 시그널링 비트들은 또한 제 2 인코더 (616) 에 입력되고 블록 (504) 에서의 제 2 인코딩 동작에서 인코딩될 수도 있다.

[0058] 일부 구현들에서, 제 2 인코더 (616) 는 제 2 인코더 (616) 로부터 출력된 비트들이 제 2 인코더에 입력된 비트들에 매칭하도록 블록 (504) 에서 시스템atic 인코딩 동작을 수행하는 시스템atic 인코더이다. 예를 들어, 일부 그러한 구현들에서, 수행된 제 2 인코딩 동작은 저밀도 패리티 검사 (LDPC) 인코딩 동작이거나 또는 이를 포함한다 (그리고 이와 같이, 제 2 인코더 (616) 는 이하 "LDPC 인코더 (616)" 로서 지칭될 수도 있다). 이와 같이, 결과적인 제 2 복수의 코딩된 데이터 비트들 (620) 은 진폭-셰이핑된 비트들 (612), LSB들 (606b), 부호 비트들 (608) 및 시그널링 비트들 (614) 을 포함할 수도 있다.

[0059] 블록 (504) 에서의 LDPC 인코딩 동작의 수행은, 예를 들어, 진폭-셰이핑된 비트들 (612), LSB들 (606b), 부호 비트들 (608) 및 시그널링 비트들 (614) 에 기초하여 복수의 패리티 비트들 (622) 을 생성함으로써, 데이터에 중복성을 추가한다. 패리티 비트들 (622) 은 데이터를 변경하지 않고, 예를 들어, 순방향 여러 정정 목적들을 위해, 데이터에 중복성을 추가한다. 이와 같이, LDPC 인코더 (616) 에 입력된 각각의 코드 블록에 대해, 결과적인 코드워드 (618) 는 진폭-셰이핑된 비트들 (612), LSB들 (606b), 부호 비트들 (608) 및 시그널링 비트들 (614) (집합적으로 제 2 복수의 코딩된 데이터 비트들 (620)) 을 포함하는 시스템atic 부분, 및 패리티 비트들 (622) 을 포함하는 패리티 부분을 포함한다.

[0060] 코드워드 (618) 를 생성하기 위해 블록 (504) 에서 제 2 인코딩 동작을 수행할 때, 무선 통신 디바이스는 블록 (506) 에서, 각각의 심볼이 변조 컨스텔레이션에서의 진폭을 표시하는 n 개의 비트들의 세트를 포함하도록 제 2 복수의 코딩된 데이터 비트들 (620) 및 복수의 패리티 비트들 (622) 의 비트들을 M 개의 (예를 들어, QAM) 심볼들 (626) 로 오더링 (또는 "배열") 한다. 예를 들어, 도 6b 에 도시된 바와 같이, 오더링 (또는 "리오더링") 모듈 (624) 은 코드워드 (618) 를 수신하고 진폭-셰이핑된 비트들 (612), LSB들 (606b), 부호 비트들 (608) 및 패리티 비트들 (622) 로부터의 비트들을 M 개의 심볼들 (626) 로 배열할 수도 있다. 일부 그러한 구현들에서, 오더링 모듈 (624) 은 제 1 및 제 2 PAM 심볼 스트림들 양자 모두와 연관된 진폭-셰이핑된 비트들 (612), LSB들 (606b), 부호 비트들 (608) 및 패리티 비트들 (622) 을 수신하고 그들을 단일의 QAM 심볼 스트림으로 리오더링한다. 각각의 심볼 (626) 이 $b=6$ 이 MSB들인 $n=8$ 개의 진폭 비트들을 포함하는 10 개의 비트들을 포함하는 하나의 1024-QAM 예에서, 오더링 모듈 (624) 은 심볼들 (626) 의 각각에 대해, 코드워드 (618) 로부터, 제 1 (실수) 진폭 성분을 획득하기 위해 진폭 비트들의 제 1 스트림과 연관된 LSB들 (606b) 로부터의 진폭 비트 뿐만 아니라 진폭 비트들의 제 1 스트림으로부터 인코딩된 진폭-셰이핑된 비트들 (612) 로부터의 3 개의 진폭 비트들의 세트를 취할 수도 있다. 유사하게, 오더링 모듈 (624) 은 심볼들 (626) 의 각각에 대해, 코드워드 (618) 로부터, 제 2 (허수) 진폭 성분을 획득하기 위해 진폭 비트들의 제 2 스트림과 연관된 LSB들 (606b) 로부터의 진폭 비트 뿐만 아니라 진폭 비트들의 제 2 스트림으로부터 인코딩된 진폭-셰이핑된 비트들 (612) 로부터의 3 개의 진폭 비트들의 세트를 취할 수도 있다.

[0061] 위에 설명된 바와 같이, 심볼들 (626) 의 각각은 진폭이 위치되는 변조 컨스텔레이션으로 4 개의 사분면 중 하나를 나타내는 부호 비트들의 쌍을 더 포함할 수도 있다. 일부 구현들에서, 오더링 모듈 (624) 은 패리티 비트들 (622) 로부터 심볼들 (626) 에 필요한 부호 비트들 모두를 취하려고 시도할 수도 있다. 상기 설명된 바와 같이, 부호 비트들은 전력에 영향을 미치지 않기 때문에, 진폭 비트들 (706) 에 대해서만, 그리고 일부 구현들에서는 MSB들 (606a) 에 대해서만 진폭 셰이핑 동작을 수행하는 것이 일반적으로 만족스러울 수도 있다. 예를 들어, 선택된 MCS 에 기초하여, 셰이핑 인코더 (610) 는 코드-블록 기반으로, 얼마나 많은 패리티 비트들이 LDPC 인코더 (616) 에 의해 생성될 것인지를 알고 있다. 이와 같이, 셰이핑 인코더 (610) 는 일부 데이터 비트들이 제 1 인코딩 동작에 앞서 부호 비트들을 위해 사용될 필요가 있는지 알 것이다. 예를 들어, LDPC 코딩 레이트 및 QAM 컨스텔레이션 사이즈에 의존하여, 패리티 비트들 (622) 모두 뿐만 아니라 일부 셰이핑

되지 않은 데이터 비트들 (예를 들어, 부호 비트들 (608)) 이 심볼들 (626) 에서 부호 비트들로서 사용되는 것이 가능할 수도 있다. 이는 M 개의 심볼들 (626) 모두의 진폭들이 세이핑될 수 있음을 의미하기 때문에 바람직할 수도 있다. 전용 부호 비트들 (608) 이 필요한 경우, 이들은 제 1 인코딩 동작 이전에 코드 블록의 나머지로부터 파싱되고 상기 설명된 바와 같이 LDPC 인코더 (616) 로 직접 전달될 수도 있다. 대안적으로, 패리티 비트들 (622) 의 수가 심볼들 (626) 을 위해 필요한 부호 비트들의 수보다 크기 때문에 일부 패리티 비트들 (622) 은 심볼들 (626) 에 대한 진폭 비트들로서 사용되어야 하는 것이 가능할 수도 있다. 이러한 사례들에서, 세이핑 인코더 (610) 는 블록 (502) 에서 심볼들 (626) 모두에 대해 모든 진폭 컴포넌트들에 대해 제 1 인코딩 동작을 그리고, 이에 의해 수행가능한 것은 아닐 수도 있다. 이와 같이, 달성가능한 SNR 이득이 감소될 수도 있다.

[0062] 블록 (508) 에서, 무선 통신 디바이스는 복수의 서브캐리어들 상에서 M 개의 심볼들 (626) 을 무선 패킷으로 수신 디바이스에 송신한다. 일부 구현들에서, 블록 (510) 에서 심볼들 (626) 의 각각을 송신하기 위해, 콘스텔레이션 맵퍼 (예를 들어, QAM 맵퍼) (628) 는 예를 들어, 심볼들 (626) 의 진폭들 및 위상들을 표시하는 복소수 표현들 (630) 을 획득하기 위해 심볼들 (626) 의 각각을 (예를 들어, QAM) 변조 콘스텔레이션에서의 포인트에 맵핑한다. 일부 구현들에서, 콘스텔레이션 맵퍼 (628) 는 복수의 콘스텔레이션 맵퍼들을, 심볼들 (626) 의 복수의 스트림들의 각각에 대해 하나씩 포함한다.

[0063] 일부 구현들에서, 오더링 모듈 (624) 은 또한 심볼들 (626) 을 복수의 공간 스트림들로 파싱하는 공간 스트림 파서를 포함할 수도 있다. 일부 그러한 구현들에서, 공간 스트림 파서는 비트들이 상이한 공간 스트림들의 심볼들로 적절히 배열되는 것을 보장하기 위해 공간 스트림들의 각각에 대해 별도로 진폭-세이핑된 비트들 (612), LSB들 (606b), 부호 비트들 (608) 및 패리티 비트들 (622) 을 파싱한다. 일부 구현들에서, 오더링 모듈 (624) 은 공간 스트림들로부터의 심볼들 (626) 을 상이한 대역폭 세그먼트들 (예를 들어, 160 MHz 또는 320 MHz 본딩된 채널의 상이한 80 MHz 서브채널들) 로 파싱하는 복수의 대역폭 세그먼트 파서들을 추가적으로 포함한다. 공간 스트림 파싱 및 대역폭 세그먼트 파싱 (수행되는 경우) 후에, 파싱된 심볼들 (626) 의 상이한 스트림들의 각각은 복소수 표현들 (630) 의 개별의 스트림을 획득하기 위해 변조 콘스텔레이션에서의 포인트들에 심볼들을 맵핑하는 콘스텔레이션 맵퍼들 중 개별의 하나에 제공될 수도 있다.

[0064] 그 다음, 변조기 (632) 는 변조된 심볼들 (634) 을 생성하기 위해 복소수 표현들 (630) 에 의해 표시된 진폭들 및 위상들에 기초하여 무선 채널의 대역폭 세그먼트들의 서브캐리어들을 변조할 수도 있고, 이는 그 후 커플링된 송신 체인들 및 안테나들을 통해 수신 디바이스에 송신된다. 예를 들어, 상기 제시된 예를 계속하면, 콘스텔레이션 맵핑 후에, 복소수 표현들 (630) 의 스트림들은 무선 채널의 개별의 서브캐리어들 (또는 "톤들") 에 복소수 표현들을 맵핑하는 변조기 (632) 의 개별의 톤 맵퍼들에 제공될 수도 있다. 일부 구현들에서, 변조기 (632) 는 상이한 대역폭 세그먼트 스트림들을 심볼들의 복수의 공간 스트림들로 디파싱하는 대역폭 세그먼트 디파서를 더 포함한다. 그 다음, 공간 스트림들은 심볼들에 대해 공간 맵핑을 수행하는 공간 멀티플렉서에 제공될 수도 있다. 그 다음, 공간-맵핑된 스트림들은 예를 들어, 개별의 스트림들에서의 심볼들에 대해 역 이산 푸리에 변환을 수행하는 변환 블록에 제공될 수도 있다. 그 다음, 결과적인 심볼들은 송신을 위해 아날로그 및 RF 블록에 제공될 수도 있다. 일부 구현들에서, 균일한 평균 송신 전력을 보장하기 위해, 아날로그 및 RF 블록은 제 1 인코딩 동작에서 수행된 진폭 세이핑의 양에 기초하여 무선 채널 상으로의 송신 이전에 블록 (508) 에서 변조된 심볼들 (634) 에 전력 스케일링 팩터를 적용할 수도 있다.

[0065] 일부 구현들에서, 무선 통신 디바이스는 변조된 심볼들 (634) 을 포함하는 PSDU 페이로드가 후속되는 PHY 계층 프리앰블을 포함하는 PPDU 의 형태로 무선 패킷을 생성할 수도 있다. 무선 통신 디바이스는 (802.11ax 및 802.11be 를 포함하지만 이에 한정되지 않는 IEEE 802.11-2016 사양 또는 그 보정안들에 의해 정의된 것과 같은) 무선 통신 프로토콜 표준들의 IEEE 802.11 패밀리 중 하나 이상에 따르는 SU-MIMO, MU-MIMO 및 OFDMA 기법들을 포함하는 임의의 적합한 기법들을 활용하여 수신 디바이스에 무선 패킷을 송신하거나, 또는 송신을 위해 출력 (이하 "송신" 과 상호교환가능하게 사용됨) 할 수도 있다. 일부 구현들에서, 무선 채널은 하나 이상의 인접한 또는 비-인접한 부분들을 포함하는 20 MHz, 40 MHz, 80 MHz, 160 MHz 또는 320 MHz 채널일 수 있다.

[0066] 도 8 은 일부 구현들에 따른 진폭 세이핑을 지원하는 무선 통신을 위한 예시적인 프로세스 (800) 를 예시하는 플로우차트를 도시한다. 프로세스 (800) 의 동작들은 본 명세서에서 설명된 바와 같이 수신 디바이스 또는 그 컴포넌트들에 의해 구현될 수도 있다. 예를 들어, 프로세스 (800) 는 도 3 를 참조하여 설명된 무선 통신 디바이스 (300) 와 같은 무선 통신 디바이스에 의해 수행될 수도 있다. 일부 구현들에서, 프로세스 (800) 는, 각각 도 1 및 도 4a 를 참조하여 설명된 AP들 (102 및 402) 중 하나와 같은, AP 로서 또는 그 내에서 동작하는 무선 통신 디바이스에 의해 수행될 수도 있다. 일부 다른 구현들에서, 프로세스 (800) 는, 각각

도 1 및 도 4b 를 참조하여 설명된 STA들 (104 및 404) 중 하나와 같은, STA 로서 또는 그 내에서 동작하는 무선 통신 디바이스에 의해 수행될 수도 있다.

[0067] 블록 (802) 에서, 무선 통신 디바이스는 복수의 서브캐리어들 상에서 복수의 변조된 심볼들을 포함하는 무선 패킷을 수신한다. 각각의 수신된 심볼은 심볼의 진폭을 표시하는 진폭 비트들의 세트를 포함한다. 일부 구현들에서, 복조된 심볼들의 진폭들은 불균일 분포를 갖는다. 각각의 수신된 심볼은 개별의 진폭이 위치되는 변조 콘스텔레이션에서의 사분면을 표시하는 적어도 하나의 부호 비트를 더 포함한다. 블록 (804) 에서, 무선 통신 디바이스는 심볼들 모두에 대한 진폭 비트들의 세트들 및 부호 비트들을 적어도 복수의 진폭-셰이핑된 비트들 및 복수의 패리티 비트들로 리오더링한다. 블록 (806) 에서, 무선 통신 디바이스는 제 1 복수의 디코딩된 데이터 비트들을 생성하기 위해 복수의 패리티 비트들에 기초하여 적어도 복수의 진폭-셰이핑된 비트들에 대해 제 1 디코딩 동작을 수행한다. 블록 (808) 에서, 무선 통신 디바이스는 복수의 디-셰이핑된 진폭 비트들을 생성하는 제 2 디코딩 동작을 제 1 복수의 디코딩된 데이터 비트들에 대해 수행한다.

[0068] 도 9a 및 도 9b 는 일부 구현들에 따른 진폭 셰이핑을 지원하는 플로우 (900) 의 다이어그램을 도시한다. 예를 들어, 플로우 (900) 는 프로세스 (800) 의 양태들을 예시할 수도 있다. 프로세스 (800) 및 플로우 (900) 는 도 6 내지 도 9 를 참조하여 설명된 프로세스 (500) 및 플로우 (600) 와 관련하여 하기에 추가로 제시된다. 예를 들어, 일부 구현들에서, 무선 통신 디바이스는, 블록 (802) 에서, 프로세스 (500) 의 블록 (508) 에서 송신 무선 통신 디바이스로부터 송신된 복수의 변조된 심볼들 (634) 을 포함하는 무선 패킷 (902) 을 수신한다.

[0069] 일부 구현들에서, 복조기 (904) 는 커플링된 안테나들 및 수신 체인들을 통해 변조된 심볼들 (634) 을 수신하고 블록 (802) 에서 검출된 진폭들 및 위상들에 기초하여 서브캐리어들을 복조하여, 이상적으로는, 복소수 표현들 (630) 과 동일한, 심볼들의 진폭들 및 위상들을 표시하는 복소수 표현들 (906) 의 형태로 복조된 심볼들을 생성할 수도 있다. 예를 들어, 복조기 (904) 는 하나 이상의 커플링된 안테나들을 통해 하나 이상의 대역폭 세그먼트들에서의 복수의 톤들에 걸쳐 복수의 공간 스트림들 상으로 무선 패킷 (902) 및 변조된 심볼들을 수신하는 아날로그 및 RF 블록을 포함할 수도 있다. 그 다음, 수신된 심볼들은, 예를 들어, 스트림들에서의 심볼들에 대해 이산 푸리에 변환을 수행하는 복조기 (904) 의 변환 블록에 제공될 수도 있다. 일부 구현들에서, 복조기 (632) 는 상이한 대역폭 세그먼트 스트림들을 파싱하는 대역폭 세그먼트 파서를 더 포함한다. 그 다음, 복조기 (632) 의 톤 리버스-맵퍼는 (존재한다면) 대역폭 세그먼트들의 각각에 대한 복수의 공간 스트림들을 획득하기 위해 톤들을 리버스-맵핑할 수도 있다.

[0070] 그 다음, 콘스텔레이션 리버스-맵퍼 (예를 들어, QAM 리버스-맵퍼) (908) 는 복조된 심볼들 (910) 을 획득하기 위해 (예를 들어, QAM) 변조 콘스텔레이션에서의 개별의 포인트들로부터 복소수 표현들 (906) 을 리버스 맵핑할 수도 있다. 예를 들어, 상기 제시된 예를 계속하면, 복소수 표현들 (906) 의 결과적인 스트림들은 복조된 심볼들 (910) 의 개별의 공간 스트림들을 제공하는 개별의 콘스텔레이션 디-맵퍼들에 제공될 수도 있다. 복조된 심볼들 (910) 의 각각은 궁극적으로 심볼의 진폭을 표시하는 n 개의 진폭 비트들의 세트를 포함한다. 프로세스 (500) 및 플로우 (600) 와 함께 상기 설명된 바와 같이, 각각의 복조된 심볼 (910) 에 대한 n 개의 진폭 비트들의 세트의 제 1 $n/2$ 개의 비트들은 변조 콘스텔레이션의 실수 축을 따른 심볼의 진폭의 제 1 진폭 성분을 표시할 수도 있고, 각각의 복조된 심볼 (910) 에 대한 n 개의 진폭 비트들의 제 2 $n/2$ 개의 비트들은 변조 콘스텔레이션의 허수 축을 따른 심볼의 진폭의 제 2 진폭 성분을 표시할 수도 있다. 이와 같이, 각각의 복조된 심볼 (910) 의 제 1 (실수) 진폭 성분에 대한 $2^{n/2}$ 개의 가능한 제 1 진폭 레벨들 및 제 2 (허수) 진폭 성분에 대한 $2^{n/2}$ 개의 가능한 제 2 진폭 레벨들이 있다. 상기 설명된 바와 같이, 복조된 심볼들 (910) 의 각각은 개별의 진폭의 부호를 표시하는 진폭 성분들의 각각에 대한 부호 비트를 더 포함할 수도 있다.

[0071] 상기 설명된 바와 같이, 블록 (804) 에서, 무선 통신 디바이스는 심볼들 모두에 대한 진폭 비트들의 세트들 및 부호 비트들을 적어도 복수의 진폭-셰이핑된 비트들 및 복수의 패리티 비트들로 리오더링한다. 예를 들어, 진폭-셰이핑된 비트들은 MSB들 (606a) 을 포함할 수도 있다. 일부 그러한 예들에서, 진폭 비트들의 세트들은 예를 들어, LSB들 (608) 을 포함하는 복수의 셰이핑되지 않은 비트들을 더 포함할 수도 있다. 일부 구현들에서, 복조된 심볼들 (910) 은 복수의 부호 비트들 또는 시그널링 비트들을 더 포함할 수도 있다. 일부 구현들에서, 리오더링 모듈 (912) 은 진폭 비트들 (진폭-셰이핑된 비트들 및 임의의 셰이핑되지 않은 비트들을 포함함) 및 패리티 비트들 모두를 포함하는 복조된 심볼들 (910) 을 수신하고 그들을 코드워드 (914) 로 리어셈블링할 수도 있다. 예를 들어, 상기 제시된 예를 계속하면, 리오더링 모듈 (912) 은 또한 개별의 대역폭 세그먼트 스트림들로부터 심볼들 (910) 을 디파싱하는 복수의 대역폭 세그먼트 디파서들을 포함할 수도 있다.

일부 구현들에서, 리오더링 모듈 (912) 은 또한 결과적인 공간 스트림들에서의 심볼들을 비트들의 단일 스트림으로 디파싱하는 공간 스트림 디파서를 포함할 수도 있다. 상기 설명된 바와 같이, 리오더링 모듈 (912) 은 그 다음 복조된 심볼들로부터의 비트들을 코드워드 (914) 로 리오더링할 수도 있다.

[0072] 상기 설명된 바와 같이, 블록 (806) 에서, 무선 통신 디바이스는 제 1 복수의 디코딩된 데이터 비트들을 생성하기 위해 복수의 패리티 비트들에 기초하여 적어도 복수의 진폭-셰이핑된 비트들에 대해 제 1 디코딩 동작을 수행한다. 예를 들어, 도 9b 에 도시된 바와 같이, 제 1 디코더 (916) 는 코드워드 (914) 를 수신하고 진폭-셰이핑된 비트들에 기초하여 적어도 제 1 복수의 디코딩된 데이터 비트들을 제공하기 위해 블록 (808) 에서 코드워드 (914) 에 대해 제 1 디코딩 동작을 수행할 수도 있다. 제 1 디코더 (916) 는 패리티 비트들의 도움으로 진폭 비트들을 디코딩하려고 시도하는 시스템atic 디코더 (예를 들어, LDPC 디코더) 일 수도 있다. 상기 설명된 바와 같이, 코드워드 (914) 는 또한 셰이핑되지 않은 진폭 비트들 (예를 들어, LSB들 또는 부호 비트들) 을 포함할 수도 있다. 이와 같이, 코드워드 (914) 의 디코딩에 기초하여, 제 1 디코더 (916) 는 디코딩된 진폭-셰이핑된 비트들 (예를 들어, MSB들) (918), 디코딩된 LSB들 (920), 디코딩된 부호 비트들 (922) 및 디코딩된 시그널링 비트들 (924) 을 포함하는 디코딩된 코드 블록을 출력할 수도 있다.

[0073] 상기 설명된 바와 같이, 무선 통신 디바이스는 디-셰이핑된 진폭 비트들을 생성하기 위해 블록 (808) 에서 진폭-셰이핑된 비트들 (918) 에 대해 제 2 디코딩 동작을 수행한다. 일부 구현들에서, 셰이핑 디코더 (926) 는 디-셰이핑된 진폭 비트들 (928) 의 수 (수량 (numerical quantity)) 가 진폭-셰이핑된 비트들 (918) 의 수 미만인 되도록 디-셰이핑된 진폭 비트들 (928) 을 생성하기 위해 진폭-셰이핑된 비트들 (918) 로부터 중복성을 제거하도록 제 2 디코딩 동작 (본 명세서에서 "진폭 디-셰이핑 동작" 으로서 또한 지칭됨) 을 수행한다. 복수의 디코딩된 데이터 비트들이 셰이핑되지 않은 비트들 (예를 들어, LSB들 (920), 부호 비트들 (922), 또는 시그널링 비트들 (924)) 을 포함하는 일부 구현들에서, 제 2 디코딩 동작은 블록 (808) 에서 진폭-셰이핑된 비트들 (918) 에 대해서만 수행된다. 진폭 디-셰이핑 동작은 개별의 심볼들과 연관된 진폭들이 실질적으로 균일한 분포로 되돌아가도록 송신 디바이스에서 수행된 대응하는 진폭-셰이핑 동작을 실행 취소한다.

[0074] 일부 구현들에서, 블록 (808) 에서 수행된 제 2 디코딩 동작은 프리픽스 디코딩 동작이거나 또는 이를 포함한다. 예를 들어, 셰이핑 디코더 (926) 는 블록 (808) 에서, 본질적으로 프로세스 (500) 의 블록 (502) 을 참조하여 설명된 프리픽스 인코딩 동작의 역인 프리픽스 디코딩 동작을 수행할 수도 있다. 상기 설명된 바와 같이, 일부 구현들에서, 프리픽스 디코딩 동작의 수행은 병렬화될 수 있다.

[0075] 예시된 예에서, 디파서 (930) 는 디-셰이핑된 비트들 (예를 들어, MSB들) (928) 및 임의의 LSB들 (920) 또는 부호 비트들 (922) 을 하나 이상의 정보 블록들 (932) 로 리어샘플링한다. 그 다음, 정보 블록들 (932) 은 대응하는 MPDU들을 디코딩하기 위해 무선 통신 디바이스의 MAC 계층에 의해 프로세싱될 수도 있다.

[0076] 위에 설명된 바와 같이, 진폭-셰이핑 인코딩 동작은 셰이핑 인코더에 입력된 진폭 비트들에 리던던시를 추가하고, 그리고 구체적으로, 셰이핑 인코더로부터 출력된 진폭-셰이핑된 비트들의 수는 셰이핑 인코더에 입력된 진폭 비트들의 수보다 더 크다. 진폭-셰이핑 인코딩 동작은 종래에 달성될 수도 있는 것과 동일한 수의 심볼들을 획득하기 위해 더 적은 정보 비트들의 인코딩을 초래하기 때문에, 진폭-셰이핑 인코딩 동작은 MPDU들의 유효 코딩 레이트의 감소를 초래한다. 셰이핑 인코더로부터 출력된 진폭-셰이핑된 비트들의 수는 콘텐츠 의존적일 수도 있기 때문에 (셰이핑 인코더에 입력된 비트들의 값들에 의존함), 셰이핑 인코더의 유효 코딩 레이트는 본질적으로 가변적일 수도 있다. 추가적으로, 상기 설명된 바와 같이, 셰이핑 인코더로부터 출력된 진폭-셰이핑된 비트들의 수는 또한 변할 수도 있다. 예를 들어, 진폭 셰이핑을 수행하기 위해 프리픽스 인코딩 동작을 사용할 때 셰이핑 인코더로부터 출력된 진폭-셰이핑된 비트들의 수는 가변가능할 수도 있다.

[0077] 프리픽스 인코딩 동작의 가변 인코딩 레이트는 진폭-셰이핑된 비트들의 수가 정보 비트들의 입력 시퀀스에 의존하여 변화하게 한다. 가변 패킷 길이를 갖는 것은 무선 패킷들의 송신 또는 수신에서 원하지 않는 결과들 또는 복잡성을 초래할 수도 있다. 예를 들어, MPDU 의 작은 부분에서의 에러는 다른 MPDU들에서의 비트-레벨 바운더리 오정렬을 야기할 수도 있다. 추가적으로, MAC 계층은 정수개의 심볼들을 생성하도록 정보 블록에 추가되어야 할 패딩 비트들의 수를 결정하기 위하여 페이로드 비트들 (또는 APEP 길이) 의 총 수를 알아야 한다. 일부 구현들에서, MAC 계층은 진폭 셰이핑 동작을 수행한 후에 패킷 길이를 결정하고 패킷 길이를 PHY 계층으로 시그널링할 수도 있다. 일부 다른 구현들에서, PHY 계층은 고정된 레이트를 유지하기 위해 진폭 셰이핑 동작의 코딩 레이트를 조정할 수도 있다.

[0078] 본 개시의 양태들은 고정된 포스트-진폭 셰이핑 정보 블록 길이와, 고정된 프리-진폭 셰이핑 정보 블록 길이를 결합하는 것에 의해, IEEE 802.11표준의 기존 버전과의 확률적 진폭 셰이핑의 통합시 추가로 개선될 수도 있다.

보다 구체적으로, 본 구현들에서, 패킷 길이는 진폭 셰이핑 동작이 고정된 코딩 레이트를 유지하는 것을 강제함이 없이 고정된 사이즈로 유지될 수도 있다. 본 명세서에서 사용되는 바와 같이, 용어 "고정"은 정보 블록들에 걸쳐 변화하거나 변경되지 않는 알려진 양을 의미한다. 진폭 셰이핑 이전 또는 이후의 고정된 정보 블록 길이를 유지하는 것에 의해, 본 개시의 양태들은 진폭 셰이핑 동작을 먼저 수행할 필요 없이 MAC 층이 (정수 개의 심볼들을 생성하도록) 정보 블록에 첨가될 패딩 비트들의 수를 결정할 수 있게 한다. 또한, 진폭 셰이핑 동작의 가변 코딩 레이트를 보존하는 것에 의해, 본 개시의 양태들은 진폭-셰이핑 비트들의 최적의 인코딩을 지원할 수도 있다.

[0079] 일부 구현들에서, 송신 디바이스는 적어도 부분적으로, 진폭 셰이핑 동작으로부터 초래될 수 있는 최대 페이로드 길이에 조건을 부여하는 것에 의해, 고정된 포스트-진폭 셰이핑 정보 블록 길이 (N) 를 실현할 수도 있다.

보다 구체적으로, 셰이핑 인코더는 조건이 만족되거나 초과될 때까지 프리-진폭 셰이핑 정보 블록의 정보 비트들을 반복적으로 인코딩할 수도 있다. 즉, 셰이핑 동작의 추가적인 반복이 셰이핑되지 않은 비트들의 수와 결합된 진폭-셰이핑된 비트들의 수가 최대 페이로드 길이를 초과하게 하면, 진폭 셰이핑 동작이 만료 또는 중지될 수도 있다. 일부 양태들에서, 최대 페이로드 길이는 N 과 동일할 수도 있다. 셰이핑되지 않은 비트들의 수에, 진폭-셰이핑된 비트들 플러스의 결과적인 수가 N 미만이면, 송신 디바이스는 고정된 블록 길이 요건을 만족하도록 포스트-진폭 셰이핑 정보 블록에 하나 이상의 패딩 비트들을 추가할 수도 있다. 일부 구현들에서, 송신 디바이스는 수신 디바이스에, 정보 블록에 진폭-셰이핑된 비트들의 수를 표시하기 위해 포스트-진폭 셰이핑 정보 블록에 하나 이상의 시그널링 비트들을 추가로 추가할 수도 있다.

[0080] 도 10 은 일부 구현들에 따른 진폭 셰이핑을 지원하는 플로우 (1000) 의 다른 다이어그램을 도시한다. 예를 들어, 플로우 (1000) 는 도 6a 에 도시된 플로우 (600) 의 다른 구현일 수도 있다. 도 10 의 예에서, 정보 블록 (또한 프리-진폭 셰이핑된 정보)(1010) 이 파서 (1020) 에 대한 입력으로서 제공된다. 일부 구현들에서, 정보 블록 (1010) 은 고정 길이 (N1) 를 가질 수도 있다. 임의의 무선 패킷 또는 PSDU 는 플로우 (1000) 를 구현하는 것에 의해 길이 (N1) 를 갖는 하나 또는 다수의 정보 블록들 (1010) 을 포함할 수도 있다.

[0081] 파서 (1020) 는 도 6a 의 프리-셰이핑 파서 (604) 의 하나의 예일 수도 있다. 일부 구현들에서, 파서 (1020) 는 진폭 비트들 (1022) 의 수 및 셰이핑되지 않은 비트들(1024) 의 수로 정보 블록 (1010) 을 분리 또는 분할할 수 있다. 예를 들어, 진폭 비트들 (1022) 은 정보 블록 (1010) 의 MSB들에 대응할 수도 있고 셰이핑되지 않은 비트들 (1024) 의 수는 정보 블록 (1010) 의 LSB들에 대응할 수도 있다. 일부 구현들에서, 파서 (1020) 는 예를 들어, 후속하는 QAM 맵핑들에서의 부호 비트들로서 사용될 고정된 수의 셰이핑되지 않은 비트들 (1024) 을 파싱할 수도 있다. 진폭 비트들 (1022) 은 셰이핑 인코더 (1030) 에 제공된다. 셰이핑되지 않은 비트들 (1024) 은 패더 (1040) 에 직접 제공되어, 셰이핑 인코더 (1030) 를 바이패스한다.

[0082] 셰이핑 인코더 (1030) 는 도 6a 의 셰이핑 인코더 (610) 의 하나의 예일 수도 있다. 따라서, 셰이핑 인코더 (1030) 는 연관된 심볼들의 진폭들이 불균일 분포를 갖도록 진폭 셰이핑된 비트들 (1032) 을 생성하기 위해 진폭 비트들 (1022) 중 하나 이상을 인코딩할 수도 있다. 일부 애플리케이션들에서, 분포는 개개의 진폭과 연관된 확률이 진폭을 감소시킴에 따라 일반적으로 증가하는 분포일 수도 있다 (이를 테면, Gaussian 분포). 일부 구현들에서, 셰이핑 인코더 (1030) 는 프리픽스 인코더일 수 있거나 이를 포함할 수도 있다. 위에 설명된 바와 같이, 프리픽스 인코딩 동작의 수행은 연속적인 진폭 비트들 (1022) 의 시퀀스들을 불균일한 길이들을 갖는 비트 값들의 패턴들의 세트의 비트 값들의 하나 이상의 패턴들과 비교하는 것을 포함할 수도 있다. 비트 값들의 패턴들은 비트 값들의 패턴들의 각각이 진폭 비트들 (1022) 의 시퀀스로의 연관된 발생 확률을 갖게 되어, 비교적 더 낮은 심볼 진폭과 연관된 비트 값들의 패턴이 비교적 더 높은 심볼 진폭과 연관된 비트 값들의 패턴보다 비교적 더 높은 발생 확률을 갖게 하도록 정의될 수도 있다.

[0083] 표 1 은 4096 QAM 에 대하여 구성되는 프리픽스 인코딩 동작을 구현하기 위해 셰이핑 인코더 (1030) 에 의해 사용될 수도 있는 일 예의 룩업 테이블 (LUT) 을 나타낸다. 표 1 을 예를 들어, 참조하여 보면, 셰이핑 인코더 (1030) 에 의해 출력될 수도 있는 진폭-셰이핑된 비트들의 32 개의 패턴들이 존재한다. 진폭-셰이핑된 비트들의 각각의 패턴은 연관된 심볼의 진폭의 동위상 (I) 성분 또는 직교위상 (Q) 성분의 어느 것의 크기를 나타내는 5 개의 비트 값들로 구성될 수도 있다. 진폭-셰이핑된 비트들의 각각의 패턴은 개별적인 심볼 진폭과 연관된다. 예를 들어, 1 내지 63 (홀수 단독) 의 범위에 있는 연관된 진폭 비트 값들 및 진폭-셰이핑된 비트들의 32 개의 상이한 가능한 패턴들이 존재한다.

[0084] 표 1

진폭 비트들의 입력 시퀀스	진폭 셰이핑된 비트들의 출력 시퀀스	진폭 (I/Q 레벨)	확률
0011	10000	1	1/16
0000	10001	3	1/16
0001	10011	5	1/16
0110	10010	7	1/16
0111	10110	9	1/16
0100	10111	11	1/16
0101	10101	13	1/16
11001	10100	15	1/32
11110	11100	17	1/32
11111	11101	19	1/32
11100	11111	21	1/32
11101	11110	23	1/32
10010	11010	25	1/32
10011	11011	27	1/32
10000	11001	29	1/32
10001	11000	31	1/32
10110	01000	33	1/32
10111	01001	35	1/32
10100	01011	37	1/32
10101	01010	39	1/32
110110	01110	41	1/64
110111	01111	43	1/64
110100	01101	45	1/64
110101	01100	47	1/64
001010	00100	49	1/64
001011	00101	51	1/64
001000	00111	53	1/64
001001	00110	55	1/64
1100010	00010	57	1/128
1100011	00011	59	1/128
1100000	00001	61	1/128
1100001	00000	63	1/128

[0085]

[0086]

표 1 에 나타난 바와 같이, 셰이핑 인코더 (1030) 에 입력될 수도 있는 진폭 비트들의 32 개의 가능한 시퀀스들이 있다. 이 예에서, 진폭 비트들의 각각의 시퀀스는 확률 질량 함수 (PMF) 와 연관된 발생 확률을 가지며, 여기서 $PMF=[8, 8, 8, 8, 8, 8, 8, 8, 4, 4, 4, 4, 4, 4, 4, 4, 4, 4, 2, 2, 2, 2, 2, 2, 2, 2, 1, 1, 1, 1]/128$ 이다. 예를 들어, 식 (2) 를 참조하여 보면, 위의 프리픽스 인코딩 테이블 (표 1) 은 0.9500 의 유효 코딩 레이트를 갖는다. 그러나, 실제 코딩 레이트는 진폭 비트들 (1022) 의 값에 따라 변경될 수도 있다. 예를 들어, 4-비트 입력 시퀀스 "0011" 는 5-비트 출력 시퀀스 "10000" 로서 인코딩될 수 있어, 1 미만의 코딩 레이트를 가져올 수 있다. 한편, 7-비트 입력 시퀀스 "1100001" 는 5-비트 출력 시퀀스 "00000" 로서 인코딩될 수 있어, 1 보다 큰 코딩 레이트를 가져올 수 있다. 위에 설명된 바와 같이, 가변 패킷 길이를 갖는 것은 무선 패킷들의 송신 또는 수신에서 원하지 않는 결과들 또는 복잡성을 초래할 수도 있다.

[0087]

일부 구현들에서, 셰이핑 인코더 (1030) 는 페이로드 비트들 (진폭-셰이핑된 비트들 (1032), 셰이핑되지 않은 비트들 (1024), 및 셰이핑 인코더 (1030) 에 의해 아직 인코딩되지 않은 임의의 나머지 진폭 비트들 (1022) 을 포함함) 의 결과적인 수가 최대 페이로드 길이 (N2) 이상일 때까지 진폭 비트들 (1022) 의 시퀀스를 반복적으로 인코딩할 수도 있다. 보다 구체적으로, 각각의 반복에서, 셰이핑 인코더 (1030) 는 프리픽스 LUT 에서의 비트 값들의 패턴에 매칭하는 진폭 비트들 (1022) 의 다른 시퀀스를 선택하고 진폭 비트들 (1022) 의 선택된 시퀀스를 인코딩하는 것이 페이로드 비트들의 총 수가 최대 페이로드 길이를 초과하도록 하는지의 여부를 결정할 수도 있다. 일부 구현들에서, 추가적인 반복이 페이로드 비트들의 총 수가 최대 페이로드 길이를 초과하게 하

면, 셰이핑 인코더 (1030) 는 진폭 비트들 (1022) 의 선택된 시퀀스를 인코딩함이 없이 프리픽스 인코딩 동작을 중지 또는 만료할 수도 있다. 일부 다른 구현들에서, 프리픽스 인코딩 동작의 추가적인 반복이 페이로드 비트들의 총 수가 최대 페이로드 길이를 초과하게 하면, 셰이핑 인코더 (1030) 는 나머지 진폭 비트들 (1022) 의 하나 이상의 추가적인 비트 값들을 스캔하여, 진폭 비트들 (1022) 의 다른 시퀀스를 인코딩하는 것이 페이로드 비트들의 총 수가 최대 페이로드 길이 요건을 만족하게 하는지의 여부를 결정할 수도 있다.

[0088] 도 11 은 셰이핑 인코더 (1030) 에 대한 입력으로서 제공되는 다음 7 비트들 ("0001000") 을 나타낼 수도 있는 진폭 비트들의 일 예의 시퀀스 (1100) 를 도시한다. 나머지 3 개의 셰이핑되지 않은 비트들을 남기는 한편, 시퀀스 (1100) 의 첫번째 4 비트들 ("0001") 이 (표 1 에서의 출력 패턴 "10011"에 대응하는) 5 개의 진폭-셰이핑된 비트들을 생성할 수도 있다. 이는 총 8 개의 페이로드 비트들이 입력 시퀀스 (1100) 에 응답하여 셰이핑 인코더 (1030) 에 의해 출력되는 것을 가져온다. 최대 페이로드 길이에 도달되기 전에 반복적인 인코딩 동작이 추가적인 7 페이로드 비트들만을 지원할 수 있다면, 셰이핑 인코더 (1030) 는 시퀀스 (1100) 의 첫번째 4 비트들을 인코딩가능하지 못할 수도 있다. 그러나, 나머지 1 개의 셰이핑되지 않은 비트만을 남기는 한편, 시퀀스 (1100) 의 마지막 6 비트들 ("001000") 이 (표 1 에서의 출력 패턴 "00111"에 대응하는) 5 개의 진폭-셰이핑된 비트들을 생성할 수도 있다. 이는 6 개의 페이로드 비트만이 입력 시퀀스 (1100) 에 응답하여 셰이핑 인코더 (1030) 에 의해 출력되는 것을 가져온다. 그 결과, 입력 시퀀스 (1100)의 추가적인 3 비트들을 스캔하는 것에 의해, 셰이핑 인코더 (1030) 는 더 많은 수의 진폭-셰이핑된 비트들을 인코딩할 수도 있는 한편, 최대 페이로드 길이 요건을 여전히 준수한다.

[0089] 프리픽스 인코딩 동작의 종료 또는 만료시, 셰이핑 인코더 (1030) 는 (셰이핑 인코더 (1030)) 에 의해 인코딩되지 않은 나머지 진폭 비트들 (1022) 에 대응하는 진폭-셰이핑된 비트들 (1032) 및 임의의 셰이핑되지 않은 비트들 (1034) 을 패더 (1040) 에 제공할 수도 있다. 추가적으로, 셰이핑 인코더 (1030) 는 진폭-셰이핑된 비트들 (1032) 의 수 또는 길이를 나타내는 하나 이상의 시그널링 비트들 (1036) 을 출력할 수도 있다. 일부 구현들에서, 시그널링 비트들 (1036) 은 다수의 진폭-셰이핑된 비트들 (1032) 을 나타내는 값을 가질 수도 있다. 일부 다른 구현들에서, 시그널링 비트들 (1036) 의 값은 시그널링 오버헤드를 감소시키도록 압축될 수도 있다. 위에 설명된 바와 같이, 복수의 진폭-셰이핑된 비트들 (1032) 은 단일의 PAM 심볼의 진폭을 나타내는데 사용된다. 예를 들어, 4096 QAM 구성에 대해, 길이 (1944) 의 코드워드는 324 PAM 심볼들을 사용하여 인코딩될 수도 있다. 셰이핑된 PAM 심볼들의 수 (또는 불균일 진폭 분포를 갖도록 구성된 PAM 심볼들) 는 코드워드에서의 진폭-셰이핑된 비트들 (1032) 의 수에 의존한다. 그러나, 셰이핑된 PAM 심볼들 (L_{PAM}) 의 수는 인코딩되어질 진폭-셰이핑된 비트들 (L_{US}) 의 수 미만임 ($L_{PAM} < L_{US}$) 을 유지한다. 일부 구현들에서, 셰이핑 인코더 (1030) 는 진폭-셰이핑된 비트들 (1032) 과 연관된 셰이핑된 PAM 심볼들의 수 (L_{PAM}) 를 결정할 수도 있고, L_{PAM} 를 나타내는 값을 갖는 하나 이상의 시그널링 비트들 (1036) 을 출력할 수도 있다.

[0090] 일부 다른 구현들에서, 셰이핑 인코더 (1030) 는 진폭-셰이핑된 비트들 (1032) 과 연관된 셰이핑된 PAM 심볼들의 평균 또는 평균 수 (L_{MEAN}) 를 결정할 수도 있고, L_{PAM} 및 L_{MEAN} 의 차이를 나타내는 값을 갖는 하나 이상의 시그널링 비트들 (1036) 을 출력할 수도 있다. L_{MEAN} 을 결정하기 위해, 셰이핑 인코더 (1030) 는 먼저 $N1$ 개의 정보 비트들이 주어진 특정 프리픽스 인코딩 동작을 통하여 인코딩가능한 진폭-셰이핑된 비트들의 평균 수를 결정할 수도 있다. 예를 들어, 진폭-셰이핑된 비트들의 평균 수는 프리픽스 인코딩 테이블의 유효 코딩 레이트에 기초하여 $N1$ 개의 정보 (또는 진폭) 비트들로부터 인코딩될 수 있는 진폭-셰이핑된 비트들의 수에 대응할 수도 있다. 셰이핑 인코더 (1030) 는 그 후, 진폭-셰이핑된 비트들의 평균 수와 연관된 PAM 심볼들의 수에 기초하여 L_{MEAN} 을 계산할 수도 있다.

[0091] 일부 다른 구현들에서, 셰이핑 인코더 (1030) 는 진폭-셰이핑된 비트들 (1032) 에 의해 나타낼 수도 있는 셰이핑된 PAM 심볼들의 최대 수 (L_{MAX}) 를 결정할 수도 있고, L_{PAM} 및 L_{MAX} 의 차이를 나타내는 값을 갖는 하나 이상의 시그널링 비트들 (1036) 을 출력할 수도 있다. L_{MAX} 을 결정하기 위해, 셰이핑 인코더 (1030) 는 먼저 $N1$ 개의 정보 비트들이 주어진 특정 프리픽스 인코딩 동작을 통하여 인코딩가능한 진폭-셰이핑된 비트들의 최대 수를 결정할 수도 있다. 셰이핑 인코더 (1030) 는 그 후, 진폭-셰이핑된 비트들의 최대 수와 연관된 PAM 심볼들의 수에 기초하여 L_{MAX} 을 계산할 수도 있다. 대안적으로, 셰이핑 인코더 (1030) 는 (파서 (1020) 에 의해 출력된 셰이핑되지 않은 비트들 (1024) 및 셰이핑 인코더 (1030) 에 의해 출력된 임의의 셰이핑되지 않은 비트들 (1034) 을 포함한) 셰이핑되지 않은 비트들의 총 수와 연관된 PAM 심볼들의 수로서 L_{PAM} 와 L_{MAX} 의 차이를 결

정할 수도 있다.

[0092] 일부 다른 구현들에서, 셰이핑 인코더 (1030) 는 프리픽스 인코딩 테이블의 역-lookup에 기초하여 진폭-셰이핑된 비트들 (1032) 과 연관된 셰이핑된 PAM 심볼들의 추정된 수 (L_{EST}) 를 결정할 수도 있고, L_{PAM} 과 L_{EST} 의 차이를 나타내는 값을 갖는 하나 이상의 시그널링 비트들 (1036) 을 출력할 수도 있다. 예를 들어, 프리픽스 인코딩 테이블의 역-lookup은 (진폭-셰이핑된 비트들 (1032), 셰이핑되지 않은 비트들 (1024) 및 임의의 추가적인 셰이핑되지 않은 비트들 (1034) 을 포함하는) 페이로드 비트들에 대해 수행된 디코딩 동작에 대응할 수도 있다. L_{EST} 를 결정하기 위해, 페이로드 비트들의 각각이 대응하는 프리픽스 디코더에 입력으로서 제공될 수도 있다. 가정하에, 셰이핑 인코더 (1030) 는 먼저, 페이로드 비트들에 대해 수행된 프리픽스 디코딩 동작의 결과로서 디코딩될 수도 있는 진폭-셰이핑된 비트들의 추정된 수를 결정할 수도 있다. 셰이핑 인코더 (1030) 는 그 후, 진폭-셰이핑된 비트들의 추정된 수와 연관된 PAM 심볼들의 수에 기초하여 L_{EST} 을 계산할 수도 있다.

[0093] 더 추가로, 일부 구현들에서, 셰이핑 인코더 (1030) 는 특정 조건을 충족하기 위해 페이로드 비트들에 추가될 패딩 비트들의 수를 결정할 수도 있고 패딩 비트들의 수를 나타내는 값을 갖는 하나 이상의 시그널링 비트들 (1036) 을 출력할 수도 있다. 일부 구현들에서, 패딩 비트들은 페이로드 비트들의 총 수를 최대 페이로드 길이까지 가져오도록 추가될 수도 있다. 따라서, 셰이핑 인코더 (1030) 는 진폭-셰이핑된 비트들 (1032) 의 수, 셰이핑되지 않은 비트들 (1024) 의 수, 및 임의의 나머지 셰이핑되지 않은 비트들 (1034) 을 합산한 후에 최대 페이로드 길이보다 짧은 비트들의 수로서 패딩 비트들의 수를 결정할 수도 있다. 페이로드 비트들은 고정된 길이 (N_2) 를 갖고 셰이핑되지 않은 비트들 (1024) 은 또한 고정된 길이의 진폭-셰이핑된 비트들 (1032) 의 수를 갖기 때문에, 페이로드 비트들의 총 수로부터 패딩 비트들의 수 및 셰이핑되지 않은 비트들 (1024) 의 수를 감산하는 것에 의해 결정될 수도 있다.

[0094] 패더 (1040) 는 진폭-셰이핑된 비트들 (1032), 셰이핑되지 않은 비트들 (1024), 및 임의의 나머지 셰이핑되지 않은 비트들 (1034) 을 포스트-진폭 셰이핑 정보 블록 (1050) 으로 통합 또는 결합한다. 일부 구현들에서, 정보 블록 (1050) 은 최대 페이로드 길이 (N_2) 와 동일한 고정된 길이를 갖도록 구성된다. 따라서, 패더 (1040) 는 최대 페이로드 길이를 실현하기 위해 선택적으로 필요에 따라 정보 블록 (1050) 에 하나 이상의 패딩 비트들 (1052) 을 추가할 수도 있다. 패딩 비트들 (1052) 은 하나 이상의 페이로드 비트들의 반복 또는 올-제로 값들을 포함할 수도 있다. 패더 (1040) 는 또한 정보 블록 (1050) (이를 테면, LSB 비트 포지션들에서) 시그널링 비트들 (1036) 을 정보 블록 (1050) 에 종점에 추가할 수도 있다. 시그널링 비트들 (1036) 의 수는 고정된 양일 수도 있는 한편, 이들은 최대 페이로드 길이 (N_2) 를 향하여 카운트되지 않을 수도 있음을 주지한다. 즉, 패더 (1040) 는 정보 블록 (1050) 에 추가하기 위해 (존재한다면) 얼마나 많은 패딩 비트들 (1052) 이 있는지를 결정할 때 시그널링 비트들 (1036) 을 무시할 수도 있다. 결과적인 포스트-진폭 셰이핑 정보 블록 (1050) 은 시스템에틱 인코더 (1060) 에 입력으로서 제공될 수도 있다.

[0095] 시스템에틱 인코더 (1060) 는 도 6a 의 시스템에틱 인코더 (616) 의 하나의 예일 수도 있다. 따라서, 시스템에틱 인코더 (1060) 는 시스템에틱 인코더 (1060) 로부터 출력된 비트들이 시스템에틱 인코더 (1060) 에 입력된 비트들과 매칭하도록 정보 블록 (1050) 상에 시스템에틱 인코딩 동작을 수행할 수도 있다. 일부 구현들에서, 시스템에틱 인코더 (1060) 는 LDPC 인코더일 수 있거나 이를 포함할 수도 있다. 시스템에틱 인코더 (1060) 에 입력된 각각의 코드 블록에 대해, 시스템에틱 인코더 (1060) 는 시스템에틱 부분 (1072) 및 패리티 부분 (1074) 을 포함하는 코드워드 (1070) 를 생성한다. 시스템에틱 부분 (1072) 은 정보 블록 (1050) 을 포함한다. 패리티 부분 (1074) 은 코드워드 (1070) 에 리던던시를 추가하고 그 코드워드의 디코딩에 사용될 수도 있는 다수의 패리티 비트들을 포함한다. 코드워드 (1070) 는 도 6b 에 대하여 설명된 하나 이상의 QAM 심볼들에 맵핑될 수도 있다. 예를 들어, 코드워드 (1070) 는 오더링 모듈 (624) 에 입력된 코드워드 (618) 에 대응할 수도 있다.

[0096] 일부 구현들에서, 시스템에틱 인코더 (1060) 는 주어진 패킷에 대해 다수의 코드워드들 (1070) 을 생성할 수도 있다. 예를 들어, 프리-진폭 셰이핑 정보 블록 (1010) 의 비트들은 논리적으로 다수의 (N_{CW}) 의 코드워드들에 걸쳐 세분화되거나 파티셔닝될 수도 있다. 따라서, 정보 블록 (1010) 의 길이는 코드워드 길이의 배수 (n_1)(여기서 $N_1 = n_1 * N_{CW}$) 일 수도 있다. 포스트-진폭 셰이핑 정보 블록 (1050) 의 비트들은 이와 유사하게 다수의 코드워드들에 걸쳐 인코딩 또는 분배될 수도 있다. 따라서, 정보 블록 (1050) 의 길이는 코드워드 길이의 다른 배수 (n_2)(여기서 $N_2 = n_2 * N_{CW}$) 일 수도 있다. 이러한 식으로, 플로우 (1000) 는 고정된 프리-진폭 셰이핑 정보 블록 길이 (N_1) 및 고정된 포스트-진폭 셰이핑 정보 블록 길이 (N_2) 를 유지하면서 단일의 무

선 패킷에 대한 다수의 코드워드들을 생성하는데 사용될 수도 있다.

[0097] 도 12a 는 일부 구현들에 따른 예시적인 프리-진폭 셰이핑 정보 블록 (1200) 을 도시한다. 일부 구현들에서, 정보 블록 (1200) 은 도 10 의 프리-진폭 셰이핑 정보 블록 (1010) 의 하나의 예일 수도 있다. 정보 블록 (1200) 은 고정된 길이 (N1) 를 갖고, 다수의 셰이핑된 진폭 비트들 (1202) 및 다수의 셰이핑되지 않은 정보 비트들 (1206) 을 포함한다. 일부 구현들에서, 정보 블록 (1200) 은 복수의 셰이핑되지 않은 진폭 비트들 (1204) 을 포함할 수도 있다. 도 12b 는 일부 구현들에 따른 예시적인 포스트-진폭 셰이핑 정보 블록 (1210) 을 도시한다. 일부 구현들에서, 정보 블록 (1210) 은 도 10 의 포스트-진폭 셰이핑 정보 블록 (1050) 의 하나의 예일 수도 있다. 정보 블록 (1210) 은 고정된 길이를 갖고 셰이핑된 페이로드 비트들 (1212) 의 수, 셰이핑되지 않은 페이로드 비트들 (1216) 의 수, 및 시그널링 비트들 (1219) 의 수를 포함한다. 일부 구현들에서, 정보 블록 (1210) 은 또한 복수의 추가적인 셰이핑되지 않은 진폭 비트들 (1214) 을 포함할 수도 있다. 일부 다른 구현들에서, 정보 블록 (1210) 은 복수의 패딩 비트들 (1218) 을 포함할 수도 있다.

[0098] 도 10 에 대하여 설명된 바와 같이, 파서 (1020) 는 진폭 비트들 (1022) 의 수 및 셰이핑되지 않은 비트들 (1024) 의 수로 정보 블록 (1010) 을 분리할 수 있다. 셰이핑되지 않은 비트들 (1024) 은 프리-진폭 셰이핑 정보 블록 (1200) 의 셰이핑되지 않은 정보 비트들 (1206) 에 대응할 수도 있고, 이는 이어서 포스트-진폭 셰이핑 정보 블록 (1210) 의 셰이핑되지 않은 페이로드 비트들 (1216) 에 대응한다. 따라서, 셰이핑되지 않은 정보 비트들 (1206) (및 셰이핑되지 않은 페이로드 비트들 (1216)) 은 정보 블록 (1200) 의 LSB들의 고정된 길이에 대응하는 고정된 길이를 가질 수도 있다. 진폭 비트들 (1022) 은 정보 블록 (1200) 의 셰이핑된 진폭 비트들 (1202) 및 셰이핑되지 않은 진폭 비트들 (1204) (만약 있다면) 을 포함할 수도 있다. 보다 구체적으로, 셰이핑된 진폭 비트들 (1202) 은 셰이핑 인코더 (1030) 에 의해 진폭-셰이핑된 비트들 (1032) 로 인코딩되는 진폭 비트들 (1022) 의 서브세트에 대응할 수도 있다. 진폭-셰이핑된 비트들 (1032) 은 포스트-진폭 셰이핑 정보 블록 (1210) 의 셰이핑된 페이로드 비트들 (1212) 에 대응할 수도 있다. 셰이핑되지 않은 진폭 비트들 (1204) 은 셰이핑 인코더 (1030) 에 의해 인코딩되지 않은 임의의 남겨진 진폭 비트들 (1022) 을 포함한다. 보다 구체적으로, 셰이핑되지 않은 진폭 비트들 (1204) 은 셰이핑 인코더 (1030) 에 의해 출력된 임의의 셰이핑되지 않은 비트들 (1034) 에 대응할 수도 있다. 따라서, 셰이핑되지 않은 진폭 비트들 (1204) 은 예를 들어, 추가적인 셰이핑되지 않은 페이로드 비트들 (1214) 로서 포스트-진폭 셰이핑 정보 블록 (1210) 에 직접 전달될 수도 있다.

[0099] 도 10 에 대하여 설명된 바와 같이, 결과적인 페이로드 비트들의 수가 최대 페이로드 길이에 도달하거나 또는 이를 초과할 때까지 셰이핑 인코더 (1030) 는 진폭 비트들 (1022) 을 반복적으로 인코딩할 수도 있다. 최대 페이로드 길이는 포스트-진폭 셰이핑 정보 블록 (1210) 의 페이로드 부분의 고정된 길이 (N2) 에 대응할 수도 있다. 인코딩 동작에 대한 이 조건의 결과로서, 셰이핑된 진폭 비트들 (1202) 및 셰이핑되지 않은 진폭 비트들 (1204) 은 진폭 비트들 (1022) 의 실제 비트 값들에 의존하여 가변 길이를 가질 수도 있다. 이와 유사하게, 셰이핑된 페이로드 비트들 (1212) 및 추가적인 셰이핑되지 않은 페이로드 비트들 (1214) 은 또한 가변 길이를 가질 수도 있다. 그러나, 셰이핑되지 않은 진폭 비트들 (1204) 은 추가적인 셰이핑되지 않은 페이로드 비트들 (1214) 의 수로 직접 변환됨을 주지한다. 따라서, 포스트-진폭 셰이핑 정보 블록 (1210) 에서의 셰이핑되지 않은 페이로드 비트들 (1214 및 1216) 의 총 수 (L_{US}) 는 프리-진폭 셰이핑 정보 블록 (1200) 의 셰이핑되지 않은 진폭 비트들 (1204) 의 수 및 셰이핑되지 않은 정보 비트들 (1206) 의 수의 합과 동일하다. 그러나, 포스트-진폭 셰이핑 정보 블록 (1210) 의 셰이핑된 페이로드 비트들 (1212) 의 수 (L_S) 는 프리-진폭 셰이핑 정보 블록 (1200) 의 셰이핑된 진폭 비트들 (1202) 의 수 ($N1-L_{US}$) 와는 상이할 수도 있다.

[0100] 도 10 에 대하여 설명된 바와 같이, 패더 (1040) 는 고정된 길이 요건을 만족하도록 포스트-진폭 셰이핑 정보 블록 (1050) 에 하나 이상의 패딩 비트들 (1052) 을 선택적으로 추가할 수도 있다. 패딩 비트들 (1052) 은 포스트-진폭 셰이핑 정보 블록 (1210) 의 패딩 비트들 (1218) 에 대응할 수도 있다. 따라서, 패딩 비트들 (1218) 은 포스트-진폭 셰이핑 정보 블록 (1210) 의 페이로드 부분의 길이를 고정된 길이 (N2) 까지 증가시키기 위해 페이로드 비트들 (1212-1216) 에 필요에 따라 추가될 수도 있다. 보다 구체적으로, 패딩 비트들 (1218) 은 $N2 - (L_S + L_{US})$ 와 동일한 기변 길이를 가질 수도 있다.

[0101] 도 10 에 대하여 설명된 바와 같이, 셰이핑 인코더 (1030) 는 또한 포스트-진폭 셰이핑 정보 블록 (1050) 에서 다수의 진폭-셰이핑된 비트들 (1032) 을 나타내는 하나 이상의 시그널링 비트들 (1036) 을 출력할 수도 있다. 시그널링 비트들 (1036) 은 포스트-진폭 셰이핑 정보 블록 (1210) 의 시그널링 비트들 (1039) 에 대응할 수

도 있다. 일부 구현들에서, 시그널링 비트들 (1036) 은 정보 블록 (1210) 에 포함될 수 있는 셰이핑된 페이로드 비트들 (1212) 의 최대 수 (이를 테면, N_2 의 값 또는 L_s 의 최대 값) 을 특정하거나 또는 달리 나타내기 위해 필요한 비트 값들의 수에 의존하여 고정된 길이 (L_{SIG}) 를 가질 수도 있다. 일부 구현들에서, 시그널링 비트들 (1219) 은 셰이핑된 페이로드 비트들 (1212) 의 수를 나타내는 값을 가질 수도 있다. 일부 다른 양태들에서, 하나 이상의 압축 기법들은 (이를 테면 도 10 에 대하여 설명된 바와 같이) 셰이핑된 다수의 페이로드 비트들 (1212) 을 나타내는데 사용되는 다수의 시그널링 비트 (1219) 을 감소시키는데 사용될 수도 있다.

[0102] 도 13 은 일부 구현들에 따른 진폭 셰이핑을 지원하는 플로우 (1300) 의 다른 다이어그램을 도시한다. 예를 들어, 플로우 (1300) 는 도 9b 에 설명된 플로우 (900) 의 다른 구현일 수도 있다. 도 13 의 예에서, 수신된 코드워드(들)(1310) 은 시스템에틱 디코더 (1320) 에 입력으로서 제공된다. 코드워드 (1310) 는 시스템에틱 부분 (1312) 및 패리티 부분 (1314) 을 포함한다. 코드워드 (1310) 는 도 9a 에 대하여 설명된 하나 이상의 QAM 심볼들에 디-맵핑될 수도 있다. 예를 들어, 코드워드 (1310) 는 리오더링 모듈 (912) 에 의해 입력된 코드워드 (914) 에 대응할 수도 있다.

[0103] 시스템에틱 디코더 (1320) 는 도 9b 의 시스템에틱 디코더 (916) 의 하나의 예일 수도 있다. 따라서, 시스템에틱 디코더 (1320) 는 시스템에틱 디코더 (1320) 로부터 출력된 비트들이 시스템에틱 디코더 (1320) 에 입력된 비트들과 매칭하도록 코드워드 (1310) 상에 시스템에틱 디코딩 동작을 수행할 수도 있다. 보다 구체적으로, 시스템에틱 디코더 (1320) 는 도 10 의 시스템에틱 인코더 (1060) 에 의해 수행된 시스템에틱 인코딩을 역행하거나 실행취소할 수도 있다. 일부 구현들에서, 시스템에틱 디코더 (1320) 는 패리티 비트들 (1314) 과의 도움으로 시스템에틱 부분 (1312) 의 비트들을 디코딩 또는 복원하려 시도하는 LDPC 디코더이거나 이를 포함한다. 시스템에틱 부분 (1312) 의 디코딩된 부분은 정보 블록 (1330) 으로서 시스템에틱 디코더 (1320) 에 의해 출력될 수도 있다. 정보 블록 (1330) 은 정보 블록 (1330) 에 포함된 다수의 진폭-셰이핑된 비트들을 나타내는데 사용되는 고정된 수 (L_{SIG}) 의 시그널링 비트들 (1332) 을 포함할 수도 있다. 일부 구현들에서, 정보 블록 (1330) 은 고정된 길이 ($N_2 + L_{SIG}$) 를 가질 수도 있고, 여기서 N_2 는 정보 블록 (1330) 의 페이로드 부분의 길이이다. 정보 블록 (1330) 은 파서 (1340) 에 대한 입력으로서 제공된다.

[0104] 파서 (1340) 는 진폭 셰이핑된 비트들 (1342) 의 수 및 셰이핑되지 않은 비트들(1344) 의 수로 정보 블록 (1330) 을 분리 또는 분할할 수 있다. 예를 들어, 진폭 셰이핑된 비트들 (1342) 은 정보 블록 (1330) 의 MSB들에 대응할 수도 있고 셰이핑되지 않은 비트들 (1344) 의 수는 정보 블록 (1330) 의 LSB들에 대응할 수도 있다. 파서 (1340) 는 시그널링 비트들 (1332) 의 값에 적어도 부분적으로 기초하여 정보 블록 (1330) 으로부터 파싱할 진폭-셰이핑된 비트들 (1342) 의 수를 결정할 수도 있다. 진폭 셰이핑된 비트들 (1342) 은 셰이핑 디코더 (1350) 에 제공된다. 나머지 셰이핑되지 않은 비트들 (1344) 은 디파서 (1360) 에 직접 제공되어, 셰이핑 디코더 (1350) 를 바이패스한다. 일부 구현들에서, 시그널링 비트들 (1332) 은 디파서 (1360) 에 전달되는 셰이핑되지 않은 비트들 (1344) 에 포함될 수도 있다. 일부 구현들에서, 파서 (1340) 는 진폭-셰이핑된 비트들 (1342) 의 길이를 결정한 후에 시그널링 비트들 (1332) 을 제거 또는 폐기할 수도 있다.

[0105] 일부 구현들에서, 시그널링 비트들 (1332) 은 진폭-셰이핑된 비트들 (1342) 의 수를 나타내는 값을 가질 수도 있다. 일부 다른 구현들에서, 시그널링 비트들 (1332) 의 값은 (이를 테면, 도 10 에 대하여 설명된 바와 같이) 압축될 수도 있다. 예를 들어, 시그널링 비트들 (1332) 은 진폭-셰이핑된 비트들 (1342) 와 연관된 PAM 심볼들의 수에 적어도 부분적으로 기초하여 값을 가질 수도 있다. 일부 구현들에서, 시그널링 비트들 (1332) 은 진폭-셰이핑된 비트들 (1342) 과 연관된 셰이핑된 PAM 심볼들의 수 (L_{PAM}) 를 나타내는 값을 가질 수도 있다. 이에 따라, 파서 (1340) 는 L_{PAM} 와 연관된 비트들의 수에 기초하여 정보 블록 (1330) 에 포함된 진폭-셰이핑된 비트들 (1342) 의 수를 결정할 수도 있다.

[0106] 일부 구현들에서, 시그널링 비트들 (1332) 은 진폭-셰이핑된 비트들 (1342) 에 의해 표현될 수 있는 셰이핑된 PAM 심볼들의 평균 또는 평균 수 (L_{MEAN}) 와 L_{PAM} 사이의 차이를 나타내는 값을 가질 수 있다. 파서 (1340) 는 고정된 수 (N_1) 의 정보 비트들이 주어지는 특정 프리픽스 인코딩 동작을 통하여 인코딩가능한 진폭-셰이핑된 비트들의 수를 먼저 결정하는 것에 의해 L_{MEAN} 를 결정할 수도 있다. 예를 들어, L_{MEAN} 은 프리픽스 인코딩 테이블의 유효 코딩 레이트에 기초하여 N_1 개의 정보 비트들로부터 인코딩될 수 있는 진폭-셰이핑된 비트들의 수에 대응할 수도 있다. 파서 (1340) 는 그 후, 시그널링 비트들 (1332) 의 값과 L_{MEAN} 사이의 차이에 기초하여 L_{PAM} 을 계산할 수도 있고, 정보 블록 L_{PAM} 과 연관된 비트들의 수에 기초하여 정보 블록 (1330) 에 포함된

진폭-셰이핑된 비트들 (1342) 의 수를 결정할 수도 있다.

[0107] 일부 다른 구현들에서, 시그널링 비트들 (1332) 은 진폭-셰이핑된 비트들 (1342) 에 의해 표현될 수 있는 셰이핑된 PAM 심볼들의 최대 수 (L_{MAX}) 와 L_{PAM} 사이의 차이를 나타내는 값을 가질 수 있다. 파서 (1340) 는 $N1$ 개의 정보 비트들이 주어지는 특정 프리픽스 인코딩 동작을 통하여 인코딩가능한 진폭-셰이핑된 비트들의 최대 수를 먼저 결정하는 것에 의해 L_{MAX} 를 결정할 수도 있다. 파서 (1340) 는 그 후, 진폭-셰이핑된 비트들의 최대 수와 연관된 PAM 심볼들의 수에 기초하여 L_{MAX} 을 계산할 수도 있다. 파서 (1340) 는 또한, 시그널링 비트들 (1332) 의 값과 L_{MAX} 사이의 차이에 기초하여 L_{PAM} 을 계산할 수도 있고, 정보 블록 L_{PAM} 과 연관된 비트들의 수에 기초하여 정보 블록 (1330) 에 포함된 진폭-셰이핑된 비트들 (1342) 의 수를 결정할 수도 있다.

[0108] 일부 다른 구현들에서, 시그널링 비트들 (1332) 은 진폭-셰이핑된 비트들 (1342) 과 연관된 셰이핑된 PAM 심볼들의 추정된 수 (L_{EST}) 와 L_{PAM} 사이의 차이를 나타내는 값을 가질 수 있다. 파서 (1340) 는 각각의 페이로드 비트가 셰이핑 디코더 (1350) 에 대한 입력으로서 제공될 수도 있다는 가정하에 $N2$ 페이로드 비트들에 기초하여 셰이핑 디코더 (1350) 에 의해 디코딩될 수 있는 진폭-셰이핑된 비트들의 추정된 수를 먼저 결정하는 것에 의해 L_{EST} 를 결정할 수도 있다. 파서 (1340) 는 그 후, 진폭-셰이핑된 비트들의 최대 수와 연관된 PAM 심볼들의 수에 기초하여 L_{EST} 을 계산할 수도 있다. 파서 (1340) 는 또한, 시그널링 비트들 (1332) 의 값과 L_{EST} 사이의 차이에 기초하여 L_{PAM} 을 계산할 수도 있고, 정보 블록 L_{PAM} 과 연관된 비트들의 수에 기초하여 정보 블록 (1330) 에 포함된 진폭-셰이핑된 비트들 (1342) 의 수를 결정할 수도 있다.

[0109] 또한 추가로, 일부 구현들에서, 시그널링 비트들 (1332) 은 정보 블록 (1330) 에 포함된 패딩 비트들의 수를 나타내는 값을 가질 수도 있다. 위에 설명된 바와 같이, 정보 블록 (1330) 의 페이로드 부분은 고정된 길이 ($N2$) 를 가지며, 정보 블록 (1330) 에서의 셰이핑되지 않은 페이로드 비트들의 수는 또한 고정된다. 따라서, 파서 (1340) 는 정보 블록 (1330) 의 페이로드 부분의 길이로부터 셰이핑되지 않은 비트들의 고정된 수 및 패딩 비트들의 수를 감산하는 것에 의해 정보 블록 (1330) 에 포함된 진폭-셰이핑된 비트들 (1342) 의 수를 결정할 수도 있다. 도 12b 에 도시된 바와 같이, $N2$ 로부터 패딩 비트들 (1218) 의 수 및 셰이핑되지 않은 페이로드 비트들 (1216) 의 수를 감산한 후에, 나머지 비트들은 셰이핑된 페이로드 비트들 (1212) 에 더하여 일부 셰이핑되지 않은 페이로드 비트들 (1214) 을 포함할 수도 있다. 그러나, 프리픽스 인코딩 동작에 적용되는 것과 동일한 프리픽스 디코딩 동작에 대한 조건들 또는 제약들을 적용하는 것에 의해, 셰이핑 디코더 (1350) 는 셰이핑된 페이로드 비트들 (1212) 만을 진폭 디-셰이핑하는 것을 수행할 수도 있다. 즉, 셰이핑되지 않은 페이로드 비트들 (1214) 은, 셰이핑 디코더 (1350) 에 제공되는 경우에도, 진폭 디-셰이핑 동작을 바이패스할 수도 있다.

[0110] 셰이핑 디코더 (1350) 는 도 9b 의 셰이핑 디코더 (926) 의 하나의 예일 수도 있다. 따라서, 셰이핑 디코더 (1350) 는 디-셰이핑된 비트들 (1352) 의 수를 복원하기 위해 진폭-셰이핑된 비트들 (1342) 에 대한 진폭 디-셰이핑 동작을 수행할 수도 있다. 보다 구체적으로, 셰이핑 디코더 (1350) 는 도 10 의 셰이핑 인코더 (1030) 에 의해 수행된 진폭 셰이핑을 역행하거나 실행취소할 수도 있다. 일부 구현들에서, 셰이핑 디코더 (1350) 는 프리픽스 디코더일 수 있거나 이를 포함한다. 예를 들어, 셰이핑 디코더 (1350) 는 도 10 에 대하여 설명된 본질적으로 셰이핑 인코더 (1030) 에 의해 수행된 프리픽스 인코딩 동작의 역인 프리픽스 디코딩 동작을 수행할 수도 있다. 일부 구현들에서, 셰이핑 디코더 (1350) 는 정보 비트들의 결과적인 수 (디-셰이핑된 비트들 (1352), 셰이핑되지 않은 비트들 (1344), 및 셰이핑 디코더 (1350) 에 의해 아직 디코딩되지 않은 임의의 나머지 진폭-셰이핑된 비트들 (1342)) 가 고정된 양 ($N1$) 과 동일할 때까지 진폭-셰이핑된 비트들 (1342) 을 반복적으로 디코딩할 수도 있다.

[0111] 파서 (1360) 는 도 9b 의 디파서 (930) 의 하나의 예일 수도 있다. 일부 구현들에서, 디파서 (1360) 는 고정된 길이 ($N1$) 를 갖는 디코딩된 정보 블록 (1362) 에, 디-셰이핑된 비트들 (1352) 및 셰이핑되지 않은 비트들 (1344) (및 셰이핑 디코더 (1350) 에 의해 디코딩되지 않은 임의의 나머지 진폭-셰이핑된 비트들 (1342)) 을 결합하거나 리어셈블할 수도 있다. 일부 양태들에서, 셰이핑되지 않은 비트들 (1344) 은 하나 이상의 패딩 비트들 (1345) 을 포함할 수도 있다. 일부 다른 구현들에서, 셰이핑되지 않은 비트들 (1344) 은 또한 시그널링 비트들 (1332) 을 포함할 수도 있다. 시그널링 비트들 (1332) 및 패딩 비트들 (1345)(만약 있다면) 은 리어셈블리 프로세스 동안에 디코딩된 정보 블록 (1362) 의 LSB들에 대응할 수도 있다. 일부 구현들에서, 디파서 (1360) 는 예를 들어, 정보 블록 (1362) 의 길이를 $N1$ 으로 감소시키는 것에 의해 디코딩된 정보 블록 (1362) 으로부터 임의의 시그널링 비트들 (1332) 또는 패딩 비트들 (1345) 을 제거할 수도 있다. 디코딩된

정보 블록 (1362) 은 그 후, 대응하는 MPDU들을 디코딩하는 플로우 (1300) 를 구현하는 무선 통신 디바이스의 MAC 계층에 의해 프로세싱될 수 있다.

[0112] 도 14 는 일부 구현들에 따른 진폭 셰이핑을 지원하는 무선 통신을 위한 예시적인 프로세스 (1400) 를 예시하는 플로우차트를 도시한다. 일부 다른 구현들에서, 프로세스 (1400) 는, 각각 도 1 및 도 4b 를 참조하여 설명된 STA들 (104 및 404) 중 하나와 같은, STA 로서 또는 그 내에서 동작하는 무선 통신 디바이스에 의해 수행될 수도 있다. 일부 구현들에서, 프로세스 (1400) 는, 각각 도 1 및 도 4a 를 참조하여 설명된 AP들 (102 및 402) 중 하나와 같은, AP 로서 또는 그 내에서 동작하는 무선 통신 디바이스에 의해 수행될 수도 있다.

[0113] 일부 구현들에서, 프로세스 (1400) 는 블록 (1402) 에서 고정 수 (N_1) 의 정보 비트들을 포함하는 제 1 정보 블록을 획득하는 것으로 시작한다. 블록 (1404) 에서, 프로세스 (1400) 는 다수 (L_S) 의 진폭 셰이핑된 비트들을 생성하는 제 1 인코딩 동작을 정보 비트들 중 하나 이상에 대해 수행하는 것으로 진행한다. 일부 구현들에서, 제 1 인코딩 동작의 수행은 LUT로부터, 정보 비트들의 서브세트에 매칭하는 비트 값들의 패턴을 반복적으로 선택하는 것을 포함할 수도 있고, 여기서 LUT 는 개별의 복수의 진폭-셰이핑된 비트들의 패턴들에 대응하는 복수의 비트 값들의 패턴들을 저장하고, 복수의 진폭-셰이핑된 비트들은 선택된 비트 값들의 패턴에 대응하는 진폭-셰이핑된 비트들의 패턴을 포함한다. 일부 구현들에서, 비트 값들의 패턴의 반복적인 선택은 각각의 반복에 대해, 정보 비트들의 제 1 서브세트에 매칭하는 비트 값들의 제 1 패턴의 선택이 N_2 보다 큰 L_S 및 L_{US} 의 합을 야기하는지의 여부를 결정하는 것을 더 포함할 수도 있다.

[0114] 일부 구현들에서, 비트 값들의 패턴의 반복적인 선택은 비트 값들의 제 1 패턴을 선택함이 없이, 비트 값들의 제 1 패턴을 선택하는 것이 N_2 보다 큰 L_S 및 L_{US} 의 합을 야기한다고 결정하는 것에 응답하여 제 1 인코딩 동작을 완료하는 것을 더 포함할 수도 있다. 일부 다른 구현들에서, 비트 값들의 패턴의 반복적 선택은 비트 값들의 제 1 패턴을 선택하는 것이 N_2 보다 큰 L_S 및 L_{US} 의 합을 야기한다고 결정하는 것에 응답하여 정보 비트들의 제 2 서브세트에 매칭하는 비트 값들의 제 2 패턴의 선택이 N_2 이하인 L_S 및 L_{US} 의 합을 야기하는지의 여부를 결정하는 것을 더 포함할 수도 있다. 일부 양태들에서, 정보 비트들의 제 2 서브세트는 정보 비트들의 제 1 서브세트보다 더 클 수도 있다. 일부 구현들에서, 비트 값들의 패턴의 반복적 선택은 L_S 및 L_{US} 의 결과적인 합이 N_2 이하라는 결정에 응답하는 것; 및 비트 값들의 제 2 패턴을 선택하는 것에 응답하여 제 1 인코딩 동작을 완료하는 것을 더 포함할 수도 있다.

[0115] 블록 (1406) 에서, 프로세스 (1400) 는 제 1 정보 블록으로부터의 다수 (L_{US}) 의 정보 비트들을 포함하는 제 2 정보 블록으로 L_S 개의 진폭-셰이핑된 비트들을 배열하게 하는 것으로 진행하고, L_S 및 L_{US} 의 합은 고정된 양 (N_2) 이하이다. 블록 (1408) 에서, 프로세스 (1400) 는 제 2 정보 블록의 길이가 N_2 와 동일하게 되도록 제 2 정보 블록에 하나 이상의 패딩 비트들을 선택적으로 추가하는 것으로 진행한다. 블록 (1410) 에서, 프로세스 (1400) 는 제 2 정보 블록에, 제 2 정보 블록에서 다수의 진폭-셰이핑된 비트들을 나타내는 하나 이상의 시그널링 비트들을 추가하는 것으로 진행한다. 일부 구현들에서, 하나 이상의 시그널링 비트들의 추가는 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; LUT 에서 진폭 셰이핑된 비트들의 각각의 패턴의 길이에 기초하여 무선 패킷과 연관된 진폭-셰이핑된 비트들의 추정된 수를 결정하는 것; 및 진폭-셰이핑된 비트들의 추정된 수와 연관된 심볼들의 수 (L_{EST}) 를 결정하는 것을 포함할 수도 있고, 하나 이상의 시그널링 비트들은 L_{PAM} 와 L_{EST} 사이의 차이와 동일한 값을 나타낸다.

[0116] 일부 다른 구현들에서, 하나 이상의 시그널링 비트들의 추가는 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것을 포함할 수도 있고, 하나 이상의 시그널링 비트들은 L_{PAM} 와 동일한 값을 나타낸다. 일부 다른 구현들에서, 하나 이상의 시그널링 비트들의 추가는 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; N_1 정보 비트들이 주어진 제 1 인코딩 동작에 기초하여 인코딩가능한 진폭-셰이핑된 비트들의 평균 수를 결정하는 것; 및 진폭-셰이핑된 비트들의 평균 수와 연관된 심볼들의 수 (L_{MEAN}) 를 결정하는 것을 포함할 수도 있고, 하나 이상의 시그널링 비트들은 L_{PAM} 와 L_{MEAN} 사이의 차이와 동일한 값을 나타낸다. 일부 다른 구현들에서, 하나 이상의 시그널링 비트들의 추가는 제 2 정보 블록에서 정보 비트들과 연관된 심볼들의 수를 결정하는 것을 포함할 수도 있고, 하나 이상의 시그널링 비트들은 제 2 정보 블록에서 정보 비트들과 연관된 심볼들의 수와 동일한 값을 나타낸다. 또한, 일부 구현들에서, 하나 이상의 시그널링 비트들은 제 2

정보 블록에 포함된 패딩 비트들의 수와 동일한 값을 나타낼 수도 있다.

[0117] 블록 (1412) 에서, 프로세스 (1400) 는 하나 이상의 코드워드들을 생성하는 제 2 인코딩 동작을 제 2 정보 블록에 대해 수행하는 것으로 진행하고, 각각의 코드워드는 제 2 인코딩 동작으로부터 기인하는 하나 이상의 패리티 비트들 및 제 2 정보 블록의 개별적인 비트들의 서브세트를 포함한다. 블록 (1414) 에서, 프로세스 (1400) 는 제 2 정보 블록의 비트들의 서브세트들 및 패리티 비트들을 복수의 심볼들로 배열하는 것으로 진행하고, 각각의 심볼은 심볼에서 배열된 개별적인 비트들에 기초하는 진폭을 갖고, 제 1 인코딩 동작은 복수의 심볼들의 진폭들이 불균일 분포를 갖게 하도록 진폭-셰이핑된 비트들을 생성한다. 블록 (1416) 에서, 프로세스 (1400) 는 복수의 심볼들을 포함하는 무선 패킷을 적어도 하나의 수신 디바이스에 송신하는 것으로 진행한다.

[0118] 도 15 는 일부 구현들에 따른 진폭 셰이핑을 지원하는 무선 통신을 위한 예시적인 프로세스 (1500) 를 예시하는 플로우차트를 도시한다. 일부 구현들에서, 프로세스 (1500) 는, 각각 도 1 및 도 5b 를 참조하여 상기 설명된 STA들 (104 또는 504) 중 하나와 같은, 네트워크 노드로서 또는 그 내에서 동작하는 무선 통신 디바이스에 의해 수행될 수도 있다. 일부 다른 구현들에서, 프로세스 (1500) 는, 각각 도 1 및 도 5a 를 참조하여 상기 설명된 AP들 (102 또는 502) 중 하나와 같은, AP 로서 또는 그 내에서 동작하는 무선 통신 디바이스에 의해 수행될 수도 있다.

[0119] 일부 구현들에서, 프로세스 (1500) 는 블록 (1502) 에서, 복수의 진폭들을 갖는 복수의 심볼들을 포함하는 무선 패킷을 수신하는 것으로 시작하며, 여기서 복수의 심볼들은 복수의 코드워드 비트들을 나타내고, 복수의 진폭들은 불균일 분포를 갖는다. 블록 (1504) 에서, 프로세스 (1500) 는 복수의 코드워드 비트들을 하나 이상의 코드워드들로 배열하는 것으로 진행한다. 블록 (1506) 에서, 프로세스 (1500) 는 하나 이상의 개별적인 디코딩된 코드 블록들을 생성하는 제 1 디코딩 동작을 하나 이상의 코드워드들에 대해 수행하는 것으로 진행하고, 각각의 디코딩된 코드 블록은 복수의 디코딩된 코드워드 비트들 및 하나 이상의 패리티 비트들을 포함한다. 블록 (1508) 에서, 프로세스 (1500) 는 복수의 디코딩된 코드워드 비트들을 고정된 길이 (N_2) 를 갖는 정보 블록으로 배열하는 것으로 진행한다. 블록 (1510) 에서, 프로세스 (1500) 는 정보 블록의 고정된 길이 (N_2) 에 기초하여 정보 블록의 하나 이상의 시그널링 비트들을 검출하는 것으로 진행한다.

[0120] 블록 (1512) 에서, 프로세스 (1500) 는 하나 이상의 시그널링 비트들과 연관된 값에 기초하여 정보 블록에서 다수 (L_S) 의 진폭-셰이핑된 비트들을 식별하는 것으로 진행한다. 일부 구현들에서, 진폭-셰이핑된 비트들은 정보 블록의 MSBs 을 나타낼 수도 있다. 블록 (1514) 에서, 프로세스 (1500) 는 다수 (L_{DS}) 의 디-셰이핑된 비트들을 생성하는 제 2 디코딩 동작을 진폭-셰이핑된 비트들에 대해 수행하는 것으로 진행한다. 일부 구현들에서, 제 2 디코딩 동작을 수행하는 것은 LUT 로부터, 진폭-셰이핑된 비트들의 서브세트에 매칭하는 디-셰이핑된 비트들의 패턴을 선택하는 것을 포함할 수도 있고, LUT 는 진폭-셰이핑된 비트들의 개별적인 복수의 패턴들에 대응하는 디-셰이핑된 비트들의 복수의 패턴들을 저장하고, 그리고 복수의 디-셰이핑된 비트들은 디-셰이핑된 비트들의 선택된 패턴을 포함한다.

[0121] 일부 구현들에서, 다수의 진폭-셰이핑된 비트들의 식별은 LUT 에서 진폭 셰이핑된 비트들의 각각의 패턴의 길이에 기초하여 무선 패킷과 연관된 진폭-셰이핑된 비트들의 추정된 수를 결정하는 것; 진폭 셰이핑된 비트들의 추정된 수와 연관된 심볼들의 수 (L_{EST}) 를 결정하는 것; L_{EST} 와 하나 이상의 시그널링 비트들과 연관된 값 사이의 차이에 기초하여 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및 L_{PAM} 와 연관된 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함할 수도 있다. 일부 다른 구현들에서, 다수의 진폭-셰이핑된 비트들의 식별은 하나 이상의 시그널링 비트들과 연관된 값에 기초하여 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및 L_{PAM} 와 연관된 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함할 수도 있다.

[0122] 일부 다른 구현들에서, 다수의 진폭-셰이핑된 비트들의 식별은 N_1 정보 비트들이 주어진 제 2 디코딩 동작에 기초하여 디코딩가능한 진폭-셰이핑된 비트들의 평균 수를 결정하는 것; 진폭 셰이핑된 비트들의 평균 수와 연관된 심볼들의 수 (L_{MEAN}) 를 결정하는 것; L_{MEAN} 와 하나 이상의 시그널링 비트들과 연관된 값 사이의 차이에 기초하여 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및 L_{PAM} 와 연관된 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함할 수도 있다. 또한, 일부 구현들에서, 다수의 진폭-셰이핑된 비트들의 식별은 하나 이상의 시그널링 비트들과 연관된 값에 기초하여 정보 블록에 포함된 패딩 비트들의 수를 결정하는 것; 및 N_2 , L_{US} , 및 패딩 비트들의 수에 기초하여 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함할 수도 있다.

- [0123] 블록 (1516) 에서, 프로세스 (1500) 는 디-셰이핑된 비트들의 수 (L_{DS}) 및 디코딩된 정보 블록과 연관된 고정된 길이 ($N1$) 에 기초하여 정보 블록으로부터 다수 (L_{US}) 의 셰이핑되지 않은 비트들을 파싱하는 것으로 진행된다.
- 일부 구현들에서, L_{US} 및 L_{DS} 의 합은 $N2$ 와 동일할 수도 있다. 일부 구현들에서, L_{US} 를 초과하는 하나 이상의 비트들은 정보 블록으로부터 폐기될 수 있다. 일부 구현들에서, 폐기된 비트들은 정보 블록의 LSBs 을 나타낼 수도 있다. 블록 (1518) 에서, 프로세스 (1500) 는 디-셰이핑된 비트들 및 셰이핑되지 않은 비트들을 고정된 길이 ($N1$) 를 갖는 디코딩된 정보 블록으로 배열하는 것으로 진행된다.
- [0124] 도 16 은 일부 구현들에 따른 예시적인 무선 통신 디바이스 (1600) 의 블록도를 도시한다. 일부 구현들에서, 무선 통신 디바이스 (1600) 는 도 14 를 참조하여 상기 설명된 프로세스 (1400) 를 수행하도록 구성된다. 무선 통신 디바이스 (1600) 는 도 3 를 참조하여 상기 설명된 무선 통신 디바이스 (300) 의 예시적인 구현일 수 있다. 예를 들어, 무선 통신 디바이스 (1600) 는 적어도 하나의 프로세서 및 적어도 하나의 모뎀 (예를 들어, Wi-Fi (IEEE 802.11) 모뎀 또는 셀룰러 모뎀) 을 포함하는 칩, SoC, 칩셋, 패키지 또는 디바이스일 수 있다.
- [0125] 무선 통신 디바이스 (1600) 는 수신 컴포넌트 (1610), 통신 관리기 (1620), 및 송신 컴포넌트 (1630) 를 포함한다. 통신 관리기 (1620) 는 제 1 블록 구성 컴포넌트 (1621), 펄스 진폭 인코딩 컴포넌트 (1622), 제 2 블록 구성 컴포넌트 (1623), 패딩 컴포넌트 (1624), 시그널링 비트 생성 컴포넌트 (1625), 시스템에틱 인코딩 컴포넌트 (1626), 및 심볼 구성 컴포넌트 (1627) 를 더 포함한다. 컴포넌트들 (1621-1627) 중 하나 이상의 부분들은 하드웨어 또는 펌웨어로 적어도 부분적으로 구현될 수도 있다. 일부 구현들에서, 컴포넌트들 (1621-1627) 중 적어도 일부는 메모리 (이를 테면 메모리 (308)) 에 저장된 소프트웨어로서 적어도 부분적으로 구현된다. 예를 들어, 컴포넌트들 (1621-1627) 중 하나 이상의 부분들은 개별의 컴포넌트의 기능들 또는 동작들을 수행하기 위해 프로세서 (이를 테면 프로세서 (306)) 에 의해 실행가능한 비일시적 명령들 (또는 "코드") 로서 구현될 수 있다.
- [0126] 수신 컴포넌트 (1610) 는 하나 이상의 다른 무선 통신 디바이스들로부터, 무선 채널 상으로, RX 신호들을 수신하도록 구성된다. 통신 관리기 (1620) 는 하나 이상의 다른 무선 통신 디바이스들과의 통신을 제어 또는 관리하도록 구성된다. 일부 구현들에서, 제 1 블록 구성 컴포넌트 (1621) 는 정보 비트들의 고정 수 ($N1$) 를 포함하는 제 1 정보 블록을 획득할 수도 있고; 펄스 진폭 인코딩 컴포넌트 (1622) 는 다수 (L_S) 의 진폭 셰이핑된 비트들을 생성하는 제 1 인코딩 동작을 정보 비트들 중 하나 이상에 대해 수행할 수도 있고; 제 2 블록 구성 컴포넌트 (1623) 는 제 1 정보 블록으로부터의 다수 (L_{US}) 의 정보 비트들을 포함하는 제 2 정보 블록으로 L_S 의 진폭-셰이핑된 비트들을 배열할 수도 있고, L_S 및 L_{US} 의 합은 고정된 양 ($N2$) 이하이고; 패딩 컴포넌트 (1624) 는 제 2 정보 블록의 길이가 $N2$ 와 동일하게 되도록 제 2 정보 블록에 하나 이상의 패딩 비트들을 선택적으로 추가할 수도 있고; 시그널링 비트 생성 컴포넌트 (1625) 는 제 2 정보 블록에, 제 2 정보 블록에서 다수의 진폭-셰이핑된 비트들을 나타내는 하나 이상의 시그널링 비트들을 추가할 수도 있고; 시스템에틱 인코딩 컴포넌트 (1626) 는 하나 이상의 코드워드들을 생성하는 제 2 인코딩 동작을 제 2 정보 블록에 대해 수행할 수도 있고, 각각의 코드워드는 제 2 인코딩 동작으로부터 기인하는 하나 이상의 패리티 비트들 및 제 2 정보 블록의 개별적인 비트들의 서브세트를 포함하고; 심볼 구성 컴포넌트 (1627) 는 제 2 정보 블록의 비트들의 서브세트들 및 패리티 비트들을 복수의 심볼들로 배열할 수 있고, 각각의 심볼은 심볼에서 배열된 개별적인 비트들에 기초하는 진폭을 갖고, 제 1 인코딩 동작은 복수의 심볼들의 진폭들이 불균일 분포를 갖게 하도록 진폭-셰이핑된 비트들을 생성한다. 송신 컴포넌트 (1630) 는 TX 신호들을 하나 이상의 다른 무선 통신 디바이스들에 송신하도록 구성된다. 일부 구현들에서, TX 신호들은 복수의 심볼들을 포함하는 무선 패킷을 나타낼 수 있다.
- [0127] 도 17 은 일부 구현들에 따른 예시적인 무선 통신 디바이스 (1700) 의 블록도를 도시한다. 일부 구현들에서, 무선 통신 디바이스 (1700) 는 도 15 를 참조하여 상기 설명된 프로세스 (1500) 를 수행하도록 구성된다. 무선 통신 디바이스 (1700) 는 도 3 를 참조하여 상기 설명된 무선 통신 디바이스 (300) 의 예시적인 구현일 수 있다. 예를 들어, 무선 통신 디바이스 (1700) 는 적어도 하나의 프로세서 및 적어도 하나의 모뎀 (예를 들어, Wi-Fi (IEEE 802.11) 모뎀 또는 셀룰러 모뎀) 을 포함하는 디바이스, 칩, SoC, 칩셋 또는 패키지일 수 있다.
- [0128] 무선 통신 디바이스 (1700) 는 수신 컴포넌트 (1710), 통신 관리기 (1720), 및 송신 컴포넌트 (1730) 를 포함한다. 통신 관리기 (1720) 는 코드워드 구성 컴포넌트 (1721), 시스템에틱 디코딩 컴포넌트 (1722), 제 1 블록 구성 컴포넌트 (1723), 시그널링 비트 검출 컴포넌트 (1724), 셰이핑된 비트 식별 컴포넌트 (1725), 펄스 진

폭 디코딩 컴포넌트 (1726), 비성형 비트 파싱 컴포넌트 (1727), 및 제 2 블록 구성 컴포넌트 (1728) 를 더 포함한다. 컴포넌트들 (1721-1728) 중 하나 이상의 부분들은 하드웨어 또는 펌웨어로 적어도 부분적으로 구현될 수도 있다. 일부 구현들에서, 컴포넌트들 (1721-1728) 중 적어도 일부는 메모리 (이를 테면 메모리 (308)) 에 저장된 소프트웨어로서 적어도 부분적으로 구현된다. 예를 들어, 컴포넌트들 (1721-1728) 중 하나 이상의 부분들은 개별의 컴포넌트의 기능들 또는 동작들을 수행하기 위해 프로세서 (이를 테면 프로세서 (306)) 에 의해 실행가능한 비밀시적 명령들 (또는 "코드") 로서 구현될 수 있다.

[0129] 수신 컴포넌트 (1710) 는 하나 이상의 다른 무선 통신 디바이스들로부터, 무선 채널 상으로, RX 신호들을 수신하도록 구성된다. 일부 구현들에서, RX 신호들은 복수의 진폭들을 갖는 복수의 심볼들을 포함하는 무선 패킷을 나타낼 수도 있고, 여기서 복수의 심볼들은 복수의 코드워드 비트들을 나타내고, 복수의 진폭들은 불균일 분포를 갖는다. 통신 관리기 (1720) 는 하나 이상의 다른 무선 통신 디바이스들과의 통신을 제어 또는 관리하도록 구성된다. 일부 구현들에서, 코드워드 구성 컴포넌트 (1721) 는 복수의 코드워드 비트들을 하나 이상의 코드워드들로 배열할 수도 있고; 시스템에틱 디코딩 컴포넌트 (1722) 는 하나 이상의 개별적인 디코딩된 코드 블록들을 생성하는 제 1 디코딩 동작을 하나 이상의 코드워드들에 대해 수행할 수도 있고, 각각의 디코딩된 코드 블록은 복수의 디코딩된 코드워드 비트들 및 하나 이상의 패리티 비트들을 포함하고; 제 1 블록 구성 컴포넌트 (1723) 는 복수의 디코딩된 코드워드 비트들을 고정된 길이 (N_2) 를 갖는 정보 블록으로 배열할 수도 있고; 시그널링 비트 검출 컴포넌트 (1724) 는 정보 블록의 고정된 길이 (N_2) 에 기초하여 정보 블록의 하나 이상의 시그널링 비트들을 검출할 수도 있고; 셰이핑된 비트 식별 컴포넌트 (1725) 는 하나 이상의 시그널링 비트들과 연관된 값에 기초하여 정보 블록에서 다수 (L_s) 의 진폭-셰이핑된 비트들을 식별할 수도 있고; 펄스 진폭 디코딩 컴포넌트 (1726) 는 다수 (L_{DS}) 의 디-셰이핑된 비트들을 생성하는 제 2 디코딩 동작을 진폭-셰이핑된 비트들에 대해 수행할 수도 있고; 셰이핑되지 않은 비트 파싱 컴포넌트 (1727) 는 디-셰이핑된 비트들의 수 (L_{DS}) 및 디코딩된 정보 블록과 연관된 고정된 길이 (N_1) 에 기초하여 정보 블록으로부터 다수 (L_{US}) 의 셰이핑되지 않은 비트들을 파싱할 수도 있고; 제 2 블록 구성 컴포넌트 (1728) 는 디-셰이핑된 비트들 및 셰이핑되지 않은 비트들을 고정된 길이 (N_1) 를 갖는 디코딩된 정보 블록으로 배열할 수도 있다. 송신 컴포넌트 (1730) 는 TX 신호들을 하나 이상의 다른 무선 통신 디바이스들에 송신하도록 구성된다.

[0130] 본 명세서에서 사용된 바와 같이, 아이템들의 리스트 "중 적어도 하나" 또는 "중 하나 이상" 을 지칭하는 어구는 단일 멤버들을 포함하여 그 아이템들의 임의의 조합을 지칭한다. 예를 들어, "a, b, 또는 c 중 적어도 하나" 는 a 만, b 만, c 만, a 와 b 의 조합, a 와 c 의 조합, b 와 c 의 조합, 그리고 a 와 b 와 c 의 조합의 가능성들을 커버하도록 의도된다.

[0131] 본 명세서에 개시된 구현들과 관련하여 설명된 다양한 예시적인 컴포넌트들, 로직, 논리 블록들, 모듈들, 회로들, 동작들 및 알고리즘 프로세스들은, 본 명세서에 개시된 구조들 및 이들의 구조적 균등물들을 포함하는, 전자 하드웨어, 펌웨어, 소프트웨어, 또는 하드웨어, 펌웨어 또는 소프트웨어의 조합들로서 구현될 수도 있다. 하드웨어, 펌웨어 및 소프트웨어의 상호교환가능성은 일반적으로 기능의 관점에서 설명되었으며, 상기 설명된 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 프로세스들에서 예시되었다. 그러한 기능이 하드웨어에서 구현되는지, 펌웨어에서 구현되는지, 또는 소프트웨어에서 구현되는지는 전체 시스템에 부과된 설계 제약들 및 특정 애플리케이션에 의존한다.

[0132] 구현 예들은 다음의 넘버링된 조항들에서 기술된다:

[0133] 1. 무선 통신 디바이스에 의한 무선 통신을 위한 방법은:

[0134] 고정된 수의 (N_1) 정보 비트들을 포함하는 제 1 정보 블록을 획득하는 것;

[0135] 다수 (L_s) 의 진폭 셰이핑된 비트들을 생성하는 제 1 인코딩 동작을 정보 비트들 중 하나 이상에 대해 수행하는 것;

[0136] 제 1 정보 블록으로부터의 다수 (L_{US}) 의 정보 비트들을 포함하는 제 2 정보 블록으로 L_s 의 진폭-셰이핑된 비트들을 배열하는 것으로서, L_s 및 L_{US} 의 합은 고정된 양 (N_2) 이하임;

[0137] 제 2 정보 블록의 길이가 N_2 와 동일하게 되도록 제 2 정보 블록에 하나 이상의 패딩 비트들을 선택적으로 추가하는 것;

[0138] 제 2 정보 블록에, 제 2 정보 블록에서 다수의 진폭-셰이핑된 비트들을 나타내는 하나 이상의 시그널링 비트들

을 추가하는 것;

- [0139] 하나 이상의 코드워드들을 생성하는 제 2 인코딩 동작을 제 2 정보 블록에 대해 수행하는 것으로서, 각각의 코드워드는 제 2 인코딩 동작으로부터 기인하는 하나 이상의 패리티 비트들 및 제 2 정보 블록의 개별적인 비트들의 서브세트를 포함함;
- [0140] 제 2 정보 블록의 비트들의 서브세트들 및 패리티 비트들을 복수의 심볼들로 배열하는 것으로서, 각각의 심볼은 심볼에서 배열된 개별적인 비트들에 기초하는 진폭을 갖고, 제 1 인코딩 동작은 복수의 심볼들의 진폭들이 불균일 분포를 갖게 하도록 진폭-셰이핑된 비트들을 생성함; 및
- [0141] 복수의 심볼들을 포함하는 무선 패킷을 적어도 하나의 수신 디바이스로 송신하는 것을 포함한다.
- [0142] 2. 조항 1의 방법은, 제 1 인코딩 동작을 수행하는 것은,
- [0143] 룩업 테이블 (LUT)로부터, 상기 정보 비트들의 서브세트에 매칭하는 비트 값들의 패턴을 반복적으로 선택하는 것을 포함하고, 상기 LUT는 개별의 복수의 진폭-셰이핑된 비트들의 패턴들에 대응하는 복수의 비트 값들의 패턴들을 저장하고, 복수의 진폭-셰이핑된 비트들의 패턴들은 선택된 상기 비트 값들의 패턴에 대응하는 진폭-셰이핑된 비트들의 패턴을 포함한다.
- [0144] 3. 조항들 1 또는 2의 어느 것의 방법에서, 비트 값들의 패턴의 반복적 선택은:
- [0145] 각각의 반복에 대해, 정보 비트들의 제 1 서브세트에 매칭하는 비트 값들의 제 1 패턴의 선택이 N_2 보다 큰 L_S 및 L_{US} 의 합을 야기하는지의 여부를 결정하는 것을 포함한다.
- [0146] 4. 조항들 1-3의 어느 것의 방법에서, 비트 값들의 패턴의 반복적 선택은:
- [0147] 비트 값들의 제 1 패턴을 선택함이 없이, 비트 값들의 제 1 패턴을 선택하는 것이 N_2 보다 큰 L_S 및 L_{US} 의 합을 야기한다고 결정하는 것에 응답하여 제 1 인코딩 동작을 완료하는 것을 더 포함한다.
- [0148] 5. 조항들 1-3의 어느 것의 방법에서, 비트 값들의 패턴의 반복적 선택은:
- [0149] 비트 값들의 제 1 패턴을 선택하는 것이 N_2 보다 큰 L_S 및 L_{US} 의 합을 야기한다고 결정하는 것에 응답하여 정보 비트들의 제 2 서브세트에 매칭하는 비트 값들의 제 2 패턴의 선택이 N_2 이하인 L_S 및 L_{US} 의 합을 야기하는지의 여부를 결정하는 것을 더 포함한다.
- [0150] 6. 조항들 1-3 또는 5의 어느 것의 방법에서, 정보 비트들의 제 2 서브세트는 정보 비트들의 제 1 서브세트보다 더 크다.
- [0151] 7. 조항들 1-3, 5 또는 6의 어느 것의 방법에서, 비트 값들의 패턴의 반복적 선택은:
- [0152] L_S 및 L_{US} 의 결과적인 합이 N_2 이하라는 결정에 응답하여, 비트 값들의 제 1 패턴 대신에 비트 값들의 제 2 패턴을 선택하는 것; 및
- [0153] 비트 값들의 제 2 패턴을 선택하는 것에 응답하여 제 1 인코딩 동작을 완료하는 것을 더 포함한다.
- [0154] 8. 조항들 1-7의 어느 것의 방법에서, 하나 이상의 시그널링 비트들의 추가는:
- [0155] 진폭 셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM})를 결정하는 것;
- [0156] LUT에서 진폭 셰이핑된 비트들의 각각의 패턴의 길이에 기초하여 무선 패킷과 연관된 진폭-셰이핑된 비트들의 추정된 수를 결정하는 것; 및
- [0157] 진폭-셰이핑된 비트들의 추정된 수와 연관된 심볼들의 수 (L_{EST})를 결정하는 것을 포함하고, 하나 이상의 시그널링 비트들은 L_{PAM} 와 L_{EST} 사이의 차이와 동일한 값을 나타낸다.
- [0158] 9. 조항들 1-7의 어느 것의 방법에서, 하나 이상의 시그널링 비트들의 추가는:
- [0159] 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM})를 결정하는 것을 포함하고, 하나 이상의 시그널링 비트들은 L_{PAM} 와 동일한 값을 나타낸다.

- [0160] 10. 조항들 1-7 의 어느 것의 방법에서, 하나 이상의 시그널링 비트들의 추가는:
- [0161] 진폭 세이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것;
- [0162] N1 정보 비트들이 주어진 제 1 인코딩 동작에 기초하여 인코딩가능한 진폭-세이핑된 비트들의 평균 수를 결정하는 것; 및
- [0163] 진폭-세이핑된 비트들의 평균 수와 연관된 심볼들의 수 (L_{MEAN}) 를 결정하는 것을 포함하고, 하나 이상의 시그널링 비트들은 L_{PAM} 와 L_{MEAN} 사이의 차이와 동일한 값을 나타낸다.
- [0164] 11. 조항들 1-7 의 어느 것의 방법에서, 하나 이상의 시그널링 비트들의 추가는:
- [0165] 제 2 정보 블록에서 정보 비트들과 연관된 심볼들의 수를 결정하는 것을 포함하고, 하나 이상의 시그널링 비트들은 제 2 정보 블록에서 정보 비트들과 연관된 심볼들의 수와 동일한 값을 나타낸다.
- [0166] 12. 조항들 1-7 의 어느 것의 방법에서, 하나 이상의 시그널링 비트들은 제 2 정보 블록에 포함된 패딩 비트들의 수와 동일한 값을 나타낸다.
- [0167] 13. 무선 통신 디바이스는:
- [0168] 적어도 하나의 모뎀;
- [0169] 상기 적어도 하나의 모뎀과 통신가능하게 커플링된 적어도 하나의 프로세서; 및
- [0170] 적어도 하나의 프로세서와 통신가능하게 커플링되고, 프로세서 판독가능 코드를 저장하는 적어도 하나의 메모리를 포함하고, 그 프로세서 판독가능 코드는, 적어도 하나의 모뎀과 함께 적어도 하나의 프로세서에 의해 실행될 경우, 조항 1-12 중 임의의 하나 이상의 조항들의 방법을 수행하도록 구성된다.
- [0171] 14. 무선 통신 디바이스에 의한 무선 통신을 위한 방법은:
- [0172] 복수의 진폭들을 갖는 복수의 심볼들을 포함하는 무선 패킷을 수신하는 것으로서, 상기 복수의 심볼들은 복수의 코드워드 비트들을 나타내고, 상기 복수의 진폭들은 불균일 분포를 갖고;
- [0173] 복수의 코드워드 비트들을 하나 이상의 코드워드들로 배열하는 것;
- [0174] 하나 이상의 개별적인 디코딩된 코드 블록들을 생성하는 제 1 디코딩 동작을 하나 이상의 코드워드들에 대해 수행하는 것으로서, 각각의 디코딩된 코드 블록은 복수의 디코딩된 코드워드 비트들 및 하나 이상의 패리티 비트들을 포함함;
- [0175] 복수의 디코딩된 코드워드 비트들을 고정된 길이 (N_2) 를 갖는 정보 블록으로 배열하는 것;
- [0176] 정보 블록의 고정된 길이 (N_2) 에 기초하여 정보 블록의 하나 이상의 시그널링 비트들을 검출하는 것;
- [0177] 하나 이상의 시그널링 비트들과 연관된 값에 기초하여 정보 블록에서 다수 (L_s) 의 진폭-세이핑된 비트들을 식별하는 것;
- [0178] 다수 (L_{DS}) 의 디-세이핑된 비트들을 생성하는 제 2 디코딩 동작을 진폭-세이핑된 비트들에 대해 수행하는 것;
- [0179] 디-세이핑된 비트들의 수 (L_{DS}) 및 디코딩된 정보 블록과 연관된 고정된 길이 (N_1) 에 기초하여 정보 블록으로부터 다수 (L_{US}) 의 세이핑되지 않은 비트들을 파싱하는 것;
- [0180] 디-세이핑된 비트들 및 세이핑되지 않은 비트들을 고정된 길이 (N_1) 를 갖는 디코딩된 정보 블록으로 배열하는 것을 포함한다.
- [0181] 15. 조항 14 의 방법은, 진폭-세이핑된 비트들은 정보 블록의 최상위 비트들 (MSBs) 을 나타낸다.
- [0182] 16. 조항들 14 또는 15 의 어느 것의 방법에서, L_{US} 및 L_{DS} 의 합은 N_2 와 동일하다.
- [0183] 17. 조항들 14-16 또는 5 의 어느 것은, L_{US} 를 초과하는 정보 블록의 하나 이상의 비트들을 폐기하는 것을 더 포함한다.
- [0184] 18. 조항들 14-17 의 어느 것의 방법에서, 폐기된 비트들은 정보 블록의 최하위 비트들 (LSBs) 을

나타낸다.

19. 조항들 14-18 의 어느 것의 방법에서, 제 2 디코딩 동작을 수행하는 것은:

룩업 테이블 (LUT) 로부터, 진폭-셰이핑된 비트들의 서브세트에 매칭하는 디-셰이핑된 비트들의 패턴을 반복적으로 선택하는 것을 포함하고, LUT 는 진폭-셰이핑된 비트들의 개별적인 복수의 패턴들에 대응하는 디-셰이핑된 비트들의 복수의 패턴들을 저장하고, 그리고 복수의 디-셰이핑된 비트들은 디-셰이핑된 비트들의 선택된 패턴을 포함한다.

20. 조항들 14-19 의 어느 것의 방법에서, 다수의 진폭-셰이핑된 비트들의 식별은:

LUT 에서 진폭-셰이핑된 비트들의 각각의 패턴의 길이에 기초하여 무선 패킷과 연관된 진폭-셰이핑된 비트들의 추정된 수를 결정하는 것;

진폭-셰이핑된 비트들의 추정된 수와 연관된 심볼들의 수 (L_{EST}) 를 결정하는 것;

L_{EST} 와 하나 이상의 시그널링 비트들과 연관된 값 사이의 차이에 기초하여 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및

L_{PAM} 와 연관된 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함한다.

21. 조항들 14-19 의 어느 것의 방법에서, 다수의 진폭-셰이핑된 비트들의 식별은:

하나 이상의 시그널링 비트들과 연관된 값에 기초하여 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및

L_{PAM} 와 연관된 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함한다.

22. 조항들 14-19 의 어느 것의 방법에서, 다수의 진폭-셰이핑된 비트들의 식별은:

N_1 정보 비트들이 주어진 제 2 디코딩 동작에 기초하여 디코딩가능한 진폭-셰이핑된 비트들의 평균 수를 결정하는 것;

진폭-셰이핑된 비트들의 평균 수와 연관된 심볼들의 수 (L_{MEAN}) 를 결정하는 것;

L_{MEAN} 와 하나 이상의 시그널링 비트들과 연관된 값 사이의 차이에 기초하여 진폭-셰이핑된 비트들과 연관된 심볼들의 수 (L_{PAM}) 를 결정하는 것; 및

L_{PAM} 와 연관된 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함한다.

23. 조항들 14-19 의 어느 것의 방법에서, 다수의 진폭-셰이핑된 비트들의 식별은:

하나 이상의 시그널링 비트들과 연관된 값에 기초하여 정보 블록에 포함된 패딩 비트들의 수를 결정하는 것; 및

N_2 , L_{US} , 및 패딩 비트들의 수에 기초하여 진폭-셰이핑된 비트들의 수를 결정하는 것을 포함한다.

24. 무선 통신 디바이스는:

적어도 하나의 모듈;

상기 적어도 하나의 모듈과 통신가능하게 커플링된 적어도 하나의 프로세서; 및

적어도 하나의 프로세서와 통신가능하게 커플링되고, 프로세서 판독가능 코드를 저장하는 적어도 하나의 메모리를 포함하고, 그 프로세서 판독가능 코드는, 적어도 하나의 모듈과 함께 적어도 하나의 프로세서에 의해 실행될 경우, 조항 14-23 중 임의의 하나 이상의 조항들의 방법을 수행하도록 구성된다.

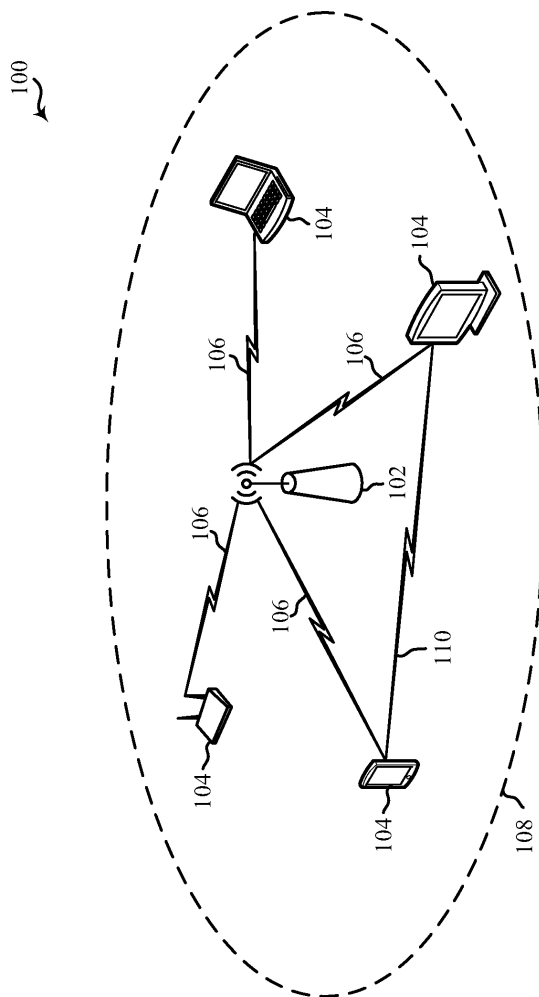
본 개시에서 설명된 구현들에 대한 다양한 수정들은 당업자에게 용이하게 명백할 수도 있으며, 본 명세서에서 정의된 일반적인 원리들은 본 개시의 사상 또는 범위로부터 이탈함없이 다른 구현들에 적용될 수도 있다. 따라서, 청구항들은 본 명세서에 나타난 구현들로 한정되도록 의도되지 않으며, 본 명세서에 개시된 본 개시, 원리들 및 신규한 피쳐들과 부합하는 최광의 범위를 부여받아야 한다.

추가적으로, 별도의 구현들의 컨텍스트에 있어서 본 명세서에서 설명되는 다양한 피쳐들은 또한 단일 구현에서

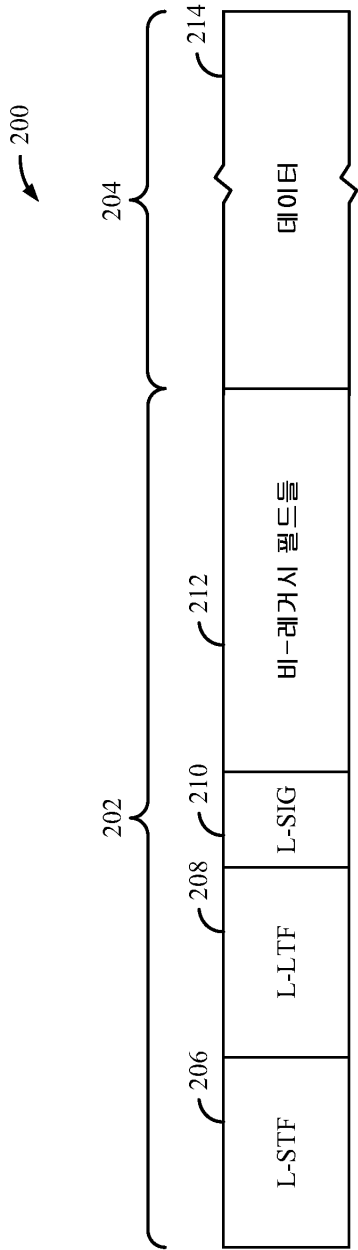
의 조합으로 구현될 수 있다. 반면, 단일 구현의 컨텍스트에 있어서 설명된 다양한 피쳐들은 또한, 다수의 구현들에서 별개로 또는 임의의 적합한 하위조합으로 구현될 수 있다. 그에 따라, 비록 특징들이 특정 조합들로 작용하는 것으로서 상기 설명되고 심지어 그와 같이 초기에 청구될 수도 있지만, 청구된 조합으로부터의 하나 이상의 특징들은 일부 경우들에 있어서 그 조합으로부터 삭제될 수 있으며, 청구된 조합은 하위조합 또는 하위조합의 변형예로 유도될 수도 있다. 유사하게, 동작들이 도면들에 있어서 특정 순서로 도시되지만, 이는, 바람직한 결과들을 달성하기 위해, 그러한 동작들이 도시된 특정 순서로 또는 순차적인 순서로 수행되어야 하거나 또는 예시된 모든 동작들이 수행되어야 할 것을 요구하는 것으로서 이해되지 않아야 한다. 추가로, 도면들은 하나 이상의 예시적인 프로세스들을 플로우차트 또는 플로우 다이어그램의 형태로 도식적으로 도시할 수도 있다. 하지만, 도시되지 않은 다른 동작들은 개략적으로 예시된 예시적인 프로세스들에 통합될 수 있다. 예를 들어, 하나 이상의 추가 동작들이 예시된 동작들 중 임의의 동작들 이전에, 그 이후에, 그와 동시에, 또는 그들 사이에서 수행될 수 있다. 일부 상황들에 있어서, 멀티태스킹 및 병렬 프로세싱이 유리할 수도 있다. 더욱이, 상기에서 설명된 구현들에 있어서의 다양한 시스템 컴포넌트들의 분리는 그러한 분리를 모든 구현들에서 요구하는 것으로서 이해되지 않아야 하며, 설명된 프로그램 컴포넌트들 및 시스템들은 일반적으로 단일 소프트웨어 제품으로 함께 통합되거나 다수의 소프트웨어 제품들로 패키징될 수도 있음이 이해되어야 한다.

도면

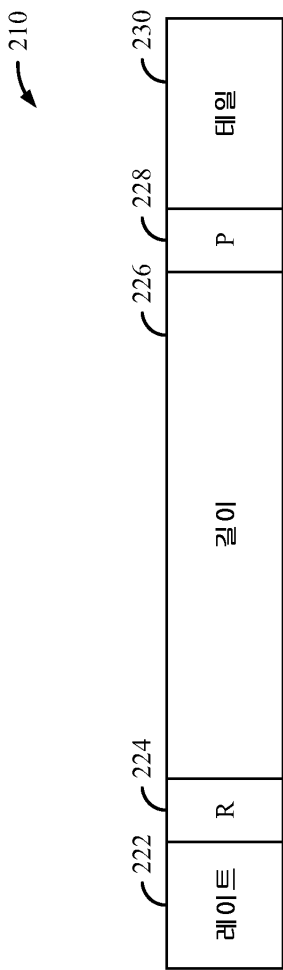
도면1



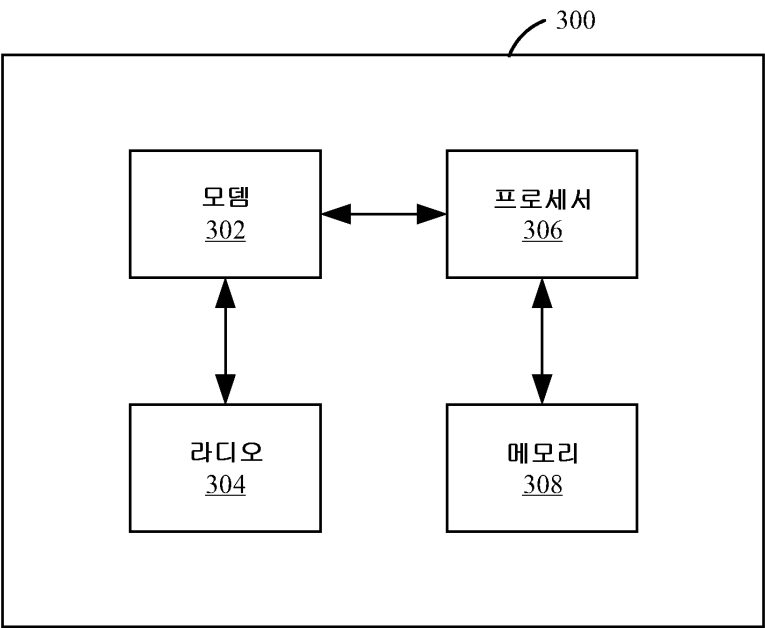
도면2a



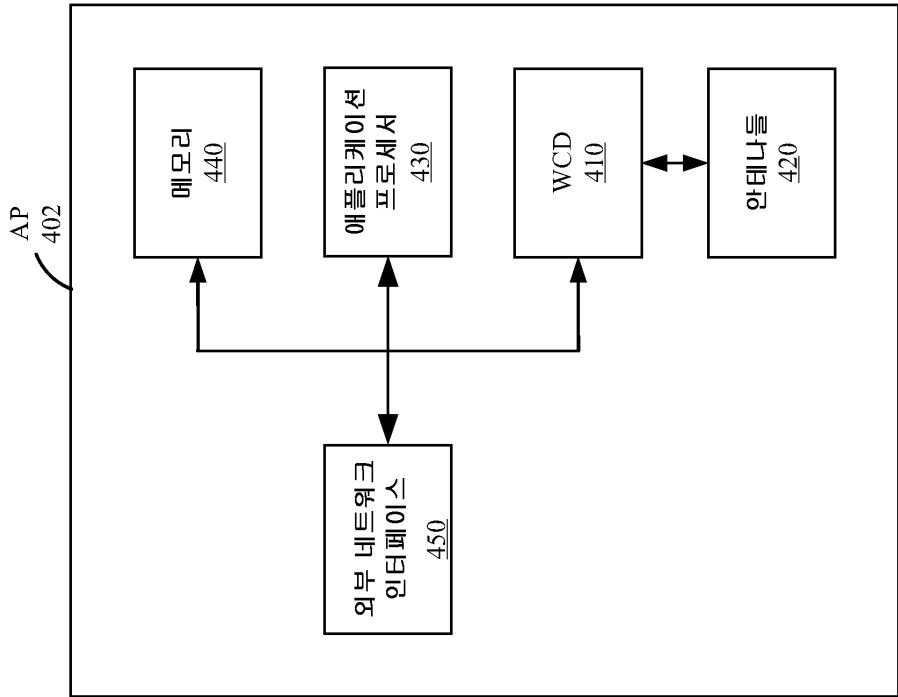
도면2b



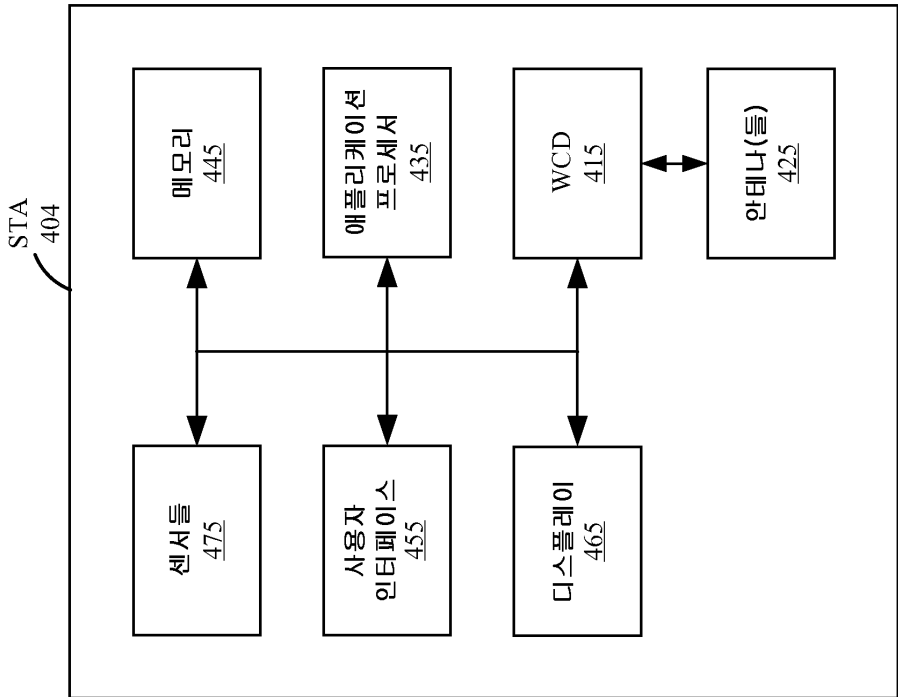
도면3



도면4a

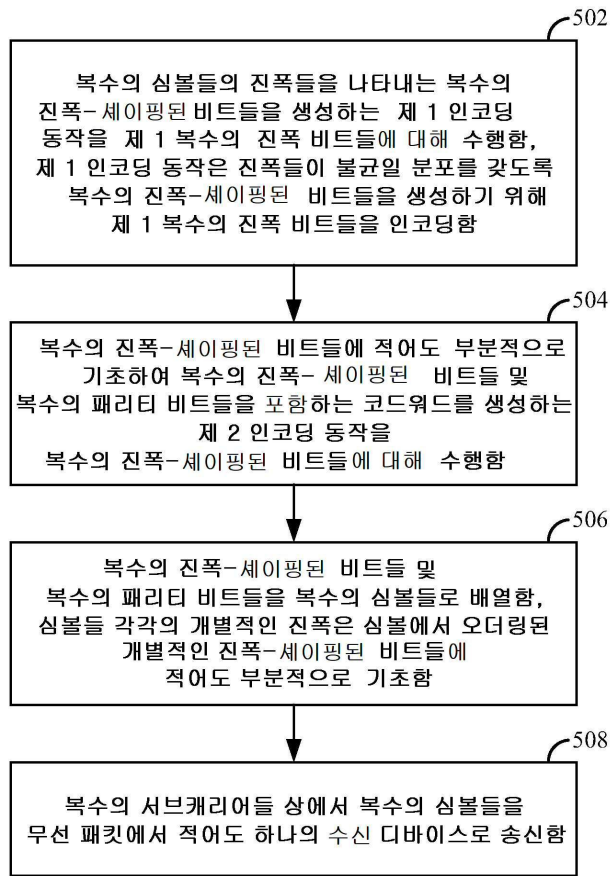


도면4b

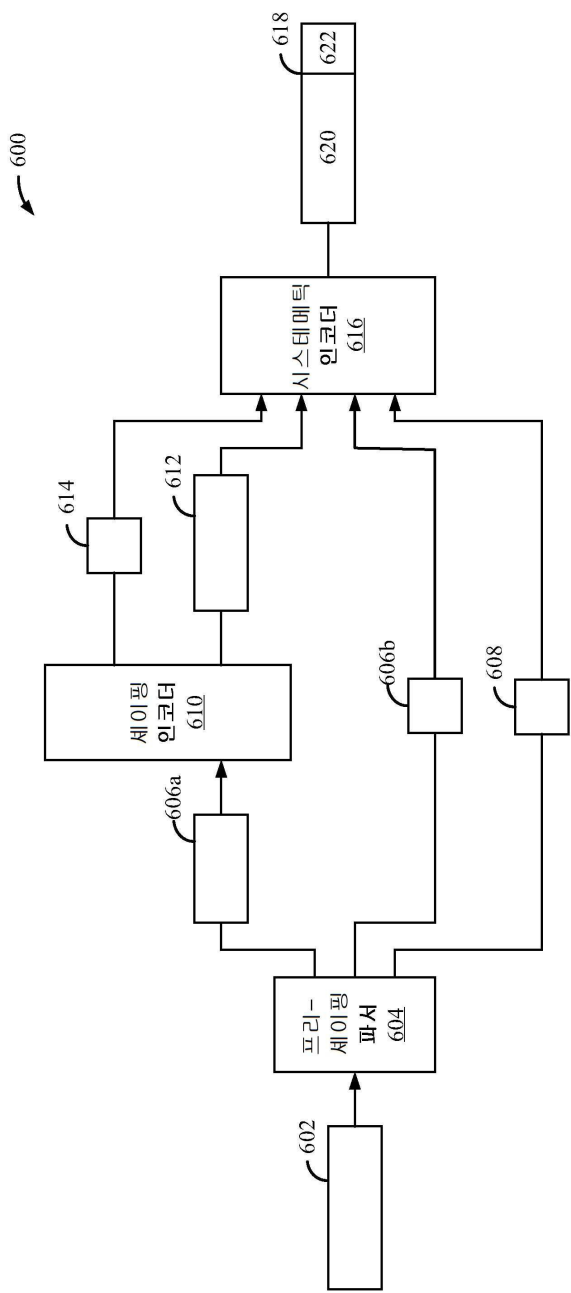


도면5

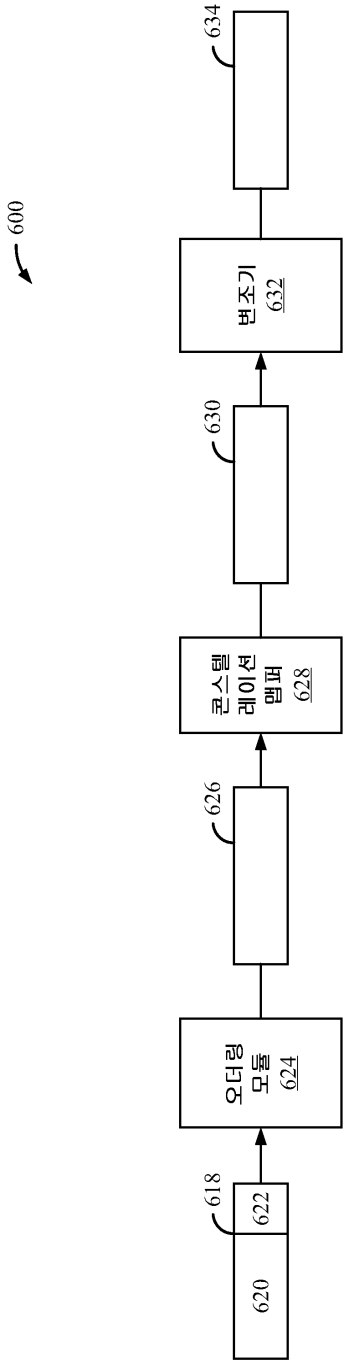
500 ↘



도면6a



도면6b

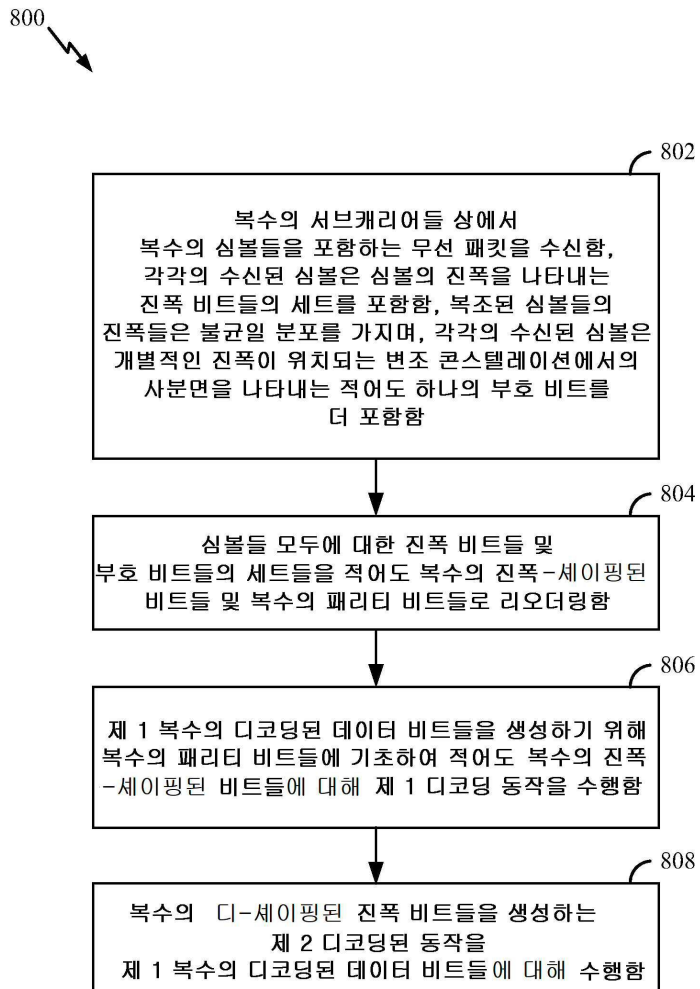


도면7

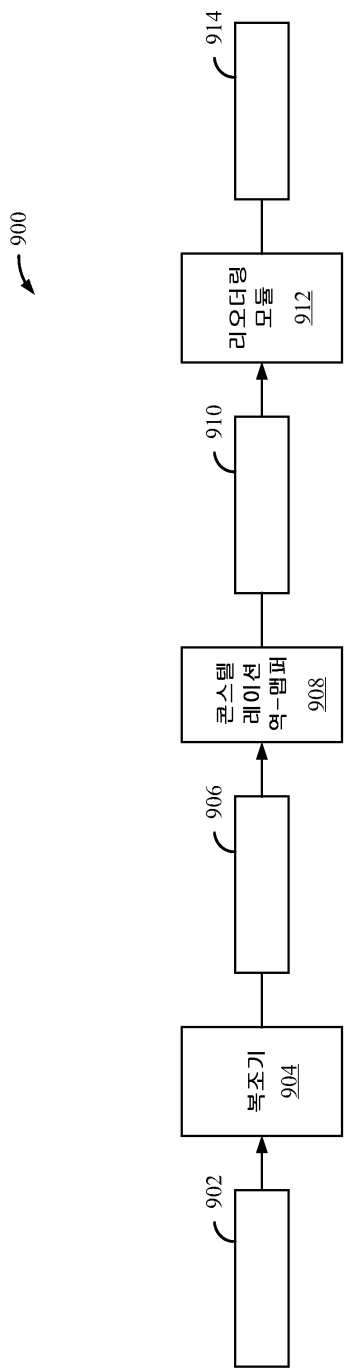
700 ↗

702a	0	0				1/4
702b	0	1				1/4
702c	1	1	1			1/8
702d	1	0	0			1/8
702e	1	0	1			1/8
702f	1	1	0	1		1/16
702g	1	1	0	0	0	1/32
702h	1	1	0	0	1	1/32

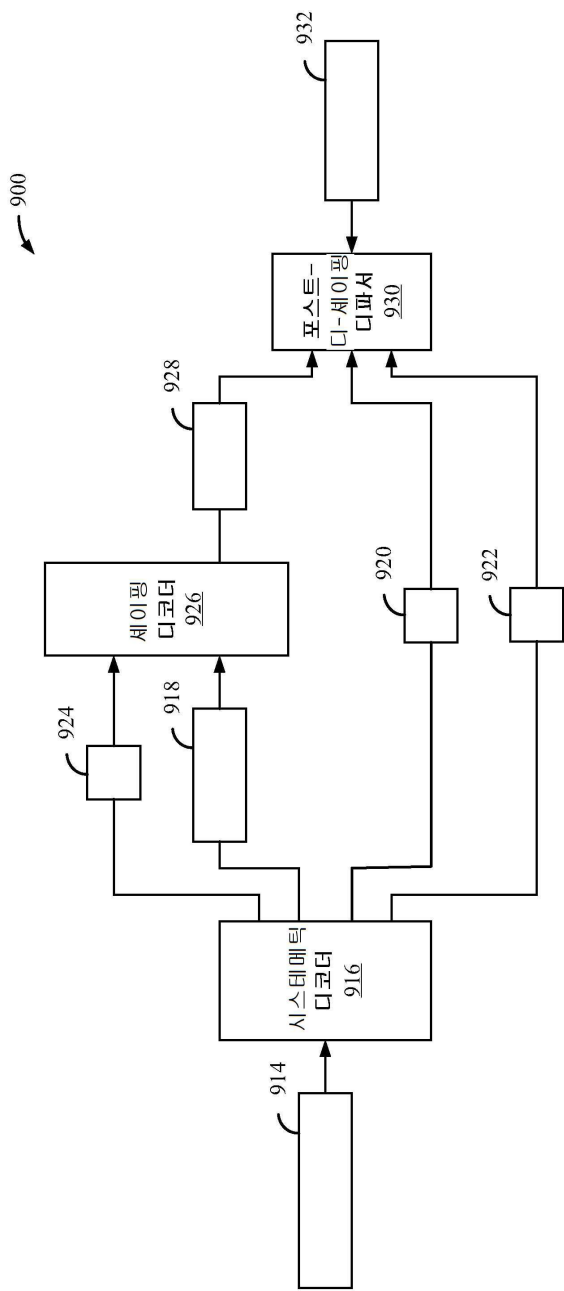
도면8



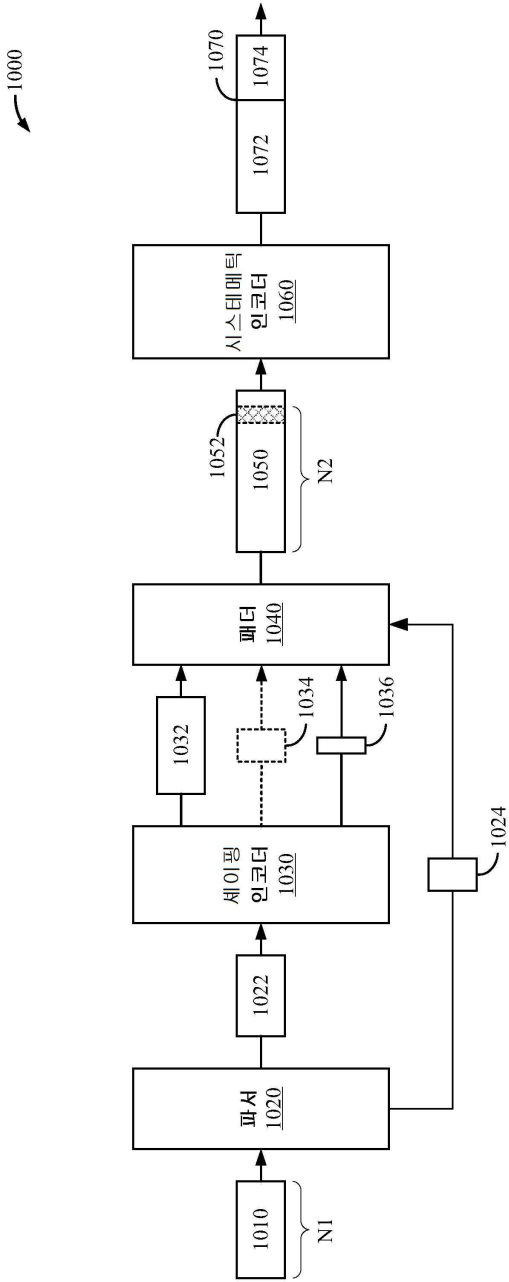
도면9a



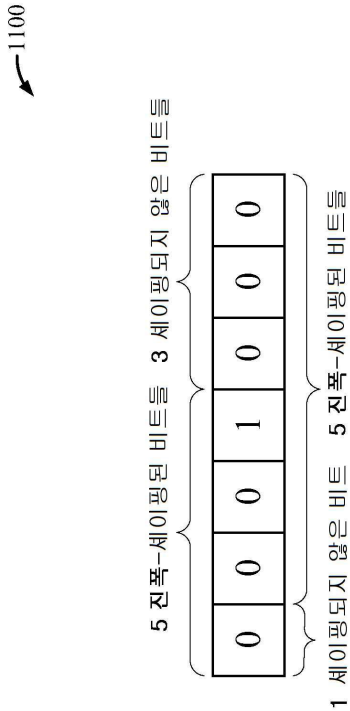
도면9b



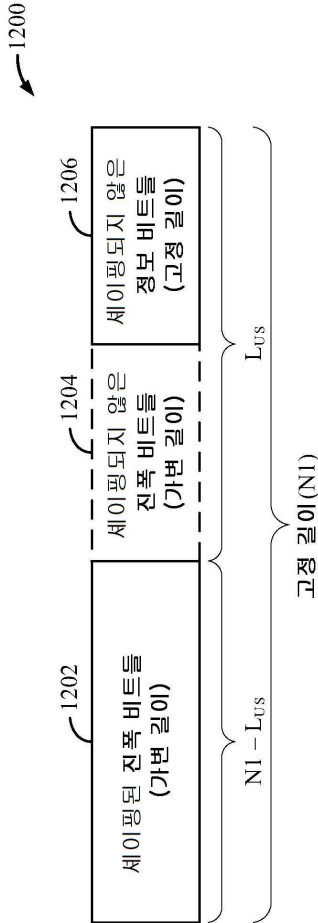
도면10



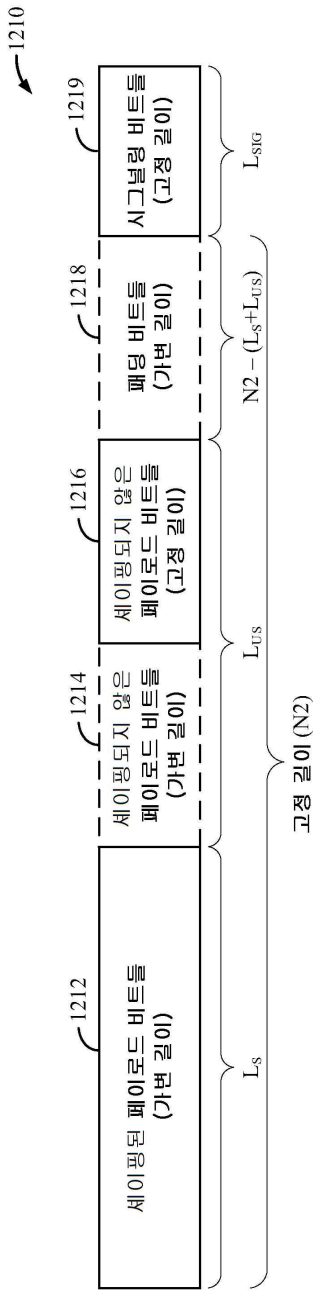
도면11



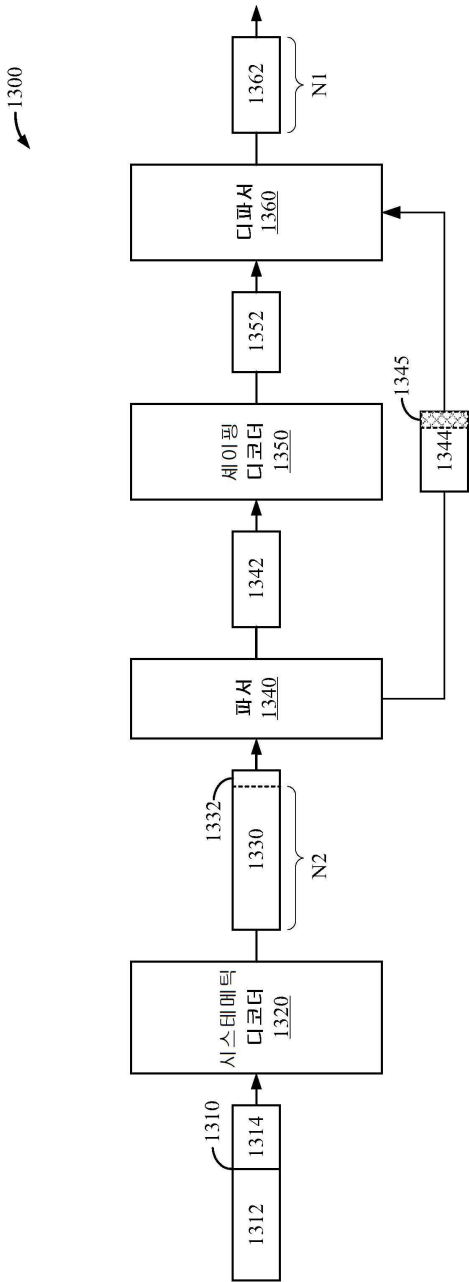
도면12a



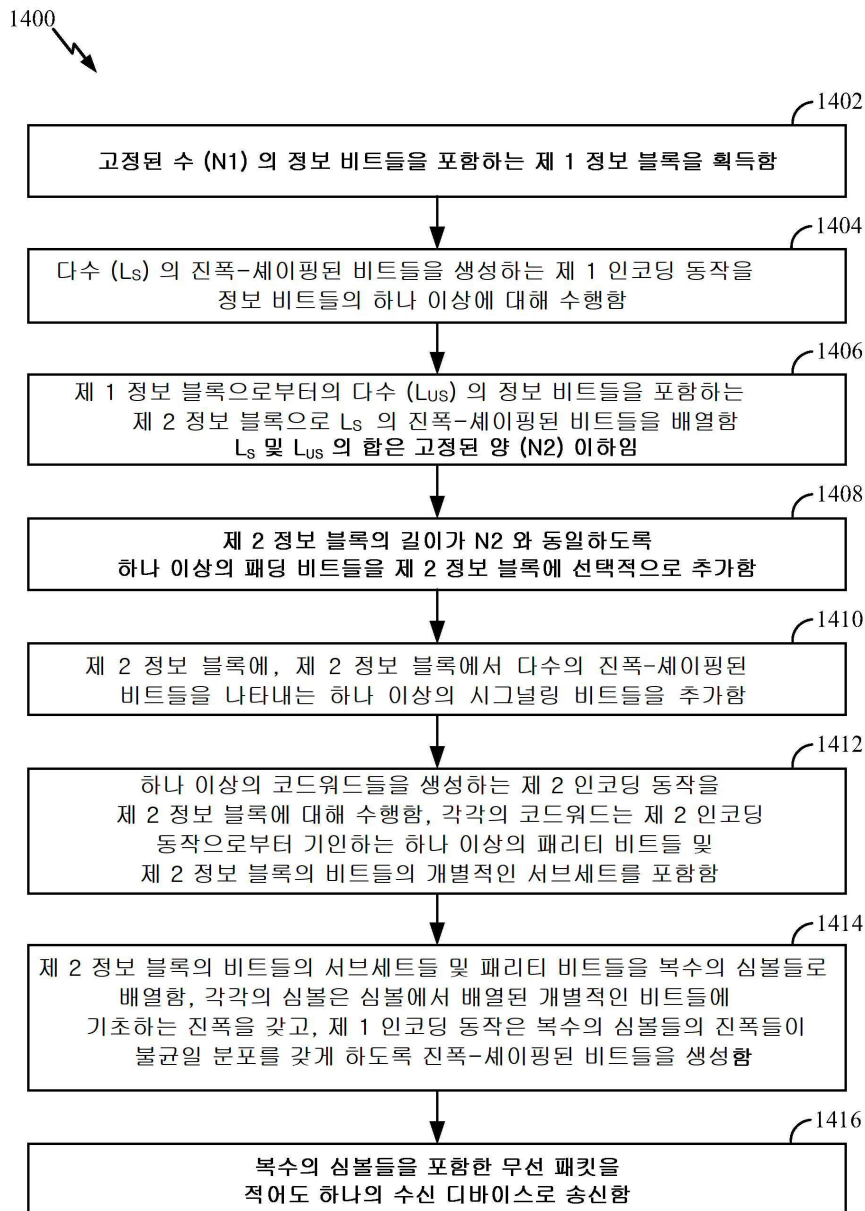
도면12b



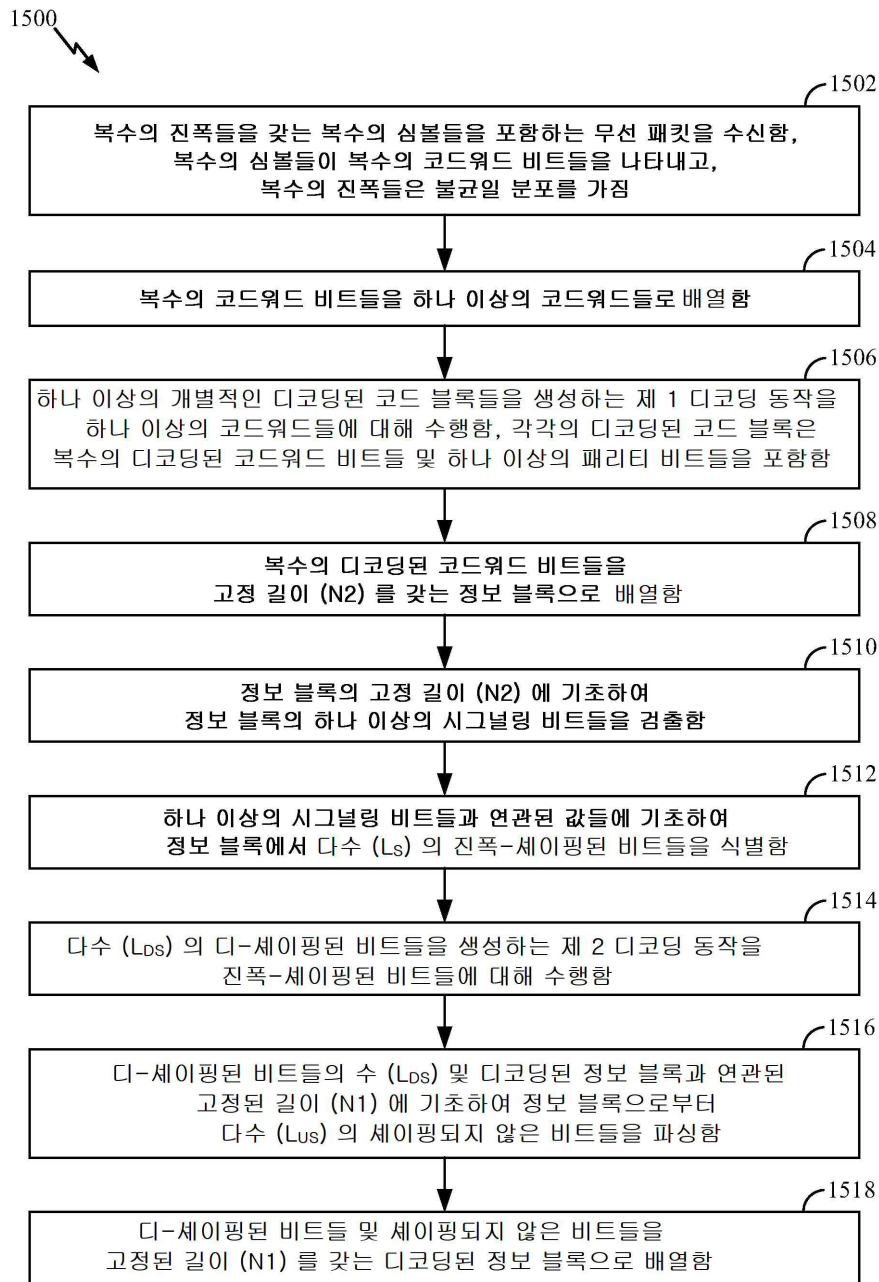
도면13



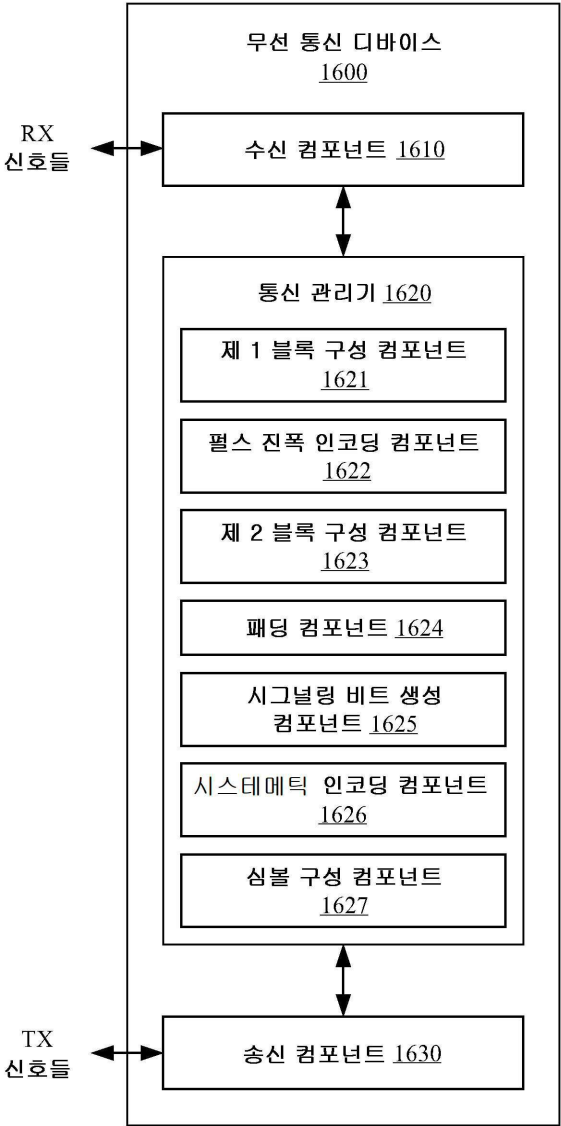
도면14



도면15



도면16



도면17

