

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-302808

(P2005-302808A)

(43) 公開日 平成17年10月27日(2005.10.27)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 1 9 B	2 H O 9 1
GO 2 F 1/1335	GO 2 F 1/1335 5 2 O	2 H O 9 2
GO 2 F 1/1368	GO 2 F 1/1368	4 M 1 O 4
HO 1 L 21/28	HO 1 L 21/28 3 O 1 R	5 F O 3 3
HO 1 L 21/3205	HO 1 L 29/78 6 1 2 D	5 F 1 1 O

審査請求 未請求 請求項の数 30 O L (全 38 頁) 最終頁に続く

(21) 出願番号	特願2004-112883 (P2004-112883)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成16年4月7日(2004.4.7)	(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100094134 弁理士 小山 廣毅
		(74) 代理人	100113262 弁理士 竹内 祐二
		(72) 発明者	八木 敏文 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	津幡 俊英 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

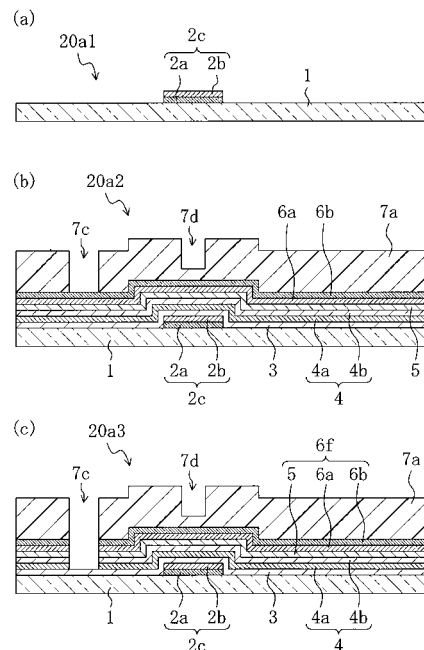
(54) 【発明の名称】 薄膜トランジスタアレイ基板の製造方法

(57) 【要約】

【課題】 フォトリソグラフィ工程の回数を従来の製造方法よりも減らして、TFTアレイ基板の製造工程の短縮及び製造コストの低減を可能にする。

【解決手段】 第1工程において、ゲート電極2cを形成する。第2工程において、その上に、ゲート絶縁膜3、半導体膜4、透明導電膜5を含む導電膜を積層して、その積層体の上にレジスト層を形成した後に、そのレジスト層に対し、所定位置で導電膜を露出させる第1開口部7cと、ゲート電極2cの上方位置で所定厚さの底部を有する第2開口部7dと、をそれぞれ形成してレジストパターンを形成する。そして、第1開口部7cから露出している導電膜及びその下方の半導体膜をエッチングして、第2開口部7dの底部を除去して導電膜を露出させ、その導電膜をエッチングして、TFT8を形成する。第3工程において、保護層8及び画素電極5aを形成する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

基板に設けられた複数の画素と、該各画素毎に配置され、ゲート電極、ソース電極、ドレイン電極、及び上記ゲート電極に対応してチャンネル部が形成された半導体膜を有する複数の薄膜トランジスタと、上記ソース電極に接続されたソース線と、上記ドレイン電極に接続された画素電極とを備えた薄膜トランジスタアレイ基板の製造方法であって、

上記基板上に上記ゲート電極をフォトリソグラフィ法によりパターン形成する第 1 工程と、

上記ゲート電極が形成された基板に対し、ゲート絶縁膜、上記半導体膜、及び該半導体膜を覆うように設けられた透明導電膜を含む導電膜をこの順に積層して積層体を形成し、
該積層体に対してフォトリソグラフィ法により上記薄膜トランジスタをパターン形成する第 2 工程と、

フォトリソグラフィ法によって、上記薄膜トランジスタを覆う保護層を形成すると共に、上記透明導電膜の一部を露出させて上記画素電極を形成する第 3 工程とを備え、

上記第 2 工程は、上記積層体を覆うレジスト層を形成した後に、該レジスト層に対し、上記積層体の領域であって上記チャンネル部、ソース線、ソース電極及びドレイン電極となる部分以外の領域の上方位置に上記導電膜を露出させる第 1 開口部と、上記チャンネル部となる積層体の領域の上方位置に所定厚さの底部を有する第 2 開口部とをそれぞれ形成するレジストパターン形成工程と、上記第 1 開口部から露出している上記導電膜と、該導電膜の下方の半導体膜とをエッチングする第 1 エッチング工程と、上記第 2 開口部の底部を除去して露出させた導電膜をエッチングする第 2 エッチング工程とを備えていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 2】

請求項 1 又は 2 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記第 3 工程で形成された保護層の上に、反射電極をフォトリソグラフィ法によりパターン形成する第 4 工程を備えていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 3】

請求項 1 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記導電膜は、遮光性を有し、

上記第 3 工程で、上記ドレイン電極の周端よりも内側の導電膜をエッチングすることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 4】

請求項 1 又は 2 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記半導体膜は、上層の第 1 半導体膜と下層の第 2 半導体膜とにより構成され、

上記第 2 エッチング工程で、上記露出した導電膜及び上記第 1 半導体層をエッチングすることを特徴とする薄膜トランジスタアレイ基板

【請求項 5】

請求項 1 又は 2 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記保護層の上層又は下層には、遮光層が形成され、

上記遮光層は、上記第 3 工程で上記保護層と同時に形成されることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 6】

請求項 1 又は 2 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記保護層は、遮光性材料により形成されていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 7】

請求項 1 又は 2 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記ゲート電極は、複数の金属膜を積層して構成された第 1 金属積層膜で形成され、

上記第 1 金属積層膜は、アルミニウム膜又はアルミニウム合金膜により構成された金属

10

20

30

40

50

膜を含んでいることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 8】

請求項 1 又は 2 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記導電膜は、上記透明導電膜のみの単層により構成されていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 9】

請求項 1 又は 2 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記導電膜は、酸化インジウムと酸化スズとの化合物により構成された上記透明導電膜と、該透明導電膜を覆うように設けられた複数の金属膜を積層して構成された第 2 金属積層膜と、により形成され、

10

上記第 2 金属積層膜は、下層のモリブデン膜又はモリブデン合金膜と上層のアルミニウム膜又はアルミニウム合金膜とにより形成されていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 10】

請求項 1 又は 2 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記半導体膜は、同じ厚さのアモルファスシリコンよりも光透過率の高い材料で形成されていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 11】

請求項 1 又は 2 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記第 1 工程では、上記ゲート電極に接続された複数のゲート線及びその延設部であるゲート線外部引出電極が、該ゲート電極と同時に形成されることを特徴とする薄膜トランジスタアレイ基板の製造方法。

20

【請求項 12】

請求項 11 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記ゲート電極、ゲート線及びゲート線外部引出電極は、複数の金属膜を積層して構成された第 1 金属積層膜で形成されていると共に、

上記第 1 金属積層膜の最下層は、チタン膜又はチタン合金膜により形成され、

上記第 3 工程では、エッチングにより、上記ゲート線外部引出電極に対応する部分の上記チタン膜又はチタン合金膜を露出させることを特徴とする薄膜トランジスタアレイ基板の製造方法。

30

【請求項 13】

請求項 12 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記第 1 金属積層膜は、上記最下層のチタン膜又はチタン合金膜と、アルミニウム膜又はアルミニウム合金膜により構成された金属膜と、該金属膜を覆うように設けられたモリブデン膜又はモリブデン合金膜と、により形成されていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 14】

請求項 11 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記ゲート電極、ゲート線及びゲート線外部引出電極は、複数の金属膜を積層して構成された第 1 金属積層膜により形成されていると共に、

40

上記第 1 金属積層膜の最上層は、チタン膜又はチタン合金膜により形成されていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 15】

請求項 14 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記第 1 金属積層膜は、アルミニウム膜又はアルミニウム合金膜を含んでおり、
上記第 3 工程では、上記ゲート線外部引出電極の周端よりも内側の保護層及びゲート絶縁膜をエッチングすることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 16】

請求項 1、2 又は 11 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記第 2 工程では、上記複数のゲート線と交差する方向に、上記複数のソース線及びそ

50

の延設部であるソース線外部引出電極が、上記ソース電極と同時に形成されることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 17】

請求項 16 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記ゲート電極、ゲート線及びゲート線外部引出電極は、複数の金属膜を積層して構成された第 1 金属積層膜で形成され、

上記ソース電極、ソース線及びソース線外部引出電極は、複数の金属膜を積層して構成された第 2 金属積層膜で形成されていると共に、

上記第 3 工程では、エッチングにより、上記ゲート線外部引出電極及びソース線外部引出電極に対応する部分の上記第 1 金属積層膜及び第 2 金属積層膜の少なくとも最上層を除去することを特徴とする薄膜トランジスタアレイ基板の製造方法。 10

【請求項 18】

請求項 17 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記第 1 及び第 2 金属積層膜の最上層は、アルミニウム膜若しくはアルミニウム合金膜、又は、アルミニウム膜或いはアルミニウム合金膜上にモリブデン膜若しくはモリブデン合金膜を積層してなる膜により形成されていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 19】

請求項 16 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記保護層は、遮光性を有し、上記薄膜トランジスタ、ゲート線及びソース線を覆うように形成されることを特徴とする薄膜トランジスタアレイ基板の製造方法。 20

【請求項 20】

請求項 16 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記第 3 工程では、エッチングにより、上記複数のゲート線外部引出電極及び複数のソース線外部引出電極の少なくとも一方に対応して 1 つの開口部を形成することにより、該複数のゲート線外部引出電極及び複数のソース線外部引出電極を露出させるを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 21】

請求項 1 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記第 3 工程では、上記ドレイン電極の周端よりも外側の領域の上記保護層を形成する保護膜、及びゲート絶縁膜をエッチングすることを特徴とする薄膜トランジスタアレイ基板の製造方法。 30

【請求項 22】

請求項 2 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記保護層は、その最上層が感光性樹脂膜で形成され、上記第 3 工程で、その表面が凹凸形状に形成されることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 23】

請求項 22 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記反射電極の表面は、上記保護層の表面の凹凸形状を反映した形状に形成されることを特徴とする薄膜トランジスタアレイ基板の製造方法。 40

【請求項 24】

請求項 2 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記第 3 工程では、上記薄膜トランジスタを覆う保護膜を成膜して、上記ドレイン電極の周端よりも内側の保護膜をエッチングすることにより、該ドレイン電極を構成する導電膜が露出したドレイン電極露出部を形成することを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 25】

請求項 24 に記載された薄膜トランジスタアレイ基板の製造方法において、

上記第 4 工程では、上記ドレイン電極露出部の周端よりも内側の導電膜をエッチングして、上記透明電極を形成することを特徴とする薄膜トランジスタアレイ基板の製造方法。 50

【請求項 26】

請求項 2 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記反射電極は、アルミニウム膜又はアルミニウム合金膜により形成されていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 27】

請求項 2 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記導電膜は、酸化インジウムと酸化スズとの化合物により形成された透明導電膜のみの単層により形成され、
上記反射電極は、下層のモリブデン膜又はモリブデン合金膜と、その上層のアルミニウム膜又はアルミニウム合金膜との 2 層により形成されていることを特徴とする薄膜トランジスタアレイ基板の製造方法。

10

【請求項 28】

請求項 2 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記第 1 工程では、上記ゲート電極に接続された複数のゲート線及びその延設部であるゲート線外部引出電極が、該ゲート電極と同時に形成され、
上記第 2 工程では、上記複数のゲート線と交差する方向に、上記ソース電極に接続された複数のソース線及びその延設部であるソース線外部引出電極が、該ソース電極と同時に形成されると共に、
上記ゲート線及びソース線は、遮光性を有し、
上記反射電極は、その周端が、上記ゲート線及びソース線と重なるように形成されることを特徴とする薄膜トランジスタアレイ基板の製造方法。

20

【請求項 29】

請求項 28 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記保護層は、有機膜を含んでいることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項 30】

請求項 28 に記載された薄膜トランジスタアレイ基板の製造方法において、
上記ゲート電極を構成する第 1 金属積層膜は、最下層のチタン膜又はチタン合金膜と、アルミニウム膜又はアルミニウム合金膜と、により構成され、
上記導電膜は、透明導電膜と、該透明導電膜を覆うように設けられたモリブデン膜又はモリブデン合金膜と、該モリブデン膜又はモリブデン合金膜を覆うように設けられアルミニウム膜又はアルミニウム合金膜と、により構成されると共に、
上記反射電極は、下層のモリブデン膜又はモリブデン合金膜と、その上層のアルミニウム膜又はアルミニウム合金膜との 2 層により構成され、
上記第 4 工程では、エッチングにより、上記ゲート線外部引出電極に対応する部分の上記チタン膜又はチタン合金膜を露出させると共に、上記ソース線外部引出電極に対応する部分の上記透明導電膜を露出させることを特徴とする薄膜トランジスタアレイ基板の製造方法。

30

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、液晶表示装置を構成する薄膜トランジスタアレイ基板の製造方法に関するものである。

【背景技術】

【0002】

液晶表示装置は、小型、薄型、低消費電力、軽量等の長所を有しており、各種電子機器に広く用いられている。特に、画素ごとにスイッチング素子として薄膜トランジスタ (TFT) を備えたアクティブマトリクス型の液晶表示装置は、CRT と同等の表示性能を有するため、パソコン等の OA 機器、テレビ等の AV 機器や携帯電話などに広く応用されている。特に、近年においては、大型化、高精細化、高開口率化等の品位向上が急速に進ん

50

でいる。

【0003】

このように、その利用分野が拡大しているアクティブマトリクス型の液晶表示装置では、低価格化が望まれている。特に、アクティブマトリクス型液晶表示装置を構成するTFTアレイ基板の生産性を高めることにより製造コストを低減し、低価格化を図る方法が種々検討され、その中でも、TFTアレイ基板の製造工程の一工程であって、フォトリソグラフィ法を利用するフォトリソグラフィ工程の回数を減少させる方法について、広く研究されている。

【0004】

ここで、フォトリソグラフィ工程は、(1)薄膜を形成した基板の上にレジストを塗布する工程、(2)フォトマスクを用いて光露光を行い、レジストにマスクパターンの潜像を形成する工程、(3)現像してレジストをパターン化し、薄膜をエッチングする工程、(4)レジストを剥離する工程、という一連の工程から構成され、TFTアレイ基板の製造工程において必要不可欠な製造プロセスである。

10

【0005】

例えば、特許文献1、2、3及び4には、フォトリソグラフィ工程の回数が4回に低減された透過型のTFTアレイ基板の製造方法が開示されている。

【0006】

また、特許文献5、6、7及び8には、フォトリソグラフィ工程の回数が3回に低減された透過型のTFTアレイ基板の製造方法が開示されている。

20

【0007】

しかしながら、特許文献5、6及び8では、画素を構成する画素電極、又は、外部引出電極の形成についての詳細な説明がなく、その形成を考慮した場合、更に最低1回のフォトリソグラフィ工程が必要になるため、フォトリソグラフィ工程が4回以上になる。

【0008】

さらに、特許文献7では、トップゲート型のTFTアレイの製造方法が開示されているが、絶縁性基板側からの光に対して、TFTを構成する半導体層のチャンネル部は遮光する構造になっていないために、光誘起リーク電流が流れ、on/off比(ゲートの電圧でドレイン電流のスイッチを行う際の、on状態の電流とoff状態のリーク電流との比)が悪くなるという問題がある。

30

【0009】

また、従来の液晶表示装置では、TFTアレイ基板に対向配置される対向基板において、TFTアレイ基板上のTFT、ゲート線及びソース線に重なるように、クロムや黒色樹脂等でブラックマトリクスと呼ばれる遮光領域を形成し、TFTアレイ基板と対向基板とを貼り合わせることで、TFTへの光の侵入を防止し、光誘起リーク電流の発生を抑止することが知られている。

【0010】

しかしながら、上記TFTアレイ基板と対向基板との貼り合せ時の重ね合わせマージンを考慮すると、遮光領域を大きく形成する必要があり、画素の開口率が低下する問題がある。

40

【0011】

そこで、画素の開口率の低下を抑止するために、TFTアレイ基板の上に、TFT、ゲート線及びソース線を覆うように、黒色レジストのような遮光膜を形成することによって、対向基板のブラックマトリクスを省略して、TFTアレイ基板と対向基板との貼り合せ時の重ね合わせを容易にする試みがなされている。

【0012】

そうすると、TFTアレイ基板の製造工程に必要なフォトリソグラフィ工程の回数は、上述の遮光膜を形成するために、さらに1回増えてしまうことになる。

【0013】

以上説明したように、透過型の液晶表示装置を構成するTFTアレイ基板の製造におい

50

ては、最低、4回以上のフォトリソグラフィ工程が必要である。

【0014】

ところで、透過型の液晶表示装置は、バックライトを搭載しており、その消費電力が全消費電力のうちの50%以上を占めており、バックライトを設けることで、全消費電力が多くなってしまふ。そのため、周囲光の反射光を利用し全消費電力が少ない反射型の液晶表示装置も開発されている。しかしながら、反射型の液晶表示装置においても、周囲の光が暗い使用環境においては視認性が極端に低いという欠点を有しているもので、透過型と反射型との両方のモードで表示する機能をもった半透過型の液晶表示装置も広く用いられている。

【0015】

この半透過型の液晶表示装置の製造方法についても、そのフォトリソグラフィ工程の回数を減少させる方法が検討され、例えば、特許文献9及び10に開示されている。

【0016】

しかしながら、半透過型の液晶表示装置を構成するTFTアレイ基板を製造する場合には、上記透過型のTFTアレイ基板の製造方法における4回のフォトリソグラフィ工程に対し、反射電極をパターンニングする工程が別途必要になるため、最低5回以上のフォトリソグラフィ工程が必要となる。

【特許文献1】特開平9-152626号公報

【特許文献2】特開平9-236827号公報

【特許文献3】特開2000-258799号公報

【特許文献4】特開2001-5038号公報

【特許文献5】特開平3-60042号公報

【特許文献6】特開平8-242004号公報

【特許文献7】特開2001-188252号公報

【特許文献8】特開2002-343811号公報

【特許文献9】特許第3369502号公報

【特許文献10】特開2003-195329号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

このように、透過型のTFTアレイ基板の製造については、4回以上のフォトリソグラフィ工程が必要であり、半透過型のTFTアレイ基板の製造については、5回以上のフォトリソグラフィ工程が必要になってしまうため、これ以上、工程数を減らすことは極めて難しい。

【0018】

本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、フォトリソグラフィ工程の回数を従来の製造方法よりも減らして、TFTアレイ基板の製造工程の短縮及び製造コストの低減を可能にすることにある。

【課題を解決するための手段】

【0019】

本発明は、TFTアレイ基板の製造工程のフォトリソグラフィ工程の回数を、透過型のTFTアレイ基板については3回に、半透過型のTFTアレイ基板については4回に、減らすようにしたものである。

【0020】

具体的に、本発明のTFTアレイ基板の製造方法は、基板に設けられた複数の画素と、該各画素毎に配置され、ゲート電極、ソース電極、ドレイン電極、及び上記ゲート電極に対応してチャンネル部が形成された半導体膜を有する複数の薄膜トランジスタと、上記ソース電極に接続されたソース線と、上記ドレイン電極に接続された画素電極とを備えた薄膜トランジスタアレイ基板の製造方法であって、上記基板上に上記ゲート電極をフォトリソグラフィ法によりパターン形成する第1工程と、上記ゲート電極が形成された基板に対し

10

20

30

40

50

、ゲート絶縁膜、上記半導体膜、及び該半導体膜を覆うように設けられた透明導電膜を含む導電膜をこの順に積層して積層体を形成し、該積層体に対してフォトリソグラフィ法により上記薄膜トランジスタをパターン形成する第2工程と、フォトリソグラフィ法によって、上記薄膜トランジスタを覆う保護層を形成すると共に、上記透明導電膜の一部を露出させて上記画素電極を形成する第3工程とを備え、上記第2工程が、上記積層体を覆うレジスト層を形成した後に、該レジスト層に対し、上記積層体の領域であって上記チャンネル部、ソース線、ソース電極及びドレイン電極となる部分以外の領域の上方位置に上記導電膜を露出させる第1開口部と、上記チャンネル部となる積層体の領域の上方位置に所定厚さの底部を有する第2開口部とをそれぞれ形成するレジストパターン形成工程と、上記第1開口部から露出している上記導電膜と、該導電膜の下方の半導体膜とをエッチングする第1エッチング工程と、上記第2開口部の底部を除去して露出させた導電膜をエッチングする第2エッチング工程とを備えていることを特徴とする。

10

【0021】

上記の製造方法によれば、まず、第1工程において、基板上にゲート電極をパターン形成する。

【0022】

次いで、第2工程において、ゲート電極が形成された基板に対し、ゲート絶縁膜、半導体膜、及びその半導体膜を覆うように設けられた透明導電膜を含む導電膜をこの順に積層して積層体を形成し、その積層体を覆うレジスト層を形成した後に、そのレジスト層に対し、上記積層体の領域であって上記チャンネル部、ソース線、ソース電極及びドレイン電極となる部分以外の領域の上方位置に上記導電膜を露出させる第1開口部と、上記チャンネル部となる積層体の領域の上方位置に所定厚さの底部を有する第2開口部とをそれぞれ形成してレジストパターンを形成する。

20

【0023】

そして、第1開口部から露出している導電膜と、その導電膜の下方の半導体膜と、をエッチングして、第2開口部の底部を除去して導電膜を露出させた導電膜をエッチングして、薄膜トランジスタをパターン形成する。

【0024】

次いで、第3工程において、薄膜トランジスタを覆う保護層を形成すると共に、透明導電膜の一部を露出させて画素電極を形成する。

30

【0025】

これらにより、透過型のTFTアレイ基板を、第1工程、第2工程及び第3工程の計3回のフォトリソグラフィ工程で製造することができる。そのため、透過型のTFTアレイ基板において、製造工程の短縮及び製造コストの低減が可能になる。

【0026】

本発明のTFTアレイ基板の製造方法は、上記第3工程で形成された保護層の上に、反射電極をフォトリソグラフィ法によりパターン形成する第4工程を備えてもよい。

【0027】

上記の製造方法によれば、まず、第1工程において、基板上にゲート電極をパターン形成する。

40

【0028】

次いで、第2工程において、ゲート電極が形成された基板に対し、ゲート絶縁膜、半導体膜、及びその半導体膜を覆うように設けられた透明導電膜を含む導電膜をこの順に積層して積層体を形成し、その積層体を覆うレジスト層を形成した後に、そのレジスト層に対し、上記積層体の領域であって上記チャンネル部、ソース線、ソース電極及びドレイン電極となる部分以外の領域の上方位置に上記導電膜を露出させる第1開口部と、上記チャンネル部となる積層体の領域の上方位置に所定厚さの底部を有する第2開口部とをそれぞれ形成してレジストパターンを形成する。

【0029】

そして、第1開口部から露出している導電膜と、その導電膜の下方の半導体膜と、をエ

50

エッチングして、第2開口部の底部を除去して導電膜を露出させ、その露出した導電膜をエッチングして、薄膜トランジスタをパターン形成する。

【0030】

次いで、第3工程において、薄膜トランジスタを覆う保護層を形成すると共に、透明導電膜の一部を露出させて画素電極を形成する。

【0031】

次いで、第4工程において、保護層の上に、反射電極をフォトリソグラフィによりパターン形成する。

【0032】

これらにより、半透過型のTFTアレイ基板を、第1工程、第2工程、第3工程及び第4工程の計4回のフォトリソグラフィ工程で製造することができる。そのため、半透過型のTFTアレイ基板において、製造工程の短縮及び製造コストの低減が可能になる。

【0033】

本発明のTFTアレイ基板の製造方法は、上記導電膜が、遮光性を有し、上記第3工程で、上記ドレイン電極の周端よりも内側の導電膜をエッチングしてもよい。

【0034】

上記の製造方法によれば、ドレイン電極の周端よりも内側の導電膜をエッチングすることによって、画素電極が形成されるので、光透過性の画素電極の周囲は、遮光性の導電膜から構成されたドレイン電極で、遮光されることになる。これにより、画素電極間の光漏れが抑止される。

【0035】

本発明のTFTアレイ基板の製造方法は、上記半導体膜が、上層の第1半導体膜と下層の第2半導体膜とにより構成され、上記第2エッチング工程で、上記露出した導電膜及び上記第1半導体層をエッチングしてもよい。

【0036】

上記の製造方法によれば、例えば、上層の第1半導体膜がn+アモルファスシリコン膜であり、下層の第2半導体膜が真性アモルファスシリコン膜である場合には、第2エッチング工程で第2開口部の底部を除去して露出した導電膜及びn+アモルファスシリコン膜の第1半導体層をエッチングすることにより、真性アモルファスシリコン膜の第2半導体膜が露出してチャネル部が形成される。

【0037】

本発明のTFTアレイ基板の製造方法は、上記保護層の上層又は下層には、遮光層が形成され、上記遮光層が、上記第3工程で上記保護層と同時に形成されてもよい。

【0038】

上記の製造方法によれば、保護層の上層又は下層に遮光層を形成することにより、保護層と同時に、遮光層が形成される。これにより、フォトリソグラフィ工程の数を増やすことなく、遮光層を形成することができる。

【0039】

本発明のTFTアレイ基板の製造方法は、上記保護層が、遮光性材料により形成されていてよい。

【0040】

上記の製造方法によれば、保護層が、遮光性材料により形成されているので、遮光膜を形成する工程を設ける必要がなくなる。そのため、TFTアレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0041】

本発明のTFTアレイ基板の製造方法は、上記ゲート電極が、複数の金属膜を積層して構成された第1金属積層膜で形成され、上記第1金属積層膜が、アルミニウム膜又はアルミニウム合金膜により構成された金属膜を含んでいてもよい。

【0042】

上記の製造方法によれば、ゲート電極を形成する第1金属積層膜が、アルミニウム膜又

10

20

30

40

50

はアルミニウム合金膜により構成された金属膜を含んでいる。一般に、アルミニウム膜又はアルミニウム合金膜は低抵抗材料であるので、配線抵抗を低下させることができる。

【0043】

本発明のTFTアレイ基板の製造方法は、上記導電膜が、上記透明導電膜のみの単層により構成されていてもよい。

【0044】

上記の製造方法によれば、導電膜が、透明導電膜のみの単層により構成されているので、第3工程において透明導電膜を露出させる必要がない。そのため、第3工程では、保護層を形成するだけで、画素電極が形成されることになる。これにより、TFTアレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

10

【0045】

本発明のTFTアレイ基板の製造方法は、上記導電膜が、酸化インジウムと酸化スズとの化合物により構成された上記透明導電膜と、該透明導電膜を覆うように設けられた複数の金属膜を積層して構成された第2金属積層膜と、により形成され、上記第2金属積層膜が、下層のモリブデン膜又はモリブデン合金膜と上層のアルミニウム膜又はアルミニウム合金膜とにより形成されていてもよい。

【0046】

上記の製造方法によれば、酸化インジウムと酸化スズとの化合物（ITO（Indium Tin Oxide）膜）により形成された透明導電膜の上層がモリブデン膜又はモリブデン合金膜に、そのモリブデン膜又はモリブデン合金膜の上層がアルミニウム膜又はアルミニウム合金膜になる。そのため、アルミニウム膜又はアルミニウム合金膜とITO膜との間にモリブデン膜又はモリブデン合金膜が介在することになるので、アルミニウム膜又はアルミニウム合金膜をエッチングする際に、アルミニウム膜又はアルミニウム合金膜とITO膜との間で局部電池を形成することが抑止される。これにより、アルミニウム膜又はアルミニウム合金膜とITO膜との間の電気的な腐食（電蝕）を防止できる。

20

【0047】

本発明のTFTアレイ基板の製造方法は、上記半導体膜が、同じ厚さのアモルファスシリコンよりも光透過率の高い材料で形成されていてもよい。

【0048】

上記の製造方法によれば、半導体膜が、同じ厚さのアモルファスシリコンよりも光透過率の高い材料で形成されている。そして、画素電極には、半導体膜が重なっているため、その画素電極に対応する領域の光の透過率を向上させることができる。

30

【0049】

本発明のTFTアレイ基板の製造方法は、上記第1工程では、上記ゲート電極に接続された複数のゲート線及びその延設部であるゲート線外部引出電極が、該ゲート電極と同時に形成されてもよい。

【0050】

上記の製造方法によれば、複数のゲート線及びその延設部であるゲート線外部引出電極が、ゲート電極と同時に形成されるので、製造工程を増やすことなく、ゲート線及びゲート線外部引出電極を形成することができる。そのため、TFTアレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

40

【0051】

本発明のTFTアレイ基板の製造方法は、上記ゲート電極、ゲート線及びゲート線外部引出電極は、複数の金属膜を積層して構成された第1金属積層膜で形成されていると共に、上記第1金属積層膜の最下層は、チタン膜又はチタン合金膜により形成され、上記第3工程では、エッチングにより、上記ゲート線外部引出電極に対応する部分の上記チタン膜又はチタン合金膜を露出させてもよい。

【0052】

上記の製造方法によれば、ゲート線外部引出電極は、チタン膜又はチタン合金膜で形成されていることとなる。そして、チタン膜又はチタン合金膜は酸化されにくい材料であるた

50

め、ゲート線外部引出電極の酸化が抑止される。

【0053】

本発明のTFTアレ基板の製造方法は、上記第1金属積層膜が、上記最下層のチタン膜又はチタン合金膜と、アルミニウム膜又はアルミニウム合金膜により構成された金属膜と、該金属膜を覆うように設けられたモリブデン膜又はモリブデン合金膜と、により形成されていてもよい。

【0054】

上記の製造方法によれば、モリブデン膜又はモリブデン合金膜は、アルミニウム膜又はアルミニウム合金膜のエッチングに使用するエッチャントにより、容易にエッチングすることができるので、確実に、第1金属積層膜の最下層のチタン膜又はチタン合金膜を残して、ゲート線外部引出電極を形成することができる。

10

【0055】

また、アルミニウム膜又はアルミニウム合金膜により構成された金属膜の上層に、モリブデン膜又はモリブデン合金膜があるので、そのモリブデン膜又はモリブデン合金膜によって、アルミニウム膜又はアルミニウム合金膜の表面に発生する突起物(ヒロック)を抑制することができる。そのため、例えば、ヒロックが絶縁膜を貫通することによって起こる層間リークの発生が低減される。

【0056】

さらに、第1金属積層膜が、アルミニウム膜又はアルミニウム合金膜により構成された金属膜を含んでいる。そのため、アルミニウム膜又はアルミニウム合金膜は低抵抗材料であるので、配線抵抗を低下させることができる。

20

【0057】

本発明のTFTアレ基板の製造方法は、上記ゲート電極、ゲート線及びゲート線外部引出電極が、複数の金属膜を積層して構成された第1金属積層膜により形成されていると共に、上記第1金属積層膜の最上層が、チタン膜又はチタン合金膜により形成されていてもよい。

【0058】

上記の製造方法によれば、チタン膜又はチタン合金膜は、例えば、アルミニウム膜又はアルミニウム合金膜からなる金属膜と比較して、酸化されにくいので、ゲート線外部引出電極の酸化を抑止することができる。そのため、酸化されやすいアルミニウム膜又はアルミニウム合金膜からなる金属膜が露出してしまう場合とは異なって、ゲート線外部引出電極の対応部分での酸化されやすい金属膜のエッチングが不要になり、製造工程の短縮及び製造コストの低減が可能になる。

30

【0059】

本発明のTFTアレ基板の製造方法は、上記第1金属積層膜が、アルミニウム膜又はアルミニウム合金膜を含んでおり、上記第3工程では、上記ゲート線外部引出電極の周端よりも内側の保護層及びゲート絶縁膜をエッチングしてもよい。

【0060】

上記の製造方法によれば、ゲート線外部引出電極の周端よりも内側の保護層及びゲート絶縁膜をエッチングすることになり、第1金属積層膜を構成するアルミニウム膜又はアルミニウム合金膜は露出されないことになる。また、エッチングにより露出する第1金属積層膜の最上層は、酸化されにくいチタン膜又は窒化チタン膜であるので、ゲート線外部引出電極は酸化されにくい構成をとることになる。

40

【0061】

本発明のTFTアレ基板の製造方法は、上記第2工程では、上記複数のゲート線と交差する方向に、上記複数のソース線及びその延設部であるソース線外部引出電極が、該ソース電極と同時に形成されてもよい。

【0062】

上記の製造方法によれば、複数のソース線及びその延設部であるソース線外部引出電極が、ソース電極と同時に形成されるので、製造工程を増やすことなく、ソース線及びソ

50

ス線外部引出電極を形成することができる。そのため、TFTアレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0063】

本発明のTFTアレイ基板の製造方法は、上記ゲート電極、ゲート線及びゲート線外部引出電極が、複数の金属膜を積層して構成された第1金属積層膜で形成され、上記ソース電極、ソース線及びソース線外部引出電極が、複数の金属膜を積層して構成された第2金属積層膜で形成されていると共に、上記第3工程では、エッチングにより、上記ゲート線外部引出電極及びソース線外部引出電極に対応する部分の上記第1金属積層膜及び第2金属積層膜の少なくとも最上層を除去してもよい。

【0064】

上記の製造方法によれば、画素電極の形成と同時に、ゲート線外部引出電極及びソース線外部引出電極に対応する部分のそれぞれの積層膜の少なくとも最上層が除去されるので、製造工程を増やすことなく、ゲート線外部引出電極及びソース線外部引出電極に対応する部分の積層構造を変更することができる。そのため、TFTアレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0065】

本発明のTFTアレイ基板の製造方法は、上記第1及び第2金属積層膜の最上層が、アルミニウム膜若しくはアルミニウム合金膜、又は、アルミニウム膜或いはアルミニウム合金膜上にモリブデン膜若しくはモリブデン合金膜を積層してなる膜により形成されていてもよい。

【0066】

上記の製造方法によれば、ゲート線外部引出電極及びソース線外部引出電極に対応する部分のそれぞれの積層膜の最上層が、アルミニウム膜若しくはアルミニウム合金膜、又は、アルミニウム膜或いはアルミニウム合金膜上にモリブデン膜若しくはモリブデン合金膜を積層してなる膜により形成されているので、画素電極の形成と同時に、ゲート線外部引出電極及びソース線外部引出電極が形成され、TFTアレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0067】

このとき、その積層膜の最上層が、アルミニウム膜若しくはアルミニウム合金膜により形成されている場合には、酸化されやすいアルミニウム膜又はアルミニウム合金膜が除去され、ゲート線外部引出電極及びソース線外部引出電極の酸化を防止できる。

【0068】

また、その積層膜の最上層が、アルミニウム膜若しくはアルミニウム合金膜上にモリブデン膜若しくはモリブデン合金膜を積層してなる膜により形成されている場合には、アルミニウム膜若しくはアルミニウム合金膜の上層のモリブデン膜若しくはモリブデン合金膜により、アルミニウム膜若しくはアルミニウム合金膜の表面において突起物（ヒロック）の発生が抑止される。

【0069】

さらに、モリブデン膜若しくはモリブデン合金膜の下層にITO膜が形成されている場合には、アルミニウム膜若しくはアルミニウム合金膜とITO膜との間にモリブデン膜若しくはモリブデン合金膜が介在することになるので、アルミニウム膜若しくはアルミニウム合金膜をエッチングする際に、アルミニウム膜若しくはアルミニウム合金膜とITO膜との間で局部電池を形成することが抑止され、アルミニウム膜若しくはアルミニウム合金膜とITO膜との間の電氣的な腐食（電蝕）が抑止される。

【0070】

本発明のTFTアレイ基板の製造方法は、上記保護層が、遮光性を有し、上記薄膜トランジスタ、ゲート線及びソース線を覆うように形成されてもよい。

【0071】

上記の製造方法によれば、遮光性を有する保護層が、薄膜トランジスタ、ゲート線及びソース線を覆うように形成されるので、その保護層が、薄膜トランジスタ（TFT）に入

10

20

30

40

50

射する光を遮断すると共に、各画素間の光遮断パターン（ブラックマトリクス）として機能することになる。そのため、通常、TFTアレイ基板と対向配置される対向基板に、ブラックマトリクスが不要になり、対向基板の製造工程が短縮される。また、TFTアレイ基板と対向基板との貼り合わせずれによる画素間の光漏れ及びTFTでの光リーク電流の発生が抑止される。

【0072】

本発明のTFTアレイ基板の製造方法は、上記第3工程では、エッチングにより、上記複数のゲート線外部引出電極及び複数のソース線外部引出電極の少なくとも一方に対応して1つの開口部を形成することにより、該複数のゲート線外部引出電極及び複数のソース線外部引出電極を露出させてもよい。

10

【0073】

上記の製造方法によれば、複数のゲート線外部引出電極及び複数のソース線外部引出電極の少なくとも一方に対応して、一つの開口部によって露出しているため、各外部引出電極の上層及びその間には、いかなる層も存在しないことになる。そのため、各外部引出電極と、例えば、TAB（Tape Automated Bonding）法による外部駆動回路との接続が容易になる。また、各外部引出電極ごとに開口部を形成して、外部駆動回路と接続させる場合には、その開口部の底面付近の薄膜が脱落して、オーバーハングという不安定な断面構造になる恐れがある。本発明では、各外部引出電極が一つの開口部で露出しているため、オーバーハングになることはなく、安定した外部駆動回路との接続が可能になる。

【0074】

本発明のTFTアレイ基板の製造方法は、上記第3工程では、上記ドレイン電極の周端よりも外側の領域の上記保護層を形成する保護膜、及びゲート絶縁膜をエッチングしてもよい。

20

【0075】

例えば、第2工程の第1エッチング工程でエッチングされるべき半導体膜が完全にエッチングされなかった場合、画素電極とソース線との間にその半導体膜が残留する恐れがある。上記の製造方法によれば、第3工程において、半導体膜とゲート絶縁膜とが同時にエッチングされる材料である場合には、ドレイン電極の周端よりも外側の領域の保護層を形成する保護膜及びゲート絶縁膜をエッチングする際に、ゲート絶縁膜のエッチングと同時に残留した半導体膜がエッチングされる。そのため、画素電極とソース線との間の短絡が抑止される。

30

【0076】

本発明のTFTアレイ基板の製造方法は、上記保護層の最上層が感光性樹脂膜で形成され、上記第3工程で、その表面が凹凸形状に形成され上記保護層の最上層が感光性樹脂膜で形成されてもよい。

【0077】

上記の製造方法によれば、保護層の最上層が感光性樹脂膜で形成されているため、光量を調整して感光性樹脂を露光することにより、保護層の表面を容易に凹凸形状に形成することができる。

【0078】

本発明のTFTアレイ基板の製造方法は、上記反射電極の表面は、上記保護層の表面の凹凸形状を反映した形状に形成されてもよい。

40

【0079】

上記の製造方法によれば、反射電極の表面が、保護層の表面の凹凸形状を反映した形状になるため、反射電極に入射した光の反射方向を、基板面の法線方向に集約することができる。そのため、基板面の法線方向の光量が増加するため、実質的に反射電極の反射率が向上することになる。

【0080】

本発明のTFTアレイ基板の製造方法は、上記第3工程では、上記薄膜トランジスタを覆う保護膜を成膜して、上記ドレイン電極の周端よりも内側の保護膜をエッチングするこ

50

とにより、該ドレイン電極を構成する導電膜が露出したドレイン電極露出部を形成してもよい。

【0081】

ここで、ドレイン電極の周端よりも外側の保護膜までエッチングする場合には、ドレイン電極の周端に導電膜を上層とする大きな段差ができて、導電膜が破壊されやすい構造となり、反射電極と透明電極との間の導通の妨げになる恐れがある。上記の製造方法によれば、ドレイン電極の周端よりも内側の保護膜をエッチングして、ドレイン電極露出部を形成するので、ドレイン電極の周端よりも外側の保護膜がエッチングされることがない。そのため、大きな段差ができず、反射電極と透明電極との間の導通が確実になる。

【0082】

本発明のTFTアレ基板の製造方法は、上記第4工程では、上記ドレイン電極露出部の周端よりも内側の導電膜をエッチングして、上記透明電極を形成してもよい。

【0083】

上記の製造方法によれば、ドレイン電極露出部の周端よりも内側の導電膜をエッチングして、透明電極を形成するので、透明電極と反射電極とは、その透明電極の周端で接続されることになる。それとは反対に、ドレイン電極露出部の周端よりも外側の導電膜がエッチングした場合には、透明電極と反射電極との接続が出来なくなるだけでなく、透明電極と反射電極との間に隙間が生じ、その隙間周辺において、透過率及び反射率の変調が発生してしまう。

【0084】

本発明のTFTアレ基板の製造方法は、上記反射電極が、アルミニウム膜又はアルミニウム合金膜で形成されていてもよい。

【0085】

上記の製造方法によれば、アルミニウム膜又はアルミニウム合金膜は、反射率の高い材料であると共に、遮光性に優れた材料であるため、反射電極は、周囲光を効率よく反射すると共に、TFTに入射する光を確実に遮断することができる。

【0086】

本発明のTFTアレ基板の製造方法は、上記導電膜が、酸化インジウムと酸化スズとの化合物により形成された透明導電膜のみの単層により形成され、上記反射電極が、下層のモリブデン膜又はモリブデン合金膜と、その上層のアルミニウム膜又はアルミニウム合金膜との2層により形成されていてもよい。

【0087】

上記の製造方法によれば、ITO膜により構成された透明導電膜と、反射電極を形成するアルミニウム膜又はアルミニウム合金膜との間に、反射電極を形成するモリブデン膜又はモリブデン合金膜が介在することになる。そのため、アルミニウム膜又はアルミニウム合金膜をエッチングする際に、アルミニウム膜又はアルミニウム合金膜とITO膜との間で局部電池を形成することが抑止される。これにより、アルミニウム膜又はアルミニウム合金膜とITO膜との間の電気的な腐食(電蝕)を防止できる。

【0088】

また、モリブデン膜又はモリブデン合金膜は、アルミニウム膜又はアルミニウム合金膜のエッチングに使用するエッチャントにより、容易にエッチングすることができるので、TFTアレ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0089】

本発明のTFTアレ基板の製造方法は、上記第1工程では、上記ゲート電極に接続された複数のゲート線及びその延設部であるゲート線外部引出電極が、該ゲート電極と同時に形成され、上記第2工程では、上記複数のゲート線と交差する方向に、上記ソース電極に接続された複数のソース線及びその延設部であるソース線外部引出電極が、該ソース電極と同時に形成されると共に、上記ゲート線及びソース線が、遮光性を有し、上記反射電極の周端が、上記ゲート線及びソース線と重なるように形成されてもよい。

【0090】

10

20

30

40

50

上記の製造方法によれば、各反射電極の間に、遮光性のゲート線及びソース線が配置されるので、反射電極間における光漏れの発生が抑止される。また、ゲート線及びソース線が各画素間の光遮断パターン（ブラックマトリクス）として機能することにもなり、通常、TFTアレイ基板と対向配置される対向基板に、ブラックマトリクスが不要になり、対向基板の製造工程が短縮される。さらに、TFTアレイ基板と対向基板との貼り合わせずれによる画素間の光漏れ及びTFTでの光リーク電流の発生が抑止される。

【0091】

本発明のTFTアレイ基板の製造方法は、上記保護層が、有機膜を含んでいてもよい。

【0092】

上記の製造方法によれば、有機膜は比誘電率が低いため、反射電極の周端と、ゲート線及びソース線との重なり部分との間の保護層で構成される寄生容量を小さくできる。

【0093】

本発明のTFTアレイ基板の製造方法は、上記ゲート電極を構成する第1金属積層膜は、最下層のチタン膜又はチタン合金膜と、アルミニウム膜又はアルミニウム合金膜と、により構成され、上記導電膜が、透明導電膜と、該透明導電膜を覆うように設けられたモリブデン膜又はモリブデン合金膜と、該モリブデン膜又はモリブデン合金膜を覆うように設けられアルミニウム膜又はアルミニウム合金膜と、により構成されると共に、上記反射電極が、下層のモリブデン膜又はモリブデン合金膜と、その上層のアルミニウム膜又はアルミニウム合金膜との2層により構成され、上記第4工程では、エッチングにより、上記ゲート線外部引出電極に対応する部分の上記チタン膜又はチタン合金膜を露出させると共に、上記ソース線外部引出電極に対応する部分の上記透明導電膜を露出させてもよい。

【0094】

上記の製造方法によれば、第4工程でのエッチングにより、ゲート線外部引出電極に対応する部分の酸化されやすいアルミニウム膜又はアルミニウム合金膜と、ソース線外部引出電極に対応する部分の酸化されやすいアルミニウム膜又はアルミニウム合金膜、及びモリブデン膜又はモリブデン合金膜と、が同時に除去されるので、ゲート線外部引出電極及びソース線外部引出電極の酸化を防止できる。これにより、TFTアレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【発明の効果】

【0095】

本発明のTFTアレイ基板の製造方法は、透過型のTFTアレイ基板を、第1工程、第2工程及び第3工程の計3回のフォトリソグラフィ工程で、また、半透過型のTFTアレイ基板を、第1工程、第2工程、第3工程及び第4工程の計4回のフォトリソグラフィ工程で、それぞれ製造することができる。そのため、TFTアレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【発明を実施するための最良の形態】

【0096】

以下、本発明の実施形態を図面に基づいて詳細に説明する。以下の実施形態では、液晶表示装置を構成するTFTアレイ基板について説明する。但し、本発明は、以下の実施形態に限定されるものではなく、他の構成であってもよい。

【0097】

《発明の実施形態1》

以下に、本発明の実施形態1に係るTFTアレイ基板20aについて説明する。

【0098】

図1は、TFTアレイ基板20aの1画素の平面模式図であり、図2及び図3は、図1中のA-A'断面におけるTFTアレイ基板20aの製造工程を示す断面模式図である。なお、図3(c)がTFTアレイ基板20aの断面模式図に相当する。

【0099】

TFTアレイ基板20aは、対向するように設けられた対向基板と、それら両基板に挟持されるように設けられた液晶層と共に、液晶表示装置を構成するものである。

10

20

30

40

50

【0100】

このTFTアレ基板20aは、絶縁基板1上に、相互に並行に延びるように設けられた複数のゲート線2と、ゲート線2に直交する方向で相互に並行に延びるように設けられた複数のソース線6とを備えている。そして、ゲート線2とソース線6との各交差部には、TFT8が設けられている。また、各TFT8に対応して一对のゲート線2及び一对のソース線6で囲われる表示領域には画素を構成する画素電極5aが設けられている。さらに、各ゲート線2及びソース線6の末端には、それぞれ、後述するゲート線外部引出端子2d及びソース線外部引出端子6eが配設している。

【0101】

また、本実施形態では、画素がマトリクス状に配列して、ゲート線2及びソース線6が直交したTFTアレ基板20aを例示しているが、本発明は、例えば、画素がデルタ配列したTFTアレ基板の場合にも適用できる。なお、後述する実施形態2~4についても同様に適用できる。

【0102】

TFT8は、ゲート線2から側方に突出した突出部からなるゲート電極2cと、ゲート電極2c上にゲート絶縁膜3を介して設けられた半導体膜4と、半導体膜4上にソース線6から側方に突出した突出部からなるソース電極6cと、半導体膜4上でソース電極6cと対峙するように設けられ画素電極5aに接続されたドレイン電極6dとにより構成されている。そして、TFT8を覆うように、保護層9及び遮光層10が設けられている。さらに、半導体膜4には、ゲート電極2cに対応して、ソース電極6cとドレイン電極6dとの間の領域にチャンネル部14が設けられている。

【0103】

また、本実施形態では、ゲート電極2cがゲート線2から突出したTFT8を例示しているが、本発明は、例えば、ゲート線2上にTFTのチャンネル部を配置した、いわゆる、TFTオンゲート構造等の場合にも適用できる。なお、後述する実施形態2~4についても同様に適用できる。

【0104】

対向基板は、絶縁基板上に、カラーフィルタ層、共通電極及び配向膜が順に積層された多層積層構造になっている。

【0105】

カラーフィルタ層は、TFTアレ基板20aの各画素に対応して、赤、緑及び青のうちの何れかの着色層が設けられている。なお、この着色層は、赤、緑及び青の組み合わせの他に、シアン、マゼンタ及びイエローの組み合わせであってもよい。

【0106】

液晶層は、電気光学特性を有するネマチック液晶材料等から構成されている。

【0107】

次に、本発明の実施形態1に係るTFTアレ基板20aの製造方法について、説明する。

【0108】

<第1工程(ゲート電極形成工程)>

図2(a)に示すように、ガラス基板1上の基板全体に、スパッタリング法により、チタン膜(厚さ500程度)及びアルミニウム膜(厚さ3000程度)を順に成膜し、その後、フォトリソグラフィ技術(Photo Engraving Process、以下「PEP技術」と称する)によりパターン形成して、ゲート第1金属膜2a及びゲート第2金属膜2bからなる第1金属積層膜により構成されたゲート電極2c、ゲート線2、ゲート線外部引出電極を形成する。これによって、基板20a1が得られる。また、ゲート線2、その延設部であるゲート線外部引出電極、及びその突出部であるゲート電極2cが、同時に形成することにより、製造工程の短縮及び製造コストの低減が可能になる。

【0109】

ここで、ゲート電極2cを形成する第1金属積層膜は、低抵抗材料であるアルミニウム

膜又はアルミニウム合金膜を含んでいるので、ゲート線 2 の配線抵抗を低下させることができる。

【0110】

また、アルミニウム膜により構成されたゲート第 2 金属膜 2 b の上に、モリブデン膜又はモリブデン合金膜をさらに成膜してもよい。この構成によれば、アルミニウム膜の上層のモリブデン膜又はモリブデン合金膜により、アルミニウム膜の表面に発生する突起物（ヒロック）を抑制することができる。そのため、例えば、ヒロックが絶縁膜を貫通することによって起こる層間リークの発生が低減される。ここで、ヒロックとは、熱プロセスやプラズマプロセス等の熱履歴により、アルミニウム膜の表面に発生する突起物のことである。そして、モリブデン膜又はモリブデン合金膜は、アルミニウム膜又はアルミニウム合金膜のエッチングに使用するエッチャント、例えば、硝酸、リン酸及び酢酸の混合液により、容易にエッチングされるので、後述するアルミニウム膜のエッチングにより同時に除去され、別途エッチング工程を設ける必要がない。

10

【0111】

<第 2 工程 / 積層体形成工程>

まず、ゲート電極 2 c、ゲート線 2、ゲート線外部引出電極が形成された基板 20 a 1 全体に、プラズマ CVD 法により、窒化シリコン膜（厚さ 4000 程度）、アモルファスシリコン膜（厚さ 1500 程度）及びリン等の不純物ドーパされたアモルファスシリコン膜（厚さ 500 程度）を、順に成膜する。

【0112】

次いで、その基板全体に、スパッタリング法により、ITO (Indium Tin Oxide) 膜（厚さ 1000 程度）、モリブデン膜（厚さ 1000 程度）及びアルミニウム膜（厚さ 1000 程度）を、順に成膜する。

20

【0113】

ここで、アルミニウム膜と ITO 膜との間にモリブデン膜が介在しているので、後工程でアルミニウム膜をエッチングする際に、アルミニウム膜と ITO 膜との間で局部電池を形成することが抑止される。これにより、アルミニウム膜と ITO 膜との間の電氣的な腐食（電蝕）を防止できる。

【0114】

このようにして、下層から順に、ゲート絶縁膜 3、第 1 半導体膜 4 a、第 2 半導体膜 4 b、透明導電膜 5、並びに、ソース第 1 金属膜 6 a 及びソース第 2 金属膜 6 b からなる第 2 金属積層膜により構成された積層体が形成する。ここで、半導体膜 4 は、第 1 半導体膜 4 a 及び第 2 半導体膜 4 b の 2 層により構成され、導電膜は、透明導電膜 5、ソース第 1 金属膜 6 a 及びソース第 2 金属膜 6 b の 3 層により構成される。透明導電膜 5 は、特に、ITO に限定されるものではなく、IZO (Indium Zinc Oxide)、酸化亜鉛、酸化スズ等、所望の抵抗値が得られるものであればよい。

30

【0115】

また、本実施形態では、ソース第 1 金属膜 6 a として、モリブデン膜を例示しているが、これに限定されるものではなく、チタン膜、クロム膜及びモリブデン合金膜のような合金膜等であってもよい。さらに、ソース第 2 金属膜 6 b として、アルミニウム膜を例示しているが、これに限定されるものではなく、アルミニウム合金膜等であってもよい。

40

【0116】

<第 2 工程 / レジストパターン形成工程 1>

まず、基板全体に、感光性樹脂からなるレジストを塗布して、レジスト層を形成する。

【0117】

次いで、基板全体に形成されたレジスト層に、スリットマスク等を用いて露光量を調整し、図 2 (b) に示すような複数の膜厚を有する第 1 レジストパターン 7 a を形成する。ここで、第 1 レジストパターン 7 a は、チャンネル部 1 4、ソース線 6、ソース電極 6 c 及びドレイン電極 6 d となる部分以外の領域の上方位置に導電膜（ソース第 2 金属膜 6 b）を露出させる第 1 開口部 7 c と、ゲート電極 2 c の上方位置に、具体的にはチャンネル部 1

50

4となる上方位置に所定厚さの底部を有する第2開口部7dと、を備えている。そして、第2開口部7dのレジスト層の膜厚とその他の部分のレジスト層の膜厚との比は、後工程のエッチング条件やアッシング条件等によって最適な値は異なるが、例えば、第2開口部7dのレジスト層の膜厚が、15000~20000程度であり、その他の部分の膜厚が、40000程度である。これによって、基板20a2が得られる。

【0118】

<第2工程/第1エッチング工程>

図2(c)に示すように、第1レジストパターン7aをマスクとして、基板20a2上のソース第2金属膜6b、ソース第1金属膜6a及び透明導電膜5をこの順にウエットエッチングによりエッチングして、続いて、第2半導体膜4b及び第1半導体膜4aをこの順にドライエッチングによりエッチングして、ソースドレイン形成部6fを形成する。これによって、基板20a3が得られる。

10

【0119】

<第2工程/レジストパターン形成工程2>

図3(a)に示すように、基板20a3上の第1レジストパターン7a全体をアッシングする。これにより、第1レジストパターン7aの膜厚が全体に薄肉化し、第2開口部7dの底部が除去され、導電膜(ソース第2金属膜6b)が露出した第2レジストパターン7bを形成する。これによって、基板20a4が得られる。

【0120】

<第2工程/第2エッチング工程>

まず、第2レジストパターン7bをマスクとして、基板20a4上の透明導電膜5、ソース第1金属膜6a及びソース第2金属膜6b(ソースドレイン形成部6f)をウエットエッチングによりエッチングして、ソース電極6c、ドレイン電極6d'、ソース線6及びソース線外部引出電極を形成する。また、ソース線6、その延設部であるソース線外部引出電極、及びその突出部であるソース電極が、同時に形成されることにより、製造工程の短縮及び製造コストの低減が可能になる。

20

【0121】

次いで、同じく第2レジストパターン7bをマスクとして、第2半導体膜4bをドライエッチングによりエッチングして、チャンネル部を形成してTF T8を形成する。

【0122】

次いで、基板上の第2レジストパターン7bを除去する。これによって、図3(b)に示すような基板20a5が得られる。

30

【0123】

<第3工程(保護層・画素電極形成工程)>

前もって、カーボンが分散された感光性樹脂の樹脂膜を、PET(ポリエチレンテレフタレート)フィルム等のカバーフィルムで挟持させたOD値3.0、膜厚2.5µmの遮光性のドライフィルムを準備する。

【0124】

ここで、OD値とは、遮光膜の光の遮蔽程度を示す値で、透過濃度を示す。入射光の強さをI、遮光膜を透過した後の透過光の強さをI'としたとき、OD値は、 $OD値 = -1 \log(I'/I)$ で示される。通常、400~700nmの可視光領域での透過濃度を示し、OD値が大きい物質ほど透過率は低い。

40

【0125】

まず、基板20a5全体に、プラズマCVD法により、窒化シリコン膜(厚さ2000程度)を成膜して、保護膜を成膜する。

【0126】

次いで、準備したドライフィルムの片面のカバーフィルムを剥がした後、基板にそのカバーフィルムを剥がした方の面を押し当てながら、ドライフィルムを貼り合わせ、他方のカバーフィルムを剥離させる。これによって、カーボンが分散された感光性樹脂の樹脂膜が、基板上に転写され、遮光膜が成膜される。この工程は、一般にドライフィルムを加熱

50

しながら実行される、いわゆる熱転写工程であり、この樹脂膜を基板に転写する方法をドライフィルムラミネート法という。

【0127】

ここで、遮光膜としては、このカーボンが分散された感光性樹脂の樹脂膜に限ることはなく、顔料分散型黒色レジストなど、所望のOD値、テーパー形状、誘電率を得られる材料であってもよい。また、本実施形態では、保護膜の上層に遮光膜がある構成を例示したが、その反対に、保護膜の下層に遮光膜がある構成であってもよい。

【0128】

このように、保護膜の上層又は下層に遮光膜を形成することにより、後工程のフォトリソグラフィ工程にて、保護層9と一緒に、遮光層10をパターン形成することが可能になる。これにより、フォトリソグラフィ工程の数を増やすことなく、遮光層10を形成することができる。

10

【0129】

また、保護膜は、遮光膜との2層構造ではなく、遮光性を有する黒色フォトレジストの1層構造であってもよい。この場合には、上記遮光膜を省略することができ、遮光膜を形成する工程を設ける必要がなくなる。そのため、TFTアレ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0130】

次いで、基板全体に成膜された遮光膜に、フォトマスクを用いて、露光、現像、ポストバークを行い、遮光層10を形成する。

20

【0131】

次いで、遮光層10をマスクとして、保護膜及び導電膜(ソース第1金属膜6a及びソース第2金属膜6b)をエッチングして、透明導電膜5の一部を露出させ、TFT8を覆う保護層9及び画素電極5aを形成する。ここでは、ドレイン電極6dの周端よりも内側の導電膜に対してエッチングを行うので、光透過性の画素電極5aの周囲は、遮光性の導電膜により構成されたドレイン電極6dによって、遮光されることになる。これにより、画素電極5a間の光漏れが抑止され、図3(c)に示すようなTFTアレ基板20aが得られる。

【0132】

また、保護層9及び遮光層10は、TFT8だけでなく、ゲート線2及びソース線6を覆うように形成する。これにより、遮光性を有する保護層9及び遮光層10が、TFT8に入射する光を遮断すると共に、各画素間の光遮断パターン(ブラックマトリクス)として機能することになる。そのため、通常、TFTアレ基板と対向配置される対向基板に、ブラックマトリクスが不要になり、対向基板の製造工程が短縮される。また、TFTアレ基板と対向基板との貼り合わせずれによる画素間の光漏れ及びTFTでの光リーク電流の発生が抑止される。

30

【0133】

本実施形態では、第3工程においてドレイン電極6dの周端よりも内側の導電膜をエッチングする方法を例示したが、ドレイン電極6dの周端よりも外側の領域の保護膜及びゲート絶縁膜をエッチングしてもよい。

40

【0134】

具体的には、例えば、第2工程の第1エッチング工程でエッチングされるべき半導体膜4が完全にエッチングされなかった場合、画素電極5aとソース線6との間にその半導体膜4が残留する恐れがある。しかしながら、第3工程において、ドレイン電極の周端よりも外側の領域の導電膜及びゲート絶縁膜3をエッチングする際に、ゲート絶縁膜3のエッチングと同時に残留した半導体膜4がエッチングされる。そのため、画素電極5aとソース線6との間の短絡が抑止される。なお、後述する実施形態2~4についても同様に適用できる。

【0135】

次に、ゲート線外部引出電極2d及びソース線外部引出電極6eについて、より詳細に

50

説明する。

【0136】

図4(a)は、複数のゲート線外部引出端子2dが配設されたTF Tアレイ基板20aの端部の平面模式図であり、図4(b)は、図4(a)中のB-B'断面における断面模式図である。そして、図5(a)は、複数のソース線外部引出端子6eが配設されたTF Tアレイ基板20aの端部の平面模式図であり、図5(b)は、図5(a)中のC-C'断面における断面模式図である。

【0137】

まず、上記保護層9及び画素電極5aを形成する前の段階では、ゲート線外部引出電極2f及びソース線外部引出電極6gの上には、図17(a)及び図19(a)に示すように、保護膜(保護層9)及び遮光膜(遮光層10)が成膜されている。

10

【0138】

そして、保護層9及び画素電極5aの形成と同時に、ゲート線外部引出電極2d上に積層されたゲート絶縁膜3、保護膜及び遮光膜を、ソース線外部引出電極6e上に積層された保護膜及び遮光膜を、それぞれ除去することにより、図17(b)及び図19(b)に示すように、ゲート線外部引出電極及び2f及びソース線外部引出電極6gが露出する。

【0139】

また、本実施形態では、ゲート線外部引出電極2fを構成しその最上層であるゲート第2金属膜2b、及びソース線外部引出電極6eを構成しその最上層であるソース第2金属膜6bが、それぞれアルミニウム膜であるので、ゲート線外部引出電極2f及びソース線外部引出電極6gが露出すると同時に、図17(c)及び図19(c)に示すように、それぞれのゲート第2金属膜2b、ソース第1金属膜6a及びソース第2金属膜6bがエッチングされ、ゲート第1金属膜2aが露出したゲート線外部引出端子2dが、透明導電膜5が露出したソース線外部引出端子6eが、それぞれ形成される。これにより、外部引出電極の部分において、酸化されやすいアルミニウム膜を除去することができ、ゲート線外部引出電極及びソース線外部引出電極の酸化を防止できる。

20

【0140】

そして、ゲート第2金属膜2b及びソース第2金属膜6bを構成するアルミニウム膜(アルミニウム合金膜)を、アルミニウム膜(アルミニウム合金膜)上にモリブデン膜(モリブデン合金膜)を積層してなる膜としてもよい。

30

【0141】

この場合には、アルミニウム膜(アルミニウム合金膜)の上層のモリブデン膜(モリブデン合金膜)により、アルミニウム膜(アルミニウム合金膜)の表面において突起物(ヒロック)の発生が抑止される。

【0142】

さらに、上記モリブデン膜(モリブデン合金膜)の下層にITO膜が形成されている場合には、アルミニウム膜(アルミニウム合金膜)とITO膜との間にモリブデン膜(モリブデン合金膜)が介在することになるので、アルミニウム膜(アルミニウム合金膜)をエッチングする際に、アルミニウム膜(アルミニウム合金膜)とITO膜との間で局部電池を形成することが抑止され、アルミニウム膜(アルミニウム合金膜)とITO膜との間の電氣的な腐食(電蝕)が抑止される。

40

【0143】

ここで、ソース線外部引出電極6gにおいては、ソース第1金属膜6aがモリブデン膜であるので、硝酸、リン酸及び酢酸の混合液をエッチャントとしたウエットエッチングにより、ソース第1金属膜6aもソース第2金属膜6b(アルミニウム膜)と同時にエッチングされる。

【0144】

また、ゲート線外部引出端子2d(ゲート線外部引出電極2f)及びソース線外部引出端子6e(ソース線外部引出電極6g)は、それぞれ一つの開口部によって露出しているので、ゲート線外部引出端子2d及びソース線外部引出端子6eの上層及びその間には、

50

図17(c)及び図19(c)に示すように、いかなる薄膜材料も存在しないことになり、後述のオーバーハングとはならない。そのため、例えば、TAB(Tape Automated Bonding)法によって、ゲート線外部引出端子2d及びソース線外部引出端子6eに、各外部駆動回路を接続が容易で且つ安定したものになる。

【0145】

これとは反対に、各外部引出電極ごとに、コンタクトホールを形成して、外部駆動回路との接続を図る場合には、図18(c)及び図20(c)に示すように、コンタクトホールの底部において、ゲート第2金属膜2b、ソース第1金属膜6a及びソース第2金属膜6bがウエットエッチングによって等方的にエッチングされることにより、オーバーハングと呼ばれる、下層に薄膜が存在しなく膜剥がれが生じ易い不安定な断面構造が形成されるため、外部引出電極(端子)と外部駆動回路との接続が不安定になる。なお、図18及び図20に示す各工程は、それぞれ図17及び図19に示した各工程に対応する。

10

【0146】

本実施形態では、ゲート線2、ゲート電極2c及びゲート線外部引出電極2fを構成する第1金属積層膜の下層のゲート第1金属膜2aとして、チタン膜を例示しているが、これに限定されるものではなく、クロム膜、モリブデン膜等であってもよい。

【0147】

しかしながら、具体的に、第1金属積層膜の下層のゲート第1金属膜2aとしてチタン膜を、その上層のゲート第2金属膜2bとしてアルミニウム膜又はアルミニウム合金膜を、それぞれ用いた場合には、ドライエッチングにより、ゲート線2、ゲート電極2c及びゲート線外部引出電極2fを容易にパターン形成できる。そして、ゲート線外部引出端子2dを形成する際には、ウエットエッチングを行うことにより、ゲート第1金属膜2aであるチタン膜のみを残して選択的にエッチングして、ゲート第2金属膜2bであるアルミニウム膜又はアルミニウム合金膜の対応部分を除去することができる。

20

【0148】

上記のように、ゲート第1金属膜2aをチタン膜により形成すれば、チタン膜がアルミニウム膜又はアルミニウム合金膜と比べて、酸化されにくいことから、チタン膜により構成されたゲート外部引出端子2dと外部駆動回路とのTAB法による電氣的接続が確実に、その信頼性も向上できる。

【0149】

ここで、TAB法とは、ポリイミド樹脂をベースとするテープ状のフィルムに形成された銅箔のリード配線パターンを利用して、例えば、導電体同士を電氣的に接続するものである。

30

【0150】

また、ゲート第2金属膜2bを、アルミニウム膜又はアルミニウム合金膜により形成することにより、配線抵抗を下げるという効果が得られるとともに、上記ウエットエッチングにより容易にチタン膜のみを残すという選択的なエッチングを確実に行うことができる。

【0151】

以上のように、本発明の製造方法によれば、透過型のTFTアレイ基板20aを、TF T8を覆う遮光層10、画素間のブラックマトリクス及びゲート線外部引出端子2d及びソース線外部引出端子6eの形成を含めて、第1工程、第2工程及び第3工程の計3回のフォトリソグラフィ工程で製造することができる。そのため、透過型のTFTアレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

40

【0152】

《発明の実施形態2》

以下に、本発明の実施形態2に係るTF Tアレイ基板20bについて説明する。

【0153】

図6及び図7は、図2及び図3に対応するTF Tアレイ基板20bの製造工程を示す断面模式図である。なお、図7(c)がTF Tアレイ基板20bの断面模式図に相当する。

50

【0154】

TFTアレイ基板20bは、対向するように設けられた対向基板と、それら両基板に挟持されるように設けられた液晶層と共に、液晶表示装置を構成するものである。

【0155】

このTFTアレイ基板20bは、絶縁基板1上に、相互に並行に延びるように設けられた複数のゲート線2と、ゲート線2に直交する方向で相互に並行に延びるように設けられた複数のソース線6と、を備えている。そして、ゲート線2とソース線6との各交差部には、TFT8が設けられている。また、各TFT8に対応して一对のゲート線2及び一对のソース線6で囲われる表示領域には画素を構成する画素電極5aが設けられている。さらに、各ゲート線2及びソース線6の末端には、それぞれ、後述するゲート線外部引出電極2d及びソース線外部引出電極6eが配設している。

10

【0156】

TFT8は、ゲート線2から側方に突出した突出部からなるゲート電極2cと、ゲート電極2c上にゲート絶縁膜3を介して設けられた半導体層4と、半導体層4上にソース線6から側方に突出した突出部からなるソース電極5bと、半導体層4上でソース電極5bと対峙するように設けられ画素電極5aに接続されたドレイン電極6dとにより構成されている。そして、TFT8を覆うように、保護層9及び遮光層10が設けられている。さらに、半導体膜4には、ゲート電極2cに対応して、ソース電極6cとドレイン電極6dとの間の領域にチャンネル部14が設けられている。

【0157】

対向基板及び液晶層については、実施形態1と同様であるので、その説明を省略する。

20

【0158】

次に、本発明の実施形態2に係るTFTアレイ基板20bの製造方法について、説明する。

【0159】

<第1工程(ゲート電極形成工程)>

図6(a)に示すように、ガラス基板1上の基板全体に、スパッタリング法により、チタン膜(厚さ500程度)、アルミニウム膜(厚さ3000程度)及び窒化チタン膜(厚さ1000程度)を順に成膜し、その後、PEP技術によりパターン形成して、ゲート第1金属膜2a、ゲート第2金属膜2b及びゲート第3金属膜2eからなる第1金属積層膜で構成されたゲート電極2c、ゲート線2、ゲート線外部引出電極を形成する。これによって、基板20b1が得られる。

30

【0160】

ここで、ゲート第1金属膜2aとして用いられる金属膜は、特に、限定されないが、例えば、チタン膜、クロム膜、モリブデン膜等が挙げられる。また、ゲート第2金属膜2bとして用いられる金属膜は、特に限定されないが、例えば、アルミニウム膜、タンタル膜、チタン膜等が挙げられる。これら例示した金属のうち、特に、アルミニウム膜が好ましい。さらに、ゲート第3金属膜2eとして用いられる金属膜は、特に限定されないが、例えば、チタン膜、窒化チタン膜等が挙げられる。なお、これら金属膜の選択理由については、後で説明する。

40

【0161】

<第2工程/積層体形成工程>

まず、ゲート電極2c、ゲート線2、ゲート線外部引出電極が形成された基板20a1全体に、プラズマCVD法により、窒化シリコン膜(厚さ4000程度)を成膜する。

【0162】

次いで、窒化シリコン膜が成膜された基板全体に、パルスレーザー堆積CVD法により、酸化亜鉛膜(厚さ1500程度)を成膜する。

【0163】

次いで、酸化亜鉛膜が成膜された基板全体に、スパッタリング法により、ITO(Indi

50

um Tin Oxide) 膜 (厚さ 1000 程度) を成膜する。

【0164】

これによって、下層から順に、ゲート絶縁膜 3、半導体膜 4 及び透明導電膜 5 により構成された積層体が形成する。ここで、半導体膜 4 は、酸化亜鉛膜により構成され、導電膜は、透明導電膜 5 のみにより構成されている。

【0165】

半導体膜 4 は、例示した酸化亜鉛膜の他に、酸化マグネシウム亜鉛膜、酸化カドミウム亜鉛膜、酸化カドミウム膜等のように、同じ厚さのアモルファスシリコンよりも光透過率の高い材料であってもよい。

【0166】

また、半導体膜 4 は、所望の移動度及び on/off 比 (ゲートの電圧でドレイン電流のスイッチを行う際の、on 状態の電流と off 状態のリーク電流との比) を得るために、透明性を失われない程度で、リン等の不純物をドーピングしてもよい。

【0167】

透明導電膜 5 は、特に、ITO に限定されるものではなく、IZO (Indium Zinc Oxide)、酸化亜鉛膜、酸化スズ膜等、所望の抵抗値が得られるものであればよい。

【0168】

このような構成により、画素電極 5a を構成する透明導電膜 5 の下層が、透明性を有する酸化亜鉛膜で形成されているため、画素電極 5a に対応する領域の光の透過率を向上させることができ、液晶表示装置のコントラスト及び輝度を向上させることができる。

【0169】

また、導電膜が、透明導電膜 5 のみにより構成されているので、後述する第 3 工程において、実施形態 1 のように金属膜をエッチングして透明導電膜 5 を露出させる必要がない。そのため、第 3 工程では、保護層を形成するだけで、画素電極 5a が形成されることになる。これにより、TFT アレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0170】

< 第 2 工程 / レジストパターン形成工程 1 >

まず、基板全体に、感光性樹脂からなるレジストを塗布して、レジスト層を形成する。

【0171】

次いで、基板全体に形成されたレジスト層に、スリットマスク等を用いて露光量を調整し、図 6 (b) に示すような複数の膜厚を有する第 1 レジストパターン 7a を形成する。

【0172】

ここで、第 1 レジストパターン 7a は、チャンネル部 14、ソース線 6、ソース電極 6c 及びドレイン電極 6d となる部分以外の領域の上方位置に導電膜 (ソース第 2 金属膜 6b) を露出させる第 1 開口部 7c と、ゲート電極 2c の上方位置に、具体的にはチャンネル部 14 となる上方位置に所定厚さの底部を有する第 2 開口部 7d と、を備えている。そして、第 2 開口部 7d のレジスト層の膜厚とその他の部分のレジスト層の膜厚との比は、後工程のエッチング条件によって最適な値は異なるが、例えば、第 2 開口部 7d のレジスト層の膜厚が、15000 ~ 20000 程度であり、その他の部分の膜厚が、40000 程度である。これによって、基板 20b2 が得られる。

【0173】

< 第 2 工程 / 第 1 エッチング工程 >

図 6 (c) に示すように、第 1 レジストパターン 7a をマスクとして、基板 20a2 上の半導体膜 4 及び透明導電膜 5 をエッチングして、ソースドレイン形成部 6f を形成する。これによって、基板 20b3 が得られる。

【0174】

< 第 2 工程 / レジストパターン形成工程 2 >

図 7 (a) に示すように、基板 20b3 上の第 1 レジストパターン 7a 全体をアッシングする。これにより、第 1 レジストパターン 7a の膜厚が全体に薄肉化し、第 2 開口部 7

10

20

30

40

50

dの底部が除去され、透明導電膜5が露出した第2レジストパターン7bを形成する。これによって、基板20b4が得られる。

【0175】

<第2工程/第2エッチング工程>

まず、第2レジストパターン7bをマスクとして、基板20b4上の透明導電膜5をエッチングして、ソース電極5b、ドレイン電極5c、ソース線6及びソース線外部引出電極を形成する。これによって、TFT8が形成される。

【0176】

次いで、基板上の第2レジストパターン7bを除去する。これによって、図7(b)に示すような基板20b5が得られる。

10

【0177】

<第3工程(保護層・画素電極形成工程)>

実施形態1と同様に、前もって、遮光性のドライフィルムを準備する。

【0178】

まず、基板20a5全体に、プラズマCVD法により、窒化シリコン膜(厚さ2000程度)を成膜して、保護膜を成膜する。

【0179】

次いで、準備したドライフィルムの片面のカバーフィルムを剥がした後、基板にそのカバーフィルムを剥がした方の面を押し当てながら、ドライフィルムを貼り合わせ、他方のカバーフィルムを剥離させる。これによって、カーボンが分散された感光性樹脂の樹脂膜が、基板上に転写され、遮光膜が成膜される。

20

【0180】

なお、遮光膜としては、このカーボンが分散された感光性樹脂の樹脂膜に限ることはなく、顔料分散型黒色レジストなど、所望のOD値、テーパー形状、誘電率を得られる材料であればよい。

【0181】

また、保護膜は、遮光膜との2層構造ではなく、遮光性を有する黒色フォトレジストの1層構造であってもよい。この場合には、遮光膜を省略することができる。

【0182】

次いで、基板全体に成膜された遮光膜に、フォトマスクを用いて、露光、現像、ポスト

30

【0183】

次いで、遮光層10をマスクとして、保護膜をエッチングして、TFT8を覆う保護層9及び画素電極5aを形成する。これによって、図7(c)に示すようなTFTアレイ基板20bが得られる。また、保護層9及び遮光層10は、TFT8だけでなく、ゲート線2及びソース線6を覆うように形成する。

【0184】

ここで、ゲート線外部引出電極2f及びソース線外部引出電極について、より詳細に説明する。

【0185】

図8(a)は、複数のゲート線外部引出電極2fが配設されたTFTアレイ基板20bの端部の平面模式図であり、図8(b)は、図8(a)中のD-D'断面における断面模式図である。

40

【0186】

ゲート線外部引出電極2fは、保護層9及び画素電極5aの形成と同時に、ゲート線外部引出電極上に積層されたゲート絶縁膜3、保護膜及び遮光膜からなる積層膜のゲート線外部引出電極2fの周端よりも内側部分に、コンタクトホール11cを形成することにより、露出することになる。これにより、第1金属積層膜のゲート第2金属膜2bを構成する酸化されやすいアルミニウム膜は露出されないことになる。また、エッチングにより露出する第1金属積層膜の最上層は、酸化されにくい窒化チタン膜である。これらの構成に

50

より、ゲート線外部引出電極 2 f は酸化されにくい構成をとることになる。そのため、ゲート線外部引出電極 2 f と外部駆動回路との電氣的接続を確実にして、その信頼性を向上できる。さらに、実施形態 1 のように、酸化されやすいゲート第 2 金属膜 2 b (アルミニウム膜) をエッチングして、ゲート線外部引出端子 2 d を形成する必要がなくなり、製造工程の短縮、製造コストの低減が可能になる。

【0187】

また、窒化チタン膜又はチタン膜は、アルミニウム膜と比較して、ゲート絶縁膜 3 を構成する窒化シリコン膜との密着性がよいため、膜剥れが起こりにくく、安定な製造歩留りを得ることができる。

【0188】

ソース線外部引出電極は、実施形態 1 のように第 2 金属積層膜をエッチングする必要はなく、保護層 9 及び画素電極 5 a の形成と同時に、その上層の保護膜及び遮光膜をエッチングするだけで露出することになる。

【0189】

本実施形態では、ゲート第 2 金属膜 2 b としてアルミニウム膜を用いているので、ゲート線 2 の配線抵抗を下げるという効果が得られる。さらに、その上層のゲート第 3 金属膜 2 e として、窒化チタン膜を用いているので、アルミニウム膜の表面のヒロックの発生が抑止され、ヒロックによるゲート線 2 とソース信号線 6 の層間リークを低減できる。

【0190】

以上のように、本発明の製造方法によれば、透過型の TFT アレイ基板 20 b を、TFT 8 を覆う遮光層 10、画素間のブラックマトリクス及びゲート線外部引出電極 2 f 及びソース線外部引出電極の形成を含めて、第 1 工程、第 2 工程及び第 3 工程の計 3 回のフォトリソグラフィ工程で製造することができる。そのため、透過型の TFT アレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0191】

《発明の実施形態 3》

以下に、本発明の実施形態 3 に係る TFT アレイ基板 20 c について説明する。

【0192】

図 9 は、TFT アレイ基板 20 c の平面模式図であり、図 10、図 11 及び図 12 は、図 1 中の E - E' 断面における TFT アレイ基板 20 c の製造工程を示す断面模式図である。なお、図 12 (b) が TFT アレイ基板 20 c の断面模式図に相当する。

【0193】

TFT アレイ基板 20 c は、対向するように設けられた対向基板と、それら両基板に挟持されるように設けられた液晶層と共に、液晶表示装置を構成するものである。

【0194】

この TFT アレイ基板 20 c は、絶縁基板 1 上に、相互に並行に延びるように設けられた複数のゲート線 2 と、ゲート線 2 に直交する方向で相互に並行に延びるように設けられた複数のソース線 6 と、を備えている。そして、ゲート線 2 とソース線 6 との各交差部には、TFT 8 が設けられている。また、各 TFT 8 に対応して一对のゲート線 2 及び一对のソース線 6 で囲われる表示領域には画素を構成する画素電極 (透明電極 5 d 及び反射電極 12) が設けられている。ここで、透明電極 5 d の周囲が反射電極 12 となって、透明電極 5 d 及び反射電極 12 により画素電極を構成している。さらに、各ゲート線 2 及びソース線 6 の末端には、それぞれ、後述するゲート線外部引出端子及びソース線外部引出端子が配設している。

【0195】

TFT 8 は、ゲート線 2 から側方に突出した突出部からなるゲート電極 2 c と、ゲート電極 2 c 上にゲート絶縁膜 3 を介して設けられた半導体膜 4 と、半導体膜 4 上にソース線 6 から側方に突出した突出部からなるソース電極 6 c と、半導体膜 4 上でソース電極 6 c と対峙するように設けられ透明画素 5 d に接続されたドレイン電極 6 d とにより構成されている。そして、TFT 8 を覆うように、保護層 9 及び遮光層 10 が設けられている。さ

10

20

30

40

50

らに、半導体膜 4 には、ゲート電極 2 c に対応して、ソース電極 6 c とドレイン電極 6 d との間の領域にチャネル部 1 4 が設けられている。

【0196】

対向基板及び液晶層は、実施形態 1 と同様なので、その説明を省略する。

【0197】

次に、本発明の実施形態 3 に係る T F T アレイ基板 2 0 c の製造方法について、説明する。

【0198】

実施形態 1 と同様に、第 1 工程（ゲート電極形成工程）、第 2 工程 / 積層体形成工程、第 2 工程 / レジストパターン形成工程 1、第 2 工程 / 第 1 エッチング工程、第 2 工程 / レジストパターン形成工程 2 及び第 2 工程 / 第 2 エッチング工程を、行うことにより、基板 2 0 c 5 が得られる。

10

【0199】

< 第 3 工程（保護層・画素電極形成工程） >

実施形態 1 と同様に、前もって、遮光性のドライフィルムを準備する。

【0200】

まず、基板 2 0 c 5 全体に、プラズマ C V D 法により、窒化シリコン膜（厚さ 2 0 0 0 程度）を成膜して、保護膜を成膜する。

【0201】

次いで、準備したドライフィルムの片面のカバーフィルムを剥がした後、基板にそのカバーフィルムを剥がした方の面を押し当てながら、ドライフィルムを貼り合わせ、他方のカバーフィルムを剥離させる。これによって、カーボンが分散された感光性樹脂の樹脂膜が、基板上に転写され、遮光膜が成膜される。

20

【0202】

なお、遮光膜としては、このカーボンが分散された感光性樹脂の樹脂膜に限ることはなく、顔料分散型黒色レジストなど、所望の O D 値、テーパー形状、誘電率を得られる材料であればよい。また、本実施形態では、保護膜の上層に遮光膜がある構成を例示したが、その反対に、保護膜の下層に遮光膜がある構成であってもよい。

【0203】

このように、保護膜の上層又は下層に遮光層を形成することにより、保護層 9 の形成すると一緒に、遮光層 1 0 が形成される。これにより、フォトリソグラフィ工程の数を増やすことなく、遮光層 1 0 を形成することができる。

30

【0204】

また、保護膜は、遮光膜との 2 層構造ではなく、遮光性を有する黒色フォトレジストの 1 層構造であってもよい。この場合には、上記遮光膜を省略することができ、遮光膜を形成する工程を設ける必要がなくなる。そのため、T F T アレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0205】

ここで、保護膜として窒化シリコン膜を例示したが、酸化シリコン膜であってもよい。また、ポリイミドやアクリル樹脂等の樹脂膜を塗布し、熱硬化することにより、保護膜を形成してもよい。特に、樹脂膜は、窒化シリコン膜に比べて比誘電率が低く、反射電極 1 2 の周端と、ゲート線 2 及びソース線 6 との重なり部分との間の保護層 9 で構成される寄生容量を小さくできる。

40

【0206】

次いで、基板全体に成膜された遮光膜に、フォトマスクを用いて、露光、現像、ポストベークを行い、遮光層 1 0 を形成する。

【0207】

次いで、遮光層 1 0 をマスクとして、ドレイン電極の周端よりも内側の保護膜をエッチングして、ドレイン電極露出部を形成すると共に、T F T 8 を覆う保護層 9 を形成する。これによって、図 1 1 (c) に示すような基板 2 0 c 6 が得られる。また、保護層 9 及び

50

遮光層 10 は、TFT 8 だけでなく、ゲート線 2 及びソース線 6 を覆うように形成する。

【0208】

ここで、ドレイン電極 6 d の周端よりも内側の保護膜をエッチングして、ドレイン電極露出部を形成しているため、ドレイン電極 6 d の周端よりも外側の保護膜がエッチングされることがない。そのため、大きな段差ができず、反射電極 1 2 と透明電極 5 d との間の導通が確実になる。それとは反対に、ドレイン電極 6 d の周端よりも外側の保護膜までエッチングする場合には、ドレイン電極 6 d の周端に導電膜を上層とする大きな段差ができて、導電膜が破壊されやすい構造となり、反射電極 1 2 と透明電極 5 d との間の導通の妨げになる恐れがある。

【0209】

< 第 4 工程 (反射電極・透明電極形成工程) >

まず、基板 20 c 6 全体に、スパッタリング法により、アルミニウム膜 (厚さ 1000 程度) 1 2 a を成膜する。ここで、アルミニウム膜 1 2 a は、反射率の高い材料であると共に、遮光性に優れた材料であるため、反射電極 1 2 は、周囲光を効率よく反射すると共に、TFT 8 に入射する光を確実に遮断することができる。また、アルミニウム膜の代わりにアルミニウム合金膜を用いてもよい。

【0210】

次いで、基板全体に、感光性樹脂からなるレジストを塗布して、レジスト層を形成する。

【0211】

次いで、基板全体に形成されたレジスト層に、フォトマスクを用いて、露光、現像、ポストベークを行い、ドレイン電極露出部の周端よりも内側の導電膜をエッチングするように構成されたレジストパターン 7 を形成する。

【0212】

次いで、レジストパターン 7 をマスクとして、アルミニウム膜 1 2 a、ソース第 1 金属膜 6 a 及びソース第 2 金属膜 6 b をエッチングして、反射電極 1 2 及び透明電極 5 b を形成する。これによって、TFT アレイ基板 20 c が得られる。ここで、ドレイン電極露出部の周端よりも内側の導電膜をエッチングして、透明電極 5 b を形成するので、透明電極と反射電極とは、その透明電極の周端で接続されることになる。それとは反対に、ドレイン電極露出部の周端よりも外側の導電膜までエッチングした場合には、透明電極と反射電極との接続が出来なくなるだけでなく、透明電極と反射電極との間に隙間が生じ、その隙間周辺において、透過率及び反射率の変調が発生してしまう。

【0213】

また、各反射電極 1 2 の間に、遮光性のゲート線 2 及びソース線 6 が配置されるので、反射電極 1 2 間における光漏れの発生が抑止される。また、ゲート線 2 及びソース線 6 が各画素間の光遮断パターン (ブラックマトリクス) として機能することにもなり、通常、TFT アレイ基板と対向配置される対向基板に、ブラックマトリクスが不要になり、対向基板の製造工程が短縮される。さらに、TFT アレイ基板と対向基板との貼り合わせずれによる画素間の光漏れ及び TFT での光リーク電流の発生が抑止される。

【0214】

なお、ゲート線外部引出端子及びソース線外部引出端子については、実施形態 1 では、第 3 工程の保護層 9 及び画素電極 5 a の形成と同時に形成されたが、本実施形態では、第 4 工程の反射電極 1 2 及び透明電極 5 d の形成と同時に形成されるものである。内容的には、実施形態 1 と実質的に同じであるので、その詳細な説明は省略するが、第 4 工程でのエッチングにより、ゲート線外部引出電極に対応する部分の酸化されやすいアルミニウム膜と、ソース線外部引出電極に対応する部分の酸化されやすいアルミニウム膜及びモリブデン膜と、が同時に除去されるので、ゲート線外部引出電極及びソース線外部引出電極の酸化を防止できる。これにより、TFT アレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0215】

10

20

30

40

50

以上のように、本発明の製造方法によれば、半透過型のTFTアレイ基板20cを、TFT8を覆う遮光層10、画素間のブラックマトリクス及びゲート線外部引出端子及びソース線外部引出端子の形成を含めて、第1工程、第2工程、第3工程及び第4工程の計4回のフォトリソグラフィ工程で製造することができる。そのため、半透過型のTFTアレイ基板の製造工程の短縮及び製造コストの低減が可能になる。

【0216】

《発明の実施形態4》

以下に、本発明の実施形態4に係るTFTアレイ基板20dについて説明する。

【0217】

図13、図14及び図15は、図10、図11及び図12に対応するTFTアレイ基板20dの製造工程を示す断面模式図である。なお、図15(b)がTFTアレイ基板20dの断面模式図に相当する。

【0218】

TFTアレイ基板20dは、対向するように設けられた対向基板と、それら両基板に挟持されるように設けられた液晶層と共に、液晶表示装置を構成するものである。

【0219】

このTFTアレイ基板20dは、絶縁基板1上に、相互に並行に延びるように設けられた複数のゲート線2と、ゲート線2に直交する方向で相互に並行に延びるように設けられた複数のソース線6と、を備えている。そして、ゲート線2とソース線6との各交差部には、TFT8が設けられている。また、各TFT8に対応して一对のゲート線2及び一对のソース線6で囲われる表示領域には画素を構成する画素電極(透明電極5d及び反射電極12)が設けられている。ここで、透明電極5dの周囲が反射電極12となっており、透明電極5d及び反射電極12とにより画素電極を構成している。さらに、各ゲート線2及びソース線6の末端には、それぞれ、後述するゲート線外部引出端子及びソース線外部引出端子が配設している。

【0220】

TFT8は、ゲート線2から側方に突出した突出部からなるゲート電極2cと、ゲート電極2c上にゲート絶縁膜3を介して設けられた半導体膜4と、半導体膜4上にソース線6から側方に突出した突出部からなるソース電極5bと、半導体膜4上でソース電極5bと対峙するように設けられ透明画素5dに接続されたドレイン電極6dとにより構成されている。そして、TFT8を覆うように、保護層9及び遮光層10が設けられている。さらに、半導体膜4には、ゲート電極2cに対応して、ソース電極6cとドレイン電極6dとの間の領域にチャンネル部14が設けられている。

【0221】

対向基板及び液晶層は、実施形態1と同様なので、その説明を省略する。

【0222】

次に、本発明の実施形態4に係るTFTアレイ基板20dの製造方法について、説明する。

【0223】

実施形態2と同様に、第1工程(ゲート電極形成工程)、第2工程/積層体形成工程、第2工程/レジストパターン形成工程1、第2工程/第1エッチング工程、第2工程/レジストパターン形成工程2及び第2工程/第2エッチング工程を、行うことにより、基板20d5が得られる。

【0224】

<第3工程(保護層・画素電極形成工程)>

まず、基板20d5全体に、プラズマCVD法により、窒化シリコン膜(厚さ2000程度)を成膜して、第1保護膜を成膜する。

【0225】

次いで、第1保護膜が成膜された基板全体に、スピンコート法により、カーボン粉末を含む感光性アクリル樹脂膜(厚さ30000程度)を塗布する。

【0226】

次いで、以下のように２段階の露光を行う。

【0227】

ここで、感光性アクリル樹脂膜は露光した部分が易溶性となるものである。

【0228】

まず、h線（波長405nmの紫外線）の光線を用いて、露光エネルギー40mJによりハーフ露光状態となるように露光を行い、感光性アクリル樹脂の表面に凹部を形成する。

【0229】

次いで、ゲート線外部引出電極、ソース線外部引出電極及び透明電極を形成する部分のみ、h線の光線を用いて、露光エネルギー240mJで完全露光を行い、現像、熱硬化して、表面が凹凸形状になった第2保護層9bを形成する。 10

【0230】

このように、保護膜の最上層が感光性樹脂膜で形成されているので、光量を調整して感光性樹脂を露光することにより、保護膜の表面を容易に凹凸形状に形成することができる。

【0231】

第2保護層9bは、構成材料である感光性アクリル樹脂にカーボン粉末が含まれているので、遮光膜としても機能する。また、感光性アクリル樹脂のような有機膜は一般に比誘電率が低いため、反射電極12の周端と、ゲート線2及びソース線6との重なり部分との間の第2保護層9bで構成される寄生容量を小さくできる。 20

【0232】

次いで、第2保護層9bをマスクとして、第1保護膜をエッチングして、TF T8を覆う第1保護層9aを形成する。これによって、図11(c)に示すような基板20d6が得られる。

【0233】

また、第1保護層9a及び第2保護層9bは、TF T8だけでなく、ゲート線2及びソース線6を覆うように形成する。これにより、遮光性を有する第2保護層9bが、TF T8に入射する光を遮断すると共に、各画素間の光遮断パターン（ブラックマトリクス）として機能することになる。そのため、通常、TF Tアレイ基板と対向配置される対向基板に、ブラックマトリクスが不要になり、対向基板の製造工程が短縮される。また、TF Tアレイ基板と対向基板との貼り合わせずれによる画素間の光漏れ及びTF T8での光リーク電流の発生が抑止される。 30

【0234】

<第4工程（反射電極・透明電極形成工程）>

まず、基板20d6全体に、スパッタリング法により、モリブデン膜（厚さ1000程度）12b、アルミニウム膜（厚さ1000程度）12aを成膜する。

【0235】

次いで、基板全体に、感光性樹脂からなるレジストを塗布して、レジスト層を形成する。 40

【0236】

次いで、基板全体に形成されたレジスト層に、フォトマスクを用いて、露光、現像、ポストバークを行い、レジストパターン7を形成する。

【0237】

次いで、レジストパターン7をマスクとして、アルミニウム膜12a及びモリブデン膜12bをエッチングして、反射電極12及び透明電極5dを形成する。

【0238】

ここで、反射電極12の表面が、第2保護層9bの表面の凹凸形状を反映した形状になるので、反射電極12に入射した光の反射方向を、基板面の法線方向に集約することができる。そのため、基板面の法線方向の光量が増加するため、実質的に反射電極12の反射 50

率が向上することになる。

【0239】

また、ITO膜により構成された透明導電膜5と、反射電極12を構成するアルミニウム膜12aとの間に、モリブデン膜12bが介在することになる。そのため、アルミニウム膜12aをエッチングする際に、アルミニウム膜12aと透明導電膜5との間で局部電池を形成することが抑止される。これにより、アルミニウム膜12aと透明導電膜5との間の電氣的な腐食(電蝕)を防止できる。

【0240】

これによって、TFTアレ基板20dが得られる。

【0241】

なお、ゲート線外部引出電極及びソース線外部引出電極については、実施形態2では、第3工程の保護層9及び画素電極5aの形成と同時に露出されたが、本実施形態では、第4工程の反射電極12及び透明電極5dの形成と同時に露出されるものである。図16は、ゲート線外部引出電極2fの断面模式図であるが、実施形態2の図8(b)と実質的に同じであるので、その説明は省略する。

【0242】

以上のように、本発明の製造方法によれば、半透過型のTFTアレ基板20cを、TFT8を覆う遮光層10、画素間のブラックマトリクス及びゲート線外部引出端子及びソース線外部引出端子の形成を含めて、第1工程、第2工程、第3工程及び第4工程の計4回のフォトリソグラフィ工程で製造することができる。そのため、半透過型のTFTアレ基板の製造工程の短縮及び製造コストの低減が可能になる。

【産業上の利用可能性】

【0243】

以上説明したように、本発明は、TFTアレ基板において製造工程の短縮及び製造コストの低減が可能になるので、TFTアレ基板を備えた液晶表示装置について有用である。

【図面の簡単な説明】

【0244】

【図1】本発明の実施形態1に係るTFTアレ基板20aの平面模式図である。

【図2】本発明の実施形態1に係るTFTアレ基板20aの製造工程(1/2)を示す断面模式図であり、図1中のA-A'断面に対応するものである。

【図3】本発明の実施形態1に係るTFTアレ基板20aの製造工程(2/2)を示す断面模式図であり、図1中のA-A'断面に対応するものである。

【図4】(a)は、本発明の実施形態1に係るTFTアレ基板20aの端部の平面模式図であり、ゲート線外部引出端子2dを示すものである。(b)は、(a)中のB-B'断面における断面模式図である。

【図5】(a)は、本発明の実施形態1に係るTFTアレ基板20aの端部の平面模式図であり、ソース線外部引出端子6eを示すものである。(b)は、(a)中のC-C'断面における断面模式図である。

【図6】本発明の実施形態2に係るTFTアレ基板20bの製造工程(1/2)を示す断面模式図であり、図2の断面模式図に対応するものである。

【図7】本発明の実施形態2に係るTFTアレ基板20bの製造工程(2/2)を示す断面模式図であり、図3の断面模式図に対応するものである。

【図8】(a)は、本発明の実施形態2に係るTFTアレ基板20bの端部の平面模式図であり、ゲート線外部引出電極2fを示すものである。(b)は、(a)中のD-D'断面における断面模式図である。

【図9】本発明の実施形態3に係るTFTアレ基板20cの平面模式図である。

【図10】本発明の実施形態3に係るTFTアレ基板20cの製造工程(1/3)を示す断面模式図であり、図9中のE-E'断面に対応するものである。

【図11】本発明の実施形態3に係るTFTアレ基板20cの製造工程(2/3)を示

10

20

30

40

50

す断面模式図であり、図 9 中の E - E ' 断面に対応するものである。

【図 1 2】本発明の実施形態 3 に係る T F T アレイ基板 2 0 c の製造工程 (3 / 3) を示す断面模式図であり、図 9 中の E - E ' 断面に対応するものである。

【図 1 3】本発明の実施形態 4 に係る T F T アレイ基板 2 0 d の製造工程 (1 / 3) を示す断面模式図であり、図 1 0 の断面模式図に対応するものである。

【図 1 4】本発明の実施形態 4 に係る T F T アレイ基板 2 0 d の製造工程 (2 / 3) を示す断面模式図であり、図 1 0 の断面模式図に対応するものである。

【図 1 5】本発明の実施形態 4 に係る T F T アレイ基板 2 0 d の製造工程 (3 / 3) を示す断面模式図であり、図 1 0 の断面模式図に対応するものである。

【図 1 6】図 4 (b) の断面模式図に対応する本発明の実施形態 4 に係る T F T アレイ基板 2 0 d の端部の断面模式図であり、ゲート線外部引出電極 2 f を示すものである。 10

【図 1 7】本発明の実施形態 1 に係る T F T アレイ基板 2 0 a のゲート線外部引出端子 2 d を形成する工程を示す断面模式図であり、図 4 (b) の断面模式図に対応するものである。

【図 1 8】従来の方法で、ゲート線外部引出端子を形成する工程を示す断面模式図である。

【図 1 9】本発明の実施形態 1 に係る T F T アレイ基板 2 0 a のソース線外部引出端子 6 e を形成する工程を示す断面模式図であり、図 5 (b) の断面模式図に対応するものである。

【図 2 0】従来の方法で、ソース線外部引出端子を形成する工程を示す断面模式図である。 20

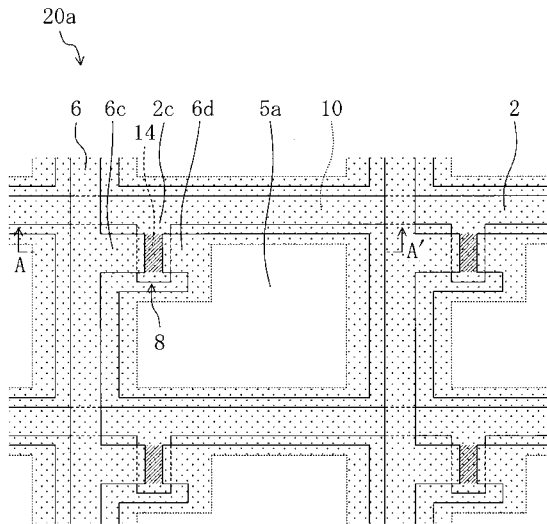
【符号の説明】

【 0 2 4 5 】

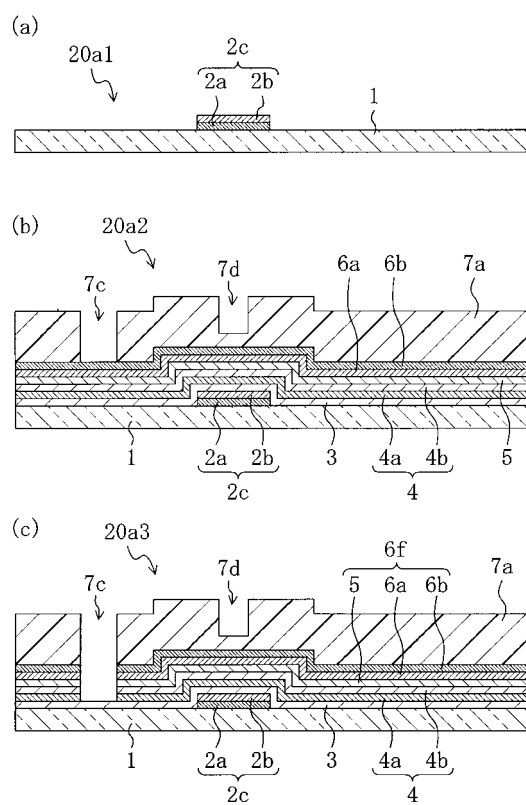
- 1 絶縁基板
- 2 ゲート線
- 2 a ゲート第 1 金属膜
- 2 b ゲート第 2 金属膜
- 2 c ゲート電極
- 2 d ゲート線外部引出端子
- 2 e ゲート第 3 金属膜 30
- 2 f ゲート線外部引出電極
- 3 ゲート絶縁膜
- 4 a 第 1 半導体膜
- 4 b 第 2 半導体膜
- 4 半導体膜
- 5 透明導電膜
- 5 a 画素電極
- 5 b , 6 c ソース電極
- 5 c , 6 d , 6 d ' ドレイン電極
- 5 d 透明電極 40
- 6 ソース線
- 6 a ソース第 1 金属膜
- 6 b ソース第 2 金属膜
- 6 f ソースドレイン形成部
- 6 e ソース線外部引出端子
- 6 g ソース線外部引出電極
- 7 レジストパターン
- 7 a 第 1 レジストパターン
- 7 b 第 2 レジストパターン
- 7 c 第 1 開口部 50

- 7 d 第 2 開口部
- 8 TFT
- 9 保護層
- 9 a 第 1 保護層
- 9 b 第 2 保護層
- 10 遮光層
- 11 a , 11 b , 11 c 開口部
- 12 反射電極
- 12 a アルミニウム膜
- 12 b モリブデン膜
- 13 オーバーハング部
- 14 チャンネル部
- 20 a , 20 b , 20 c , 20 d TFTアレイ基板

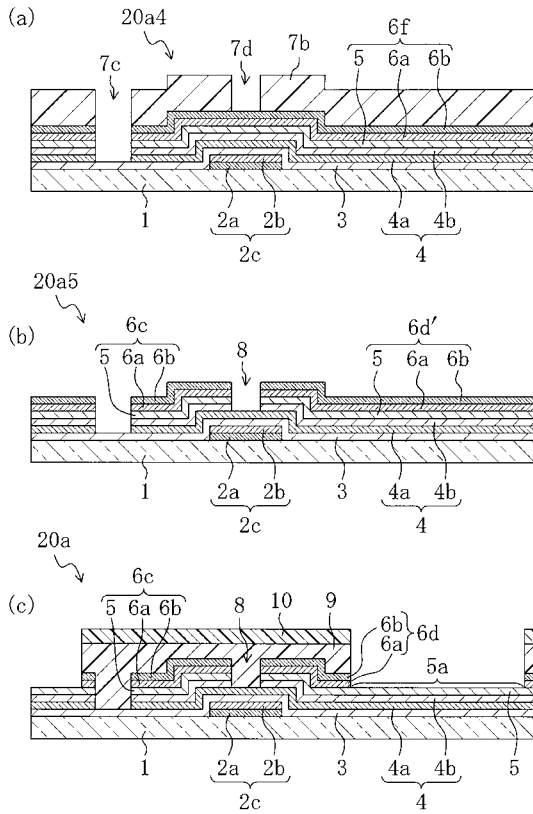
【 図 1 】



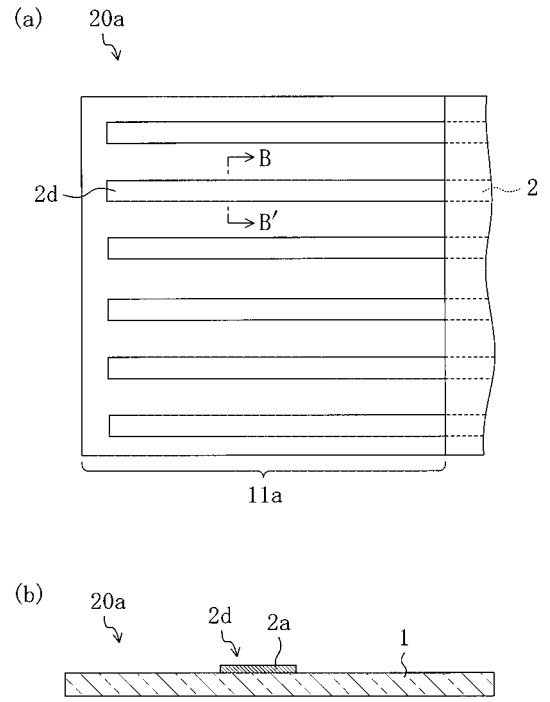
【 図 2 】



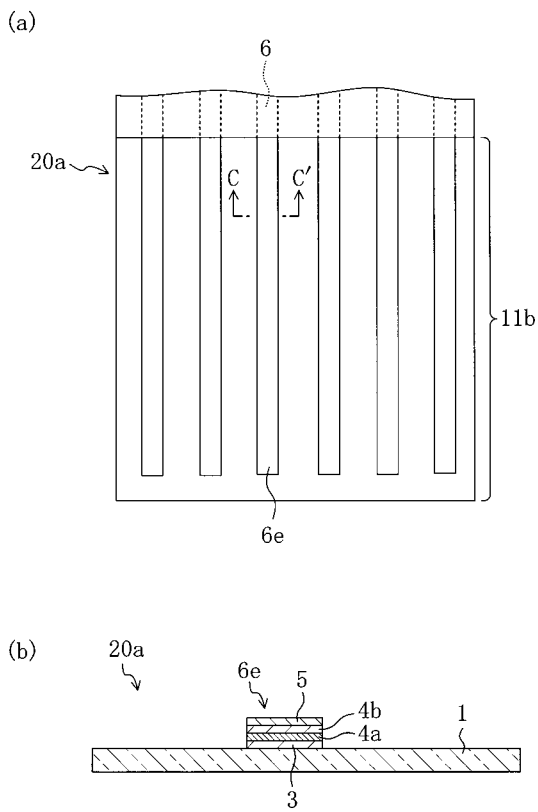
【 図 3 】



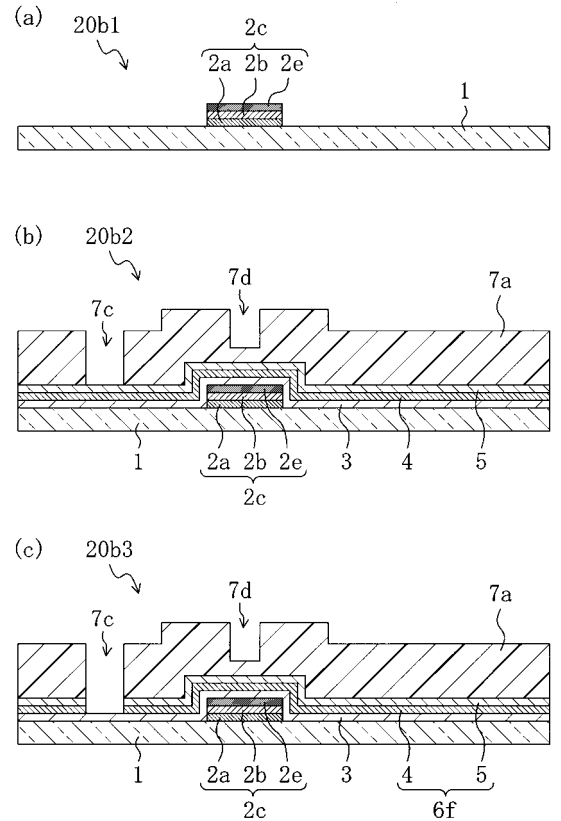
【 図 4 】



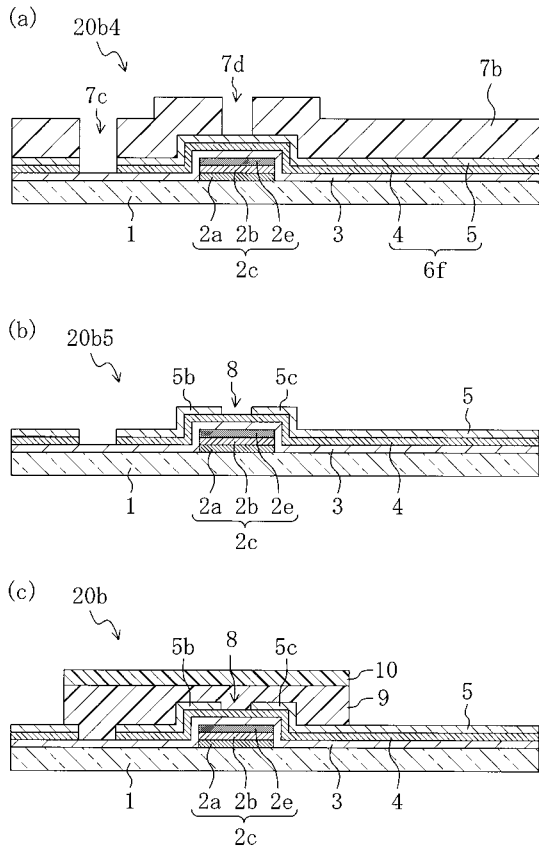
【 図 5 】



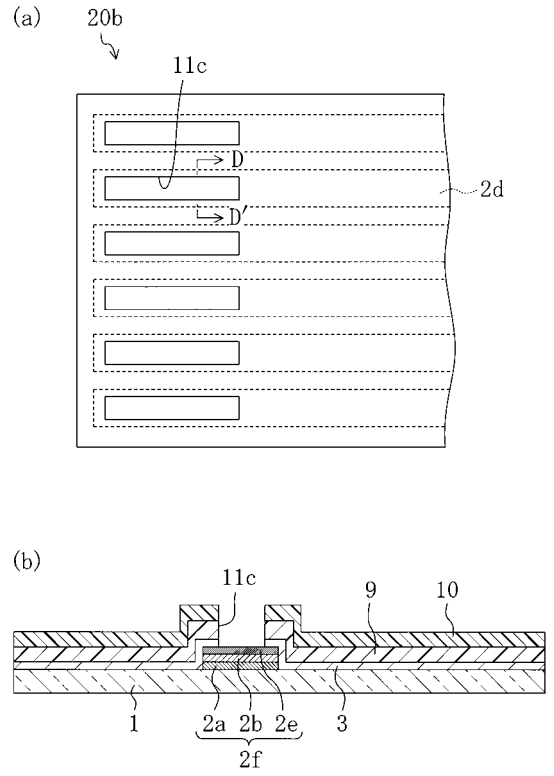
【 図 6 】



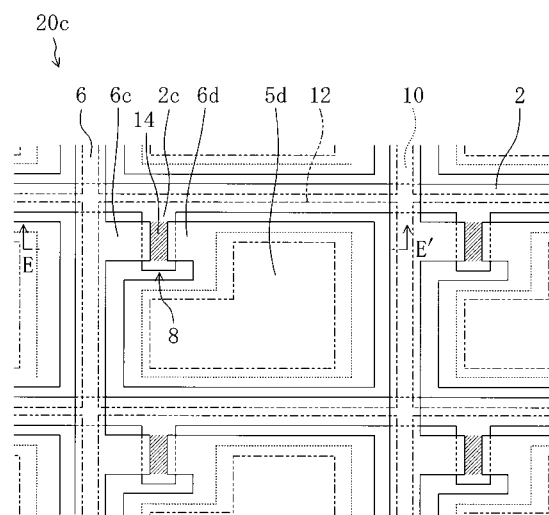
【 図 7 】



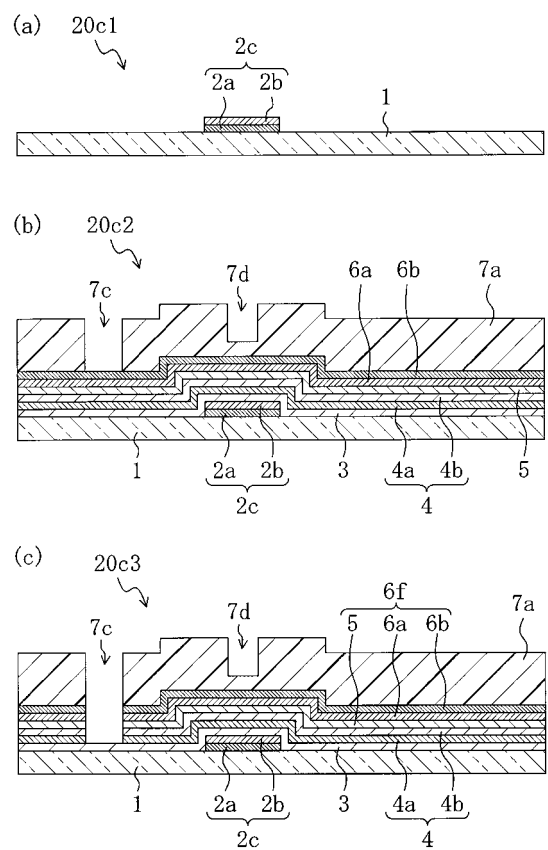
【 図 8 】



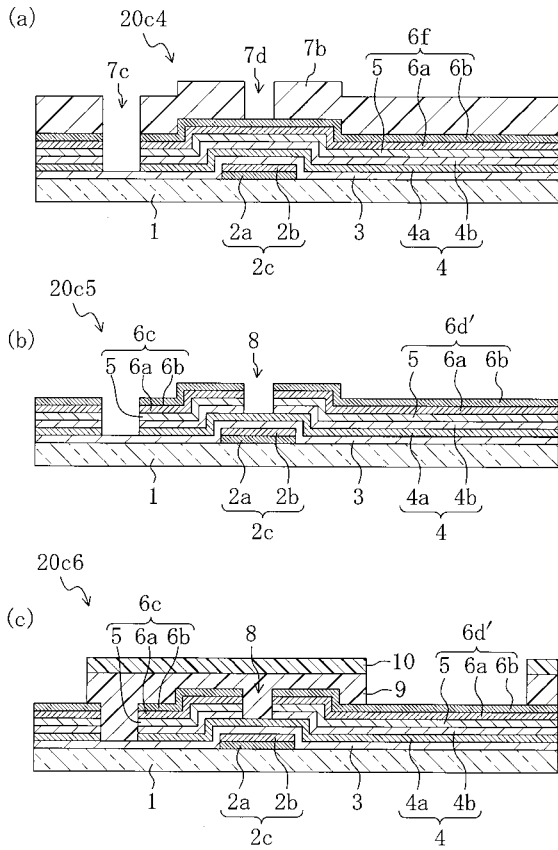
【 図 9 】



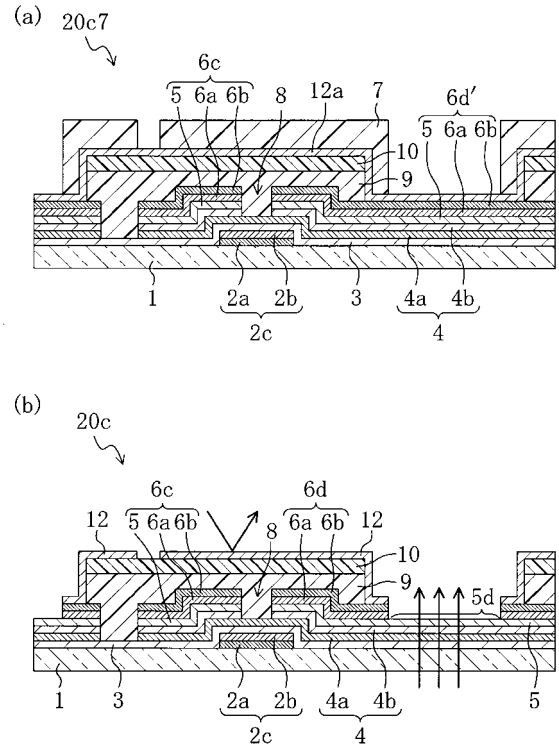
【 図 10 】



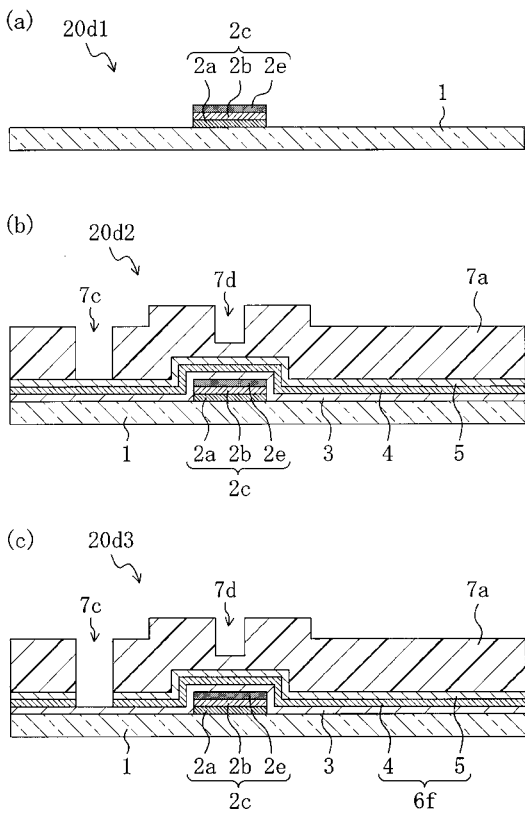
【 図 1 1 】



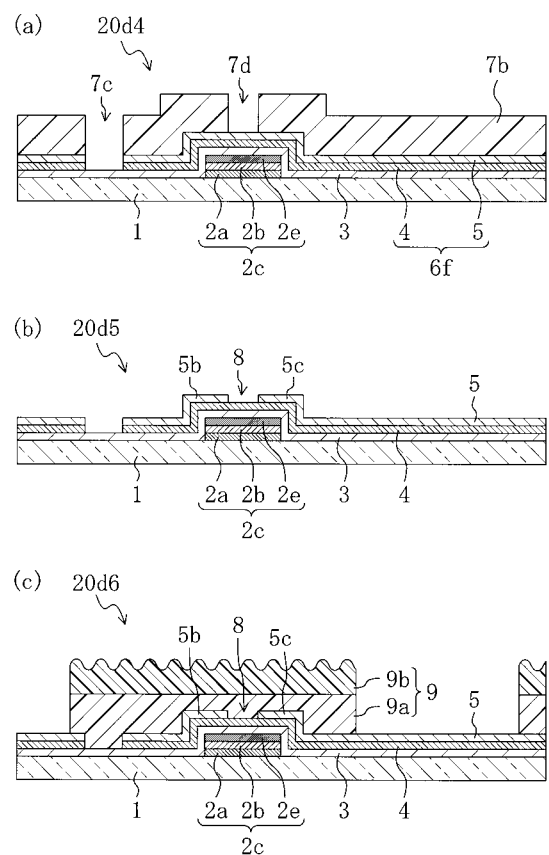
【 図 1 2 】



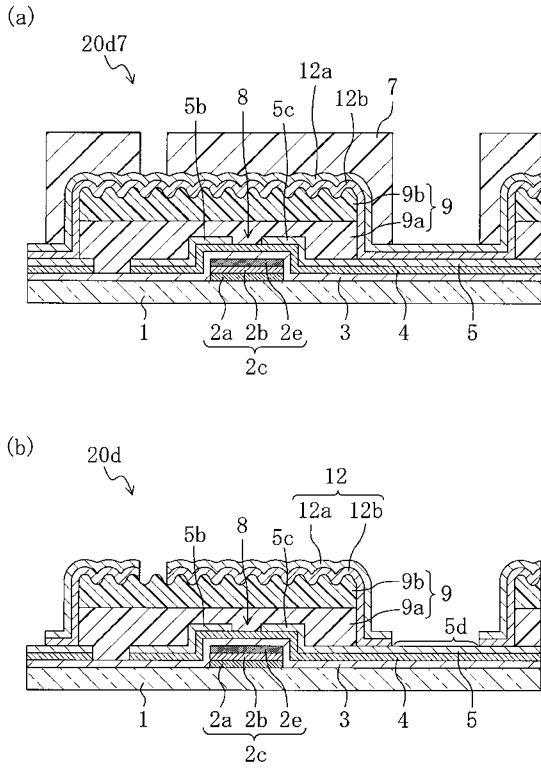
【 図 1 3 】



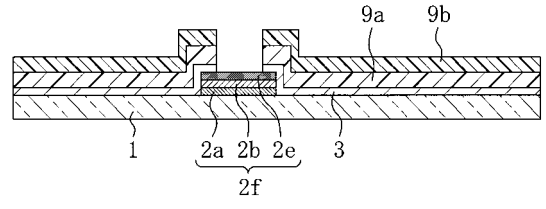
【 図 1 4 】



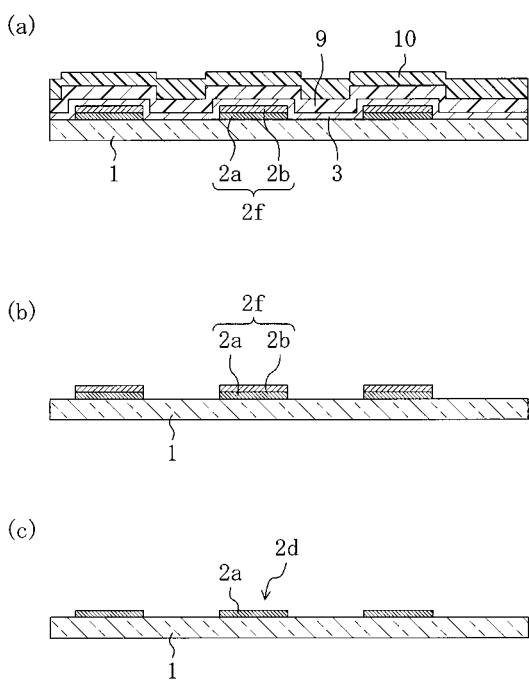
【 図 1 5 】



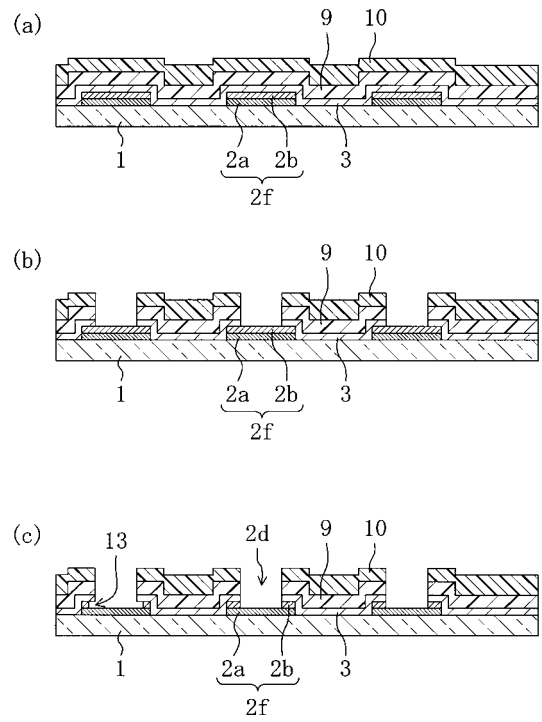
【 図 1 6 】



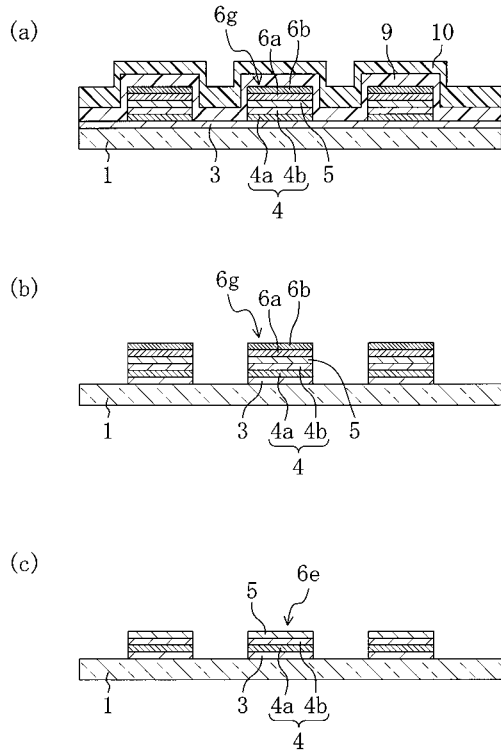
【 図 1 7 】



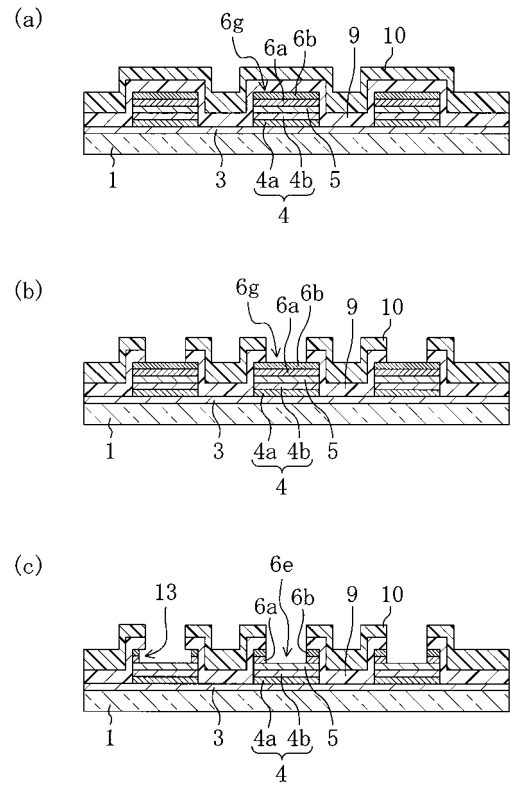
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 21/336	H 0 1 L 29/78	6 1 9 A
H 0 1 L 29/423	H 0 1 L 29/78	6 1 7 L
H 0 1 L 29/49	H 0 1 L 29/78	6 1 6 U
	H 0 1 L 29/78	6 1 8 B
	H 0 1 L 29/58	G
	H 0 1 L 21/88	R

(72)発明者 嶋田 吉祐

大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

Fターム(参考) 2H091 FA14Y FA34Y FC26 GA01 GA02 GA03 GA07 GA13 GA16 LA12
 LA30
 2H092 GA40 JA24 JA25 JA34 JA37 JA41 JB22 JB31 JB51 JB56
 MA05 MA13 MA14 MA15 MA17 NA25 NA27 PA01 PA12
 4M104 AA09 BB02 BB13 BB14 BB16 BB36 GG09 GG10 GG14 HH03
 HH16
 5F033 HH08 HH09 HH17 HH18 HH20 HH33 HH38 MM05 MM08 PP15
 QQ08 QQ10 QQ19 VV06 VV15 XX10 XX16 XX18 XX20 XX33
 5F110 AA06 AA16 AA21 AA26 BB01 CC07 DD02 EE01 EE03 EE04
 EE06 EE14 EE44 FF03 FF30 GG01 GG02 GG15 GG24 GG32
 GG45 GG48 HK03 HK04 HK06 HK07 HK09 HK16 HK22 HK25
 HK33 HK35 HLO3 HLO4 HL11 HL23 NN03 NN05 NN23 NN24
 NN27 NN28 NN35 NN43 NN44 NN49 NN50 NN52 NN72 QQ01
 QQ11