

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日

2012 年 1 月 5 日 (05.01.2012)



(10) 国际公布号

W O 2012/000316 A I

(51) 国际分类号：
H01L 21/76 (2006.01)

(21) 国际申请号：PCT/CN201 1/071093

(22) 国际申请日：2011 年 2 月 18 日 (18.02.2011)

(25) 申报语言：中文

(26) 公布语言：中文

(30) 优先权：
201010223894.2 2010 年 7 月 1 日 (01.07.2010) CN

(71) 申请人 (除美国外的所有指定国)：中国科学院
微电子研究所 (INSTITUTE OF MICROELECTRONICS,
CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市
朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人：及

(75) 发明人/申请人 (仅对美国)：尹海洲 (YIN, Haizhou)
[CN/US]; 美国纽约州波基普西市洛克科罗斯特街
11#, New York 12603 (US)。朱慧瑰 (ZHU, Hui-long)
[US/US]; 美国纽约州波基普西市奥特姆路
93#, New York 12603 (US)。络志炯 (LUO, Zhi-jiong)
[CN/US]; 美国纽约州波基普西市洛克科罗斯特街
11#, New York 12603 (US)。

(74) 代理人：中科专利商标代理有限责任公司 (CHINA
SCIENCE PATENT AND TRADEMARK

AGENT LTD.); 中国北京市海淀区王庄路 1 号清华
同方科技大厦 B 座 25 层, Beijing 100083 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB,
BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR,
CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, ML, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL,
PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 AL, AZ,
BY, KG, KZ, MD, RU, TJ, TM), 欧洲 AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,
PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG)。

本国际公布：

- 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: ISOLATION REGION, SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称：一种隔离区、半导体器件及其形成方法

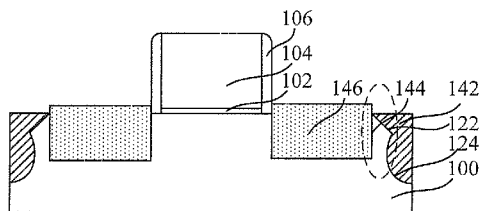


图 15 / Fig. 15

(57) Abstract: An isolation region (142) comprises a first groove embedded in a semiconductor substrate (100) and an insulating layer filling the first groove. The first groove includes a first sidewall (122), a footwall and a second sidewall (124) extending from the footwall and connecting to the first sidewall (122). An angle between the first sidewall (122) and a normal line of the semiconductor substrate (100) is greater than a standard value. A manufacturing method of the isolation region (142) comprises the following steps: forming a first trench in the semiconductor substrate (100), an angle between a sidewall (122) of the first trench and the normal line of the semiconductor substrate (100) is greater than a standard value; forming a mask on the sidewall (122), forming a second trench in the semiconductor substrate (100) by utilizing the mask; forming the insulating layer to fill the first trench and the second trench. A semiconductor device and a method for fabricating the same are provided. In the semiconductor device, there is semiconductor substrate material sandwiched between a second groove (144) for carrying a semiconductor layer (146) forming a source/drain area and the first sidewall (122) and the second sidewall (124) to reduce a leakage current.

[见续页]



(57) 摘要：

一种隔离区 (142)，所述隔离区 (142) 包括嵌于半导体基底 (100) 中的第一凹槽和填充所述第一凹槽的绝缘层，所述第一凹槽包括第一侧壁 (122)、底壁和由所述底壁延伸并接于所述第一侧壁 (122) 的第一侧壁 (124)，所述第一侧壁 (122) 与所述半导体基底 (100) 的法线间的夹角大于标准值。一种隔离区 (142) 的形成方法，包括：在半导体基底 (100) 上形成第一沟槽，所述第一沟槽的侧壁 (122) 与所述半导体基底 (100) 的法线间的夹角大于标准值；在所述侧壁 (122) 上形成掩膜，利用所述掩膜在半导体基底 (100) 上形成第二沟槽；填充所述第一沟槽和所述第二沟槽。一种半导体器件及其形成方法，在所述半导体器件中，在承载用以形成源漏区的半导体层 (146) 的第一凹槽 (144) 和所述第一侧壁 (122) 和所述第一侧壁 (124) 之间夹有所述半导体基底材料。利于减少漏电。

一种隔离区、半导体器件及其形成方法

技术领域

5 本发明涉及半导体技术领域，具体来说，涉及一种隔离区、半导体器件及其形成方法。

背景技术

当前，形成半导体器件的方法包括：首先，如图 1 和图 2 所示，在半导体基底 10 上形成有源区 20 和环绕所述有源区 20 的隔离区 12；随后，如图 3 和图 4 10 所示，形成栅堆叠结构（所述栅堆叠结构包括栅介质层 22，形成于所述栅介质层 22 上的栅极 24 以及环绕所述栅介质层 22 和所述栅极 24 的侧墙 26，实践中，所述栅极上还形成有盖层，所述盖层通常为氮化硅，可防止所述栅极在操作过程中受损伤，为描述方便，本文件内的文字和附图中，不再标示所述盖层），所述栅堆叠结构形成于所述有源区 20 上并延伸至所述隔离区 12；再后，如图 5 和图 6 15 所示，以所述栅堆叠结构和所述隔离区 12 为掩膜，去除所述有源区 20 内部分厚度的所述半导体基底 10，以形成凹槽 30；最后，在所述凹槽 30 中生成半导体材料，以填充所述凹槽 30，形成源漏区。

然而，如图 7 至图 9 所示，实践中发现，在所述源漏区 32 和所述隔离区 12 的交界处，形成有缝隙 34；继而，如图 10 至图 12 所示，使得后续在所述源漏区 20 32 上形成接触区 36（如金属硅化物层）时，所述接触区 36 易经所述缝隙 34 而到达结区，进而导致漏电。

发明内容

为了解决上述问题，本发明提供了一种半导体器件及其形成方法，利于减少 25 漏电。

本发明提供一种隔离区，所述隔离区包括第一凹槽和填充所述第一凹槽的绝缘层，所述第一凹槽嵌于半导体基底中，所述第一凹槽包括第一侧壁、底壁和由所述底壁延伸并接于所述第一侧壁的第二侧壁，其中，所述第一侧壁与所述半导体基底的法线间的夹角大于标准值。

30 可选地，所述第一侧壁与所述半导体基底的法线间的夹角为 $5\sim 20^\circ$ 。

可选地，在垂直于所述半导体基底的任一剖面上，所述第二侧壁与所述第一侧壁接于第一接点和第二接点，由所述第一接点至所述第二接点，所述第二侧壁与所述半导体基底的法线间的夹角增大。

一种半导体器件，所述半导体器件包含上述的隔离区，所述半导体器件还包括源漏区，所述源漏区包括第二凹槽和填充所述第二凹槽的半导体层，其中，所述第二凹槽与所述第一侧壁和第二侧壁之间夹有所述半导体基底材料。

可选地，所述半导体基底材料为 Si 时，对于 PMOS 器件，所述半导体层为 $\text{Si}_{1-x}\text{Ge}_x$ ；对于 NMOS 器件，所述半导体层为 Si:C。

一种隔离区的形成方法，包括：

10 在半导体基底上形成第一沟槽，所述第一沟槽的侧壁与所述半导体基底的法线间的夹角大于标准值；

在所述侧壁上形成掩膜，利用所述掩膜在半导体基底上形成第二沟槽；
形成绝缘层，以填充所述第一沟槽和所述第二沟槽。

可选地，所述侧壁与所述半导体基底的法线间的夹角为 $5^\circ \sim 20^\circ$ 。

15 可选地，在形成所述绝缘层之前，还包括：对所述第二沟槽执行刻蚀操作，以扩大所述第二沟槽。

一种半导体器件的形成方法，包括 -

以上述的方法形成所述隔离区，所述隔离区用以间隔有源区；

20 在所述半导体基底上形成栅堆叠结构，所述栅堆叠结构贯穿所述有源区并延伸至所述隔离区；

以所述栅堆叠结构和所述隔离区为掩膜，在所述有源区内形成第三沟槽；

在所述第三沟槽中填充半导体层，以形成源漏区。

可选地，所述半导体基底材料为 Si 时，对于 PMOS 器件，所述半导体层为 $\text{Si}_{1-x}\text{Ge}_x$ ；对于 NMOS 器件，所述半导体层为 Si:C。

25 与现有技术相比，采用本发明提供的技术方案具有如下优点 -

通过增大所述第一侧壁（即，第一沟槽的侧壁）与所述半导体基底的法线间的夹角，可在所述隔离区的开口面积相同的前提下，使嵌入的所述隔离区的横截面积小于所述开口面积；而在后续步骤中，是以所述隔离区的开口为掩膜形成源漏区的，且在形成用以承载源漏区材料的槽时，采用各向异性刻蚀工艺，使得在
30 所述隔离区的开口处，接于所述隔离区的所述有源区被去除，而在平行于所述半

导体基底的任一截面上，由于所述隔离区横截面积减小，接于所述隔离区的所述有源区将不再被去除，即，嵌入的所述隔离区仍接于所述有源区材料（即所述半导体基底材料），换言之，在所述槽和所述隔离区之间残留有所述半导体基底材料，即，所述槽的各壁均为所述半导体基底材料（其中，由于所述槽和所述隔离区之间残留有所述半导体基底材料，而使靠近所述隔离区的所述槽的侧壁由所述隔离区材料变更为所述半导体基底材料），再在所述槽中以所述半导体基底材料为籽晶生长源漏区材料（所述半导体基底材料为 Si 时，对于 PMOS 器件，所述半导体层为 Si_xGe_x ；对于 NMOS 器件，所述半导体层为 Si:C）时，利于减少在形成的所述源漏区与所述隔离区的交界处形成缝隙的可能性；进而，由于缝隙的减少，还可在所述槽中形成所述源漏区材料时减少应力损失；

通过在垂直于所述半导体基底的任一剖面上，由所述第一接点至所述第二接点，所述第二侧壁与所述半导体基底的法线间的夹角增大，利于扩大由所述第二侧壁限定的区域的横截面积，继而，利用所述绝缘层填充所述区域进而形成所述隔离区时，利于增强隔离效果；或者，通过在形成所述绝缘层之前，对所述第二沟槽执行刻蚀操作，以扩大所述第二沟槽，可增加所述第二沟槽的横截面积，继而，以所述绝缘层填充所述第二沟槽时，利于增强隔离效果。

附图说明

下列各剖视图均为沿对应的俯视图中给出的剖线（AA'、BB'）切割已形成的结构后获得。

图 1 和图 2 所示为现有技术中形成有源区后的结构示意图；

图 3 和图 4 所示为现有技术中形成栅堆叠结构后的结构示意图；

图 5 和图 6 所示为现有技术中形成凹槽后的结构示意图；

图 7 至图 9 所示为现有技术中形成源漏区后的结构示意图；

图 10 至图 12 所示为现有技术中形成接触区后的结构示意图；

图 13 所示为本发明隔离区第一实施例的结构示意图；

图 14 所示为本发明隔离区第二实施例的结构示意图；

图 15 所示为本发明半导体器件实施例的结构示意图；

图 16 所示为本发明隔离区的形成方法第一实施例中形成第一沟槽后的结构示意图；

图 17 所示为本发明隔离区的形成方法第一实施例中形成第二沟槽后的结构示意图；

图 18 所示为本发明隔离区的形成方法第二实施例中形成第二沟槽后的结构示意图；

5 图 19 所示为本发明隔离区的形成方法第一实施例中形成绝缘层后的结构示意图；

图 20 所示为本发明半导体器件的形成方法实施例中形成隔离区后的结构示意图；

图 21 所示为本发明半导体器件的形成方法实施例中形成栅堆叠结构后的结构示意图；

10 图 22 所示为本发明半导体器件的形成方法实施例中形成第三沟槽后的结构示意图；

图 23 所示为本发明半导体器件的形成方法实施例中形成半导体层后的结构示意图。

具体实施方式

15 下文的公开提供了许多不同的实施例或例子用来实现本发明提供的技术方案。虽然下文中对特定例子的部件和设置进行了描述，但是，它们仅仅为示例，并且目的不在于限制本发明。

此外，本发明可以在不同实施例中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论的各种实施例和/或设置之间的关系。

20 本发明提供了各种特定工艺和/或材料的例子，但是，本领域普通技术人员可以意识到的其他工艺和/或其他材料的替代应用，显然未脱离本发明要求保护的范
围。需强调的是，本文件内所述的各种区域的边界包含由于工艺或制程的需要所作的必要的延展。

25 如图 13 所示，本发明提供了一种隔离区，所述隔离区包括第一凹槽 120 和填充所述第一凹槽 120 的绝缘层 140，所述第一凹槽 120 嵌于半导体基底 100 中，所述第一凹槽 120 包括第一侧壁 122、底壁 126 和由所述底壁 126 延伸并接于所述第一侧壁 122 的第二侧壁 124，其中，所述第一侧壁 122 与所述半导体基底 100 的法线（如图中虚线所标示）间的夹角大于标准值。

30 本文件内，所述标准值意指：实践中，在刻蚀所述凹槽 120 时，若设计要求所述凹槽 120 的侧壁与所述半导体基底 100 的法线间的夹角为 α ，但由于工艺或

制程的需要（如存在工艺误差及为改善后续填充效果），实际获得满足设计要求的所述夹角为 $\alpha + \Delta \alpha$ ，此时， $\Delta \alpha$ 即为标准值。

其中，在本实施例中，所述半导体基底 100 为硅衬底，在其他实施例中，所述半导体基底 100 还可以包括其他化合物半导体，如碳化硅、砷化镓、砷化铟或磷化铟；此外，所述半导体基底 100 优选地包括外延层；所述半导体基底 100 也可以包括绝缘体上硅（SOI）结构。所述绝缘层 140 可为氮化硅、氮氧化硅或未掺杂的氧化硅。

在本实施例中，所述第一侧壁 122 与所述半导体基底 100 的法线间的夹角可以为 $5^\circ \sim 20^\circ$ ，如 $8^\circ, 10^\circ$ 或 15° 。可在隔离区的开口面积相同的前提下，使嵌入的所述隔离区的横截面积小于所述开口面积；继而在后续步骤中，可在用以承载源漏区材料的槽和所述隔离区之间残留有所述半导体基底 100 材料，即，使所述槽的各壁均为所述半导体基底 100 材料，利于减少在形成的所述源漏区与所述隔离区的交界处形成缝隙的可能性。

特别地，在所述隔离区的第二实施例中，本发明还提供了一种隔离区，在垂直于所述半导体基底 100 的任一剖面（作为示例，如图 14 所示的剖面）上，所述第二侧壁 124 与所述第一侧壁 122 接于第一接点 1224 和第二接点 1242，由所述第一接点 1224 至所述第二接点 1242，所述第二侧壁 124 与所述半导体基底 100 的法线间的夹角增大。利于扩大由所述第二侧壁 124 限定的区域的横截面积，继而，利用所述绝缘层 140 填充所述区域进而形成所述隔离区时，利于增强隔离效果。需说明的是，在垂直于所述半导体基底 100 的任一剖面上，所述第二侧壁 124 可具有弧形或折线（图未示）形等形貌。

如图 15 所示，本发明提供了一种半导体器件，所述半导体器件包含上述隔离区（以第二实施例为例），所述半导体器件还包括栅堆叠结构（所述栅堆叠结构包括栅介质层 102、形成于所述栅介质层 102 上的栅极 104 和环绕所述栅介质层 102 及所述栅极 104 的侧墙 106，以利于减小寄生电容；在其他实施例中，所述侧墙 106 还可位于所述栅介质层 102 上且环绕所述栅极 104）和源漏区（以嵌入式的源漏区为例），其中，所述源漏区包括第二凹槽 144 和填充所述第二凹槽 144 的半导体层 146，所述第二凹槽 144 与所述第一侧壁 122 和第二侧壁 124 之间夹有所述半导体基底 100 材料（如图中虚框所标示）。即，在形成用以承载源漏区材料的所述第二凹槽 144 时，所述第二凹槽 144 的各壁均为所述半导体基底 100 材料，再以所述半导体基底 100 材料为籽晶，利于在所述第二凹槽 144 中沿各方向均匀

地生长用以形成所述源漏区的半导体层 146，进而利于减少在形成的所述源漏区与所述隔离区 142 的交界处形成缝隙的可能性。

在所述半导体基底 100 为 Si 时，对于 PMOS 器件，所述半导体层可为 $\text{Si}_{1-x}\text{Ge}_x$ (X 的取值范围可为 0.1 ~ 0.7，可以根据工艺需要灵活调节，如 0.2、0.3、0.4、0.5 或 0.6，本文件内未作特殊说明处，X 的取值均与此相同，不再赘述)；对于 NMOS 器件，所述半导体层可为 Si:C (C 的原子数百分比可以为 0.2% ~ 2%，如 0.5%、1% 或 1.5%，C 的含量可以根据工艺需要灵活调节，本文件内未作特殊说明处，C 的原子数百分比均与此相同，不再赘述)。需说明的是，所述半导体层可以是已完成离子掺杂的半导体材料，如，可以是 N 型或 P 型的 $\text{Si}_{1-x}\text{Ge}_x$ 或 Si:C。所述离子掺杂操作可以在生成所述半导体材料 182 的过程中直接形成 (如在生成所述半导体材料 182 的反应物中掺入包含掺杂离子成分的反应物)；也可以在生成所述半导体材料 182 后，再经由离子注入工艺形成，可采用任何传统的离子注入工艺执行所述离子掺杂操作，不再赘述。

采用上述材料形成所述源漏区，利于利用所述源漏区提供的应力调节半导体器件沟道区内的应力，以改善所述沟道区内载流子的迁移率；采用本发明提供的方法形成所述源漏区时，利于减少所述源漏区的应力损失。

本发明还提供了一种隔离区的形成方法，包括：

首先，如图 16 所示，在半导体基底 200 上形成第一沟槽 220，所述第一沟槽 220 的侧壁 222 与所述半导体基底 200 的法线 (如图中虚线所标示) 间的夹角大于标准值。

所述半导体基底 200 为硅衬底，在其他实施例中，所述半导体基底 200 还可以包括其他化合物半导体，如碳化硅、砷化镓、砷化铟或磷化铟；此外，所述半导体基底 200 优选地包括外延层；所述半导体基底 200 也可以包括绝缘体上硅 (SOI) 结构。

形成第一沟槽 220 的步骤包括：首先，在所述半导体基底 200 上顺次形成氧化硅 (可采用热氧化工艺或淀积工艺形成) 及氮化硅 (可采用淀积工艺形成)；随后，在所述氮化硅上形成图形化的光致抗蚀剂层；再后，以所述图形化的光致抗蚀剂层为掩膜，图形化所述氮化硅和氧化硅，以形成硬掩膜 224 (即，为使结构清晰，图示的所述硬掩膜 224 包含氧化硅和形成于所述氧化硅上的氮化硅)；然后，去除所述图形化的光致抗蚀剂层；最后，利用所述硬掩膜 224，刻蚀部分厚度的所述半导体基底 200。

本发明的发明人认为，现有技术中，在源漏区和隔离区之间形成缝隙的原因在于：所述源漏区通过以半导体材料填充沟槽构成，所述半导体材料采用外延工艺生成；形成所述沟槽时以所述栅堆叠结构和所述隔离区为掩膜，即，形成所述沟槽后，将暴露所述隔离区的侧壁；换言之，所述沟槽的各壁中，既包括半导体基底材料，也包括所述隔离区的侧壁；而采用外延工艺生成所述半导体材料时，是以所述半导体基底材料为籽晶的， Ep ，作为所述沟槽的壁的所述隔离区的侧壁无法提供所述籽晶；此外，本发明的发明人发现，所述半导体材料沿不同晶向的生长速率也不同，具体地，与 (100) 和 (110) 方向相比，所述半导体材料沿 (111) 方向的生长速率较慢；而实践中，通常垂直于所述半导体基底 100 的方向为 (100) 方向，而平行于所述半导体基底 100 的方向为 (110) 方向，则 (111) 方向斜交于 (100) 和 (110) 方向，即，由于所述半导体材料沿 (111) 方向的生长速率较慢，将使所述半导体材料在此方向上形成倾斜的侧面（沿 (111) 方向），所述倾斜的侧面和所述隔离区的侧壁之间即形成缝隙。

由此，本发明的发明人认为，如果在所述隔离区的侧壁上保留或形成有所述半导体基底材料，换言之，增加所述沟槽的各壁中所述半导体基底材料所占的比例，即，通过补充具有不同晶向的所述半导体基底材料作为籽晶，以经补充的籽晶外延生长的半导体材料填充上述缝隙，利于减小甚至消除所述源漏区和所述隔离区间的缝隙，进而减少漏电。

在本实施例中，可采用刻蚀工艺形成所述第一沟槽 220。所述侧壁 222 与所述半导体基底 200 的法线间的夹角可以为 $5^\circ \sim 20^\circ$ ，如 $8^\circ, 10^\circ$ 或 15° 。

随后，如图 17 所示，在所述侧壁 222 上形成掩膜 240，利用所述掩膜 240 在半导体基底 200 上形成第二沟槽 260。

所述掩膜 240 可为异于所述半导体基底 200 材料的任何半导体材料，如氮化硅、氮氧化硅或未掺杂的氧化硅；所述掩膜 240 材料可与后续填充所述沟槽而形成隔离区的绝缘层材料相同，如后续填充所述沟槽而形成隔离区的绝缘层材料为未掺杂的氧化硅时，所述掩膜材料可为未掺杂的氧化硅，利于本发明提供的技术方案与现有技术的兼容。所述掩膜 240 可采用选择性沉积工艺形成。可采用刻蚀工艺形成所述第二沟槽 260。

在其他实施例中，还可包括：对所述第二沟槽 260 执行刻蚀操作，以扩大所述第二沟槽 260。可采用各向同性或各向异性刻蚀工艺执行扩大所述第二沟槽 260

的操作。以采用各向同性刻蚀工艺执行所述扩大操作为例，如图 18 所示，此时，在垂直于所述半导体基底 200 的任一剖面（如图示剖面）上，所述第二沟槽 260 的侧壁 262 可具有弧形形貌；若采用各向异性刻蚀工艺执行所述扩大操作，所述第二沟槽 260 的侧壁可具有折线形形貌（图未示）。

5 对所述第二沟槽 260 执行刻蚀操作，以扩大所述第二沟槽 260，可增加所述第二沟槽 260 的横截面积，继而，以绝缘层填充所述第二沟槽 260 时，利于增强隔离效果。

再后，如图 19 所示，形成绝缘层 280，以填充所述第一沟槽 220 和所述第二沟槽 260。

10 所述绝缘层 280 可为氮化硅、氮氧化硅或未掺杂的氧化硅。形成所述绝缘层 280 之前，去除或不去除所述掩膜 240 均可（本实施例中，以去除所述掩膜或所述掩膜材料与所述绝缘层材料相同时为例）。在进行后续步骤之前，所述硬掩膜 224 也将被去除。

本发明还提供了一种半导体器件的形成方法，包括：首先，如图 20 所示，以
15 上述方法形成所述隔离区 142（如上述隔离区第二实施例），所述隔离区用以间隔有源区 148；随后，如图 21 所示，在所述半导体基底 100 上形成栅堆叠结构（与前述半导体器件实施例中描述的相同，不再赘述），所述栅堆叠结构贯穿所述有源区 148 并延伸至所述隔离区 142；再后，如图 22 所示，以所述栅堆叠结构和所述隔离区为掩膜，在所述有源区内形成第三沟槽 150；最后，如图 23 所示，在所述
20 第三沟槽 150 中填充半导体层 152，以形成源漏区。可采用各向异性刻蚀工艺形成所述第三沟槽 150。所述半导体层 152 材料与前述半导体器件实施例中所描述的相同，不再赘述。

通过增大所述第一沟槽的侧壁与所述半导体基底的法线间的夹角，可在所述隔离区的开口面积相同的前提下，使嵌入的所述隔离区的横截面积小于所述开口
25 面积；而在后续步骤中，是以所述隔离区的开口为掩膜形成源漏区的，且在形成用以承载源漏区材料的第三沟槽时，采用各向异性刻蚀工艺，使得在所述隔离区的开口处，接于所述隔离区的所述有源区被去除，而在平行于所述半导体基底的任一截面上，由于所述隔离区横截面积减小，接于所述隔离区的所述有源区将不再被去除， δP ，嵌入的所述隔离区仍接于所述有源区材料（即所述半导体基底材料），
30 换言之，在所述第三沟槽和所述隔离区之间残留有所述半导体基底材料，

即，所述第三沟槽的各壁均为所述半导体基底材料，再以所述半导体基底材料为籽晶，利于在所述槽中沿各方向均匀地生长用以形成所述源漏区的半导体材料，进而利于减少在形成的所述源漏区与所述隔离区的交界处形成缝隙的可能性。

5 此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、结构、制造、物质组成、手段、方法及步骤。根据本发明的公开内容，本领域技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，它们在执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果时，依照本发明的教导，可以对它们进行应用，而不脱离本发明所要求保护的范

10

利 要

1、一种隔离区，所述隔离区包括第一凹槽和填充所述第一凹槽的绝缘层，所述第一凹槽嵌于半导体基底中，所述第一凹槽包括第一侧壁、底壁和由所述底壁延伸并接于所述第一侧壁的第二侧壁，其特征在于：所述第一侧壁与所述半导体基底的法线间的夹角大于标准值。

2、根据权利要求1所述的隔离区，其特征在于：所述第一侧壁与所述半导体基底的法线间的夹角为 $5^{\circ}\sim 20^{\circ}$ 。

3、根据权利要求1所述的隔离区，其特征在于：在垂直于所述半导体基底的任一剖面上，所述第二侧壁与所述第一侧壁接于第一接点和第二接点，由所述第一接点至所述第二接点，所述第二侧壁与所述半导体基底的法线间的夹角增大。

4、一种半导体器件，所述半导体器件包含权利要求1至3中任一项所述的隔离区，所述半导体器件还包括源漏区，所述源漏区包括第二凹槽和填充所述第二凹槽的半导体层，其特征在于：所述第二凹槽与所述第一侧壁和第二侧壁之间夹有所述半导体基底材料。

5、根据权利要求4所述的半导体器件，其特征在于：所述半导体基底材料为Si时，对于PMOS器件，所述半导体层为 $\text{Si}_{1-x}\text{Ge}_x$ ；对于NMOS器件，所述半导体层为Si:C。

6、一种隔离区的形成方法，其特征在于，包括 -
在半导体基底上形成第一沟槽，所述第一沟槽的侧壁与所述半导体基底的法线间的夹角大于标准值；

在所述侧壁上形成掩膜，利用所述掩膜在半导体基底上形成第二沟槽；
形成绝缘层，以填充所述第一沟槽和所述第二沟槽。

7、根据权利要求6所述的方法，其特征在于：所述侧壁与所述半导体基底的法线间的夹角为 $5^{\circ}\sim 20^{\circ}$ 。

8、根据权利要求6所述的方法，其特征在于，在形成所述绝缘层之前，还包括：对所述第二沟槽执行刻蚀操作，以扩大所述第二沟槽。

9、一种半导体器件的形成方法，其特征在于，包括 -

以权利要求6至8中任一项所述的方法形成所述隔离区，所述隔离区用以间隔有源区；

在所述半导体基底上形成栅堆叠结构，所述栅堆叠结构贯穿所述有源区并延伸至所述隔离区；

以所述栅堆叠结构和所述隔离区为掩膜，在所述有源区内形成第三沟槽，所述第三沟槽与所述隔离区之间夹有所述半导体基底材料；

5 在所述第三沟槽中填充半导体层，以形成源漏区。

10、根据权利要求9所述的方法，其特征在于：所述半导体基底材料为Si时，对于PMOS器件，所述半导体层为 $\text{Si}_{1-x}\text{Ge}_x$ ；对于NMOS器件，所述半导体层为Si:C。

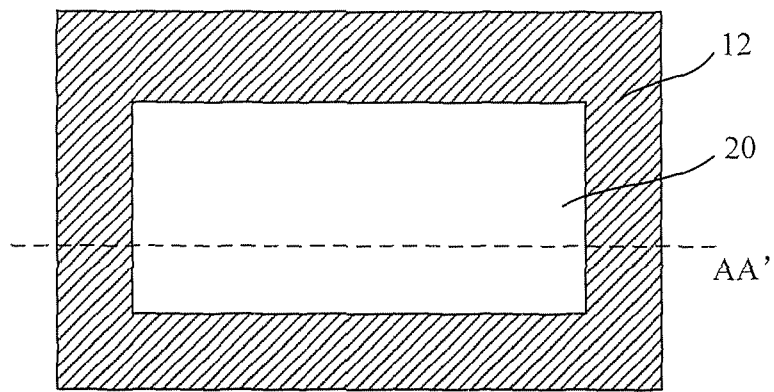


图 1

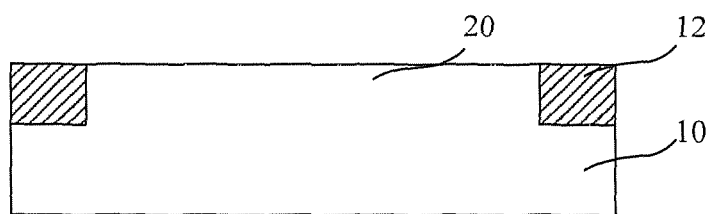


图 2

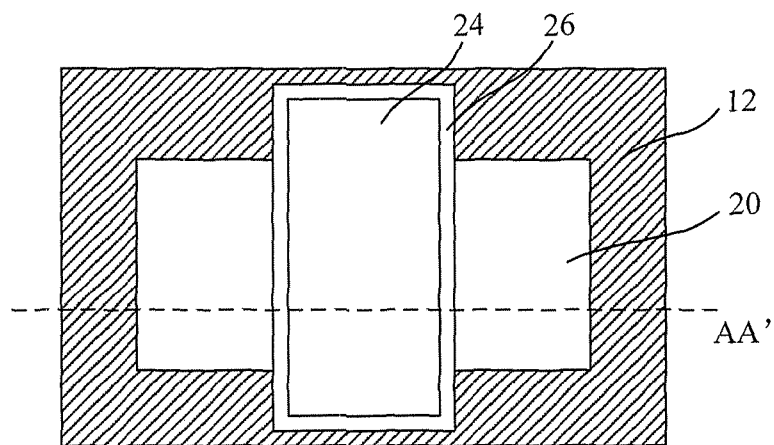


图 3

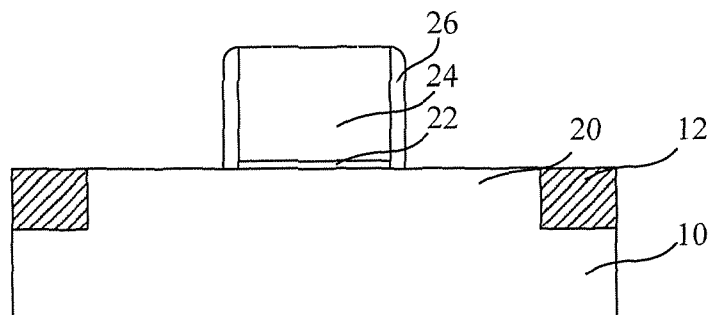


图 4

2/6

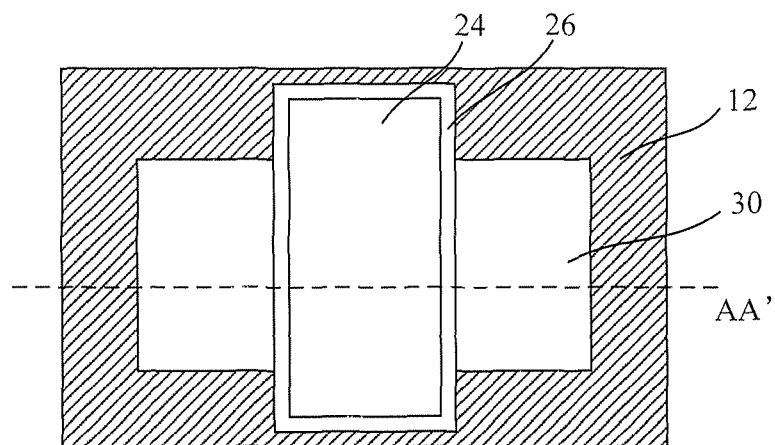


图 5

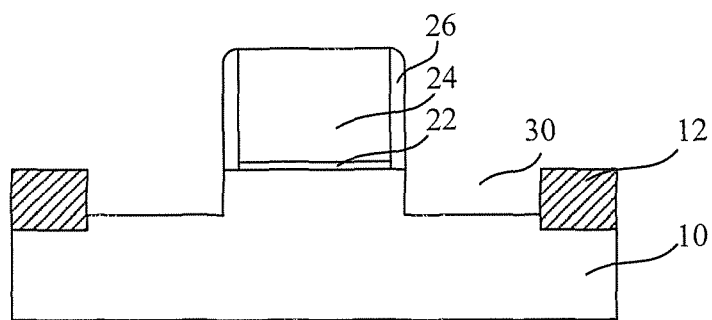


图 6

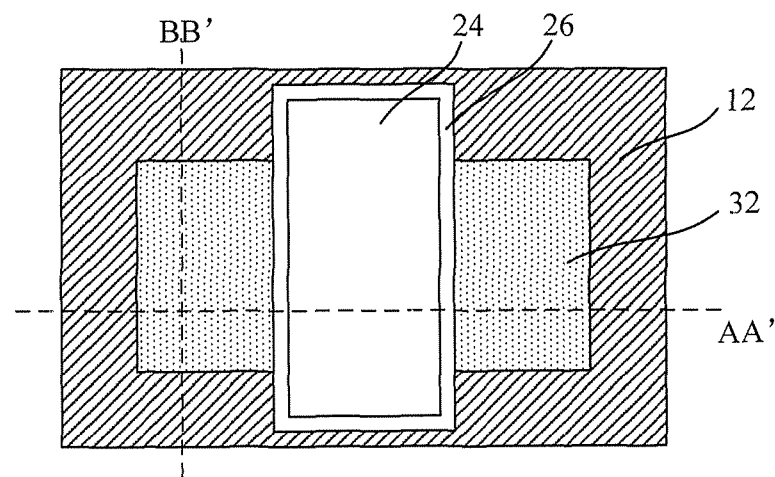


图 7

3/6

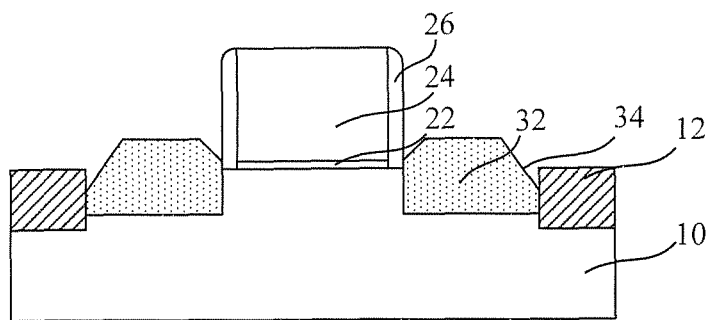


图 8

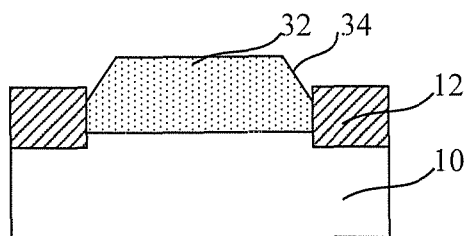


图 9

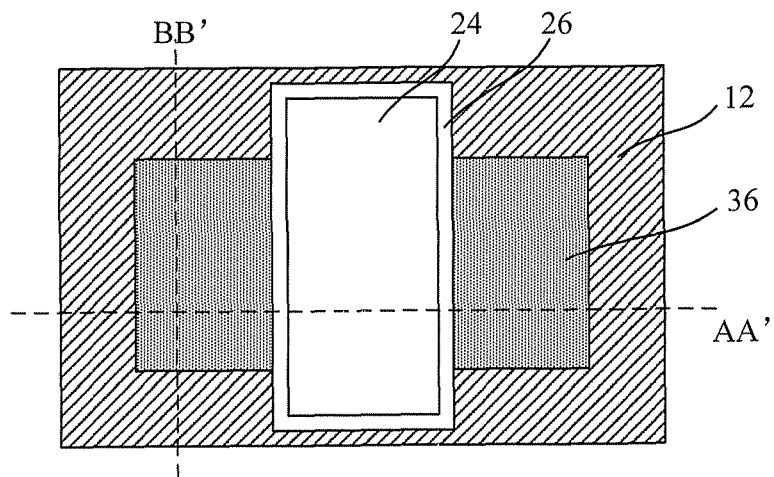


图 10

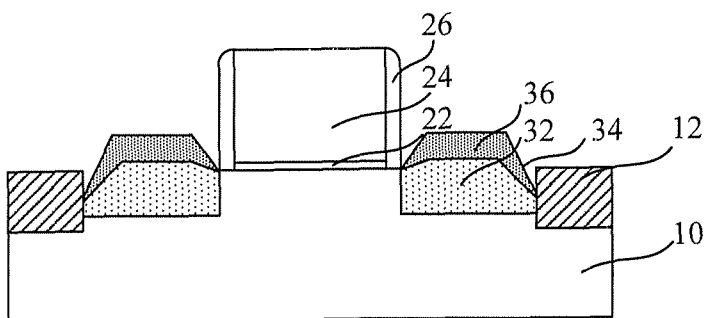


图 11

4/6

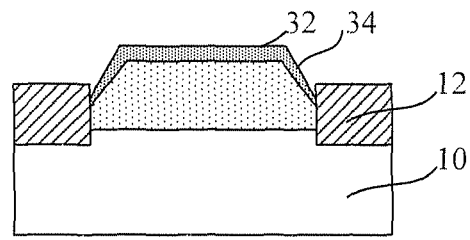


图 12

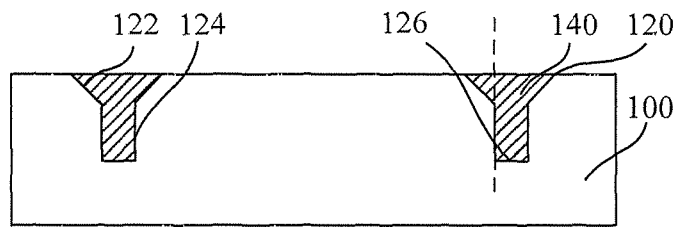


图 13

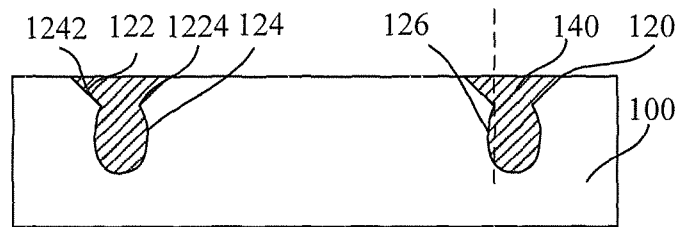


图 14

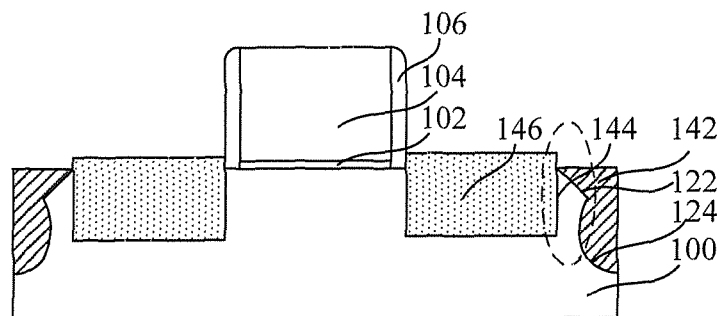


图 15

5/6

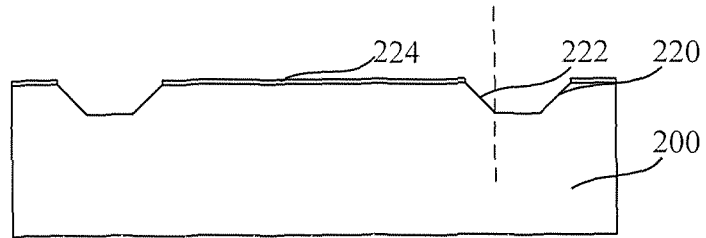


图 16

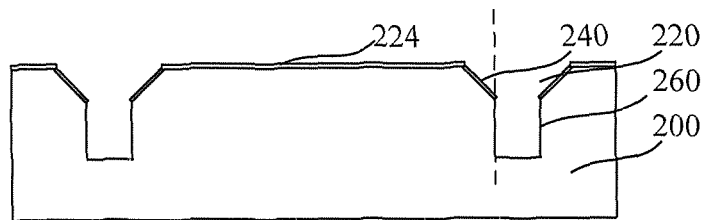


图 17

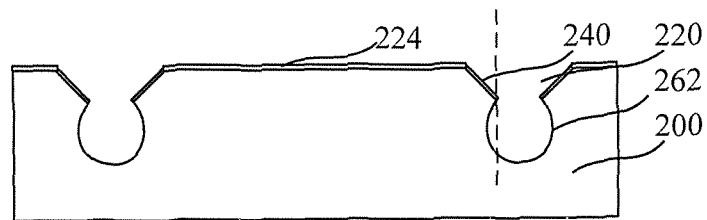


图 18

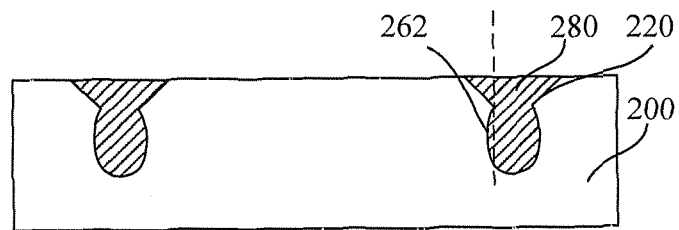


图 19

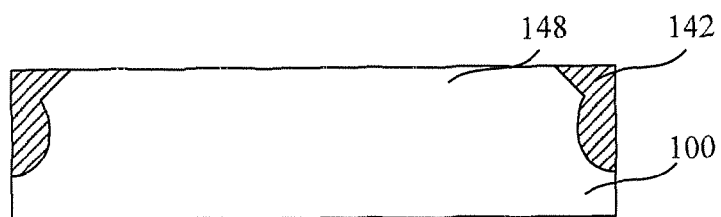


图 20

6/6

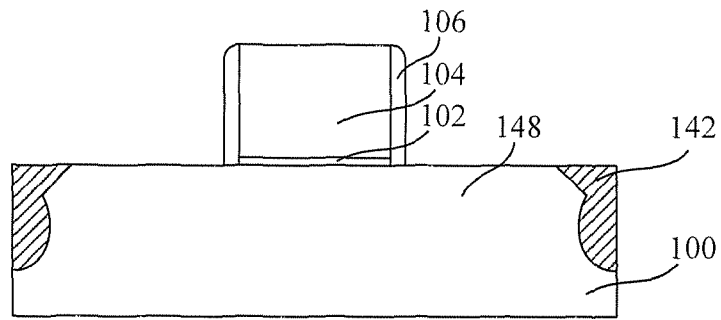


图 21

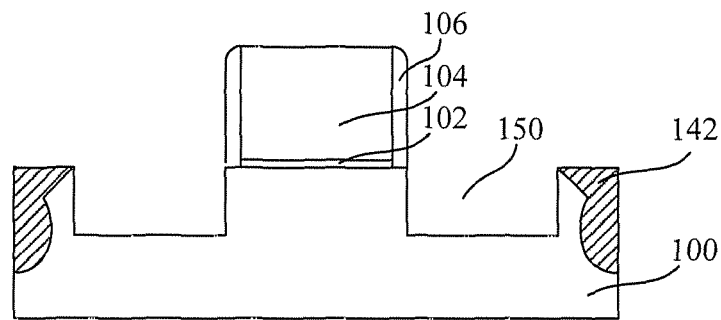


图 22

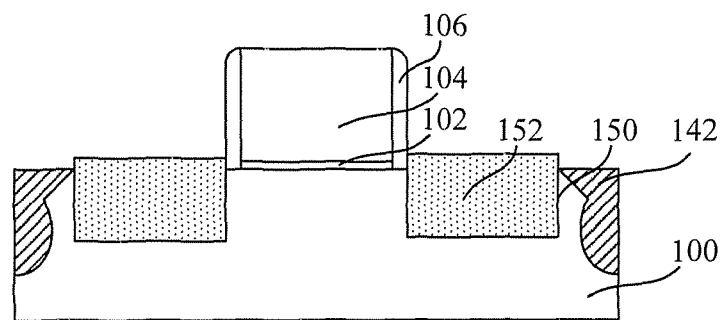


图 23

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN201 1/071093

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/76(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI,WPI,EPODOC

STI , isolation, trench, groove , channel , recess, concave , insulating , angle , gate , source , drain, sidewall

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP2008 192821 A(PANASONIC CORP) 21Aug.2008(21.08.2008)	1-2,6-8
Y	Paragraphs [0043]-[0059], Figs.5-8	3-5,9-10
Y	CN1953141A(NEC ELECTRONICS CORP) 25Apr.2007(25.04.2007) Page 6 Mm> 20-page 10 line 7, Figs. 1-3	3
Y	US2009294894A1(DYER) 03Dec.2009(03.12.2009) Paragraphs [0002]-[0005],[0022]-[0026], Figs.8-12	4-5,9-10
Y	CN101540315A(UNITED MICROELECTRONICS CORP) 23Sep.2009(23.09.2009) Page 5 lines 26-31, Figs. 10-11	9-10
A	US6034409A(SAKAI ET AL.)07Mar.2000(07.03.2000) the whole document	1-10



Further documents are listed in the continuation of Box C. ¾ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"F" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19Apr.2011(19.04.2011)

Date of mailing of the international search report

19 May 2011 (19.05.2011)

Name and mailing address of the ISA/CN

The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088

(Facsimile No. 86-10-62019451)

Authorized officer

DAI,Yongchao

Telephone No. (86-10)62411564

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN201 1/071093

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP2008 192821 A	21.08.2008	None	
CN1953141A	25.04.2007	US2007087521A1	19.04.2007
		US7462562B2	09. 12.2008
		CN100440453C	03. 12.2008
		JP2007 110005 A	26.04.2007
US2009294894A1	03. 12.2009	US7772095B2	10.08.2010
CN101540315A	23.09.2009	CN1015403 15B	08. 12.2010
US6034409A	07.03.2000	JP11074339A	16.03. 1999
		KR100272987B 1	01. 12.2000
		US6274457B 1	14.08.2001
		TW461082B	21.10.2001
		KR19990023083A	25.03. 1999

国际检索报告

国际申请号
PCT/CN2011/071093

A. 主题的分类

H01L21/76(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称,和使用的检索词(如使用))

CNPAT,CNKI,WPI,EPODOC

隔离,沟槽,凹槽,绝缘,夹角,角度,栅,源,漏,侧壁,侧面,STI, isolation, trench, groove, channel, recess' concave > insulating > angle' gate, source, drain, sidewall

C. 相关文件

类 型 *	引用文件,必要时,指明相关段落	相关的权利要求
X	JP2008192821A (松下电器产业株式会社)21.8月2008(21.08.2008)	1-2,6-8
Y	说明书第[0043]-[0059]段,图5-8	3-5,9-10
Y	CN1953141A (恩益禧电子股份有限公司)25.4月2007(25.04.2007)	3
	说明书第6页第20行至第10页第7行,图1-3	
Y	US2009294894A1(DYER) 03.12月2009(03.12.2009)	4-5,9-10
	说明书第[0002]-[0005],[0022]-[0026]段,图8-12	
Y	CN101540315A (联华电子股份有限公司)23.9月2009(23.09.2009)	9-10
	说明书第5页第26行至第31行,图10-11	
A	US6034409A(SAKAI 等)07.3月2000(07.03.2000) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的%之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件,或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布,与申请不相抵触,但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件,单独考虑该文件,认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件,当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时,要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期

19.4月2011(19.04.2011)

国际检索报告邮寄日期

19.5月2011(19.05.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号100088

传真号: (86-10)62019451

受权官员

戴永超

电话号码: (86-10) 62411564

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2011/071093

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
JP2008192821A	21.08.2008	无	
CN1953 141A	25.04.2007	US2007087521A1	19.04.2007
		US7462562B2	09.12.2008
		CN100440453C	03. 12.2008
		JP2007 110005 A	26.04.2007
US2009294894A1	03. 12.2009	US7772095B2	10.08.2010
CN 1015403 15A	23.09.2009	CN101540315B	08. 12.2010
US6034409A	07.03.2000	JP1 1074339A	16.03. 1999
		KR 100272987B 1	01.12.2000
		US6274457B1	14.08.2001
		TW461082B	21. 10.2001
		KR19990023083A	25.03.1999