(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 2 月 14 日(14.02.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/021599 A1

(51) 国際特許分類:
H01L 21/205 (2006.01) *H05H 1/24* (2006.01)
C23C 16/515 (2006.01) *H05H 1/46* (2006.01)
H01L 21/31 (2006.01)

(21) 国際出願番号: PCT/JP2012/004941

(22) 国際出願日: 2012 年 8 月 3 日(03.08.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-171519 2011 年 8 月 5 日(05.08.2011) JP

(71) 出願人 (米国を除く全ての指定国について): 三井造船株式会社 **(MITSUI ENGINEERING & SHIPBUILDING CO., LTD.)** [JP/JP]; 〒1048439 東京都中央区築地５丁目６番４号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 木村 憲明 **(KIMURA, Noriaki)** [JP/JP]; 〒7068651 岡山県玉野市玉３丁目１番１号三井造船株式会社 玉野事業所内 Okayama (JP).

(74) 代理人: グローバル・アイピー東京特許業務法人**(GLOBAL IP TOKYO)**; 〒1600023 東京都新宿区西新宿８丁目３番３０号カーメルＩＩ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

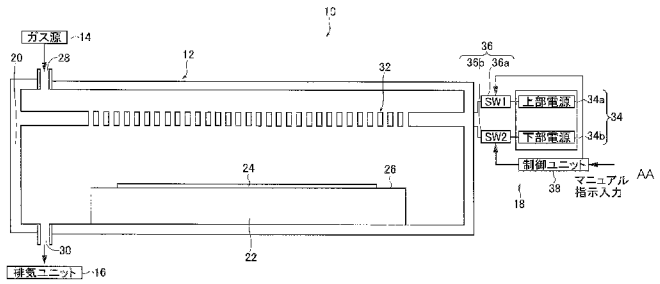
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) Title: FILM-FORMING APPARATUS AND FILM-FORMING METHOD

(54) 発明の名称 : 成膜装置及び成膜方法

[図1]



14 Gas source
16 Air-releasing unit
34a Upper power supply
34b Lower power supply
38 Control unit
AA Manual instruction input

(57) Abstract: A film-forming apparatus using plasma has: a film-forming container, which is provided with a film-forming space having disposed therein a substrate on which a film is to be formed; and a plasma generating unit, which generates plasma using a film-forming gas introduced into the film-forming container. The plasma generating unit has: a plasma generating plate, i.e., a plate that is provided with a plurality of through holes that penetrate the plate in the thickness direction, and a pair of electrodes that are provided on the circumferences of respective through hole openings on both the sides; a power supply that supplies a plasma generating voltage to the pair of electrodes; and a control unit, which controls the supply of the plasma generating voltage by each pair of electrodes.

(57) 要約:

[続葉有]

WO 2013/021599 A1

プラズマを用いた成膜装置は、成膜用基板が配置される成膜空間を備える成膜容器と、前記成膜容器内に導入された成膜用ガスを用いてプラズマを生成するプラズマ生成ユニットと、を有する。前記プラズマ生成ユニットは、プレートであって、前記プレートの厚さ方向に貫通する複数の貫通孔と、前記貫通孔それぞれの両側の開口の周りに設けられた電極対と、を備えたプラズマ生成プレートと、前記電極対にプラズマ生成電圧を供給する電源と、前記プラズマ生成電圧の供給を前記電極対毎に制御する制御ユニットと、を有する。

明　細　書

発明の名称 ： 成膜装置及び成膜方法

技術分野

[0001] 本発明は、プラズマを用いた成膜装置及び成膜方法に関する。

背景技術

[0002] 従来より、電子デバイスに用いる半導体装置等の製造に、プラズマ処理装置が多く用いられる。特に、半導体装置等の工業用製造ラインには、構造が簡単な平行平板型プラズマ処理装置が多く用いられる。この平行平板型プラズマ処理装置では、例えば１３．６ＭＨｚの高周波の電力が用いられる。

[0003] 一方、平行平板型プラズマ処理装置には、従来より以下の点で問題があることが知られている。

・ 大型の成膜用基板に対応した広い成膜空間で空間的に均一なプラズマを生成することが難しいこと、

・ 成膜処理のスループットが低いこと、及び

・ 供給電力の増大に伴って成膜用基板へのイオンや電子の衝突が増加し、膜表面が滑らかでないこと。

上記問題は、今日の多様化する半導体装置の製造にとってより大きな障害となっている。

[0004] 例えば、成膜容器内の成膜空間における膜生成に必要なラジカル（分子あるいは原子）の絶対濃度を濃くして半導体装置のスループットを向上するために、成膜容器内の成膜ガス密度を高くする、すなわち成膜容器内の圧力を高くすることが考えられる。しかし、１ｋＰａ程度あるいはそれ以上の圧力雰囲気では、生成されるプラズマは自己収縮する傾向にあり、空間的に均一なプラズマの生成が困難になる。特に、平行平板型プラズマ処理装置では、局所的に放電が発生し易くなり、プラズマの生成が不安定になる。

[0005] 一方、平行平板の間に電圧を与えてプラズマを生成する上記プラズマ生成源の他に、複数の棒状アンテナを平行に並べた誘導結合型プラズマ処理装置

も知られている（特許文献１）。この装置の場合、供給電力をより高周波にすることで、空間的に均一なプラズマをより安定して生成することができる。しかし、この装置でも、１ｋＰａ程度あるいはそれ以上の圧力雰囲気においてプラズマを安定的に生成することはできない。また、供給電力の周波数に高いＶＨＦ帯域の周波数を用いた場合、１ｋＰａ程度あるいはそれ以上の圧力雰囲気では、放電限界電圧が高くなり、１本の棒状アンテナに必要な電力が１ｋWオーダに近づく。このような電力を例えば数１０本の棒状アンテナに供給する場合、全電力が数１０ｋW以上必要になる。このような大きな供給電力を要する装置は、実用的なプラズマ処理装置に用いることはできない。

また、平行平板型プラズマ処理装置では、面積が１m^2以上の基板をプラズマ処理の対象とする場合、供給電力が高周波になると、電気回路における分布定数系としての現象が無視できなくなり、生成される電磁波の波長の影響により空間的に不均一なプラズマが発生する。

このように、従来のプラズマ処理装置では、大面積の成膜用基板を効率よく（高いスループットで）均一に成膜することができない。

先行技術文献

特許文献

[0006] 特許文献1：特開２００３－８６５８１号公報

発明の概要

発明が解決しようとする課題

[0007] そこで、本発明は、従来に比べて大面積の成膜用基板を、効率よく成膜することができる成膜装置及び成膜方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の一態様は、プラズマを用いた成膜装置である。

当該装置は、

成膜用基板が配置される成膜空間を備える成膜容器と、

前記成膜容器内に導入された成膜用ガスを用いてプラズマを生成するプラズマ生成ユニットと、を有する。

前記プラズマ生成ユニットは、プレートであって、前記プレートの厚さ方向に貫通する複数の貫通孔と、前記貫通孔それぞれの両側の開口に設けられた電極対と、を備えたプラズマ生成プレートと、前記貫通孔それぞれの内部空間でプラズマを生成するために、前記電極対にプラズマ生成電圧を供給する電源と、前記プラズマ生成電圧の供給を前記電極対毎に制御する制御ユニットと、を有する。

[0009] 本発明の他の一態様は、プラズマを用いた成膜方法である。

前記成膜方法では、成膜用基板が配置される成膜空間を備える成膜容器と、前記成膜空間に導入された成膜用ガスを用いてプラズマを生成するプラズマ生成ユニットと、を有する成膜装置が用いられる。

前記プラズマ生成ユニットは、プレートであって、前記プレートの厚さ方向に貫通する複数の貫通孔と、前記貫通孔それぞれの両側の開口の周りに設けられた電極対と、を備えたプラズマ生成プレートと、前記貫通孔それぞれの中でプラズマを生成するために、前記電極対にプラズマ生成電圧を供給する電源と、前記プラズマ生成電圧の供給を前記電極対毎に制御する制御ユニットと、を有する。

前記成膜用基板に成膜をするとき、

前記制御ユニットは、前記電極対におけるプラズマ生成頻度データを前記電極対毎に個別に定め、

前記制御ユニットは、前記プラズマ生成頻度データに基づいて、前記電極対の一方の電極それぞれに印加する第１電力信号に応じて、前記電極対の他方の電極それぞれに印加する第２電力信号を生成し、

前記電極対それぞれの電極には、前記第１電力信号と前記第２電力信号が印加される。

発明の効果

[0010] 上述の成膜装置及び成膜方法は、従来に比べて大面積の成膜用基板を、効

率よく成膜することができる。

図面の簡単な説明

[0011] [図1]本実施形態の成膜装置の全体の概略構成図である。

[図2]本実施形態のプラズマ生成プレートの外観斜視図である。

[図3]本実施形態のプラズマ生成プレートの各貫通孔に設けられる電極対への配線を説明する図である。

[図4]（ａ）は、プラズマ生成プレートの貫通孔の断面図であり、（ｂ）は、（ａ）に示すＡ－Ａ’線に沿った断面図であり、（ｃ）は、（ａ）に示すＢ－Ｂ’線に沿った断面図である。

[図5]本実施形態の貫通孔の内部空間でプラズマが発生する状態を説明する図である。

[図6]本実施形態の給電線に供給する電力信号を生成するスイッチ素子の構成の一例を示す図である。

[図7]本実施形態の給電線に供給する電力信号を生成するスイッチ素子の構成の他の例を示す図である。

[図8]圧力Ｐと電極間距離Ｄの積Ｐ・Ｄを横軸に、放電開始電圧V_Bを縦軸にとったグラフを示す図である。

[図9]本実施形態で生成されるプラズマの生成頻度とプラズマにより作られるイオン、中性分子及びラジカルの流れを説明する図である。

[図10]本実施形態の第ｉ番目の行で、第ｊ番目の列に位置する電極対に給電される第１電力信号ＰＲｉ及び第２電力信号ＰＣｊの一例を示す図である。

[図11]本実施形態のN^2個の電極対がＮ行×Ｎ列で格子状に並んだプラズマ生成プレートの電極対と電力信号の関係を示す図である。

[図12]本実施形態の電力信号に用いられる基本信号と反転信号の一例を示す図である。

[図13]（ａ）は、図１１に示すプラズマ生成プレートにおいてＮ＝４とした場合における電力信号ＰＲ１～４を表す図であり、（ｂ）は、（ａ）に示される内容に従ってつくられる電力信号を記載した図であり、（ｃ）は、電力

信号ＰＲ２の波形の一例を示す図である。

[図14]（ａ），（ｂ）は、２つの電力信号f_1（ｔ），f_2（ｔ）に施す演算「＊」を説明する図である。

[図15]本実施形態の電力信号を説明する図である。

[図16]（ａ），（ｂ）は、プラズマ生成頻度データと電力信号との関係式を示す図である。

[図17]本実施形態で用いる演算「＊」の特徴を示す式を説明する図である。

[図18]（ａ）～（ｄ）は、プラズマ生成頻度データと電力信号との関係式を変形した式を説明する図である。

[図19]本実施形態の成膜方法のフローの一例を説明する図である。

[図20]（ａ），（ｂ）は、本実施形態の電力信号の波形の例を示す図である。

[図21]本実施形態のプラズマ生成プレートの変形例を説明する図である。

発明を実施するための形態

[0012] 以下、本発明の成膜装置及び成膜方法について詳細に説明する。

[0013] （成膜装置）

図１は、本実施形態の成膜装置１０の全体の概略構成図である。成膜装置１０は、成膜本体部１２と、ガス源１４と、排気ユニット１６と、プラズマ生成ユニット１８と、を有する。

成膜本体部１２は、成膜容器２０と、サセプタ２２と、を主に有する。成膜容器２０は、成膜容器２０内の成膜空間を所定の圧力に減圧し、成膜空間の成膜用基板を成膜処理する。サセプタ２２は、表面に成膜用基板２４を載せる載置面２６を有し、成膜空間内に設けられている。サセプタ２２の内部に図示されないヒータが設けられて成膜容基板２４を加熱する。成膜用基板２４は、成膜容器２０に設けられた図示されない開口したシャッターを通して、成膜容器２０の外部から内部に搬入されてサセプタ２２の載置面２６に載せられる。また、成膜済みの成膜用基板２４は、上記シャッターを通して成膜容器２０の外部に搬出される。

[0014] 成膜容器２０の天井面には、ガス源１４と接続した図示されない配管と接続された供給口２８が設けられる。ガス源１４から供給される成膜用ガスは、供給口２８を通して成膜容器２０内に供給される。成膜容器２０の床面には、成膜容器２０内の成膜空間内の不要な成膜用ガスを排気する排気口３０が設けられている。排気口３０は、排気ユニット１６と接続した図示されない配管と接続されている。これにより、成膜空間は一定の圧力に維持される。

[0015] 成膜空間内のサセプタ２２の上方には、プラズマ生成ユニット１８に属するプラズマ生成プレート３２が設けられている。プラズマ生成プレート３２は、プレートの厚さ方向に貫通する複数の貫通孔３２ａ（図２参照）を有し、この貫通孔３２ａの内部でプラズマを生成する。プラズマ生成プレート３２については後述する。

[0016] ガス源１４は、例えば、シランガスや水素ガス等の成膜用ガス源であり、成膜用基板２４に形成する薄膜の成分を含むガスである。薄膜として微結晶シリコンを成膜用基板２４に形成するとき、成膜用ガスとして例えばシランガス及び水素ガスが用いられる。この場合、シランガス源と水素ガス源をガス源１４として別々に用意し、予め定められたシランガスと水素ガスの流量比で、シランガスと水素ガスが成膜空間に供給される。

[0017] 排気ユニット１６は、ロータリポンプあるいはドライポンプ等を含み、成膜空間を、一定の圧力に維持する。また、成膜空間における圧力を大気圧に比べて低くする場合、排気ユニット１６は、定められた圧力まで排気を行う。

[0018] プラズマ生成ユニット１８は、プラズマ生成プレート３２と、電源３４と、スイッチ素子３６と、制御ユニット３８と、を有する。

プラズマ生成プレート３２は、成膜容器２０内に設けられたプレートであって、このプレートの厚さ方向に貫通する複数の貫通孔３２ａと、これらの貫通孔３２ａそれぞれの両側の開口の周りに設けられた電極対と、を備える。

電源３４は、プラズマ生成プレート３２の貫通孔それぞれの中でプラズマを生成するために、電極対にプラズマ生成電圧を供給する。

制御ユニット３８は、電極対毎にプラズマ生成電圧の供給を、スイッチ素子３６（３６ａ，３６ｂ）を通して制御する。スイッチ素子３６（３６ａ，３６ｂ）は、電極対それぞれを構成する後述する電極３２ｂ（図４（ａ）参照），電極３２ｃ（図４（ａ）参照）に印加する電圧を、設定された周期単位で切り替えることにより電力信号を生成し、この電力信号を電極対毎に供給する。

[0019] 図２は、プラズマ生成プレート３２の外観斜視図である。

プラズマ生成プレート３２は、成膜用ガスが導入される成膜空間のガス供給口２８の位置と、成膜用基板２４が成膜空間内に載置されるサセプタ２２の位置との間に、プラズマ生成プレート３２の一方の面が、サセプタ２２の載置面２６に対して対向するように、成膜空間内に設けられている。

[0020] プラズマ生成プレート３２は、プレート厚さ方向に貫通する複数の同一の大きさの貫通孔３２ａが、図中のＸ方向及びＹ方向に沿って一定の間隔で整然と並んで格子状に設けられている。本明細書では、Ｙ方向に沿って並んだ貫通孔３２ａの群を列といい、Ｘ方向に沿って並んだ貫通孔３２ａの群を行という。

図３は、プラズマ生成プレート３２の各貫通孔３２ａに設けられる電極対への配線を説明する図である。図４（ａ）は、貫通孔３２ａの断面図であり、図４（ｂ）は、図４（ａ）に示すＡ－Ａ’線に沿った断面図であり、図４（ｃ）は、図４（ａ）に示すＢ－Ｂ’線に沿った断面図である。図３に示す例では、列８、行８からなる貫通孔３２ａのそれぞれに電極対が設けられている例であるが、列の数、行の数は８に限定されず、複数の数であればよい。列の数と行の数は同数であることが、後述するように、逆行列を用いて第２電力信号ＰＣｊを定める上で好ましいが、必ずしも列の数と行の数が同数でなくてもよい。

[0021] プラズマ生成プレート３２は、図４（ａ）に示すように、誘電体層３２ｄ

，３２ｅ、導体層３２ｆ、及び誘電体層３２ｇ，３２ｈが積層されて構成されている。貫通孔３２ａには、図４（ａ）に示すように、電極３２ｂ及び電極３２ｃが設けられている。導体層３２ｆは、貫通孔３２ａの面には露出されておらず、導体層３２ｆの貫通孔３２ａ側の面は誘電体３２ｍで覆われている。

電極３２ｂ及び電極３２ｃは、貫通孔３２ａの両側の開口部に、貫通孔３２ａの内周に沿って配された環状の電極である。電極３２ｂは、図４（ａ）に示すように、誘電体層３２ｅの角に配置されるよう、断面が９０度に折れ曲がった屈曲形状をしている。電極３２ｂ，３２ｃは、プレート表面においてそれぞれ誘電体層３２ｄ，３２ｈにより被覆されている。貫通孔３２ａの内表面では、電極３２ｂは露出しており、電極３２ｃは誘電体層３２ｇにより被覆されている。誘電体層３２ｄと誘電体層３２ｅの間には、スイッチ素子３６ａを通して上部電源３４ａと接続されている給電線（第１電力線路）３２ｉが設けられ、給電線３２ｉは電極３２ｂと接続されている。誘電体層３２ｇと誘電体層３２ｈの間には、スイッチ素子３６ｂを通して下部電源３４ｂと接続されている給電線（第２電力線路）３２ｊが設けられ、給電線３２ｊは電極３２ｃと接続されている。上部電源３４ａ及び下部電源３４ｂはともに、正負の一組のＤＣ電源からなり、スイッチ素子３６ａ，３６ｂで電圧が切り替えられることで生成される電力信号を電極３２ｂ，３２ｃに印加する。

[0022] 誘電体層３２ｄ，３２ｅ，３２ｇ，３２ｈは、例えば石英板により構成される。導体層３２ｆは接地される。給電線３２ｉ．３２ｊは、一定の幅を有する線状導体である。したがって、給電線３２ｉ，３２ｊと接地された導体層３２ｆは、誘電体層３２ｅ，３２ｇを誘電体基板とするマイクロストリップ線路を構成する。すなわち、電極対それぞれの電極３２ｂ，３２ｃは、プラズマ生成プレート３２の両側の面に沿って配されたマイクロストリップ線路を通して電源３４と接続される。プラズマ生成プレート３２は、両側に設けられた誘電体プレート３２ｅ，３２ｇと、誘電体プレート３２ｅ，３２ｇ

が挟むように設けられた接地された導体層３２ｆと、を含む。また、導体層３２ｆは、プラズマ生成プレート３２の強度を保つ部材として機能する。

このような電極対３２ｂ，３２ｃが、複数の貫通孔３２ａ毎に設けられ、図３に示すように、複数の給電線３２ｉ，３２ｊによって配線されている。

[0023] すなわち、給電線３２ｉは、Ｘ方向に沿って貫通孔３２ａが配列された行に沿った線であり、行内の各貫通孔３２ａに設けられた電極３２ｂを直列に接続している。給電線３２ｉの一端は、スイッチ素子３６ａを通して上部電源３４ａと接続され、他方の端は、抵抗体３２ｋを介して接地されている。

給電線３２ｊは、Ｙ方向に沿って貫通孔３２ａが配列された列に沿った線であり、列内の各貫通孔３２ａに設けられた電極３２ｃを直列に接続している。給電線３２ｊの一端は、スイッチ素子３６ｂを通して下部電源３４ｂと接続され、他方の端は、抵抗体３２ｌを介して接地されている。抵抗体３２ｋ，３２ｌの値は、例えば１ＭΩ以上である。

すなわち、プラズマ生成プレート３２の上側に設けられた電極３２ｂのうち、共通する行それぞれに位置する電極３２ｂは、行毎に、給電線３２ｉで互いに直列に繋がれてスイッチ素子３６ａを通して上部電源３４ａと接続されている。プラズマ生成プレート３２の下側に設けられた電極３２ｃのうち、共通する列それぞれに位置する電極３２ｃは、列毎に、給電線３２ｊで互いに直列に繋がれてスイッチ素子３６ｂを通して下部電源３４ｂと接続されている、

[0024] このような電極３２ｂ，３２ｃを有する貫通孔３２ａの内部空間では、電極３２ｂ，３２ｃに電圧が印加されることにより、プラズマが生成され得る。図５は、貫通孔３２ａの内部空間でプラズマＰが発生する状態を説明する図である。

電極３２ｂ，３２ｃに電圧を印加することで、電極３２ｂ，３２ｃ間に成膜用ガスのプラズマＰが生成される。このとき、サセプタ２２の載置面２６から遠い電極３２ｂは貫通孔３２ａの内部空間の内表面に露出し、載置面２６に近い電極３２ｃは貫通孔３２ａの内部空間において誘電体層３２ｇで被

覆されているので、すなわち、プラズマ生成プレート３２の内部に設けられているので、生成したプラズマＰにより電極３２ｃの方へ引っ張る力が生成される。このようなプラズマＰの発生による生じる力は、例えば、“Experimental Investigation of DBD Plasma Actuators Driven by Repetitive High Voltage Nanosecond Pulses with DC or Low-Frequency Sinusoidal Bias”（Dmitry F. Opaits et al., 38th AIAA Plasmadynamics and Lasers Conference
 in conjunction with the
 16th, 25-28 June 2007）において検討されている。したがって、成膜装置１０においてもプラズマ生成プレート３２は、成膜用ガスを吸引して成膜空間内に供給するアクチュエータとして機能する。

すなわち、成膜用ガスによって貫通孔３２ａ内でプラズマＰが生成されると、図５中の下向きに引っ張る力が発生するので、プラズマＰによって生成されたイオンや中性分子さらにはラジカルが貫通孔３２ａの下側開口部に引っ張られ、開口部から拡散するように下方に排出される。

本実施形態では、電極３２ｂ，３２ｃはプラズマＰを生成させる電極として用いられるほか、アクチュエータとして用いられるが、プラズマＰを生成させる電極として用いるが、アクチュエータとして用いられなくてもよい。この場合、電極３２ｂは、貫通孔３２ａの内表面に露出されず、誘電体層３２ｅによって被覆される。

[0025] 図６は、図３中の最も上に位置する行の電極３２ｂを接続する給電線３２ｉに供給する電力信号ＰＲ１を生成するスイッチ素子３６ａの構成の一例を示す図である。他のスイッチ素子３６ａ及びスイッチ素子３６ｂも同様の構成を有するので、その説明は省略する。

スイッチ素子３６ａは、制御ユニット３８から送られる制御信号ＬＲ１に従って電圧のＯＮ／ＯＦＦを、設定された周期単位で切り替えることにより、電力信号ＰＲ１を生成する。スイッチ素子３６ａは、ゲート駆動回路３６ｃと、ＭＯＳＦＥＴ３６ｄ，３６ｅと、抵抗体３６ｆ，３６ｇと、を有する。なお、抵抗体３６ｆ，３６ｇは安全のために設けられているが、原理的に

は必須のものではなく、抵抗体３６ｆ、３６ｇは設けられなくてもよい。

[0026] ゲート駆動回路３６ｃは、制御ユニット３８から送られた制御信号ＬＲ１に基いて、２つのゲート信号（２値制御信号ａ、２値制御信号ｂ）を出力する。２つのゲート信号はそれぞれ、１（ｈｉｇｈ），０（ｌｏｗ）からなる２値（１，０）を所定の周期単位で持つ２値制御信号である。

[0027] ＭＯＳＦＥＴ３６ｄは、ｐチャンネルパワーＭＯＳＦＥＴであり、ＭＯＳＦＥＴ３６ｅは、ｎチャンネルパワーＭＯＳＦＥＴである。ＭＯＳＦＥＴ３６ｄ，３６ｅのそれぞれのゲート端子には、ゲート駆動回路３６ｃが出力した２つのゲート信号（２値制御信号）が入力される。ＭＯＳＦＥＴ３６ｄのソース端子には、上部電源３４ａと接続されて電圧＋Ｖがかけられ、ＭＯＳＦＥＴ３６ｅのソース端子には、上部電源３４ａと接続されて電圧－Ｖがかけられている。したがって、ＭＯＳＦＥＴ３６ｄ，３６ｅのゲート端子に与えられるゲート信号（２値制御信号ａ、２値制御信号ｂ）の信号値に応じて、ドレイン端子に流れる電流はＯＮ／ＯＦＦに切り替わる。このため、抵抗体３６ｆ，３６ｅを通して、電力信号ＰＲ１が得られる。電力信号ＰＲ１は、制御信号ＬＲ１の信号値に応じて正の電圧、０の電圧及び負の電圧に設定された周期で切り替わる。正の電圧をＶとし、負の電圧を－Ｖとする。本実施形態では、スイッチ素子３６ａ，３６ｂにパワーＭＯＳＦＥＴを用いるが、ＩＧＢＴ（Insulated Gate Bipolar Transistor）を用いることもできる。

[0028] スイッチ素子３６ａは、ｐチャンネルのＭＯＳＦＥＴ３６ｄとｎチャンネルのＭＯＳＦＥＴ３６ｅで構成されているが、図７に示すようなスイッチ素子３６ａを用いることもできる。図７に示すスイッチ素子３６ａは、ゲート駆動回路３６ｃと、ＭＯＳＦＥＴ３６ｈ，３６ｉと、トランス３６ｊを有する。ＭＯＳＦＥＴ３６ｈ，３６ｉはｎチャンネルパワーＭＯＳＦＥＴである。

ゲート駆動回路３６ｃは、図６に示すゲート駆動回路３６ａと同様の構成、作用を有するので説明は省略する。

ＭＯＳＦＥＴ３６ｈ，３６ｉのそれぞれのゲート端子には、ゲート駆動回

路３６ｃが出力したゲート信号（２値制御信号ａ、２値制御信号ｂ）が入力される。ＭＯＳＦＥＴ３６ｈ，３６ｉのソース端子は、抵抗体を通して接地される。２つのドレイン端子は、トランス３６ｊに接続されて電圧Ｖがかけられている。電圧Ｖは、上部電源３４ａから提供される。

このような構成においても、ＭＯＳＦＥＴ３６ｈ，３６ｉのゲート端子に与えられるゲート信号の信号値に応じて、トランス３６ｊから出力される電力信号ＰＲ１は、制御信号ＬＲ１の信号値に応じて正の電圧Ｖ、０の電圧、及び負の電圧－Ｖに切り替わる。

すなわち、プラズマ生成ユニット１８は、上部電源３４ａの電圧を、制御信号ＬＲ１～ＬＲＮ（Ｎは２以上の整数で、例えば１６～１２８の範囲の整数）から作られる既知の２値のゲート信号で切り替えることにより生成された第１電力信号ＰＲ１～ＰＲＮを給電線３２ｉに供給する。また、プラズマ生成ユニット１８は、下部電源３４ｂの電圧を、制御信号ＬＣ１～ＬＣＮから作られる既知の２値のゲート信号で切り替えることにより生成された第２電力信号ＰＣ１～ＰＣＮを給電線３２ｊに供給する。このとき、第１電力信号ＰＲ１～ＰＲＮと第２電力信号ＰＣ１～ＰＣＮの電圧の切り替わりのタイミングが互いに同期するように、ゲート信号を生成するための制御信号がスイッチ素子３６ａ，３６ｂに提供される。なお、第２電力信号ＰＣ１～ＰＣＮは、後述するように、第１電力信号ＰＲ１～ＰＲＮに対応して生成される。

[0029] 以上のように生成される電力信号は、第１電力信号ＰＲ１のみならず、第１電力信号ＰＲ２～ＰＲＮ(Ｎは２以上の整数)についても、列毎の第２電力信号ＰＣ１～ＰＣＮについても同様のスイッチ素子３６ａ，３６ｂによって生成される。すなわち、電極３２ｂ，３２ｃのそれぞれに印加する電圧を、スイッチ素子３６ａ，３６ｂを用いて、設定された周期単位で切り替えることにより、第１電力信号ＰＲ１～ＰＲＮ及び第２電力信号ＰＣ１～ＰＣＮを電極３２ｂ，３２ｃのそれぞれに供給する。

本実施形態では、スイッチ素子３６ａ，３６ｂを用いて電圧を切り替える

ことにより第１電力信号ＰＲ１～ＰＲＮ及び第２電力信号ＰＣ１～ＰＣＮを生成するが、第１電力信号ＰＲ１～ＰＲＮ及び第２電力信号ＰＣ１～ＰＣＮは直接電源３４で生成されてもよい。すなわち、上部電源３４ａ及び下部電源３４ｂは、同じものを用いてもよい。

[0030] 生成される第１電力信号ＰＲ１～ＰＲＮは電極３２ｂに給電され、同様に電極３２ｃには第２電力信号ＰＣ１～ＰＣＮが給電される。このとき、電極３２ｂ，３２ｃ間の電圧は、第１電力信号ＰＲ１～ＰＲＮと第２電力信号ＰＣ１～ＰＣＮの電圧の差分によって定まる。例えば、第１電力信号ＰＲ１と第２電力信号ＰＣ１とが全く同じ信号である場合、差分ＰＲ１－ＰＣ１は常時０になる。一方、第２電力信号ＰＣ１が第１電力信号ＰＲ１に対して反転している場合、差分ＰＲ１－ＰＣ１は２Ｖ、－２Ｖで変動する。したがって、電極３２ｂ，３２ｃ間の電圧は、第１電力信号ＰＲ１と第２電力信号ＰＣ１の信号に応じて異なる。このとき、差分ＰＲ１－ＰＣ１が２Ｖのとき、プラズマが貫通孔３２ａの内部空間で発生するように電圧Ｖが調整されていれば、電圧ＰＲ１－ＰＣ１が２Ｖ（＝Ｖ－（－Ｖ））であるときプラズマが生成する。一方、電圧ＰＲ１－ＰＣ１が０であるときプラズマは生成しない。上記説明は、第１電力信号ＰＲ１～ＰＲＮ、および第２電力信号ＰＣ１～ＰＣＮにおいて、いずれも絶対値が同じ電圧Ｖ，－Ｖが印加される場合を説明したが、電圧Ｖと電圧－Ｖの絶対値が異なっていてもよい。例えば、電圧V_1と電圧$-V_2$が電極３２ｂ，３２ｃに印加される場合、差分の電圧はV_1+V_2あるいはV_1-V_2になるので、差分V_1+V_2でプラズマが生成され、差分V_1-V_2でプラズマが生成されないように、電圧V_1と電圧$-V_2$が設定されるとよい。このように、電極３２ｂ，３２ｃに、設定された周期単位で正の一定電圧値と負の一定電圧値とが切り替わるパルス状電圧が印加されることにより、電極対にプラズマ生成電圧が供給される。勿論、第１電力信号ＰＲ１～ＰＲＮの電圧Ｖ、－Ｖと第２電力信号ＰＣ１～ＰＣＮの電圧Ｖ，－Ｖを異なる値としてもよい。

[0031] 図８は、圧力Ｐと電極間距離Ｄの積Ｐ・Ｄを横軸に、放電開始電圧V_Bを縦

軸にとったグラフを示す。横軸及び縦軸は対数軸で表されている。グラフ中の曲線は、Ｈｅ，Ｎｅ，Ａｒ，H_2，N_2のそれぞれのガス雰囲気における放電開始電圧V_Bの変化を示す。いずれの曲線も、Ｐ・Ｄの値が４×１０^{-1}～２×１０^{0}(Torr・ｃｍ)の範囲で放電開始電圧V_Bが最小値を有し、その両側の範囲でV_Bが高くなっている。

例えば、H_2の場合、１０（Torr）（１Torr＝１３３．３Ｐａ）、電極３２ｂと電極３２ｃ間の間隔Ｄを０．５ｃｍとしたとき、図８に示すグラフより、放電開始電圧V_Bが４００Ｖとなる。したがって、第１電力信号ＰＲ１及び第２電力信号ＰＣ１の電圧を２００Ｖより僅かに大きくすることで、差分ＰＲ１－ＰＣ１が４００Ｖを越えてプラズマ生成電圧となる。また、H_2の場合、４０（Torr）、電極３２ｂと電極３２ｃ間の間隔Ｄを０．５ｃｍとしたとき、放電開始電圧V_Bは８００Ｖである。したがって、この場合、第１電力信号ＰＲ１及び第２電力信号ＰＣ１の電圧を４００Ｖより僅かに大きくすることで、差分ＰＲ１－ＰＣ１が８００Ｖを越えてプラズマ生成電圧となる。

また、図６に示すスイッチ素子３６ａの場合、ｐチャンネルのＭＯＳＦＥＴ３６ｄの電圧Ｖを６００Ｖ、ｎチャンネルのＭＯＳＦＥＴ３６ｉの電圧－Ｖを－１０００Ｖとすることにより、差分ＰＲ１－ＰＣ１が１６００Ｖとなる。この場合、図８のH_2の曲線に従うと、間隔Ｄを０．５ｃｍとしたとき、放電開始電圧V_B＝１６００Ｖを達成する圧力は１００（Torr）となる。

さらに、図７に示すスイッチ素子３６ａの場合、電圧Ｖを４０００Ｖとし、電圧－Ｖを－４０００Ｖとすると差分ＰＲ１－ＰＣ１が８０００Ｖになるので、電極３２ｂと電極３２ｃ間の間隔Ｄを０．５ｃｍとしたとき、図８に示すH_2の曲線より、７００（Torr）まで圧力を高くしてもプラズマを生成することができる。７００（Torr）は、極めて大気圧に近い圧力（０．９１気圧）である。

このように、パワーＭＯＳＦＥＴをスイッチ素子３６ａ，３６ｂに用い、差分ＰＲ１－ＰＣ１を利用することで、従来のように減圧の程度を抑えてもプラズマを安定して生成することができる。

このような第１電力信号ＰＲ１～ＰＲＮ，ＰＣ１～ＰＣＮを組み合わせることにより、プラズマを断続的に生成する頻度を自在に調整することができる。

[0032] 図９は、プラズマの生成頻度とプラズマにより作られるイオン、中性分子及びラジカルの流れを説明する図である。上述した差分ＰＲｉ－ＰＣｊ（ｉ，ｊ＝１～Ｎの整数）が定められた時間内で常時プラズマ生成電圧となる場合、中性分子や電荷したイオン、さらには、中性化したラジカル等が勢い良く貫通孔３２ａから射出される（図９中の状態Ａ）。一方、差分ＰＲｉ－ＰＣｊが定められた時間の一部分でプラズマ生成電圧となる場合、中性分子や電荷したイオン、さらには、中性化したラジカル等の射出量は状態Ａの場合に比べて少なく、その射出速度も状態Ａの場合に比べて遅い状態Ｂとなる。このようにして、成膜装置１０の成膜空間内において、中性分子、イオン、ラジカルの密度分布を変更することができる。したがって、成膜空間内の中性分子、イオン、ラジカルの現在の密度分布を知れば、この密度分布に応じて中性分子、イオン、ラジカルの射出量を変えることにより、成膜空間における中性分子、イオン、ラジカルの密度を目標とする所定の分布、例えば均一な分布にすることができる。

[0033] 図１０は、第ｉ番目（ｉ＝１～Ｎの整数）の行で、第ｊ番目（ｊ＝１～Ｎの整数）の列に位置する電極対に給電される第１電力信号ＰＲｉ及び第２電力信号ＰＣｊの一例を示す図である。第１電力信号ＰＲｉと第２電力信号ＰＣｊの電圧の切り替えのタイミングは同期している。

図１０に示す例では、０～T_1（秒）において、第１電力信号ＰＲｉと第２電力信号ＰＣｊは互いに反転信号（逆位相の関係）となっているので、電極３２ｂ，３２ｃ間には、プラズマ生成電圧±５００Ｖが常時印加されることになり、その結果、貫通孔３２ａの内部空間でプラズマが生成される。一方、T_1～T_2（秒）において、第１電力信号ＰＲｉと第２電力信号ＰＣｊは同じ信号（同位相の関係）となっているので、電極３２ｂ，３２ｃ間で電圧が生じずプラズマが生成されない。

このように、電極３２ｂ，３２ｃに供給される第１電力信号ＰＲｉ，ＰＣｊの信号波形を適宜組み合わせることにより、プラズマの生成頻度を自在に調整することができる。さらにいうと、第１電力信号ＰＲi，ＰＣｊは、制御信号ＬＲｉ，ＬＣｊによって定まるので、制御信号ＬＲｉ，ＬＣｊを種々変更することにより、貫通孔３２ａ内の内部空間に発生するプラズマの生成頻度を制御することができる。

[0034] 図１１は、N^2個の電極対（電極３２ｂ，３２ｃ）がＮ行×Ｎ列（Ｎは２以上の整数）で格子状に並んだプラズマ生成プレート３２の電極対ｉｊ（ｉ，ｊ＝１～Ｎの整数）と第１電力信号ＰＲ１～ＰＲＮ，第２電力信号ＰＣ１～ＰＣＮの関係を示す図である。電極対ｉ１、電極対ｉ２，・・・電極対ｉＮ（ｉ＝１～Ｎの整数）のそれぞれの電極３２ｂには、第１電力信号ＰＲｉが供給される。一方、電極対１ｊ、電極対２ｊ，・・・，電極対Ｎｊ（ｊ＝１～Ｎの整数）のそれぞれの電極３２ｃには、第２電力信号ＰＣｊが供給される。

したがって、電極対ｉｊにおけるプラズマ生成頻度のみを調整しようとする場合、第１電力信号ＰＲｉ，第２電力信号ＰＣｊを調整するが、この場合、調整しようとする電極対ｉｊと同じ列あるいは同じ行に位置する他の電極対におけるプラズマの生成頻度が変化しないように調整しなければならない。

下記電力信号の生成方法は、複数の貫通孔３２ａにおけるプラズマ生成頻度分布が、定めた目標プラズマ生成頻度分布になるように、第１電力信号ＰＲｉ，第２電力信号ＰＣｊを生成する方法である。この方法は、具体的には、制御ユニット３８において、予め定めた第１電力信号ＰＲｉに対して、プラズマ生成頻度分布が目標プラズマ生成頻度分布になるように第２電力信号ＰＣｊを定め、この第２電力信号ＰＣｊを生成するように制御信号ＬＣｊが生成される。このとき、予め定めた第１電力信号ＰＲｉを生成するための制御信号ＬＲｉと第２電力信号ＰＣｊを生成するための制御信号ＬＣｊがスイッチング素子３６ａ，３６ｂに送られる。上記目標プラズマ生成頻度分布は、プラズマＣＶＤ装置を用いた成膜の最終仕上げ段階において基板上の膜厚分

布が一様になるように設定し、制御ユニット３８内のメモリに制御信号ＬＲ１～ＬＲＮと制御信号ＬＣ１～ＬＣＮの時系列信号を記憶させておく。

[0035]（電力信号の生成方法）

図１２は、第１電力信号ＰＲｉに用いられる基本信号φ（ｔ）と、基本信号φ（ｔ）の信号値を反転した反転信号φ（ｔ）の一例を示している。第１電力信号ＰＲｉは、基本信号φ（ｔ）と反転信号φ（ｔ）とを、行の数分（Ｎ個）、時系列に並べて組み合わせて得られた信号である。勿論、第１電力信号ＰＲｉは、制御信号ＬＲｉによって生成された信号であるので、制御信号ＬＲｉは、第１電力信号ＰＲｉが基本信号φ（ｔ）と反転信号φ（ｔ）とを時系列に並べた信号になるように、制御ユニット３８で作成される。

[0036] 図１３（ａ）は、図１１に示されるプラズマ生成プレート３２においてＮ＝４とした場合における第１電力信号ＰＲ１～４を表形式で表している。図１３（ａ）におけるｋは、基本信号φ（ｔ）及び反転信号φ（ｔ）を組み合わせて並べるときのサイクル数を示す。このサイクル数ｋは、上記Ｎの数と等しい。図１３（ａ）に従ってｋ＝１～４の順番で、基本信号φ（ｔ）及び反転信号φ（ｔ）が時系列に並べられる。図１３（ｂ）には、図１３（ａ）に示される内容に従ってつくられる第１電力信号ＰＲ１～４を記載している。第１電力信号ＰＲ１では、ｋ＝１～４においてすべて基本信号φ（ｔ）が用いられる。第１電力信号ＰＲ２では、ｋ＝１において基本信号φ（ｔ）が用いられ、ｋ＝２において反転信号φ（ｔ）が用いられ、ｋ＝３において基本信号φ（ｔ）が用いられ、ｋ＝４において反転信号φ（ｔ）が用いられる。図１３（ｃ）は、第１電力信号ＰＲ２の波形を示している。

このように、第１電力信号ＰＲ１～４は、基本信号φ（ｔ）及び反転信号φ（ｔ）が時系列に並べられて構成される。なお、第１電力信号ＰＲ１～ＰＲ４において基本信号φ（ｔ）及び反転信号φ（ｔ）が図１３（ａ），（ｂ）に示すように並べられるのは、後述するように、定められている第１電力信号ＰＲ１～４に対して、第２電力信号ＰＣ１～４を容易に定めることができるからである。この点については後述する。

[0037] 図１４（ａ），（ｂ）は、２つの電力信号ｆ$_1$（ｔ），ｆ$_2$（ｔ）に対する演算「＊」の定義を説明する図である。

すなわち、電力信号ｆ$_1$（ｔ）と電力信号ｆ$_2$（ｔ）が互いに反転信号の関係にあるとき反転信号の関係にある時間長さを、電力信号ｆ$_1$（ｔ），ｆ$_2$（ｔ）の全時間における占有比率として定める。この占有比率が、電極３２ｂ，３２ｃに電力信号が与えられたときのプラズマ生成頻度データとなる。電力信号は、図１４（ａ），（ｂ）に示すように、正のパルス及び負のパルスが一定周期で繰り返される。したがって、電力信号ｆ$_1$（ｔ），ｆ$_2$（ｔ）が互いに反転信号の関係にある期間中プラズマが断続的に生成されプラズマ生成頻度が定まる。

図１４（ａ）に示すように、電力信号ｆ$_1$（ｔ），ｆ$_2$（ｔ）の全時間の半分の範囲（図中の←→で示される範囲）において、電力信号ｆ$_1$（ｔ）と電力信号ｆ$_2$（ｔ）が互いに反転信号の関係（逆位相の関係）にあるとき、ｆ$_1$（ｔ）＊ｆ$_2$（ｔ）＝０．５となる。同様に、図１４（ｂ）に示すように、電力信号ｆ$_1$（ｔ），ｆ$_2$（ｔ）の全時間の範囲（図中の←→で示される範囲）において、電力信号ｆ$_1$（ｔ）と電力信号ｆ$_2$（ｔ）が互いに反転信号の関係（逆位相の関係）にあるとき、ｆ$_1$（ｔ）＊ｆ$_2$（ｔ）＝１．０となる。このように、「＊」を定める。

[0038] 以上のように、電極３２ｂに印加する第１電力信号ＰＲｉを基本信号φ（ｔ）及び反転信号φ（ｔ）を用いて生成したとき、制御目標のプラズマ生成頻度データになるように、電極３２ｃに印加する第２電力信号ＰＣｊを生成する。このとき、第２電力信号ＰＣｊを生成するために、後述するように方程式を用いるが、方程式を解いて算出すべき第２電力信号ＰＣｊを第１電力信号ＰＲｉと同様にサイクル数ｋ＝１～４に分けて図１５に示すように表す。ここで、ｎ$_1$（ｊ，ｔ），ｎ$_2$（ｊ，ｔ），・・・，ｎ$_4$（ｊ，ｔ）（ｊ＝１～Ｎの整数）が求めるべき信号になる。

[0039] ここで、制御目標のプラズマ生成頻度分布として定められるプラズマ生成頻度データをρ（ｉ，ｊ）としたとき、第１電力信号ＰＲｉ，第２電力信号Ｐ

Ｃｊに、上記「＊」の演算を施したとき、ｊ＝１におけるプラズマ頻度データρ（１，１）～ρ（４，１）は、図１６（ａ）に示すように表される。一般的には、プラズマ頻度データρ（ｉ，ｊ）は、図１６（ｂ）に示すように表される。

ここで、任意のn_k（ｊ，ｔ）に対して、図１７に示す式のような関係式が成立するので、この関係式を用いて、図１６（ａ）に示す式を変形して、図１８（ａ）に示す式のように表される。図１８（ａ）に示す式は、ｊ＝１における式であるが、ｊ＝２～４においても同様に表すことができる。

図１８（ａ）に示す式を整理することにより、図１８（ｂ）に示すように行列を用いて表すことができる。したがって、図１８（ｂ）に示す式の左辺の行列の逆行列を用いて、図１８（ｃ）に示すような式で表すことができる。ここで、図１８（ｂ）に示す行列は、アダマール行列であるので、逆行列を容易に求めることができ、図１８（ｃ）に示す式に容易に到達できる。図１８（ｃ）に示す式は、ｊ＝１の場合であるが、ｊ＝２～４においても同様な式が成り立つ。図１８（ｄ）は、ｊ＝１～４における一般的な式を示している。

こうして、図１８（ｄ）に示す左辺のベクトルの各要素の値が得られると、基本信号φ（ｔ）は既知であるので、φ（ｔ）＊n_k（ｊ，ｔ）（ｋ＝１～４の整数）の値からn_k（ｊ，ｔ）を算出することができる。

[0040] このように、本実施形態では、基本信号φ（ｔ）の一方を１、反転信号φ（ｔ）を－1の符号とし、基本信号φ（ｔ）及び反転信号φ（ｔ）の並びの順番に上記１、－１の符号を行列要素として順次定めて列方向に書き下し、かつ、複数の行のそれぞれの給電線（第１電力線路）３２ｉに供給する第１電力信号ＰＲｉを、複数の行毎に行方向に書き下して行列で表したとき、この行列は、アダマール行列となる。

本実施形態では、Ｎ＝2^m（ｍは自然数）とし、第２電力信号ＰＣｊを算出する方程式において形成される行列（図１８（ｂ）の右辺の行列）がアダマール行列になるように、第１電力信号ＰＲｉの基本信号φ（ｔ）と反転信号

φ（ｔ）を並べたが、図１８（ｂ）に示す方程式において形成される行列はアダマール行列でなくてもよく、少なくとも行列の逆行列が得られるような行列であればよい。例えば、本実施形態では、基本信号φ（ｔ）及び反転信号φ（ｔ）を用いて上記行列がアダマール行列となるようにして、得られる方程式が解かれるが、基本信号φ（ｔ）及び反転信号φ（ｔ）を用いて、周知のＰＮ符号により形成されるＰＮ符号化信号を用い、サイクル数ｋが変わる毎にＰＮ符号化信号を巡回的に１ビットずつずらした信号を用いることもできる。

[0041] 制御ユニット３８は、図１８（ｄ）に示す式を解き、n_k（ｊ，ｔ）を算出することで、図１５に示す式に従った第２電力信号ＰＣ１～ＰＣ４を定め、この第２電力信号ＰＣ１～ＰＣ４を生成するような制御信号ＬＣ１～ＬＣ４を生成する。制御ユニット３８は、この制御信号ＬＣ１～ＬＣ４をスイッチ素子３６ｂに送る。これにより、プラズマ生成ユニット１８は、第２電力信号ＰＣ１～ＰＣ４を電極３２ｃに印加する。このとき、制御ユニット３８は、同時に、図１３（ｂ）に示す第１電力信号ＰＲ１～ＰＲ４を生成するように生成された制御信号ＬＲ１～ＬＲ４をスイッチ素子３６ａに送る。これにより、プラズマ生成ユニット１８は、第１電力信号ＰＲ１～ＰＲ４を電極３２ｃに印加する。

[0042]（成膜方法）

本実施形態の成膜方法では、まず、各電極対におけるプラズマ生成頻度データρ（ｉ，ｊ）の初期値をプラズマ生成頻度分布として設定する（ステップＳ１０）。次に、各電極対におけるプラズマ生成頻度データの値が制御ユニット３８に入力設定される。制御ユニット３８は、入力設定されたプラズマ生成頻度データρ（ｉ，ｊ）を用いて、実際のプラズマの生成においてプラズマ生成頻度データρ（ｉ，ｊ）が得られるように、第１電力信号ＰＲｉに対する第２電力信号ＰＣｊを定める（ステップＳ２０）。具体的には、制御ユニット３８は、入力設定されたプラズマ生成頻度データρ（ｉ，ｊ）が得られるように、制御信号ＬＲｉ，ＬＣｊの時系列信号を計算して、制御ユニ

ット３８の図示されないメモリに記憶する。（ステップＳ２０）。

例えばプラズマを均一に生成するために、プラズマ生成頻度データρ（ｉ，ｊ）を同じ値に定める。制御ユニット３８では、第１電力信号ＰＲｉが図１３（ｂ）に示す例のように定まっているので、この第１電力信号ＰＲｉとプラズマ生成頻度データρ（ｉ，ｊ）を用いて、図１６（ｂ）に示す式が成立する。したがって、制御ユニット３８は、図１８（ｄ）に示す式に従って、φ（ｔ）＊n_k（ｊ，ｔ）を算出し、算出した結果に応じてn_k（ｊ，ｔ）を求める。これより、図１５に示す式にしたがって、制御ユニット３８は、第１電力信号ＰＲｉに対して第２電力信号ＰＣｊを定める。定めた第２電力信号ＰＣｊがスイッチ素子３６ｂで生成されるように、制御ユニット３８は制御信号ＬＣｊを生成する。同時に制御ユニット３８は、第１電力信号ＰＲｉを生成するための制御信号ＬＲｉを生成する。生成した制御信号ＬＲｉ，ＬＣｊはメモリに記憶される。こうして、制御ユニット３８は、メモリに記憶した制御信号ＬＲｉ，ＬＣｊをスイッチ素子３６ａ，３６ｂに送る。スイッチ素子３６ａ，３６ｂは、送られた制御信号ＬＲｉ，ＬＣｊを用いて第１電力信号ＰＲｉ，ＰＣｊを生成し、生成した第１電力信号ＰＲｉ，ＰＣｊを電極３２ｂ，３２ｃに印加する。すなわち、制御ユニット３８は、プラズマ生成頻度データρ（ｉ，ｊ）と、電極３２ｂそれぞれに印加する第１電力信号ＰＲｉに応じて、電極３２ｃそれぞれに印加する第２電力信号ＰＣｊを生成する。こうして、プラズマ生成プレート３２は、成膜用ガスがガス源１４から供給された状態で、貫通孔３２ａのそれぞれの空間において、プラズマを生成する（ステップＳ３０）。

[0043] このとき、成膜空間には、サセプタ２２の載置面２６に電荷量を測定する複数のラジカル（あるいはイオン）を測定するセンサを配置したセンサアレイを成膜用基板の代わりに配置して電荷量を測定する（ステップＳ４０）。以降では、センサアレイの一例をファラディカップアレイとし、このファラディカップを用いて説明をする。

その際、ファラディカップは、プラズマ生成プレート３２のそれぞれの電

極対の位置の真下に対向するように配置されていることが、後述するように、ファラディカップアレイによる測定結果に対応してプラズマ生成頻度データを容易に調整する点で好ましい。測定結果は、制御ユニット３８に送られる。

[0044] 次に、制御ユニット３８は、測定結果に基づいて測定された電荷量の分布が均一か否かを判定し（ステップＳ５０）、判定の結果を、調整が必要である場合（ＮＯの場合）、プラズマ生成頻度データρ（ｉ，ｊ）の先に設定した値を調整する（ステップＳ６０）。ここで、値の調整には、ニュートン法などの数学的手法を用いることができる。この後、ステップＳ２０に戻り、ステップＳ５０の判定結果が肯定になるまで、ステップＳ２０～Ｓ５０が繰り返される。

[0045] 成膜空間内では、電極対への第１電力信号ＰＲｉ，ＰＣｊを全て同じにしても、排気口３０の位置やサセプタ２２の配置によってイオン、中性分子、さらにはラジカルの流れが生じ、これらの分布が均一にならない。このため、電極対へ印加する電力信号を調整して、測定される電荷量が均一になるように調整されることが望まれる。電荷量が均一であるとき、ラジカルの密度も均一であるので、この状態において成膜用基板２４が成膜されるとき薄膜の厚さも均一になり得る。

ステップＳ５０の判定結果が肯定の場合（ＹＥＳの場合）、ファラディカップが成膜用基板に交換された後、成膜装置１０は、成膜用ガスを用いて成膜処理を行う。

[0046] このように、本実施形態では、プラズマ生成頻度データは、成膜装置１０の成膜空間内で予め測定された電荷量の測定結果に基づいて設定される。上記実施形態は、測定される電荷量が均一になるように第２電力信号ＰＣｊが調整されるが、必ずしも均一でなくてもよく、測定される電荷量が予め定められた目標分布になるように第２電力信号ＰＣｊが調整されてもよい。

[0047] このように、本実施形態では、プラズマの生成頻度を電極対毎に調整することができるので、従来に比べて大面積の成膜用基板を、効率よく成膜する

ことができる。

また、プラズマ生成ユニット１８は、電極対それぞれの電極３２ｂ，３２ｃに印加する電圧を、設定された周期の単位で切り替えることにより、電極対毎にプラズマ生成電圧を供給するスイッチ素子を有するので、プラズマ生成頻度を目標に近づけることが容易にできる。

しかも、電極３２ｂ，３２ｃには、設定された周期単位で正の一定電圧値と負の一定電圧値とが切り替わるパルス状電圧が印加されることによりプラズマ生成電圧が供給されるので、減圧の程度を抑えてプラズマを生成することができる。このため、効率よい成膜処理を行うことができる。

[0048] 貫通孔３２ａは、共通する行それぞれに位置する電極３２ｂは給電線３２ｉで直列接続され、共通する列それぞれに位置する電極３２ｃは給電線３２ｊで直列接続されるので、第１電力信号ＰＲｉ、第２電力信号ＰＣｊによる印加を容易に行うことができる。

[0049] プラズマ生成ユニット１８は、電源３４の電圧Ｖ，電圧０，電圧－Ｖを、制御信号ＬＲｉにより得られる既知の２値制御信号で切り替えることにより生成された第１電力信号ＰＲｉを給電線３２ｉに供給し、電源３４の電圧Ｖ、電圧－Ｖを、制御信号ＬＲｉに応じて生成される制御信号ＬＣｊによって得られる２値制御信号で切り替えることにより生成された第２電力信号ＰＣｊを給電線３２ｊに供給するので、第２電力信号ＰＣｊを自在に定めることができる。

[0050] 第１電力信号ＰＲｉは、基本信号φ（ｔ）と反転信号φ（ｔ）とを、行の数分、時系列に並べて組み合わせた信号であり、プラズマ生成ユニット１８は、基本信号φ（ｔ）と反転信号φ（ｔ）の並びの組み合わせを変えた、行の数分の信号それぞれを第１電力信号ＰＲｉとして用いる。このため、第２電力信号ＰＣｊを第１電力信号ＰＲｉに基いて容易に定めることができる。

[0051] また、第２電力信号ＰＣｊは、基本信号φ（ｔ）及び反転信号φ（ｔ）の信号長さに対応した複数の対応信号を組み合わせた信号であり、プラズマ生成ユニット１８は、制御ユニット３８において第１電力信号ＰＲｉに応じて

求めた対応信号を用いて、第２電力信号ＰＣｊを生成する。このため、第２電力信号ＰＣｊを第１電力信号ＰＲｉに基いて容易に生成することができる。

[0052] 制御ユニット３８は、第１電力信号ＰＲｉに応じて第２電力信号ＰＣｊを生成するとき、成膜された成膜用基板２４上の成膜厚さが均一になるように、電極３２ｂ，３２ｃそれぞれにおけるプラズマ生成頻度データρ（ｉ，ｊ）を定め、プラズマ生成頻度データρ（ｉ，ｊ）に基いて第２電力信号ＰＣｊを生成することができる。このとき、成膜装置１０を用いて予め成膜された成膜用基板２４上の成膜厚さの測定結果に基づいてプラズマ生成頻度データρ（ｉ，ｊ）を定め、プラズマ生成頻度データρ（ｉ，ｊ）に基いて第２電力信号ＰＣｊを生成することが好ましい。実際に成膜装置１０で形成される膜の厚さを均一にすることを目標にすることで、均一な成膜を可能にするためのプラズマ生成を実現することができる。

[0053] 本実施形態では、図１８（ｂ）に示す方程式においてアダマール行列ができるように、第１電力信号ＰＲｉにおいて基本信号φ（ｔ）と反転信号φ（ｔ）を並べるので、１回の第１電力信号ＰＲｉ、第２電力信号ＰＣｊの印加によるプラズマの生成頻度は高い。具体的には、１回の第１電力信号ＰＲｉ、第２電力信号ＰＣｊの印加により、Ｎ回のプラズマ生成が可能であるとするとき、プラズマ生成頻度データρ（ｉ，ｊ）に応じて第２電力信号ＰＣｊを調整しつつ、各電極対においてプラズマが生成する頻度は、Ｎ／｛２・（Ｎ＋１）｝となる。すなわち、Ｎが大きくなるとプラズマ生成頻度は１／２に近づく。このように、図１８（ｂ）に示す方程式においてアダマール行列ができるように、第１電力信号ＰＲｉにおいて基本信号φ（ｔ）と反転信号φ（ｔ）を並べることにより、各電極対のプラズマ生成頻度を高く維持することができる。このため、効率の良い成膜処理を行うことができる。

[0054] なお、電力信号ＰＲｉ，ＰＣｊの信号周波数を高周波にすると、給電線３２ｉ，３２ｊにおいて定在波が発生するため、この定在波の影響が小さい範囲の信号周波数を用いることになる。例えば、成膜用基板２４の一辺の長さ

が１ｍ程度のサイズである場合、このサイズに対応した給電線３２ｉ，３２ｊの長さにおいて定在波の影響が小さいことが望ましい。この場合の信号周波数の上限は数１０ＭＨｚである。この範囲において、１ｍ程度のサイズの成膜用基板２４に対して均一に成膜することができる。

[0055] 本実施形態では、電極３２ｂ，３２ｃを、成膜用ガスを吸引して成膜空間内に供給するアクチュエータとして用いる。この場合、アクチュエータによる成膜用ガスによって作られるイオン、ラジカルあるいは中性分子の射出速度の平均は、電力信号ＰＲｉ，ＰＣｊの信号周波数の平方根に依存することが知られている。例えば、射出速度は、大気圧で１０ｋＨｚの信号周波数において１ｍ／秒程度であり、高速である。このような場合、上記射出速度が低くなるように、イオン、ラジカルあるいは中性分子を射出する空間内の圧力と、供給口２８とプラズマ生成プレート３２との間の空間の圧力との間に差を設けるとよい。

[0056]（変形例１）

本実施形態では、第１電力信号ＰＲｉ，ＰＣｊの波形を図２０（ａ）に示すように、プラスの電圧とマイナスの電圧との間で電圧がシフトする際、急激に変化する波形を用いて説明したが、より詳細には、図２０（ｂ）に示すように、プラスの電圧とマイナスの電圧との間で電圧がシフトする際、一端電圧が０になった後、マイナスの電圧あるいはプラスの電圧にシフトすることが実用上好ましい。図２０（ｂ）に示すような波形を用いた場合、図６に示すＭＯＳＦＥＴを用いたスイッチ素子では、上部電源３４ａと下部電源３４ｂの電圧Ｖ及び電圧－Ｖの間に大電流が流れてスイッチ素子３６ａ，３６ｂを破損する可能性が少ない。

[0057]（変形例２）

本実施形態では、電極３２ｂ，３２ｃは、プラズマ生成プレート３２の両側の面に沿って配されたマイクロストリップ線路を通して、電源３４と接続されている。さらに、プラズマ生成プレート３２は、図４（ａ）に示すように、両側に設けられた誘電体プレート３２ｅ，３２ｇと、誘電体プレート３

２ｅ，３２ｇが挟むように設けられた接地された導体層３２ｆと、を有する形態である。しかし、図２１に示すように、マイクロストリップ線路からなる給電線３２ｉ，３２ｊに代えて、セミリジッド同軸ケーブルからなる給電線３２ｉ，３２ｊを用いることもできる。例えば、貫通孔３２ａが設けられた２つの絶縁体基板の表面近傍に、表面に沿ってＮ本平行に給電線３２ｉ，３２ｊをそれぞれ設ける。この後、２つの絶縁体基板を、給電線３２ｉと給電線３２ｊの向きが互いに直交し、給電線３２ｉと給電線３２ｊの位置が外側を向くように、貼り付ける。これにより、プラズマ生成プレート３２を作製することができる。給電線３２ｉ，３２ｊは、給電線３２ｉ，３２ｊに合わせて形成された溝を有する誘電体板で表面が覆われることで、給電線３２ｉ，３２ｊは、プラズマ生成プレート３２内部に設けられる。

この場合、給電線３２ｉ，３２ｊと電極３２ｂ，３２ｃとの接続のために、セミリジッド同軸ケーブルの外部導体の一部を剥がして接続させる。また、外部導体は接地導体になるので、プラズマ生成プレート３２に、図４（ａ）に示すような接地された導体層３２ｆを設けなくてよい。このため、プラズマ生成プレート３２の構造が簡素化される。

[0058]（変形例３）

図７に示すスイッチ素子３６ａの構成の他に、ＭＯＳＦＥＴ３６ｈのゲート端子とソース端子との間の電圧を０～３０Ｖで制御するように構成し、ソース端子にかかる電圧に上記０～３０Ｖの電圧を加算してゲート端子へ出力するブースト回路が用いられる。この場合、ＭＯＳＦＥＴ３６ｉのゲート端子の制御信号と、ＭＯＳＦＥＴ３６ｈのゲート端子の制御信号との間にブースト回路の処理遅延に起因して位相差が生じないように調整される。

[0059] 以上、本発明の成膜装置及び成膜方法について詳細に説明したが、本発明は上記実施形態および変形例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

符号の説明

[0060] １０ 成膜装置

１２　成膜本体部

１４　ガス源

１６　排気ユニット

１８　プラズマ生成ユニット

２０　成膜容器

２２　サセプタ

２４　成膜用基板

２６　載置面

２８　供給口

３０　排気口

３２　プラズマ生成プレート

３２ａ　貫通孔

３２ｂ，３２ｃ　電極

３２ｄ，３２ｅ，３２ｇ，３２ｈ　誘電体層

３２ｆ　導体層

３２ｉ．３２ｊ　給電線

３２ｋ，３２ｌ　抵抗体

３２ｍ　誘電体

３４　電源

３４ａ　上部電源

３４ｂ　下部電源

３６，３６ａ，３６ｂスイッチ素子

３６ｃ　ゲート駆動回路

３６ｄ，３６ｅ，３６ｈ，３６ｉ　ＭＯＳＦＥＴ

３６ｆ、３６ｇ　抵抗体

３６ｊ　トランス

３８　制御ユニット

請求の範囲

［請求項1］ プラズマを用いた成膜装置であって、

成膜用基板が配置される成膜空間を備える成膜容器と、

前記成膜容器内に導入された成膜用ガスを用いてプラズマを生成するプラズマ生成ユニットと、を有し、

前記プラズマ生成ユニットは、プレートであって、前記プレートの厚さ方向に貫通する複数の貫通孔と、前記貫通孔それぞれの両側の開口に設けられた電極対と、を備えたプラズマ生成プレートと、前記貫通孔それぞれの内部空間でプラズマを生成するために、前記電極対にプラズマ生成電圧を供給する電源と、前記プラズマ生成電圧の供給を前記電極対毎に制御する制御ユニットと、を有することを特徴とする成膜装置。

［請求項2］ 前記プラズマ生成ユニットは、前記電極対それぞれの電極それぞれに印加する電圧を、設定された周期の単位で切り替えることにより、電力信号を生成するスイッチ素子を有する、請求項１に記載の成膜装置。

［請求項3］ 前記電極対の２つの電極には、設定された周期単位で正の電圧値と負の電圧値とが切り替わるパルス状の電圧が印加されることにより、前記プラズマ生成電圧が供給される、請求項１または２に記載の成膜装置。

［請求項4］ 前記貫通孔は、前記プラズマ生成プレートの面上の２方向に沿って複数の列及び行を成すように格子状に並べられ、

前記電極対のうち前記プラズマ生成プレートの一方の面の側に設けられた第１電極のうち、共通する行それぞれに位置する電極は、前記行毎に、第１電力線路で互いに直列に繋がれて前記電源と接続され、

前記電極対のうち前記プラズマ生成プレートの他方の面の側に設けられた第２電極のうち、共通する列それぞれに位置する電極は、前記列毎に、第２電力線路で互いに直列に繋がれて前記電源と接続されて

いる、請求項１又は２に記載の成膜装置。

［請求項5］ 前記プラズマ生成ユニットは、前記電源の電圧を、既知の２値制御信号で切り替えることにより生成された第１電力信号を前記第１電力線路に供給し、前記電源の電圧を、前記第１電力信号に応じて定まる第２電力信号が生成されるように、２値制御信号で切り替える、請求項４に記載の成膜装置。

［請求項6］ 前記第１電力信号は、基本信号と、前記基本信号の信号値を反転した反転信号とを、前記行の数分、時系列に並べて組み合わせた信号であり、

前記プラズマ生成ユニットは、前記基本信号と前記反転信号の並びの組み合わせを変えた、前記行の数分の信号それぞれを前記第１電力信号として用いる、請求項５に記載の成膜装置。

［請求項7］ 前記第２電力信号は、前記基本信号及び前記反転信号の信号長さに対応した複数の対応信号を組み合わせた信号であり、

前記プラズマ生成ユニットは、前記制御ユニットにおいて前記第１電力信号に応じて前記対応信号を求め、求めた前記対応信号を用いて、前記第２電力信号を生成する、請求項６に記載の成膜装置。

［請求項8］ 前記列の数と前記行の数は同じであり、

前記第１電力信号を構成する前記基本信号及び前記反転信号の一方を１、他方を－1の符号とし、前記基本信号及び前記反転信号の並びの順番に前記符号を行列要素として順次定めて列方向に書き下し、かつ、前記複数の行のそれぞれの前記第１電力線路に供給する前記第１電力信号を、前記複数の行毎に行方向に前記符号を用いて書き下して行列で表したとき、前記行列は、アダマール行列である、請求項６または７に記載の成膜装置。

［請求項9］ 前記プラズマ生成ユニットは、前記第１電力信号に応じて前記第２電力信号を生成するとき、成膜された成膜用基板上の成膜厚さが均一になるように、前記電極対それぞれにおけるプラズマ生成頻度データ

を定め、前記プラズマ生成頻度データに基いて前記第２電力信号を生成する、請求項５～８のいずれか１項に記載の成膜装置。

[請求項10] 前記プラズマ生成ユニットは、前記第１電力信号に応じて前記第２電力信号を生成するとき、前記成膜装置を用いて予め成膜された成膜用基板上の成膜厚さの測定結果に基づいてプラズマ生成頻度データを定め、前記プラズマ生成頻度データに基いて前記第２電力信号を定めて生成する、請求項５～９のいずれか１項に記載の成膜装置。

[請求項11] 前記プラズマ生成ユニットは、前記第１電力信号に応じて前記第２電力信号を生成するとき、前記成膜空間内で予め測定されたプラズマ中の電荷量の測定結果に基づいてプラズマ生成頻度データを定め、前記プラズマ生成頻度データに基いて前記第２電力信号を定めて生成する、請求項５～８のいずれか１項に記載の成膜装置。

[請求項12] 前記プラズマ生成プレートは、成膜用ガスが導入される前記成膜空間のガス供給口の位置と、前記成膜用基板が前記成膜空間内に載置されるサセプタの位置との間に、前記プラズマ生成プレートの一方の面が、前記サセプタの載置面に対して対向するように、前記成膜空間内に設けられている、請求項１～１１のいずれか１項に記載の成膜装置。

[請求項13] 前記電極対のうち前記載置面に近い電極は、絶縁体で被覆されて前記プラズマ生成プレートの内部に設けられ、前記電極対のうち前記成膜用基板から遠い電極は、前記プラズマ生成プレートの前記貫通孔の内表面に露出している、請求項１～１２のいずれか１項に記載の成膜装置。

[請求項14] 前記電極対それぞれの電極は、前記プラズマ生成プレートの両側の面に沿って配されたマイクロストリップ線路を通して前記電源と接続され、前記プラズマ生成プレートは、両側に設けられた誘電体プレートと、前記誘電体プレートが挟むように設けられた接地導体層と、を含む、請求項１～１３のいずれか１項に記載の成膜装置。

[請求項15] プラズマを用いた成膜方法であって、

前記成膜方法では、成膜用基板が配置される成膜空間を備える成膜容器と、前記成膜容器内に導入された成膜用ガスを用いてプラズマを生成するプラズマ生成ユニットと、を有する成膜装置が用いられ、

前記プラズマ生成ユニットは、プレートであって、前記プレートの厚さ方向に貫通する複数の貫通孔と、前記貫通孔それぞれの両側の開口の周りに設けられた電極対と、を備えたプラズマ生成プレートと、前記貫通孔それぞれの中でプラズマを生成するために、前記電極対にプラズマ生成電圧を供給する電源と、前記プラズマ生成電圧の供給を前記電極対毎に制御する制御ユニットと、を有し、

前記成膜用基板に成膜をするとき、

前記制御ユニットは、前記電極対におけるプラズマ生成頻度データを前記電極対毎に個別に定め、

前記制御ユニットは、前記プラズマ生成頻度データに基づいて、前記電極対の一方の電極それぞれに印加する第１電力信号に応じて、前記電極対の他方の電極それぞれに印加する第２電力信号を生成し、

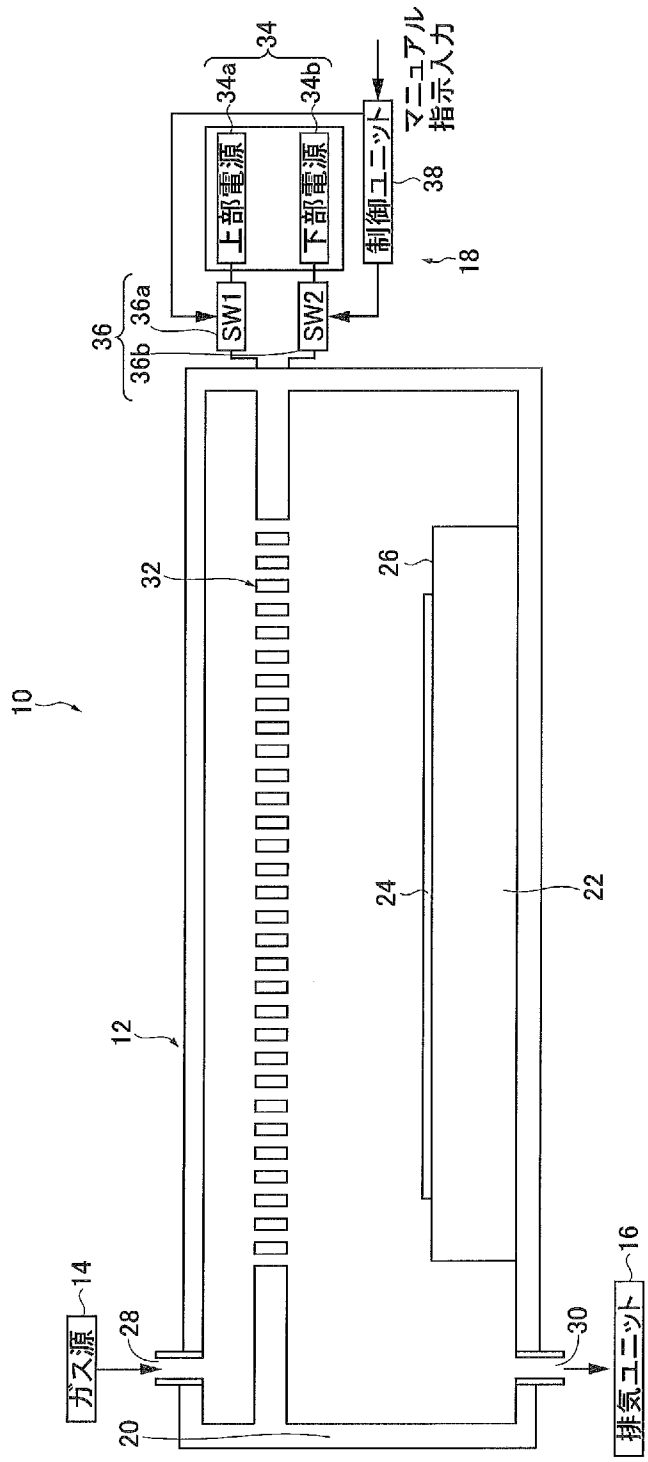
前記電極対それぞれの電極には、前記第１電力信号と前記第２電力信号が印加される、ことを特徴とする成膜方法。

[請求項16] 前記プラズマ生成頻度データは、成膜される成膜用基板上の成膜厚さが均一になるように設定される、請求項１５に記載の成膜方法。

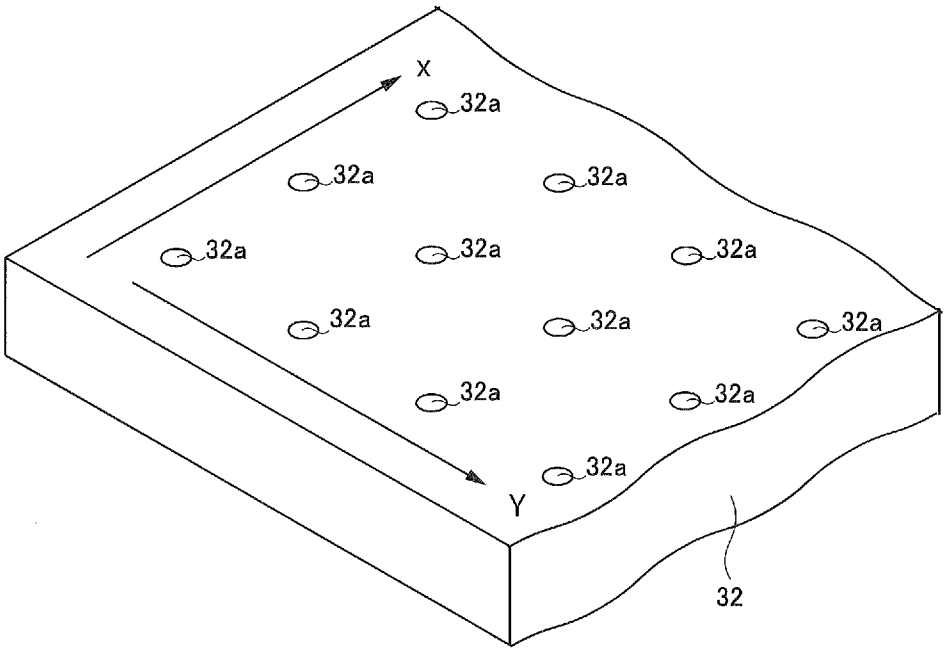
[請求項17] 前記プラズマ生成頻度データは、前記成膜装置を用いて予め成膜した成膜用基板上の成膜厚さに基いて設定される、請求項１５または１６に記載の成膜方法。

[請求項18] 前記プラズマ生成頻度データは、前記成膜装置の成膜空間内で予め測定された電荷の量の測定結果に基づいて設定される、請求項１５に記載の成膜方法。

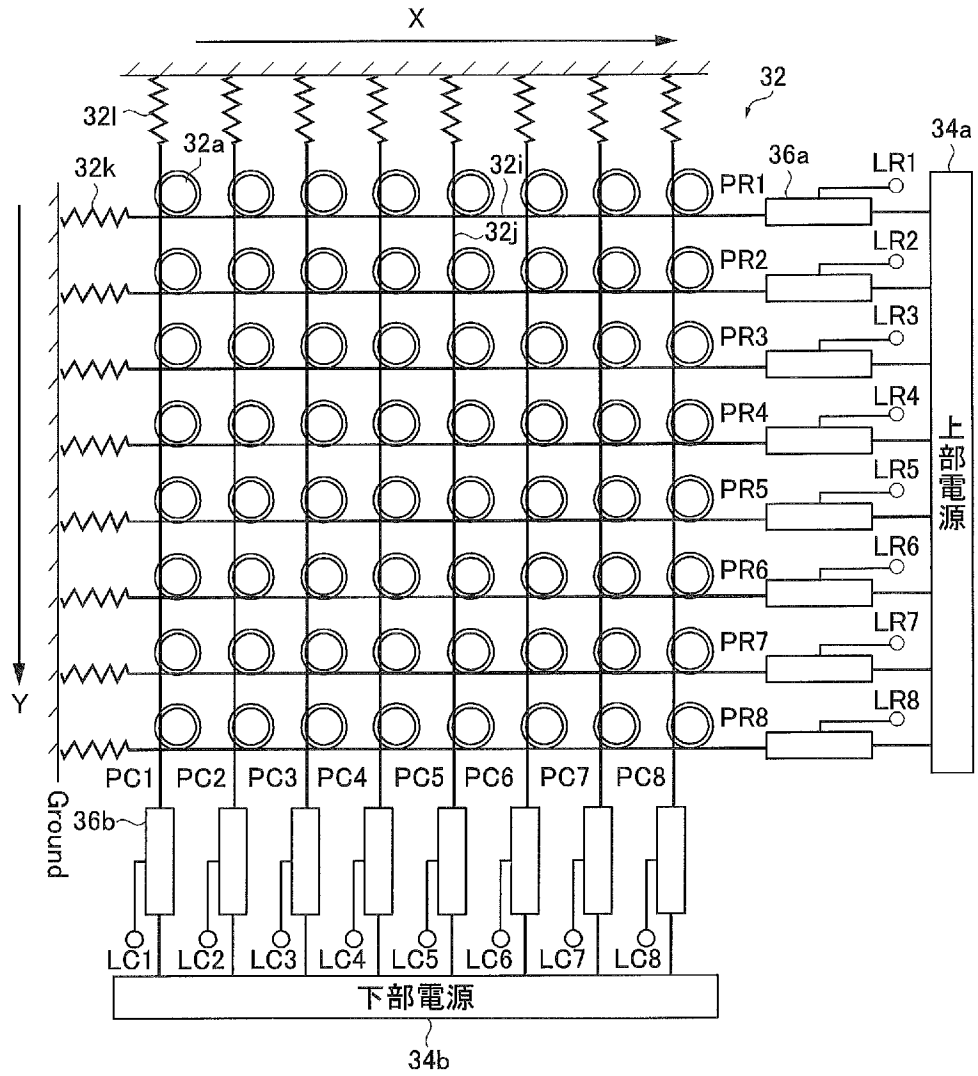
[図1]


34
34a
34b
上部電源
下部電源
制御ユニット
マニュアル
指示入力
38
18
36
36a
36b
SW1
SW2
32
26
10
24
22
12
14
ガス源
28
30
16
排気ユニット
20

[図2]

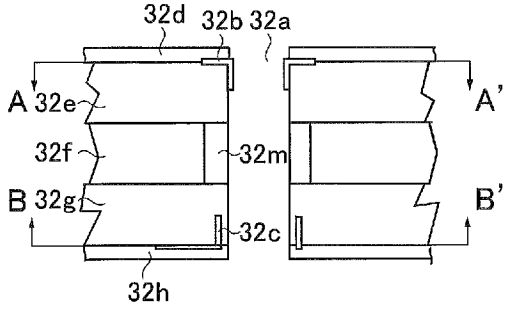

X
32a
Y
32
32a

[図3]

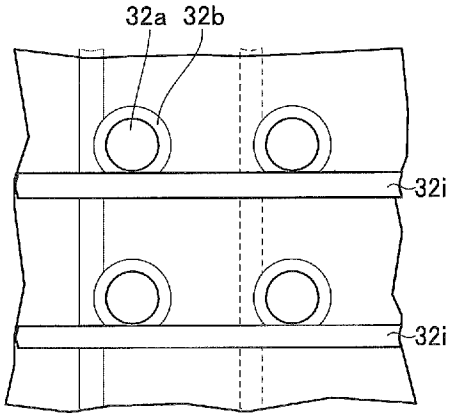

X
32
32l
32a
32k
32i
32j
36a
34a
LR1
LR2
LR3
LR4
LR5
LR6
LR7
LR8
PR1
PR2
PR3
PR4
PR5
PR6
PR7
PR8
上部電源
Y
PC1
PC2
PC3
PC4
PC5
PC6
PC7
PC8
Ground
36b
LC1
LC2
LC3
LC4
LC5
LC6
LC7
LC8
下部電源
34b

[図4]

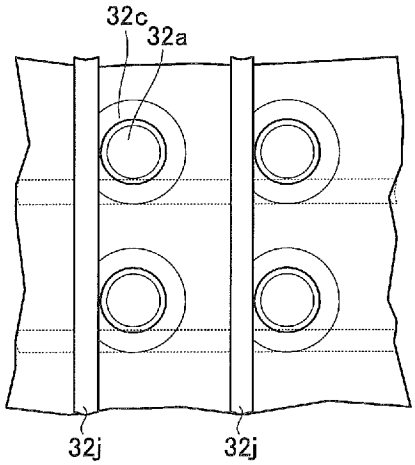
(a)


32d
32b
32a
A
32e
A'
32f
32m
B
32g
B'
32c
32h

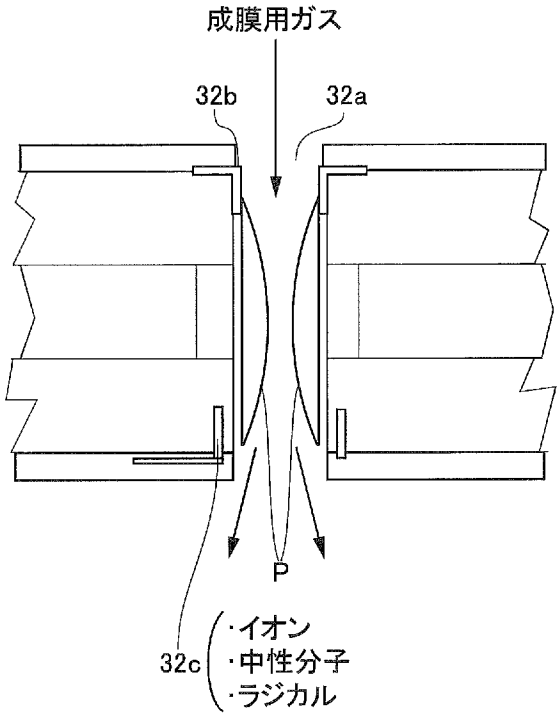
(b)


32a
32b
32i
32i

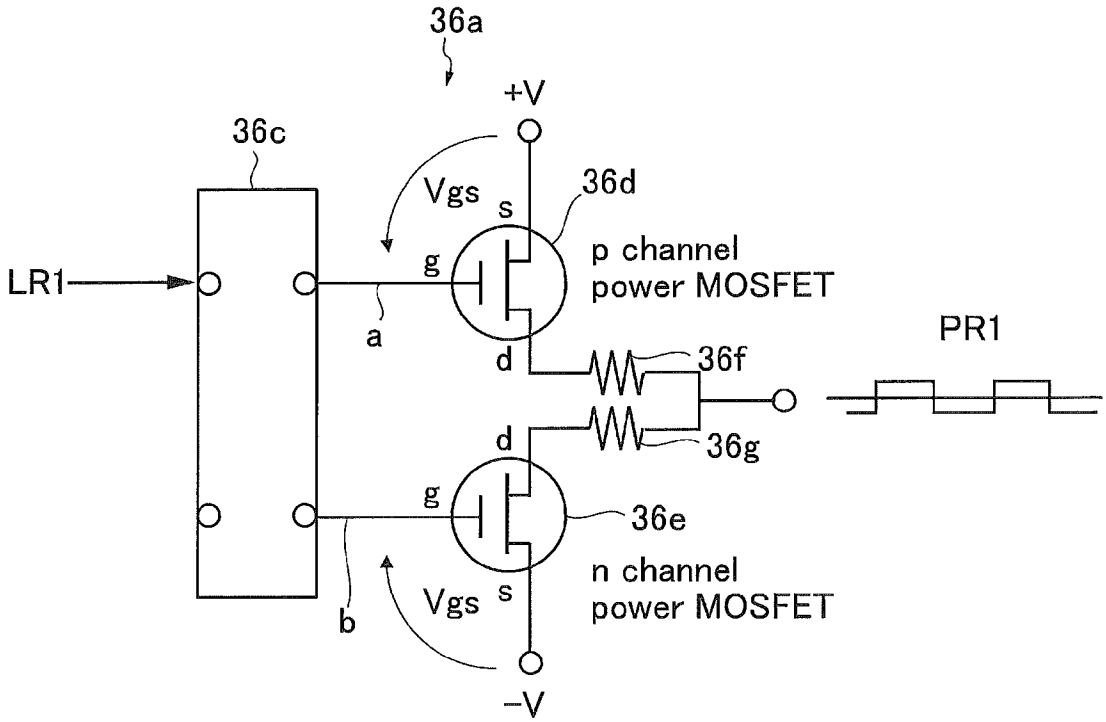
(c)


32c
32a
32j
32j

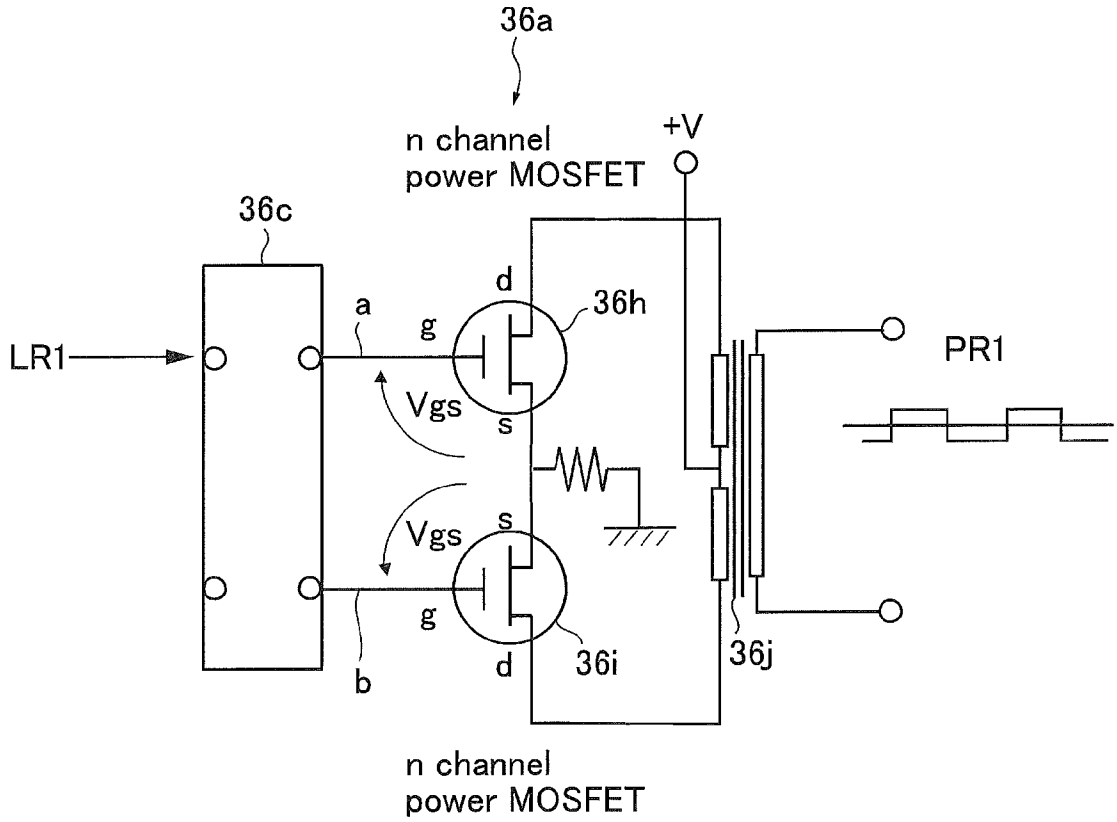
[図5]


成膜用ガス
32b
32a
P
32c
・イオン
・中性分子
・ラジカル

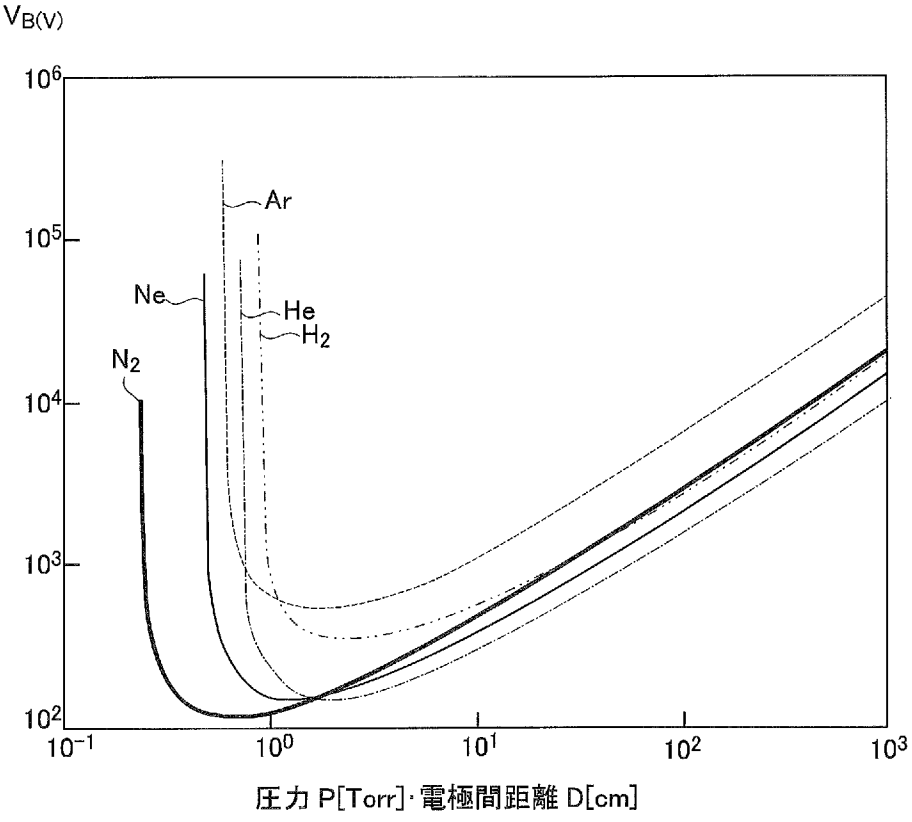
[図6]


36a
+V
36c
Vgs
s
36d
LR1
g
p channel
power MOSFET
a
d
36f
PR1
d
36g
g
36e
n channel
power MOSFET
b
Vgs
s
-V

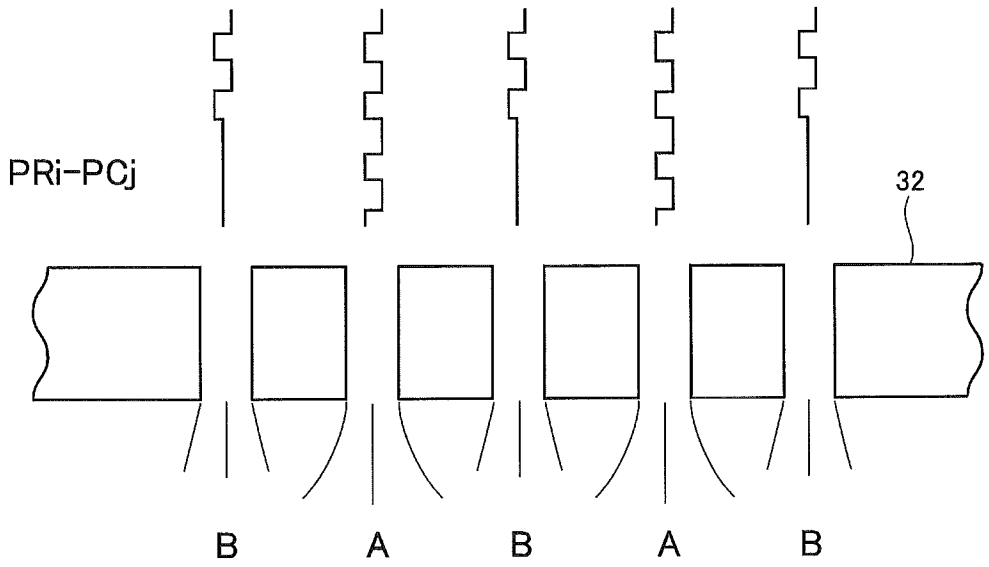
[図7]


36a
n channel
power MOSFET
+V
36c
d
36h
a
g
LR1
Vgs
s
PR1
Vgs
s
g
36i
36j
b
d
n channel
power MOSFET

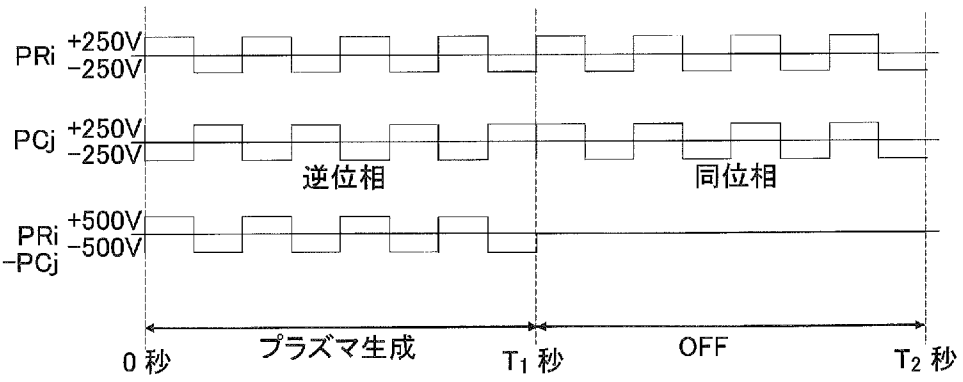
[図8]


VB(V)
10^6
10^5
10^4
10^3
10^2
Ar
Ne
He
H2
N2
10^-1
10^0
10^1
10^2
10^3
圧力 P[Torr]·電極間距離 D[cm]

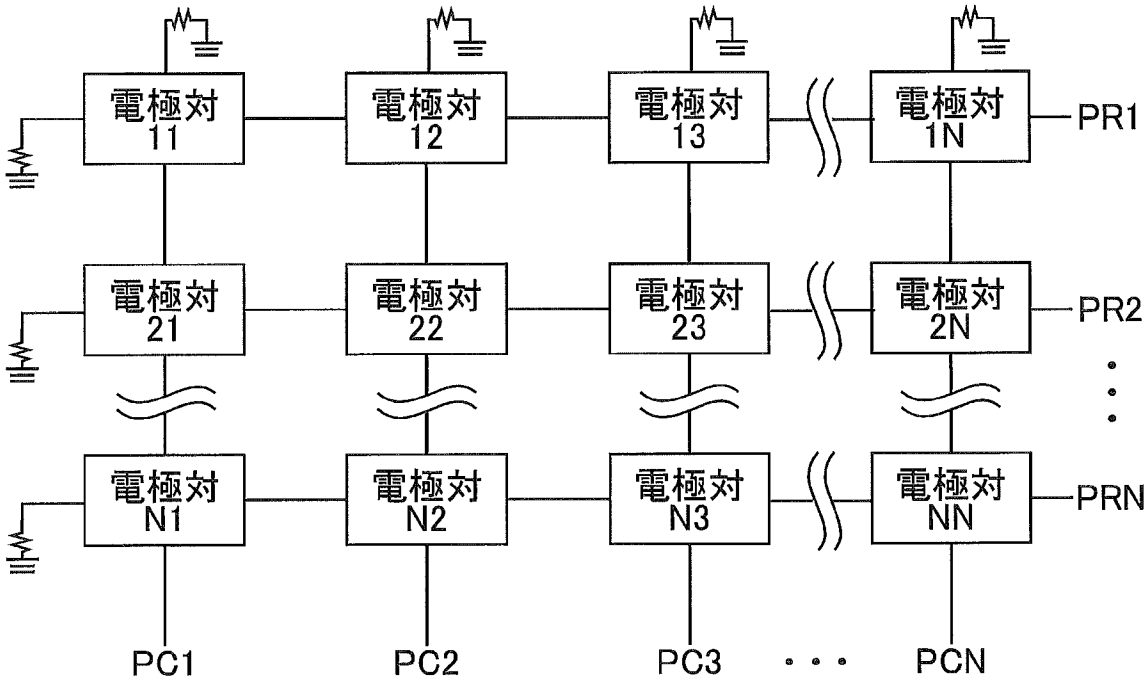
[図9]


PRi-PCj
32
B
A
B
A
B

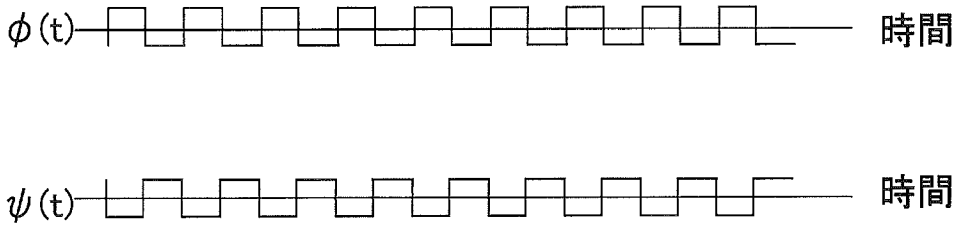
[図10]


PRi +250V
-250V
PCj +250V
-250V
逆位相
同位相
PRi -PCj +500V
-500V
0 秒
プラズマ生成
T1 秒
OFF
T2 秒

[図11]


電極対 11
電極対 12
電極対 13
電極対 1N
PR1
電極対 21
電極対 22
電極対 23
電極対 2N
PR2
電極対 N1
電極対 N2
電極対 N3
電極対 NN
PRN
PC1
PC2
PC3
PCN

[図12]



[図13]

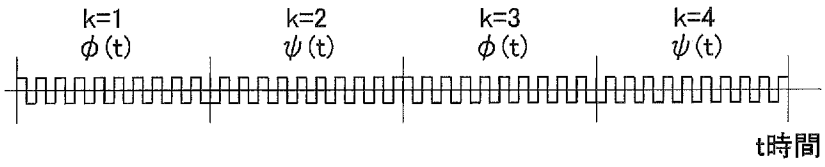
(a)

i \ k	1	2	3	4
1	φ(t)	φ(t)	φ(t)	φ(t)
2	φ(t)	ψ(t)	φ(t)	ψ(t)
3	φ(t)	φ(t)	ψ(t)	ψ(t)
4	φ(t)	ψ(t)	ψ(t)	φ(t)

(b)

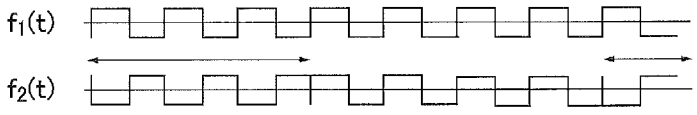
PR1=φ(t)・φ(t)・φ(t)・φ(t)
PR2=φ(t)・ψ(t)・φ(t)・ψ(t)
PR3=φ(t)・φ(t)・ψ(t)・ψ(t)
PR4=φ(t)・ψ(t)・ψ(t)・φ(t)

(c)



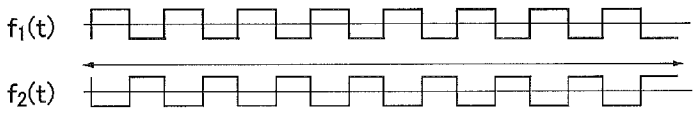
[図14]

(a)



$f_2(t) * f_2(t) = 0.5$

(b)



$f_2(t) * f_2(t) = 1$

[図15]

$$PC1 = n_1(1,t) \cdot n_2(1,t) \cdot n_3(1,t) \cdot n_4(1,t)$$

$$\vdots \qquad \vdots$$

$$PCj = n_1(j,t) \cdot n_2(j,t) \cdot n_3(j,t) \cdot n_4(j,t)$$

(j=1 ～ N の整数)

[図16]

(a)

$$\phi(t) * n_1(1,t) + \phi(t) * n_2(1,t) + \phi(t) * n_3(1,t) + \phi(t) * n_4(1,t) = \rho(1,1)$$

$$\phi(t) * n_1(1,t) + \psi(t) * n_2(1,t) + \phi(t) * n_3(1,t) + \psi(t) * n_4(1,t) = \rho(2,1)$$

$$\phi(t) * n_1(1,t) + \phi(t) * n_2(1,t) + \psi(t) * n_3(1,t) + \psi(t) * n_4(1,t) = \rho(3,1)$$

$$\phi(t) * n_1(1,t) + \psi(t) * n_2(1,t) + \psi(t) * n_3(1,t) + \phi(t) * n_4(1,t) = \rho(4,1)$$

(b)

$$\phi(t) * n_1(j,t) + \phi(t) * n_2(j,t) + \phi(t) * n_3(j,t) + \phi(t) * n_4(j,t) = \rho(1,j)$$

$$\phi(t) * n_1(j,t) + \psi(t) * n_2(j,t) + \phi(t) * n_3(j,t) + \psi(t) * n_4(j,t) = \rho(2,j)$$

$$\phi(t) * n_1(j,t) + \phi(t) * n_2(j,t) + \psi(t) * n_3(j,t) + \psi(t) * n_4(j,t) = \rho(3,j)$$

$$\phi(t) * n_1(j,t) + \psi(t) * n_2(j,t) + \psi(t) * n_3(j,t) + \phi(t) * n_4(j,t) = \rho(4,j)$$

[図17]

$$\phi(t) * n_k(j,t) + \psi(t) * n_k(j,t) = 1$$

[図18]

(a)

$$\phi(t) * n_1(1,t) + \phi(t) * n_2(1,t) + \phi(t) * n_3(1,t) + \phi(t) * n_4(1,t) = \rho(1,1)$$

$$\phi(t) * n_1(1,t) - \phi(t) * n_2(1,t) + \phi(t) * n_3(1,t) - \phi(t) * n_4(1,t) = \rho(2,1) - 2$$

$$\phi(t) * n_1(1,t) + \phi(t) * n_2(1,t) - \phi(t) * n_3(1,t) - \phi(t) * n_4(1,t) = \rho(3,1) - 2$$

$$\phi(t) * n_1(1,t) - \phi(t) * n_2(1,t) - \phi(t) * n_3(1,t) + \phi(t) * n_4(1,t) = \rho(4,1) - 2$$

(b)

$$\begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \phi(t)*n_1(1,t) \\ \phi(t)*n_2(1,t) \\ \phi(t)*n_3(1,t) \\ \phi(t)*n_4(1,t) \end{bmatrix} = \begin{bmatrix} \rho(1,1) \\ \rho(2,1)-2 \\ \rho(3,1)-2 \\ \rho(4,1)-2 \end{bmatrix}$$

(c)

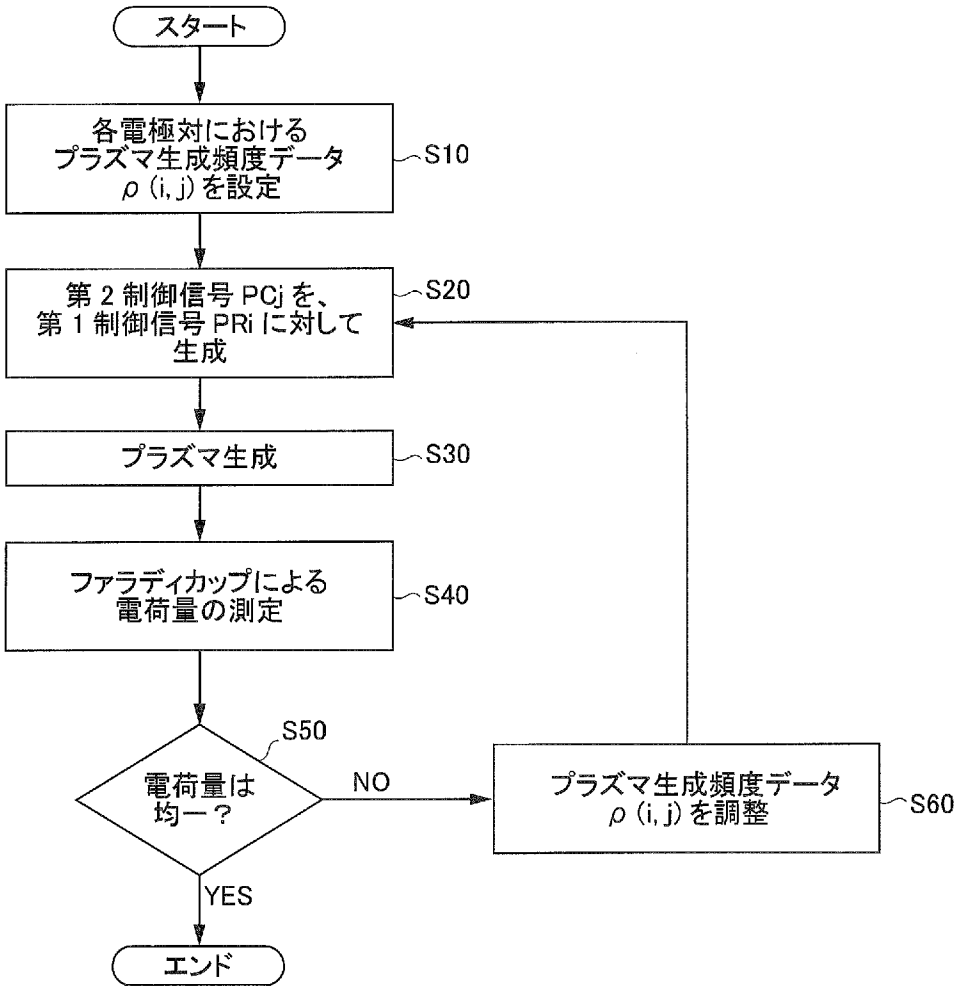
$$\begin{bmatrix} \phi(t)*n_1(1,t) \\ \phi(t)*n_2(1,t) \\ \phi(t)*n_3(1,t) \\ \phi(t)*n_4(1,t) \end{bmatrix} = \frac{1}{4} \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \rho(1,1) \\ \rho(2,1)-2 \\ \rho(3,1)-2 \\ \rho(4,1)-2 \end{bmatrix}$$

(d)

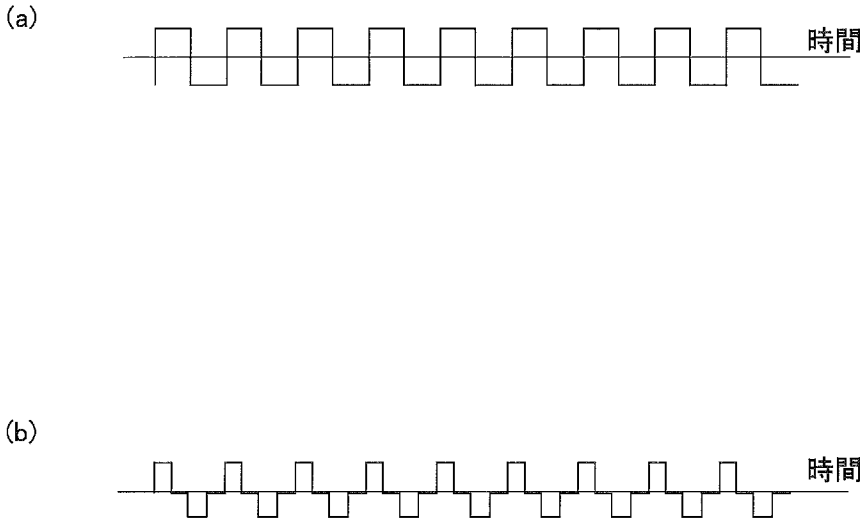
$$\begin{bmatrix} \phi(t)*n_1(j,t) \\ \phi(t)*n_2(j,t) \\ \phi(t)*n_3(j,t) \\ \phi(t)*n_4(j,t) \end{bmatrix} = \frac{1}{4} \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \rho(1,j) \\ \rho(2,j)-2 \\ \rho(3,j)-2 \\ \rho(4,j)-2 \end{bmatrix}$$

(j=1,2,3,4)

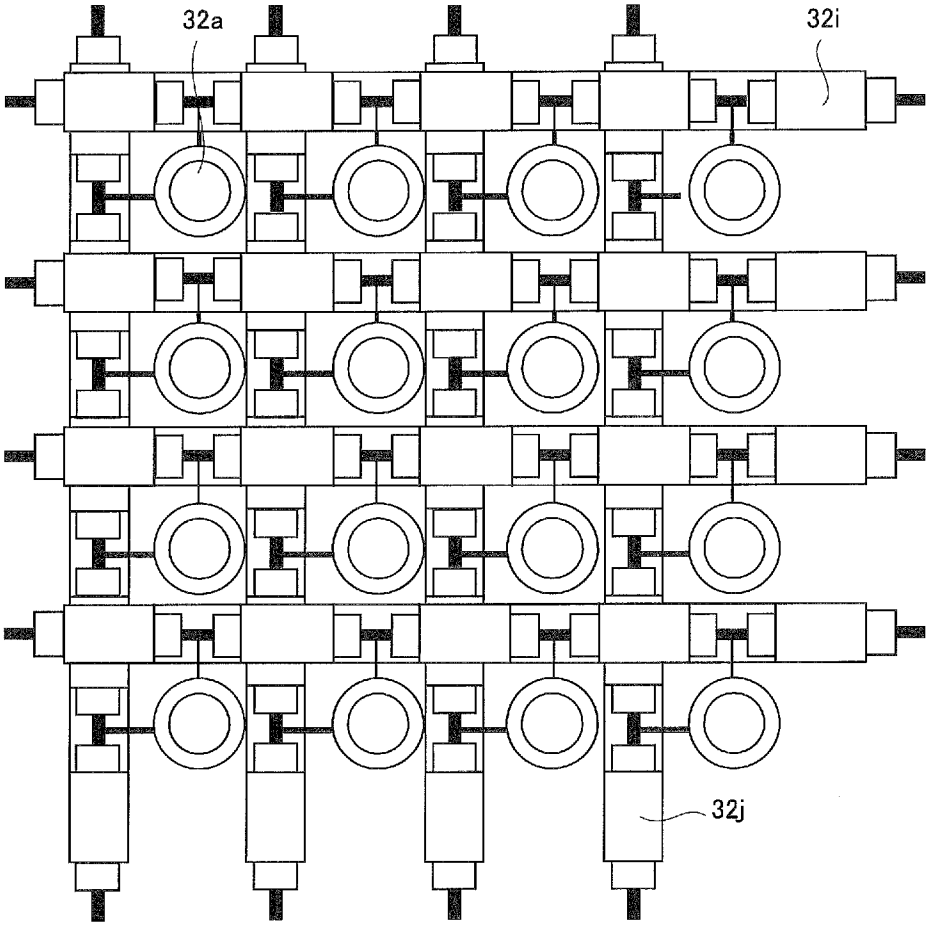
[図19]


スタート
各電極対における
プラズマ生成頻度データ
ρ (i, j) を設定
S10
第 2 制御信号 PCj を、
第 1 制御信号 PRi に対して
生成
S20
プラズマ生成
S30
ファラディカップによる
電荷量の測定
S40
S50
電荷量は
均一？
NO
プラズマ生成頻度データ
ρ (i, j) を調整
S60
YES
エンド

[図20]


(a)
時間
(b)
時間

[図21]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/004941

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/205(2006.01)i, *C23C16/515*(2006.01)i, *H01L21/31*(2006.01)i, *H05H1/24*(2006.01)i, *H05H1/46*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/205, C23C16/515, H01L21/31, H05H1/24, H05H1/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-123159 A (Matsushita Electric Works, Ltd.), 12 May 2005 (12.05.2005), paragraphs [0037] to [0131]; fig. 1 to 17 & US 2006/0042545 A1 & WO 2004/107394 A2 & DE 112004000057 T & TW 244673 B & KR 10-2005-0054984 A & CN 1700953 A	1-18
A	JP 2010-103455 A (Mitsubishi Electric Corp.), 06 May 2010 (06.05.2010), paragraphs [0010] to [0085]; fig. 1 to 10 (Family: none)	1-18

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 August, 2012 (30.08.12)	11 September, 2012 (11.09.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/004941

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/151009 A2 (Tokyo Electron Ltd.), 17 December 2009 (17.12.2009), paragraphs [0030] to [0160]; fig. 1 to 37 & US 2011/0146910 A1 & DE 112009001420 T & CN 102057761 A & KR 10-2010-0133015 A & TW 201012313 A	1-18
A	JP 2002-151295 A (Yaskawa Electric Corp.), 24 May 2002 (24.05.2002), paragraphs [0005] to [0010]; fig. 1 to 8 (Family: none)	1-18

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／００４９４１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/205(2006.01)i, C23C16/515(2006.01)i, H01L21/31(2006.01)i, H05H1/24(2006.01)i, H05H1/46(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/205, C23C16/515, H01L21/31, H05H1/24, H05H1/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2005-123159 A (松下電工株式会社) 2005.05.12, 段落【0037】－【0131】, 図 1-17 & US 2006/0042545 A1 & WO 2004/107394 A2 & DE 112004000057 T & TW 244673 B & KR 10-2005-0054984 A & CN 1700953 A	1-18
A	JP 2010-103455 A (三菱電機株式会社) 2010.05.06, 段落【0010】－【0085】, 図 1-10 (ファミリーなし)	1-18

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ３０．０８．２０１２	国際調査報告の発送日 １１．０９．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｒ　３７６０ 宮本　靖史 電話番号　０３－３５８１－１１０１　内線　３４７１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2009/151009 A2（東京エレクトロン株式会社） 2009.12.17，段落[0030]－[0160]，図1-37 & US 2011/0146910 A1 & DE 112009001420 T & CN 102057761 A & KR 10-2010-0133015 A & TW 201012313 A	1-18
A	JP 2002-151295 A（株式会社安川電機） 2002.05.24，段落【0005】－【0010】，図1-8 （ファミリーなし）	1-18