

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4948785号
(P4948785)

(45) 発行日 平成24年6月6日(2012.6.6)

(24) 登録日 平成24年3月16日(2012.3.16)

(51) Int.Cl.

F 1

H01L 29/78

(2006.01)

H01L 29/78

301S

H01L 21/336

(2006.01)

H01L 21/205

P

H01L 21/205

(2006.01)

H01L 21/225

P

H01L 21/225

(2006.01)

請求項の数 17 (全 9 頁)

(21) 出願番号

特願2005-147746 (P2005-147746)

(22) 出願日

平成17年5月20日 (2005.5.20)

(65) 公開番号

特開2005-340816 (P2005-340816A)

(43) 公開日

平成17年12月8日 (2005.12.8)

審査請求日

平成20年3月28日 (2008.3.28)

(31) 優先権主張番号

10/851,821

(32) 優先日

平成16年5月21日 (2004.5.21)

(33) 優先権主張国

米国(US)

(73) 特許権者

390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャード

ロード

ロード

弁理士 上野 剛史

100108501

弁理士 太佐 種一

100112690

弁理士 市位 嘉宏

100091568

最終頁に続く

(54) 【発明の名称】シリコン単結晶基板中に、MOSFETデバイスのための接合を形成するための方法

(57) 【特許請求の範囲】

【請求項 1】

シリコン単結晶基板中に、MOSFETデバイスのための接合を形成するための方法であって、前記基板上にマスクが設けてある領域と前記基板の表面が露出した開口部が存在し、前記方法は、

化学的気相付着によって、前記開口部中に多結晶ゲルマニウムを形成する第1のステップと、

化学的気相付着によって、前記多結晶ゲルマニウムの上に多結晶シリコンを形成する第2のステップと、

化学的気相付着によって、前記多結晶シリコンの上にさらに多結晶ゲルマニウム、そして化学的気相付着によって、当該多結晶ゲルマニウムの上にさらに多結晶シリコンを形成するステップを複数回行う第3のステップと、

当該第1から第3のステップによって前記開口部のみに多結晶シリコングルマニウムが選択的に形成されるステップと、

前記多結晶シリコングルマニウムに導入された不純物を前記基板に外方拡散させて接合を形成するステップと

を含む、前記方法。

【請求項 2】

前記多結晶ゲルマニウムの形成が、ゲルマニウム先駆物質を使用する化学的気相付着によって行われる、請求項1に記載の方法。

10

20

【請求項 3】

前記多結晶ゲルマニウムの形成が、ゲルマニウム先駆物質と H C l ガスとのガス混合物を使用する化学的気相付着によって行われる、請求項 1 又は 2 に記載の方法。

【請求項 4】

前記ゲルマニウム先駆物質が、GeH₄、GeH₂C₁₂、およびそれらの混合物からなるグループから選択される、請求項 2 又は 3 に記載の方法。

【請求項 5】

前記多結晶ゲルマニウムが、1.5 nm ~ 15 nm の直径を備えた結晶を有する、請求項 1 ~ 4 のいずれか一項に記載の方法。

【請求項 6】

前記多結晶ゲルマニウムが、2 nm ~ 15 nm の厚さまで付着する、請求項 1 ~ 5 のいずれか一項に記載の方法。

【請求項 7】

前記多結晶シリコンの形成が、シリコン先駆物質を使用する化学的気相付着によって行われる、請求項 1 ~ 6 のいずれか一項に記載の方法。

【請求項 8】

前記多結晶シリコンの形成が、前記シリコン先駆物質と H C l ガスとのガス混合物を使用する化学的気相付着によって行われる、請求項 1 ~ 6 のいずれか一項に記載の方法。

【請求項 9】

前記シリコン先駆物質が、SiH₄、SiH₂C₁₂、およびそれらの混合物からなるグループから選択される、請求項 7 又は 8 に記載の方法。

【請求項 10】

前記多結晶シリコンが、1.5 nm ~ 15 nm の直径を備えた結晶を有する、請求項 1 ~ 9 のいずれか一項に記載の方法。

【請求項 11】

前記多結晶シリコンが、2 nm ~ 15 nm の厚さまで付着する、請求項 1 ~ 10 のいずれか一項に記載の方法。

【請求項 12】

前記形成された多結晶ゲルマニウムの少なくとも 1 つ上に多孔性酸化物層を付着させるステップをさらに有する、請求項 1 ~ 11 のいずれか一項に記載の方法。

【請求項 13】

前記多孔性酸化物層を付着させるステップが、シリコン先駆物質と酸素運搬ガスからなる化学的気相付着によって行われる、請求項 12 に記載の方法。

【請求項 14】

前記多孔性酸化物層を付着させるステップが、前記シリコン先駆物質および前記酸素運搬ガスに H C l ガスを加えるステップをさらに有する、請求項 13 に記載の方法。

【請求項 15】

前記多孔性酸化物層が、0.1 nm ~ 1 nm の厚さまで付着する、請求項 12 ~ 14 のいずれか一項に記載の方法。

【請求項 16】

前記多結晶シリコン及び前記多結晶ゲルマニウムを形成する前記化学的気相付着中に、ホウ素でインシチュー・ドーピングを行うステップをさらに含む、請求項 1 ~ 15 のいずれか一項に記載の方法。

【請求項 17】

前記外方拡散が熱アニーリングによって行われる、請求項 1 ~ 16 のいずれか一項に記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、集積回路およびその製造方法の分野に関する。詳細には、本発明は、浅い高

10

20

30

40

50

導電接合を必要とする最新の電界効果半導体デバイスに関する。

【背景技術】

【0002】

今日の集積回路は数多くのデバイスを含む。デバイスの小型化は、パフォーマンスを高め、信頼性を改善するための鍵である。MOSFET（一般に絶縁ゲート電界効果トランジスタを意味する歴史的な含意を有する名前である金属酸化物半導体電界効果トランジスタ）デバイスが縮小されるにつれて、この技術はより複雑なものになっている。深いサブミクロン生成（deeply submicron generations）のデバイスについてパフォーマンス改善を維持することが非常に困難になっている。デバイスのパフォーマンス改善を予定通りに進めるために、多くの手段が講じられている。絶えずより高いデバイス・パフォーマンスを捜すという方針に沿ったMOSFETデバイスの縮小は、確立された処理原則である。

10

【0003】

寸法を縮小すると、必然的に、より浅く低ドープのデバイス（ソースおよびドレイン）接合に導かれ、それにより、デバイスの寄生抵抗（parasitic resistance）が増加する。これは、パフォーマンスが正反対、すなわち、接合の寄生抵抗の低減、特にソース接合の寄生抵抗の低減を指示するときに発生する。広がり抵抗、接合拡張エッジ抵抗（junction extension edge resistance）、シリコンと金属珪化物の境界面における接触抵抗は、接合の寄生抵抗のすべての成分である。これらの抵抗を低減するためには、急峻なドーパント・プロファイルと高い電気的活性化が必要であり、その間ずっと、深い接合プロファイルを維持する。

20

【0004】

深い接合を得るための当技術分野の通常の技法は、高い適用量と超低エネルギーでのホウ素（B）、ヒ素（As）、燐（P）、その他などの必要なドーパントの注入と、これらのドーパントを活性化するためのその後のスパイク急速熱アニーリング（スパイクRTA）を必要とする。しかし、スパイクRTAアニーリングの高い熱エネルギーにより接合における欠陥生成が高くなり、結果的に欠陥によりドーパントが高速拡散する。その結果、接合はもはや浅くなり、電気的に漏れやすいものになる。

30

【特許文献1】米国特許第5818100号

【特許文献2】米国特許第5646073号

【特許文献3】米国特許第5571744号

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記で述べた問題を考慮して、本発明は、高い導電率、低い接触抵抗、深いプロファイル、および鋭いエッジを備えたデバイス接合を形成するための方法を開示する。この開示内容は、単結晶デバイス・ボディ材料である伝統的なソース／ドレイン接合材料を多結晶材料で置き換えることを企図している。多結晶材料内のドーパントは粒界により高速拡散を達成し、適切なアニーリング条件によって、このドーパントはチャネル領域およびデバイス・ボディ全体において鋭いプロファイルも形成する。

40

【課題を解決するための手段】

【0006】

したがって、本発明は、多結晶シリコン・ゲルマニウム（SiGe）を含有する接合を有するMOSFETデバイス構造を教示する。また、本発明は、このような多結晶SiGe含有接合を製作するための方法も教示する。このSiGe多結晶接合の価値は2つの基本概念によるものである。第1に、粒界に沿った高速ドーパント拡散である。第2に、Siの場合よりGeの方がドーパント固溶度が高いことである。

【0007】

この製作方法は好ましくは化学的気相付着（CVD）プロセスに基づくものである。好ましい結果を達成するために、ならびに製作プロセスを簡単にするために、選択的に多結晶接合を成長させるかまたは付着させなければならない。しかし、多結晶Siまたは多結

50

晶 Si 合金は誘電体に対して選択的ではない。任意の誘電体に対する選択性を得るために、誘電体に対して選択的な第 1 の Ge ナノ結晶 (nano-crystal) またはシードを好ましい Si 領域上で成長させる。次に、好ましい Si 領域上で多結晶 Ge を成長させた後、Ge - H 結合の方が Si - H 結合より弱いので、Si 上より Ge シード上の方が高速で Si 核が優先的に成長する Si 付着に切り替えることができる。また、Si は誘電体上の方が核形成時間が長くなるので、Si 核は誘電体上では Ge シード上と同じ速度で成長しない。多結晶 Si の薄層を付着させた後、Ge に戻す。次に、これらのステップを繰り返し、Ge 核と Si 核を交互に成長させ、それにより、この技法は選択的な Si Ge 多結晶成長を達成する。

【0008】

10

本発明は、連続する Si ポリ付着 (Si polydeposition) の初期段階で成長させた、概して厚さが 0.2 nm の範囲内の不連続の多孔性酸化物を有することにより、Si Ge 合金の非常に等方性の高い多結晶相を形成するための方法をさらに提供する。この多孔性酸化物は、Si 結晶粒を Ge シードに対して誤配向 (misoriented) するのに役立つものである。

【0009】

20

従来技術で同様の結果を達成するための試みがいくつか行われてきた。たとえば、Grider の米国特許第 5 8 1 8 1 0 0 号および第 5 6 4 6 0 7 3 号は、単結晶 Si の上に多結晶 Si を選択的に形成する方法を教示しているが、これらの特許は本発明を教示するものではない。Demirlioglu の米国特許第 5 5 7 1 7 4 4 号では、多結晶 Si Ge から接合内にドーパントを拡散するための方法が開示されているが、この特許は本発明を教示するものではない。

【0010】

本発明の上記その他の特徴は、付隨の詳細な説明および図面から明らかになるであろう。

【発明を実施するための最良の形態】

【0011】

30

図 1 は、多結晶 Si Ge 接合を備えた MOSFET デバイスの概略断面図を示している。MOSFET デバイスは、Si ベースの材料 110 内に宿主 (hosted) されている。マイクロエレクトロニクス技術では、小型化の点で最も進歩した材料は Si である。シリコンベースの材料は、Si と同じ基本的技術内容 (basic technological content) では Si の様々な合金である。マイクロエレクトロニクスにとって重要なこのような Si ベースの材料の一つは、単結晶シリコン・ゲルマニウム合金である。本発明に関連して、Ge が合金化材料である場合の Si ベースの材料という用語は、約 50 % 未満の Ge を有する化合物を指す。デバイスを宿主するという用語は、そのデバイスのうち、MOSFET のチャネル 102 など、主にキャリア特性に敏感な重大な部分が宿主材料内にあることを意味する。概して、MOSFET デバイスを宿主する材料 110 は本質的に Si である。

【0012】

図 1 および図 2 は、2 つの製作段階における MOSFET デバイスを示している。図 1 には予備段階が示されているが、図 2 は、開示されたステップがすでに実行されたデバイスを示しており、接合 101 は多結晶 Si Ge から、またはより具体的には、多結晶 Ge 10 と多結晶 Si 11 の交互層から構成されている。

40

【0013】

MOSFET の加工は、当技術分野で知られている製作方法及び、本発明の諸ステップを採用する。図 1 は、接合 101 を除いて、このような既知の製作方法の結果を示している。本発明は、接合 101 の位置で、ある体積の Si ベースの材料 110 を除去し、事実上、ボディ 110 内にボイドを残すステップにおいて、既知のデバイス加工技術から逸脱している。このような接合部位 101 からのボディ材料 110 の除去は、反応性イオン・エッティング (RIE) など、材料除去に関する当技術分野で既知の方法のいずれかによつて行うことができる。図 1 および図 2 では、ソースとドレインは互いに区別されておらず

50

、その結果として、両方の接合位置に单一のインジケータ番号 101 が使用されている。点線 135 はデバイスの表面を示しており、そこでゲート絶縁体 130 がチャネル 102 に接続する。この平面 135 は、ボディ材料 110 の最上部の通常の自然平面である。図 1 は、MOSFET デバイスの他の標準的な部分を概略的に示している。これらは、ゲート 120 と、デバイス同士を互いに分離する、当技術分野では周知の分離構造 210 である。概して、ゲート 120 は、製作のこの段階では、絶縁体 121 によって囲まれている。この絶縁体 121 は、単一材料で作られる場合もあれば、2 種類以上の材料で作ることもできる。たとえば、ゲートの側面とゲートの最上部が同じ材料で構成されない可能性があり、また、製作プロセスの異なる段階すでに生成されている可能性もある。どの種類の絶縁体がゲートを囲んでいるか、または製作プロセスのこの段階でゲートが存在するかどうかは、本発明の観点からは重要なことではない。重要であるのは、製作のこの段階で、図 1 に示すように、Si ベースの材料が露出される唯一の場所が接合 101 内であり、そこで接合から Si ベースの材料を除去した後で単結晶 Si ベースの材料 110 が露出される。図 1 では、デバイス製作は、いわゆる第 1 の表面を生成した点まで進んでいる。この第 1 の表面は、それが少なくとも 1 つの第 1 の領域を有するようになっており、そこで Si ベースの単結晶が露出される。この第 1 の領域は中空接合の露出表面である。例示的な一実施形態では、Si ベースの材料 110 は本質的に Si である。

【0014】

図 3 は、多結晶層を付着させる順序の概略断面図を示している。まず、Si ベースの単結晶材料 110 の上に、先駆物質としてゲルマネート (germanate) (GeH₄) を使用する CVD により、多結晶 Ge 10 を付着させる。このような CVD プロセス中、Ge は、絶縁体の上には付着しないか、またはそれが Si 上に付着する速度と比べるとかなり低速で絶縁体の上に付着することになるであろう。たとえば、SiO₂ 絶縁体層の場合、Ge + SiO₂ → GeO₂ + Si および GeO₂ + Ge → 2 GeO という連続する反応が行われる可能性があり、温度が約 700 を超えると GeO は昇華するので、Ge は酸化物表面の上にとどまることはない。代わって、Ge 付着における CVD 先駆物質は GeH₂C₁₂ である場合もあれば、GeH₄ と GeH₂C₁₂ の混合物にすることもできる。また、Ge 先駆物質はガス混合物の一部である可能性があり、HC₁ が選択性を促進するので、そのガス混合物が HC₁ を含有する場合もある。例示的な一実施形態では、多結晶 Ge 付着は概して数秒間、持続する。

【0015】

第 1 の表面の上に多結晶 Ge を CVD 付着すると、その第 1 の表面は単結晶 Si ベースの材料が露出した第 1 の領域を有するようになっており、この第 1 の領域の上に多結晶 Ge 層 10 を発生させることになる。多結晶 Ge 層 10 の結晶粒度は直径が約 1.5 nm ~ 15 nm の範囲に及ぶ。多結晶 Ge 層 10 の厚さは概して約 2 nm ~ 15 nm の間である。このような領域が単結晶のものであるかまたは本質的に多結晶材料のものであるかにかかわらず、上述の CVD Ge 付着プロセスは露出した Si ベースの材料領域の上に Ge 付着を発生させる。

【0016】

図 3 に示す単結晶 Si ベースの材料 110 の上であって図 2 の接合ボイド内に多結晶 Ge 10 を選択的に形成するプロセスは、第 2 の表面を発生させる。第 1 の表面と第 2 の表面との違いは、この時点で第 1 の領域が、露出した単結晶 Si ベースの材料 110 の代わりに、多結晶 Ge 10 によって占められることである。

【0017】

Si は露出した多結晶 Ge の第 1 の領域の上に優先的に形成されるので、CVD により第 2 の表面の上に多結晶 Si 11 を付着させることができる。先駆物質としてシラン (SiH₄) を使用する CVD により、多結晶 Si 11 を付着させる。このプロセスでは、Si は、絶縁体の上には付着しないか、またはそれが Ge 上に付着する速度と比べるとかなり低速で絶縁体の上に付着することになるであろう。代わって、Si 付着における CVD 先駆物質は SiH₂C₁₂ である場合もあれば、SiH₄ と SiH₂C₁₂ の混合物にするこ

10

20

30

40

50

ともできる。また、Si先駆物質はガス混合物の一部である可能性があり、HClが選択性を促進するので、そのガス混合物がHClを含有する場合もある。例示的な一実施形態では、Si付着中のCVDプロセスの温度は約600～750の間であり、Si付着は約20～60秒間、持続する。

【0018】

第2の表面の上にSiをCVD付着すると、その第2の表面は多結晶Geが露出した第1の領域を有するようになっており、この第1の領域の上に多結晶Si層11を発生させることになる。多結晶Si層11の結晶粒度の直径は約1.5nm～15nmの範囲に及ぶ。多結晶Si層11の厚さは概して約2nm～15nmの間である。このような領域が単結晶材料のものであるかまたは本質的に多結晶材料のものであるかにかかわらず、上述のCVD Si付着プロセスは露出したGe領域の上に選択的Si付着を発生させる。10

【0019】

図3に示す多結晶Ge層10の上であって図2の接合ボイド内に多結晶Si層11を選択的に形成するプロセスは、第3の表面を発生させる。第2の表面と第3の表面との違いは、この時点で第1の領域が、多結晶Ge層10の代わりに、多結晶Si層11によって占められることである。

【0020】

Siの上の多結晶Geの付着と、Geの上の多結晶Siの付着は、当技術分野で知られている技法で原子間力顕微鏡（AFM）を使用して実験によって確認されている。

【0021】

所望の厚さのSiGe多結晶層を蓄積する際に、第2の表面上のSi付着のステップと第3の表面上のGe付着のステップを必要な回数だけ繰り返す。多結晶Ge層10と多結晶Si層11の薄い交互層により、高い導電率と高いドーパント拡散など、MOSFETデバイス製作のために所望の接合特性が得られる。20

【0022】

Ge付着とSi付着を交互に行うプロセス中、例示的な一実施形態では、Si層成長の初期期間内に薄い多孔性酸素含有層20も付着させることができる。この薄い多孔性酸化物層20は、Si結晶粒をGe結晶粒に対してさらに誤配向する働きをする。このようく、結果として得られるSiGe層はより等方性が大きいものになり、これは接合の導電率とドーパント拡散特性のどちらにとっても有利になる。30

【0023】

多孔性酸素含有層20の付着は、Si付着ステップの初期段階で、おそらくHClと混合されたSi先駆物質に酸素運搬ガス、たとえば、単純にO₂を加えることによって実施される。多孔性酸化物層20は概して、わずか約0.1nm～1nmの間の厚さを有する。図2および図3では、この多孔性酸化物層20は×印線で示されており、多孔性と薄さを示している。

【0024】

図2は、本発明の諸ステップが実行された後のMOSFETデバイスを示しており、それは多結晶SiGeを含む新規の接合構造を有する。図1に概略的に示されているデバイス加工の状態の後、Siベースの材料の除去後に残されたボイド101は多結晶Ge層10と多結晶Si層11の交互層で充填される。第1のGe層10は、Siベースの材料のボディ110に接続するものである。図2が示すように、選択的に付着させた層はおそらく露出表面を共形的に覆う。例示的な一実施形態では、Si層11を付着させる前に、多孔性酸素含有層20の選択的付着が先に行われる。開示された方法のこれらの連続するステップは、当技術分野で知られている技法で走査電子顕微鏡（SEM）を使用して検証されている。40

【0025】

例示的な一実施形態では、Ge層10およびSi層11には、当技術分野で知られているインシチュー・ドーピング（in situ doping）と呼ばれる技法で付着中にドーピングが施される。製作されたMOSFETがPMOSであるときの典型的な適用例では、イン50

シチュー・ドーパント (*in situ dopant*) はホウ素 (B) である。SiGe接合形成を終了した後、Siベースのボディ材料110内にドーパントを拡散させる50。この外方拡散は、短い矢印50で図2に示されている。例示的な一実施形態のこの外方拡散ステップの条件は、約1000で1秒間のRTAである。多結晶SiGeからボディ材料内へのドーパントの急速拡散により、所望の浅い高導電率接合が得られる。例示的な一実施形態では、ソース接合とドレイン接合のいずれも上述の方法で製作される。しかし、所望であれば、本発明は、一方の接合のみ、たとえば、ソース接合のみに適用することができる。ソース接合とドレイン接合の両方がSiGe多結晶材料で作られていることを示す図面は、制限的に解釈すべきではない。

【0026】

10

ボイドが多結晶SiGeで充填される高さは、任意の特定のデバイス構造に適用されるように、この実施形態の具体的な必要性によって決まる。例示的な一実施形態では、多結晶SiGeは、デバイス135の自然表面より高くなる可能性があり、おそらく、接合の自己整合性珪化 (self-aligned silicidation) など、当技術分野で知られている後続の製作ステップを容易にする。

【0027】

本発明の多くの変更および変形は、上記の教示を考慮すると可能であり、当業者には明らかなものになるであろう。本発明の範囲は特許請求の範囲によって定義される。

【図面の簡単な説明】

【0028】

20

【図1】多結晶SiGe接合を備えたMOSFETデバイスの概略断面図である。

【図2】多結晶SiGe接合を備えたMOSFETデバイスの概略断面図である。

【図3】多結晶層を付着させる順序を示す概略断面図である。

【符号の説明】

【0029】

10 多結晶Ge層

11 多結晶Si層

20 多孔性酸素含有層

50 外方拡散

110 単結晶Siベースの材料

30

120 ゲート

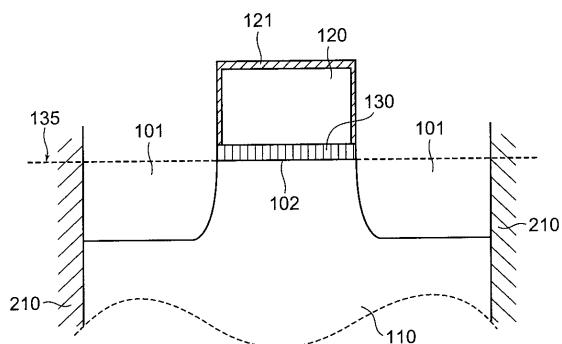
121 絶縁体

130 ゲート絶縁体

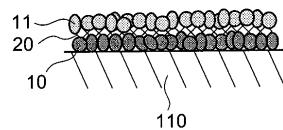
135 デバイスの表面

210 分離構造

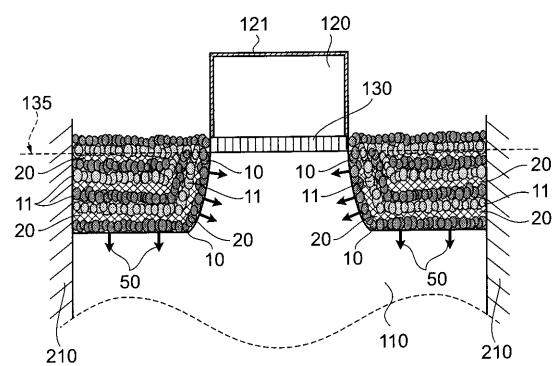
【図1】



【図3】



【図2】



フロントページの続き

(74)代理人 100086243
弁理士 坂口 博
(72)発明者 ケヴィン・コック・チャン
アメリカ合衆国10314 ニューヨーク州スタテン・アイランド スレイトン・アヴェニュー
41
(72)発明者 ロバート・ジェイ・ミラー
アメリカ合衆国10598 ニューヨーク州ヨークタウン・ハイツ ダニング・ドライブ 266
7
(72)発明者 エリン・シー・ジョーンズ
アメリカ合衆国97330 オレゴン州コーヴァリス エヌ・ダブリュ ガリアナ・ドライブ #
1 2664
(72)発明者 アトウル・アジュメーラ
アメリカ合衆国12590 ニューヨーク州ワピンジャー エリザベス・テラス 22

審査官 松嶋 秀忠

(56)参考文献 特開平05-013347(JP,A)
特開平04-127522(JP,A)
特開平11-087708(JP,A)
国際公開第2004/034458(WO,A1)
特開昭57-128022(JP,A)
特開平08-139017(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 21/336
H01L 21/205
H01L 21/225