

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4599578号
(P4599578)

(45) 発行日 平成22年12月15日(2010.12.15)

(24) 登録日 平成22年10月8日(2010.10.8)

(51) Int. Cl.		F I	
HO 1 L	21/3065 (2006.01)	HO 1 L	21/302 1 O 5 A
HO 1 L	21/28 (2006.01)	HO 1 L	21/28 E
HO 1 L	29/78 (2006.01)	HO 1 L	29/78 3 O 1 G
HO 1 L	21/3213 (2006.01)	HO 1 L	21/88 C

請求項の数 19 (全 10 頁)

(21) 出願番号	特願2004-525039 (P2004-525039)	(73) 特許権者	591016172
(86) (22) 出願日	平成15年7月29日(2003.7.29)		アドバンスト・マイクロ・デバイス・
(65) 公表番号	特表2005-535119 (P2005-535119A)		インコーポレイテッド
(43) 公表日	平成17年11月17日(2005.11.17)		ADVANCED MICRO DEVI
(86) 国際出願番号	PCT/US2003/023746		CES INCORPORATED
(87) 国際公開番号	W02004/012246		アメリカ合衆国、94088-3453
(87) 国際公開日	平成16年2月5日(2004.2.5)		カリフォルニア州、サニibel、ピィ・
審査請求日	平成18年7月27日(2006.7.27)		オウ・ボックス・3453、ワン・エイ・
(31) 優先権主張番号	60/400,453	(74) 代理人	100108833
(32) 優先日	平成14年7月31日(2002.7.31)		弁理士 早川 裕司
(33) 優先権主張国	米国 (US)	(74) 代理人	100132207
(31) 優先権主張番号	10/334,392		弁理士 太田 昌孝
(32) 優先日	平成14年12月30日(2002.12.30)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 半導体デバイス製造過程におけるパターンの変形とフォトマスクの汚染の抑制方法

(57) 【特許請求の範囲】

【請求項 1】

上層材を含む基板を用意するステップを有し、

前記上層材上にハードマスクスタックを形成するステップを有し、前記ハードマスクスタックは、前記上層材に接するよう形成されたアモルファスカーボン部と、このアモルファスカーボン部に形成されたキャッピング層とを備え、前記アモルファスカーボン部は、前記上層材に対するエッチング選択性を強めるようにドーパントを含んだ、ドーピングされたアモルファスカーボン層と、実質的に前記ドーパントを含まないドーピングされていないアモルファスカーボン層と、が交互に形成された層を有するものであり、

前記ハードマスクスタック上にフォトレジストマスクを形成するステップを有し、

前記フォトレジストマスクを初期エッチマスクとして用いて、前記上層材をパターンニングするために、前記ハードマスクスタックをエッチングするステップを有する、

半導体デバイスの製造方法。

【請求項 2】

前記上層材をパターンニングし、

前記ハードマスクを除去する、

請求項 1 記載の半導体デバイスの製造方法。

【請求項 3】

前記ハードマスクを灰化プロセスによって除去する、請求項 2 記載の方法。

【請求項 4】

10

20

前記フォトリジストハードマスクスタックの前記アモルファスカーボン部は、
前記上層材上に形成されたドーピングされていないアモルファスカーボン最下層と、
前記キャッピング層に接して形成されたドーピングされていないアモルファスカーボン
最上層と、

前記ドーピングされていないアモルファスカーボンの最上層と最下層との間の少なくと
も1つのドーピングされたアモルファスカーボン層と、を有する、
請求項1記載の方法。

【請求項5】

前記フォトリジストハードマスクスタックのアモルファスカーボン部は、
前記ドーピングされていないアモルファスカーボンの最上層と最下層との間の少なくと
も2つのドーピングされたアモルファスカーボン層と、

前記少なくとも2つのドーピングされたアモルファスカーボン層間の少なくとも1つの
ドーピングされていないアモルファスカーボン層と、を有する、
請求項4記載の方法。

【請求項6】

前記ドーピングされたアモルファスカーボン層とドーピングされていないアモルファス
カーボン層は連続した層を有する、請求項1記載の方法。

【請求項7】

前記フォトリジストマスクの形成では、
前記キャッピング層上にフォトリジストのパターンを形成し、前記フォトリジストのパ
ターンをトリミングする、

請求項1記載の方法。

【請求項8】

前記ドーピングされたアモルファスカーボンは窒素でドーピングされる、請求項1記載
の方法。

【請求項9】

前記基板は半導体基板を有し、前記上層材は前記基板上に形成されたゲート絶縁材上に
形成されたゲート導電材である、請求項1記載の方法。

【請求項10】

上層材を含む基板を用意するステップを有し、
前記上層材上にハードマスクスタックを形成するステップを有し、前記ハードマスクス
タックは、キャッピング材とアモルファスカーボンとが交互に形成された層を有し、この
交互に形成された層は、キャッピング上層材とキャッピング下層材と、を少なくとも有し
、かつ、前記キャッピング上層材と前記キャッピング下層材との間に形成された少なくと
も1つのアモルファスカーボン層を有するものであり、

前記ハードマスクスタック上にフォトリジストマスクを形成するステップを有し、
前記上層材のパターニングのためのハードマスクを形成するように、前記フォトリジス
トマスクを初期エッチマスクとして用いて、前記ハードマスクスタックをエッチングする
ステップを有し、

前記ハードマスクスタックは、更に、前記上層材に形成されたアモルファスカーボン下
層を有し、前記キャッピング下層材は、前記アモルファスカーボン下層上に形成される、
半導体デバイスの製造方法。

【請求項11】

前記上層材をパターニングし、前記ハードマスクを除去するステップを更に有する、請
求項10記載の方法。

【請求項12】

前記上層材から、灰化プロセスによって前記ハードマスクを除去するステップを更に有
する、請求項11記載の方法。

【請求項13】

前記アモルファスカーボン下層は、前記上層材に対するエッチング選択性を向上させる

10

20

30

40

50

ようにドーパントを含む、請求項 11 記載の方法。

【請求項 14】

前記ドーパントは窒素である、請求項 13 記載の方法。

【請求項 15】

前記フォトレジストマスクの形成では、

前記ハードマスクスタック上にフォトレジストパターンを形成し、前記フォトレジストパターンをトリミングする、

請求項 10 記載の方法。

【請求項 16】

前記基板は半導体基板を有し、前記上層材は前記基板上に形成されたゲート絶縁材上に形成されたゲート導電材である、請求項 10 記載の方法。

10

【請求項 17】

上層材(8)を含む基板と、

前記上層材(8)上に形成されたハードマスクスタックと、を有し、前記ハードマスクスタックは、前記上層材に接するよう形成されたアモルファスカーボン部と、前記アモルファスカーボン部上に形成されたキャッピング層と、を有し、前記アモルファスカーボン部は、ドーピングされてエッチング選択性を強めるようにドーパントを含んだアモルファスカーボン層(22)と、実質的に前記ドーパントを含まないドーピングされていないアモルファスカーボン層(20)と、が交互に形成された層を有するものである、

半導体デバイスの製造時に形成される構造。

20

【請求項 18】

前記ハードマスクの前記アモルファスカーボン部は、

前記上層材(8)上に形成されたドーピングされていないアモルファスカーボン(20)最下層と、

前記キャッピング層12に接して形成されたドーピングされていないアモルファスカーボン層(20)最上層と、

前記ドーピングされていないアモルファスカーボンの最上層(20)と最下層との間の少なくとも一つのドーピングされたアモルファスカーボン(22)層と、を有する、

請求項 17 記載の構造。

【請求項 19】

30

上層材(8)を含む基板と、

前記上層材上に形成されたハードマスクスタックと、を有し、前記ハードマスクスタックは、キャッピング材(42)とアモルファスカーボン(40)とが交互に形成された層を有し、この交互に形成された層は、キャッピング上層材(42)とキャッピング下層材(42)と、を少なくとも有し、かつ、前記キャッピング上層材(42)と前記キャッピング下層材(42)との間に形成された少なくとも一つのアモルファスカーボン層(40)を有するものであり、

前記ハードマスクは、

前記上層材(8)上に形成されたアモルファスカーボン下層(40)を有し、前記キャッピング下層材(42)は、前記アモルファスカーボン下層(40)上に形成されている

40

半導体デバイスの製造時に形成される構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体製造に関し、特に、半導体デバイスにおけるパターンの変形を阻止する方法に関する。

【背景技術】

【0002】

アモルファスカーボンフィルムを、酸化膜半導体電界効果トランジスター(以下、MO

50

S F E T) パターン作製用ハードマスクスタックの一部として使うことは、パターンの加工がしやすいことや、一般的なキャッピング物質あるいは保護材として使われている酸化ケイ素、窒化ケイ素、酸化窒化ケイ素などに対するエッチング選択性が高いことなどから、有益であることが知られている。図 1 には、アモルファスカーボンを含んでいる M O S F E T の構造を示す。この構造は、M O S F E T のドレイン及びソース領域を形成する酸化された領域 4 を有する、半導体基板 2 を含んでいる。二酸化ケイ素などからなるゲート絶縁膜 6 が、基板 2 上に形成されている。ドーピングされたポリシリコンなどからなるゲート導電膜 8 が基板 2 上に形成されており、M O S F E T のゲートラインを形成するようパターンニングされることになる。ゲート導電膜 8 上には、ハードマスクスタックが形成されており、このハードマスクスタックは、アモルファスカーボンの層 1 0 と、S i O N 等のキャッピング材層 1 2 を有している。S i O N キャッピング材層 1 2 上には、ゲートのパターンを決定するフォトレジストマスク 1 4 が形成されている。加工プロセスでは、まず、最初のエッチングでフォトレジストマスクのパターンを S i O N 層に転写する。2 段階目のエッチングで、S i O N マスクのパターンをアモルファスカーボンに転写する。3 段階目のエッチングで、ゲート導電層の表面から酸化物を取り除く。さらに、その後のエッチングで、S i O N とアモルファスカーボンをハードマスクスタックとして、導電性のゲート層をエッチングする。

【発明の開示】

【発明が解決しようとする課題】

【0003】

図 1 の構造における一つの問題は、ポリシリコンエッチング時におけるポリシリコンゲート導電層に対するアモルファスカーボン材のエッチング選択性が比較的低いことである。その結果、ポリシリコンのエッチング中にアモルファスカーボンもエッチングされてしまい、転写するパターンの質を下げてしまう。この問題の打開策として、アモルファスカーボンに窒素をドーピングすることで、ポリシリコンに対するエッチング選択性を強めるという方法がある。

しかしながら、窒素をドーピングすると、新たな問題が生じ、この問題は、デバイスの寸法が小さくなるにつれて一層深刻なものとなる。その一つとして、アモルファスカーボン層からの窒素によってフォトレジストマスクが汚染されてしまうという問題が挙げられる。この汚染は、S i O N デポジションの際にランダムに生じる、S i O N 層のピンホールによって引き起こされる。このピンホールは S i O N の層内に、部分的に穴を開けるか、あるいは S i O N 層を完全に貫通している。そのため、アモルファスカーボンにドーピングした窒素がフォトマスク中に拡散してしまう。汚染されたフォトマスクは現行の技術を用いても取り除くことは難しいため、フォトマスクとしての質が下がってしまう。この汚染の問題は、S i O N の層が薄くなればなるほど深刻化する。

【0004】

第 2 の問題は、エッチングしたアモルファスカーボンが、その下層のポリシリコンから剥離してしまうことである。図 2 a と図 2 b にその様子を示す。図 2 a は、パターンニングしたアモルファスカーボンのラインの平面図である。このラインは、アモルファスカーボン、ポリシリコン、S i O N が有する熱膨張係数の違いから生じる圧縮力 1 6 を受けている。ラインの幅が、長さに比べて短くなればなるほど、ラインの長さ方向の圧縮力は、幅方向の圧縮力に比べて非常に大きくなる。S i O N 最上層がアモルファスカーボンのラインの上にある限り、この圧力がラインを変形させることはない。しかしながら、一般的な加工過程では、アモルファスカーボンをパターンニングした後にポリシリコンの層から酸化物を除去するためのエッチングが行なわれ、このエッチングでは通常、アモルファスカーボンの上にある S i O N のほとんど、或いは全てが除去されてしまう。こうなってしまうと、アモルファスカーボン内部圧縮力は何ら制限を受けないようになってアモルファスカーボンが下層のポリシリコンから剥離し、さらに、図 2 b に示すように「くねった」形状になってしまう。このような形状となることで、実質的にラインが長くなり、圧縮力によるストレスが解放される。その後のエッチングでこのパターンはポリシリコンに複写され

、結果として変形したゲートラインが作られてしまう。この問題は窒素のドーピングによって深刻になる。

【0005】

ゆえに、窒素をドーピングしたアモルファスカーボンのエッチング選択性の特性を維持しながら、パターンの変形とフォトマスクの汚染を減らすことのできる方法が必要とされている。

【課題を解決するための手段】

【0006】

本発明の目的の一つは、半導体デバイスの製造におけるパターン変形を抑制することにある。

10

本発明の好適な一形態によれば、ハードマスクは、ドーピングされたアモルファスカーボンとドーピングされていないアモルファスカーボンとが交互に形成されるようになっている。ドーピングされていないアモルファスカーボン層は、ドーピングされたアモルファスカーボン層内の圧縮力の効力を抑制して剥離を防ぐバッファ層として作用する。このスタックには、トップキャッピング剤層が設けられている。このキャッピング材層の下方には、好適には、フォトレジストによる汚染を抑制するように、ドーピングされていないアモルファスカーボンが設けられる。

【0007】

本発明の第2の実施形態によれば、ハードマスクスタックは、キャッピング材とアモルファスカーボンとが交互に形成された層を含むものとなっている。アモルファスカーボン層は、ドーピングされていなくてもよい。キャッピング材層はアモルファスカーボン層内の圧縮力の効力を抑制して剥離を防ぐバッファ層として作用する。このキャッピング材層の下方には、好適には、フォトレジストによる汚染を抑制するように、ドーピングされていないアモルファスカーボンが設けられる。

20

【0008】

ハードマスクの最下層は、好適には、灰化による下層材からのハードマスクの除去を容易にするように、アモルファスカーボンとなっている。

【発明を実施するための最良の形態】

【0009】

図3a及び図3bに、本発明における第一実施形態における、交互に層が形成された構造を示す。

30

図3aの構造は、MOSFETのドレイン及びソース領域を形成するフィールド酸化膜4を有する、半導体基板2を有している。例えば二酸化ケイ素のようなゲート絶縁層6と、例えばドーピングされたポリシリコンのようなゲート導電層8とが、基板上に形成されており、MOSFETのゲートラインとゲート絶縁層を形成するようパターンニングされることになる。ゲート導電層8上には、下層のポリシリコンと接触して形成されたアモルファスカーボン部が形成されている。このアモルファスカーボンの部位は、ポリシリコンに対するエッチング選択性を高めるよう窒素などのドーパントを含んだ、ドーピングされたアモルファスカーボンからなる層22と、エッチング選択性を向上させるためのドーパントを持たないドーピングされていないアモルファスカーボンからなる層20と、のそれぞれ別個の層を含んでいる。ハードマスクスタックであるアモルファスカーボン上には、SiON、酸化ケイ素、又は窒化ケイ素などからなるキャッピング層12が形成されている。また、ゲートラインのパターンを決定するフォトレジストマスク14が、キャッピング層12の上に設けられている。ハードマスクスタック全体の高さは、約500程度が望ましい。

40

【0010】

図3aの構造において図1と異なる点は、ドーピングされていないアモルファスカーボンの層20に、一つ、或いは多数のドーピングされたアモルファスカーボンの層22が接していることである。ドーピングされていない層20は、ドーピングされた層22が剥離しないよう、層22内部の圧縮力を抑制するための緩衝層として働く。この実施形態にお

50

いて、ドーピングされた層とされていない層の数と順序は任意のものとしてできるが、好適には、ドーピングされていないアモルファスカーボンの最上層が、フォトレジストマスクの汚染を減らすようにキャッピング層に接しており、ドーピングされていないアモルファスカーボンの最下層が、剥離を防ぐように、ポリシリコンの層の上に形成される。

【0011】

図3aに示されているアモルファスカーボンのそれぞれの層は、それぞれ別個のプロセスステップで形成される。図3aの他の構造として、図3bに示すように、ドーピングされた層とドーピングされていない層を連続して、つまりコンティニュアスに形成することもできる。このような構造は、ハードマスクのアモルファスカーボン部を通じて所望の濃度傾斜を有するドーパントのプロファイルが得られるように、単一の連続的デポジションプロセス中に、ドーパントソースガスのフローレートを変化させることで得ることができる。

10

さらに、図3a、図3bの構成に代えて、ドーピングされていない層とドーピングされている層が多数重なった構造を用いることもできる。この場合、これらの層の順番を変えてもよく、例えばドーピングされた層を下層のポリシリコン上に形成されるようにしてもよい。また、他の実施形態として、キャッピング層に過酸化ケイ素や過窒化ケイ素を用いることもできる。また、さらなる実施形態として、このようなハードマスクスタックは、金属配線の層など他のエッチングされる物質上に形成されてもよいし、接点やインターコネクタなどの、他のタイプのパターン構造を形成するために用いてもよい。

【0012】

20

図4に、上記の第1実施形態における半導体デバイス製造方法のフローチャートを示す。それ以外の実施形態については明示的には記載していない。始めに、上層物質を有する基板を用意する(30)。次に、ハードマスクスタックを上層物質の上に形成する(32)。ハードマスクスタックは、上層物質に接触するアモルファスカーボン部と、アモルファスカーボン部の上に配されるキャッピング材層を含む。アモルファスカーボン部は、上層物質に対するエッチング選択性が高まるようにドーピングされたアモルファスカーボンと、ドーパントを含まないドーピングされていないアモルファスカーボンの層とが交互に形成されている。

次に、ハードマスクスタックの上にフォトレジストマスクを形成する(34)。フォトレジストマスクのマスクはフォトレジストトリミングプロセスによってトリミング。そして、フォトレジストマスクを最初のエッチマスクとして、ハードマスクスタックの下層物質(36)をパターンニングしてハードマスクを形成するよう、エッチングする。

30

更に、上層のパターンニングや、ハードマスクの除去等のプロセスを実行することも可能である。

【0013】

図5に発明の第2実施形態における構造を示す。

図5の構造は、MOSFETのドレイン及びソース領域を形成する酸化された領域4を有する、半導体基板2を含んでいる。例えば二酸化ケイ素のようなゲート絶縁層6と、例えばドーピングされたポリシリコンのようなゲート導電層8が、基板上に形成されている。ゲート導電層8は、MOSFETのゲートラインを形成するようパターンニングされる。ハードマスクスタック上には、ゲート導電層8が形成されており、このゲート導電層8は、アモルファスカーボンからなる層40と、SiON、酸化ケイ素、又は窒化ケイ素などからなるキャッピング材層42と、が交互に形成されたものとなっている。アモルファスカーボンは、ドーピングされていても、されていなくてもどちらでもよい。ゲートのパターンを形成するフォトレジストマスク14が、キャッピング材層上に設けられている。ハードマスクスタック全体の高さは、約500程度が望ましい。キャッピング材層の高さは、20~50が望ましい。

40

【0014】

図5の構造における図1と異なる点は、アモルファスカーボンの層とキャッピング層を交互に複数用いていることである。キャッピング材層42は、アモルファスカーボンの層

50

40が剥離しないように、圧縮力を抑制するための緩衝層として働く。最上層にあるキャッピング材層はハードマスクスタックのエッチング中に除去され、残ったキャッピング層は剥離を防ぐ働きをする。

灰化によるハードマスクの除去を可能とするように、アモルファスカーボンの層をハードマスクスタックの最下層として形成し、また、ドーピングされていないアモルファスカーボンの層をハードマスクスタックの最上層としてフォトマスクの汚染を抑制することが望ましい。しかし、他の実施形態では、最下層がキャッピング層であったり、最上層がドーピングされているアモルファスカーボンの層であったり、ハードマスクスタックを構成するいくつかのキャッピング材層が異なる物質からできていてもよい。またさらに、このようなハードマスクスタックは、金属配線の層など他のエッチングされる物質上に形成されてもよいし、接点やインターコネクタなどの、他のタイプのパターン構造を形成するために用いてもよい。

10

【0015】

図6に、上記の第2実施形態における半導体デバイス製造方法のフローチャートを示す。それ以外の実施形態については明示的には記載していない。始めに、上層物質を有する基板を用意する(50)。次に、ハードマスクスタックを上層物質の上に形成する(52)。ハードマスクスタックは、キャッピング層と、アモルファスカーボン層と、を含むとともに、キャッピング材の第1上層と、このキャッピング材の第1上層の下層に設けられたアモルファスカーボン層と、このアモルファスカーボン層の下層に設けられたキャッピング材の第2層と、を少なくとも含む。次に、フォトレジストマスクをハードマスクスタックの上に形成する(54)。フォトレジストマスクのマスクはトリミングによって形成してもよい。そして、フォトレジストマスクを最初のエッチマスクとして、ハードマスクスタックの下層にある上層材をパターンニングするためのハードマスクを形成するようにエッチングを行う(56)。

20

更に、このような下層にある材料のパターンニングや、ハードマスクスタックの除去等のプロセスを実行することも可能である。

以上、本発明を好適実施形態を用いて説明したが、当業者であれば、実装、動作条件及び構成において種々の変形が可能であり、これらは、添付したクレームによってのみ限定される本発明の趣旨及び範囲内のものであることが理解されよう。

【図面の簡単な説明】

30

【0016】

【図1】従来例に係るアモルファスカーボンを用いた半導体デバイスの構造の説明図。

【図2a】ドーピングされたアモルファスカーボンラインの変形の様子の説明図。

【図2b】ドーピングされたアモルファスカーボンラインの変形の様子の説明図。

【図3a】第1実施形態における半導体デバイスの構造の説明図。

【図3b】第1実施形態における半導体デバイスの構造の説明図。

【図4】第1実施形態における動作のフローチャート。

【図5】第2実施形態における半導体デバイスの構造の説明図。

【図6】第2実施形態における動作のフローチャート。

【図 1】

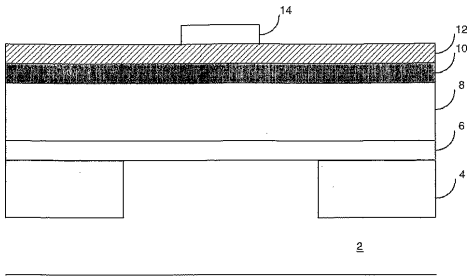


Figure 1
Prior Art

【図 2 a】

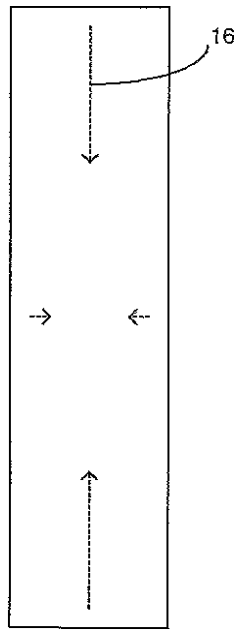


Figure 2a

【図 2 b】

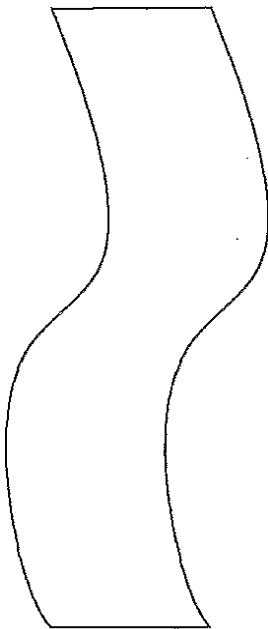


Figure 2b

【図 3 a】

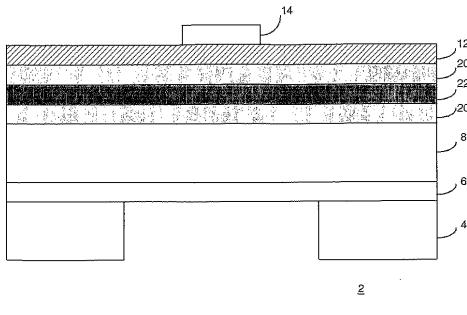


Figure 3a

【図 3 b】

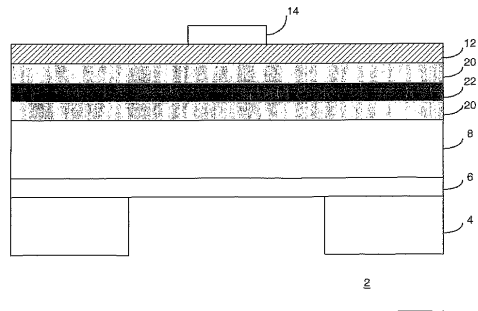
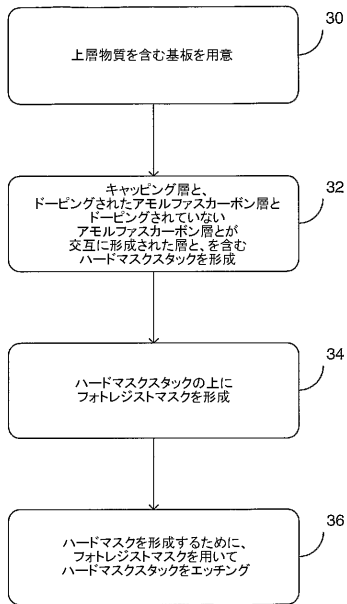


Figure 3b

【図4】



【図5】

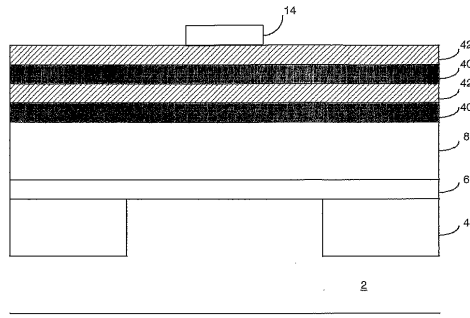
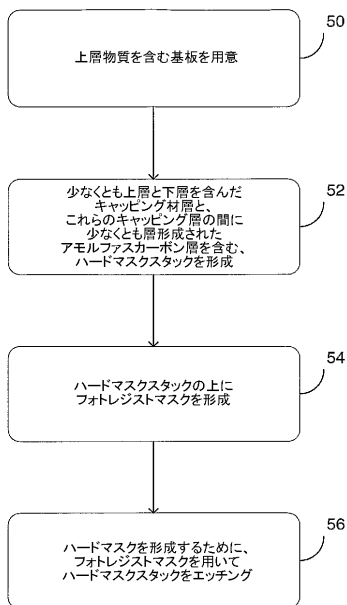


Figure 5

【図6】



フロントページの続き

- (74)代理人 100162156
弁理士 村雨 圭介
- (74)代理人 100111615
弁理士 佐野 良太
- (72)発明者 ダグラス ジェイ. ボンサー
アメリカ合衆国、テキサス州 78735、オースティン、マグデリーナ ドライブ 5336
- (72)発明者 マリーナ ブイ. プラット
アメリカ合衆国、カリフォルニア州 95129、サン ノゼ、コリダ サークル 4620
- (72)発明者 チ ユ ヤン
アメリカ合衆国、カリフォルニア州 95129、サン ノゼ、リトル ジョン ウェイ 1144
- (72)発明者 スコット エイ. ベル
アメリカ合衆国、カリフォルニア州 95128、サン ノゼ、ストークス ストリート 2313
- (72)発明者 ダリン エイ. チャン
アメリカ合衆国、カリフォルニア州 95008、キャンベル、アンソニー ドライブ 2054
- (72)発明者 フィリップ エイ. フィッシャー
アメリカ合衆国、カリフォルニア州 94404、フォスター シティ、ケベック レイン 730
- (72)発明者 クリストファー エフ. ライアンズ
アメリカ合衆国、カリフォルニア州 94539、フレモント、ラーウィック ストリート 42681
- (72)発明者 マーク エス. チャン
アメリカ合衆国、カリフォルニア州 94024、ロス アルトス、ファムドン アベニュー 1881
- (72)発明者 ペイ - ユアン ガオ
アメリカ合衆国、カリフォルニア州 95129、サン ノゼ、ベントーク レイン 1083
- (72)発明者 マリリン アイ. ライト
アメリカ合衆国、カリフォルニア州 94087、サニーバイル、グレンコウ コート 712
- (72)発明者 ルー ユー
アメリカ合衆国、カリフォルニア州 95129、サン ノゼ、フライアー ウェイ 5978
- (72)発明者 スリカンテスワラ ダクシナ - マーシー
アメリカ合衆国、カリフォルニア州 94086、サニーバイル、アパートメント ナンバー 804、パシト テラス 170

審査官 今井 淳一

- (56)参考文献 特開平05 - 175167 (JP, A)
特開2000 - 058830 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3065
H01L 21/28
H01L 21/3213