



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I550880 B

(45)公告日：中華民國 105 (2016) 年 09 月 21 日

(21)申請案號：104140308

(22)申請日：中華民國 99 (2010) 年 07 月 29 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2009/07/31 日本

2009-179773

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；大原宏樹 OHARA, HIROKI (JP)；佐佐木
俊成 SASAKI, TOSHINARI (JP)；野田耕生 NODA, KOSEI (JP)；桑原秀明
KUWABARA, HIDEAKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2004/0119072A1

US 2005/0127380A1

US 2008/0299702A1

審查人員：古朝璟

申請專利範圍項數：13 項 圖式數：39 共 175 頁

(54)名稱

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

本發明的目的之一在於提供一種具有能夠充分降低佈線間的寄生電容的結構的半導體裝置。在與閘極電極層重疊的氧化物半導體層的一部分上形成用作通道保護層的氧化物絕緣層，並在形成該氧化物絕緣層時形成覆蓋氧化物半導體層的邊緣部的氧化物絕緣層。覆蓋氧化物半導體層的邊緣部的氧化物絕緣層將閘極電極層與形成在該閘極電極層上方或邊緣的佈線層之間的距離拉大，從而可以降低寄生電容。

An object is to provide a semiconductor device having a structure with which parasitic capacitance between wirings can be sufficiently reduced. An oxide insulating layer serving as a channel protective layer is formed over part of an oxide semiconductor layer overlapping with a gate electrode layer. In the same step as formation of the oxide insulating layer, an oxide insulating layer covering a peripheral portion of the oxide semiconductor layer is formed. The oxide insulating layer which covers the peripheral portion of the oxide semiconductor layer is provided to increase the distance between the gate electrode layer and a wiring layer formed above or in the periphery of the gate electrode layer, whereby parasitic capacitance is reduced.

指定代表圖：

[illegible]

448 · · · 薄膜電晶體

發明摘要

※申請案號： 104/40308 (由 99125102 分割)

※申請日：099年07月29日

※IPC分類：H01L 29/186 (2006.01)

【發明名稱】(中文/英文)

H01L 21/336 (2006.01)

半導體裝置和其製造方法

Semiconductor device and method for manufacturing the same

● 【中文】

本發明的目的之一在於提供一種具有能夠充分降低佈線間的寄生電容的結構的半導體裝置。在與閘極電極層重疊的氧化物半導體層的一部分上形成用作通道保護層的氧化物絕緣層，並在形成該氧化物絕緣層時形成覆蓋氧化物半導體層的邊緣部的氧化物絕緣層。覆蓋氧化物半導體層的邊緣部的氧化物絕緣層將閘極電極層與形成在該閘極電極層上方或邊緣的佈線層之間的距離拉大，從而可以降低寄生電容。

【 英文 】

An object is to provide a semiconductor device having a structure with which parasitic capacitance between wirings can be sufficiently reduced. An oxide insulating layer serving as a channel protective layer is formed over part of an oxide semiconductor layer overlapping with a gate electrode layer. In the same step as formation of the oxide insulating layer, an oxide insulating layer covering a peripheral portion of the oxide semiconductor layer is formed. The oxide insulating layer which covers the peripheral portion of the oxide semiconductor layer is provided to increase the distance between the gate electrode layer and a wiring layer formed above or in the periphery of the gate electrode layer, whereby parasitic capacitance is reduced.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

- 400：基板
- 402：閘極絕緣層
- 403：保護絕緣層
- 404：平坦化絕緣層
- 421a：閘極電極層
- 421b：閘極電極層
- 423：通道形成區
- 424a：高電阻源極區
- 424b：高電阻汲極區
- 424c：區域
- 424d：區域
- 425a：源極電極層
- 425b：汲極電極層
- 426a：氧化物絕緣層
- 426b：氧化物絕緣層
- 427：像素電極層
- 442：氧化物半導體層
- 448：薄膜電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置和其製造方法

Semiconductor device and method for manufacturing the same

【技術領域】

本發明係關於一種使用氧化物半導體的半導體裝置及其製造方法。

另外，本說明書中的半導體裝置指的是能夠藉由利用半導體特性工作的所有裝置，因此顯示裝置等的電光裝置、半導體電路及電子設備都是半導體裝置。

【先前技術】

近年來，一種利用形成在具有絕緣表面的基板上的半導體薄膜(厚度大約為幾 nm 至幾百 nm)來製造薄膜電晶體(TFT)的技術備受矚目。薄膜電晶體被廣泛地應用於如 IC 及電光裝置之類的電子裝置，尤其是對作為影像顯示裝置的切換元件的 TFT 的開發日益火熱。金屬氧化物的種類繁多且用途廣。氧化銦作為較普遍的材料被用於液晶顯示器等所需要的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如可以舉出氧化鎢、氧化錫、氧化銦、氧化鋅等，並且已知一種將這種呈

現半導體特性的金屬氧化物用作通道形成區的薄膜電晶體(專利文獻 1 及專利文獻 2)。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

當在絕緣表面上製造多個薄膜電晶體時，例如存在閘極佈線和源極電極佈線交叉的部分。在該交叉部分中，閘極佈線和其電位與該閘極佈線不同的源極電極佈線之間設置有絕緣層，該絕緣層成為電介質而形成電容。該電容也被稱為佈線間的寄生電容，其有可能導致信號波形產生畸變。此外，當寄生電容較大時，有可能導致信號的傳達變慢。

另外，寄生電容的增加會引起佈線間的電信號洩漏即串擾現象，並使耗電量增大。

另外，在主動矩陣型的顯示裝置中，尤其是當提供影像信號的信號佈線與其他的佈線或電極之間形成有較大的寄生電容時，有可能導致顯示品質下降。

另外，當謀求電路的微細化時，佈線間隔變窄，而有可能導致佈線間的寄生電容的增加。

本發明的一個實施例的目的之一在於提供一種具有能夠充分降低佈線間的寄生電容的結構的半導體裝置。

另外，當在絕緣表面上形成驅動電路時，最好用於驅動電路的薄膜電晶體的工作速度較快。

例如，當將薄膜電晶體的通道長度(L)形成得較短或

將通道寬度 W 形成得較寬時可以實現工作速度的高速化。但是，當將通道長度形成得較短時，存在開關特性例如導通截止比變小的問題。另外，當將通道寬度 W 形成得較寬時，存在薄膜電晶體自身的電容負載上升的問題。

另外，本發明的目的之一在於提供一種半導體裝置，該半導體裝置具備即使通道長度較短也具有穩定的電特性的薄膜電晶體。

另外，當在絕緣表面上形成多個不同的電路時，例如，當將像素部和驅動電路形成在同一基板上時，用作像素部的薄膜電晶體要求具有優越的開關特性，例如要求其導通截止比較大，而用作驅動電路的薄膜電晶體要求工作速度快。尤其是，顯示裝置的精細度越高顯示圖像的寫入時間越短，所以最好的是用於驅動電路的薄膜電晶體的工作速度快。

另外，本發明的目的之一在於提供一種半導體裝置，該半導體裝置在同一基板上形成多種電路並具備分別對應於上述多種電路的特性的多種薄膜電晶體。

在底閘結構的薄膜電晶體中，在與閘極電極層重疊的氧化物半導體層的一部分上形成成為通道保護層的氧化物絕緣層，並在形成該氧化物絕緣層時形成覆蓋氧化物半導體層的邊緣部(包括側面)的氧化物絕緣層。

覆蓋氧化物半導體層的邊緣部(包括側面)的氧化物絕緣層將閘極電極層與形成在閘極電極層上方或周邊的佈線層(源極佈線層或電容佈線層等)之間的距離拉大，從而可

以降低寄生電容。由於覆蓋氧化物半導體層的邊緣部的氧化物絕緣層與通道保護層在同一製程中形成，所以可以在不增加製程數目的情況下降低寄生電容。

覆蓋氧化物半導體層的邊緣部(包括側面)的氧化物絕緣層可以降低寄生電容，從而可以控制信號波形的畸變。

另外，爲了降低寄生電容，最好使用介電常數小的絕緣材料形成夾在佈線之間的氧化物絕緣層。

藉由設置覆蓋氧化物半導體層的邊緣部(包括側面)的氧化物絕緣層，可以盡可能地減小寄生電容，從而實現薄膜電晶體的高速工作。另外，藉由採用工作速度快的薄膜電晶體，電路的整合度得到提高。

【發明內容】

本說明書所公開的本發明的一個實施例是一種半導體裝置，該半導體裝置包括：閘極電極層；所述閘極電極層上的閘極絕緣層；所述閘極絕緣層上的氧化物半導體層；所述氧化物半導體層上的氧化物絕緣層；以及所述氧化物絕緣層上的源極電極層或汲極電極層，其中，所述氧化物半導體層包括接觸於所述氧化物絕緣層的第一區域和接觸於所述源極電極層或所述汲極電極層的第二區域，所述第一區域包括隔著所述閘極絕緣層重疊於所述閘極電極層的通道形成區和與覆蓋所述氧化物半導體層的邊緣及側面的所述氧化物絕緣層重疊的區域，並且，所述氧化物半導體層的端面隔著所述氧化物絕緣層與所述源極電極層或所述

汲極電極層重疊。

上述結構至少解決上述課題之一。

另外，用於實現上述結構的本發明的一個實施例是一種半導體裝置，該半導體裝置包括：閘極電極層；所述閘極電極層上的閘極絕緣層；所述閘極絕緣層上的氧化物半導體層；所述氧化物半導體層上的氧化物絕緣層；所述氧化物絕緣層上的源極電極層或汲極電極層；以及所述源極電極層或所述汲極電極層上的保護絕緣層，其中，所述氧化物半導體層包括接觸於所述氧化物絕緣層的第一區域、接觸於所述源極電極層或所述汲極電極層的第二區域以及接觸於所述保護絕緣層的第三區域，所述第一區域中的隔著所述閘極絕緣層與所述閘極電極層重疊的區域為通道形成區，並且所述通道形成區和所述第二區域之間具有所述第三區域。

另外，作為本說明書中使用的氧化物半導體，例如，形成由 $\text{InMO}_3(\text{ZnO})_m (m > 0)$ 表示的薄膜，並製造將該薄膜用作半導體層的薄膜電晶體。另外，M 表示從 Ga、Fe、Ni、Mn 和 Co 中選擇的一種金屬元素或多種金屬元素。例如，作為 M，除了有包含 Ga 的情況以外，還有包含 Ga 和 Ni 或 Ga 和 Fe 等包含 Ga 以外的上述金屬元素的情況。此外，在上述氧化物半導體中，除了作為 M 而包含的金屬元素之外，有時還包含作為雜質元素的 Fe、Ni 等其他過渡金屬元素或該過渡金屬的氧化物。在本說明書中，在具有由 $\text{InMO}_3(\text{ZnO})_m (m > 0)$ 表示的結構的氧化物

半導體層中，將具有作為 M 包含 Ga 的結構的氧化物半導體稱為 In-Ga-Zn-O 類氧化物半導體，並且將其薄膜稱為 In-Ga-Zn-O 類非單晶膜。

另外，作為用於氧化物半導體層的金屬氧化物，除了可以使用上述材料之外，還可以使用 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的金屬氧化物。另外，由上述金屬氧化物構成的氧化物半導體層還可以含有氧化矽。

當在氮或稀有氣體(氬、氦等)等惰性氣體氛圍下進行加熱處理時，氧化物半導體層藉由加熱處理變成氧缺乏型而被低電阻化，即被 N 型化(N⁻化等)，然後，藉由形成與氧化物半導體層接觸的氧化物絕緣膜並在成膜之後進行加熱處理，來使氧化物半導體層變成氧過剩狀態而被高電阻化，即被 I 型化。另外，也可以說成是進行使氧化物半導體層成為氧過剩狀態的固相氧化。由此，可以製造並提供具有電特性好且可靠性高的薄膜電晶體的半導體裝置。

在脫水化或脫氫化中，藉由在氮或稀有氣體(氬、氦等)等惰性氣體氛圍下以 400℃ 以上且低於基板的應變點的溫度，最好的是以 420℃ 以上且 570℃ 以下的溫度進行加熱處理來減少氧化物半導體層所含有的水分等的雜質。

用於進行氧化物半導體層的脫水化或脫氫化的熱處理條件是：即使在將溫度升至 450℃ 的條件下利用 TDS 對該進行了脫水化或脫氫化之後的氧化物半導體層進行測定，

水的兩個峰值或者至少出現在 300°C 附近的一個峰值也不被檢測出。所以，即使在將溫度升至 450°C 的條件下利用 TDS 對使用進行了脫水化或脫氫化的氧化物半導體層的薄膜電晶體進行測定時，至少出現在 300°C 附近的水的峰值也不被檢測出。

並且，當對氧化物半導體層進行用於脫水化或脫氫化的加熱溫度 T 的降溫時，重要的是：藉由使用進行了脫水化或脫氫化的同一爐來不使氧化物半導體層接觸大氣，從而使水或氫不再混入到氧化物半導體層中。藉由進行脫水化或脫氫化，使氧化物半導體層的電阻降低，即在將其 N 型化(N^+ 等)之後使其電阻增大而使其成為 I 型的氧化物半導體層。藉由使用該氧化物半導體層製造薄膜電晶體，可以使薄膜電晶體的臨界值電壓值為正，從而實現所謂常關閉型的切換元件。作為半導體裝置(顯示裝置)，最好以薄膜電晶體的閘極電壓為儘量近於 $0V$ 的正的臨界值電壓的條件形成通道。注意，當薄膜電晶體的臨界值電壓值為負時，容易成為所謂常開啓型，也就是說即使閘極電壓為 $0V$ ，在源極電極和汲極電極之間也有電流流過。在主動矩陣型的顯示裝置中，構成電路的薄膜電晶體的電特性十分重要，該電特性決定顯示裝置的性能。尤其是，在薄膜電晶體的電特性之中臨界值電壓(V_{th})很重要。即使在場效應遷移率高的情況下，當臨界值電壓值高或臨界值電壓值為負時，電路的控制比較困難。在薄膜電晶體的臨界值電壓值高並且臨界值電壓的絕對值大的情況下，當驅動電壓

低時 TFT 不能起到開關功能而有可能導致負載。在是 n 通道型的薄膜電晶體的情況下，最好是在作為閘極電壓施加正的電壓之後形成通道並開始產生汲極電極電流的電晶體。不提高驅動電壓就不能形成通道的電晶體和即使在負的電壓狀態下也能形成通道並產生汲極電極電流的電晶體不適合用作於電路的薄膜電晶體。

另外，可以將從加熱溫度 T 開始降溫的氣體氛圍轉換成與升溫到加熱溫度 T 的氣體氛圍不同的氣體氛圍。例如，使用與進行了脫水化或脫氫化的相同的爐而在不接觸大氣的情況下，使爐中充滿高純度的氧氣體或 N_2O 氣體、超乾燥空氣(露點為 $-40^{\circ}C$ 以下，最好為 $-60^{\circ}C$ 以下)來進行冷卻。

在藉由進行脫水化或脫氫化的加熱處理使膜中所含有的水分減少之後，在不含有水分的氛圍(露點為 $-40^{\circ}C$ 以下，最好為 $-60^{\circ}C$ 以下)下進行緩冷(或冷卻)。藉由使用該氧化物半導體膜，可以在提高薄膜電晶體的電特性的同時實現具有高的量產性和高的性能的薄膜電晶體。

在本說明書中，將在氮或稀有氣體(氬、氦等)等惰性氣體氛圍下的加熱處理稱為用於脫水化或脫氫化的加熱處理。在本說明書中，為了方便起見，不僅將藉由該加熱處理使 H_2 脫離稱為脫氫化，而且將包括 H、OH 等的脫離也稱為脫水化或脫氫化。

當在氮或稀有氣體(氬、氦等)等惰性氣體氛圍下進行加熱處理時，氧化物半導體層藉由加熱處理變成氧缺乏型

而被低電阻化，即被 N 型化(N⁺化等)。

另外，形成與汲極電極層重疊的氧缺乏型高電阻汲極區(也稱為 HRD 區域)。此外，還形成與源極電極層重疊的氧缺乏型高電阻源極區(也稱為 HRS)。

明確而言，高電阻汲極區的載子濃度在 $1 \times 10^{18}/\text{cm}^3$ 以上的範圍內，並且高電阻汲極區是載子濃度至少高於通道形成區的載子濃度(小於 $1 \times 10^{18}/\text{cm}^3$)的區域。另外，本說明書的載子濃度指的是在室溫下藉由霍爾效應測量而求出的載子濃度的值。

並且，藉由至少使經過脫水化或脫氫化的氧化物半導體層的一部分處於氧過剩狀態，來使其電阻增大，即被 I 型化，而形成通道形成區。另外，至於使經過脫水化或脫氫化的氧化物半導體層變為氧過剩狀態的處理，可以藉由以下處理來實現：利用濺射法的氧化物絕緣膜的成膜，該氧化物絕緣膜接觸於經過脫水化或脫氫化的氧化物半導體層；形成氧化物絕緣膜之後的加熱處理；在含有氧的氛圍下的加熱處理；在惰性氣體氛圍下加熱之後在氧氛圍下的冷卻處理；使用超乾燥空氣(露點為 -40°C 以下，最好為 -60°C 以下)的冷卻處理；等等。

另外，為了將經過脫水化或脫氫化的氧化物半導體層的至少一部分(與閘極電極層重疊的部分)用作通道形成區，藉由選擇性地使其成為氧過剩狀態，可以使其電阻增大，即被 I 型化。

由此，可以製作並提供具有電特性良好且可靠性高的

薄膜電晶體的半導體裝置。

另外，藉由在與汲極電極層重疊的氧化物半導體層中形成高電阻汲極區，可以提高形成驅動電路時的可靠性。明確而言，藉由形成高電阻汲極區，可以形成如下結構：從汲極電極層至高電阻汲極區、通道形成區，導電性能夠階梯性地變化。所以，當將汲極電極層連接到提供高電源電位 V_{DD} 的佈線來使薄膜電晶體工作時，即使閘極電極層與汲極電極層之間被施加高電場，由於高電阻汲極區成為緩衝區而不被施加局部性的高電場，所以可以提高電晶體的耐壓性。

另外，藉由在與汲極電極層(以及源極電極層)重疊的氧化物半導體層中形成高電阻汲極區，可以降低形成驅動電路時的通道形成區中的洩漏電流。明確而言，藉由形成高電阻汲極區，在汲極電極層和源極電極層之間流過的電晶體的洩漏電流依次流過汲極電極層、汲極電極層一側的高電阻汲極區、通道形成區、源極電極層一側的高電阻源極區及源極電極層。此時在通道形成區中，可以將從汲極電極層一側的高電阻汲極區流向通道區的洩漏電流集中在當電晶體處於截止狀態時成為高電阻的閘極絕緣層與通道形成區的介面附近，而可以降低背通道部(遠離閘極電極層的通道形成區的表面的一部分)中的洩漏電流。

另外，雖然也要根據閘極電極層的寬度，但與源極電極層重疊的高電阻源極區和與汲極電極層重疊的高電阻汲極區隔著閘極絕緣層分別與閘極電極層的一部分重疊，由

此能夠更有效地緩和汲極電極層的端部附近的電場強度。

另外，作為具有驅動電路的顯示裝置，除了液晶顯示裝置之外還可以舉出使用發光元件的發光顯示裝置或使用電泳顯示元件的也稱為電子紙的顯示裝置。

在使用發光元件的發光顯示裝置中，像素部中具有多個薄膜電晶體，並且在像素部中還具有將某個薄膜電晶體的閘極電極和其他的電晶體的源極電極佈線或汲極電極佈線連接在一起的部分。另外，在使用發光元件的發光顯示裝置的驅動電路中具有將薄膜電晶體的閘極電極與該薄膜電晶體的源極電極佈線或汲極電極佈線連接在一起的部分。

另外，因為薄膜電晶體容易被靜電等損壞，所以最好相對於閘極線或源極電極線將用於保護像素部的薄膜電晶體的保護電路設置在同一基板上。保護電路最好由使用氧化物半導體層的非線形元件構成。

注意，為了方便起見而附加第一、第二等序數詞，但其並不表示製程順序或疊層順序。此外，其在本說明書中不表示特定發明的事項的固有名稱。

本發明可以實現一種具備寄生電容被充分地降低並且即使通道長度較短也具有穩定的電特性的薄膜電晶體的半導體裝置。

【圖式簡單說明】

在附圖中：

圖 1A 至 1C 是示出本發明的一個實施例的平面圖及截面圖；

圖 2A 至 2E 是示出本發明的一個實施例的製程的截面圖；

圖 3A 和 3B 是示出本發明的一個實施例的截面圖；

圖 4A1、4A2、4B1 和 4B2 是示出本發明的一個實施例的平面圖及截面圖；

圖 5A 至 5C 是示出本發明的一個實施例的平面圖及截面圖；

圖 6A 和 6B 是示出本發明的一個實施例的截面圖；

圖 7A 至 7C 是示出本發明的一個實施例的平面圖及截面圖；

圖 8A 至 8E 是示出本發明的一個實施例的製程的截面圖；

圖 9A 和 9B 是說明半導體裝置的圖；

圖 10A1、10A2 和 10B 是說明半導體裝置的圖；

圖 11A 和 11B 是說明半導體裝置的圖；

圖 12 是說明半導體裝置的像素等價電路的圖；

圖 13A 至 13C 是說明半導體裝置的圖；

圖 14A 和 14B 是說明半導體裝置的方塊圖；

圖 15A 和 15B 是說明信號線驅動電路的結構圖以及說明其工作的時序圖；

圖 16A 至 16D 是示出移位暫存器的結構的電路圖；

圖 17A 和 17B 是說明移位暫存器的結構的電路圖及

說明其工作的時序圖；

圖 18 是說明半導體裝置的圖；

圖 19 是說明半導體裝置的圖；

圖 20 是示出電子書籍的一個例子的外觀圖；

圖 21A 和 21B 是示出電視裝置及數位相框的例子的外觀圖；

圖 22A 和 22B 是示出遊戲機的例子外觀圖；

圖 23A 和 23B 是示出可攜式電腦及行動電話機的一個例子的外觀圖；

圖 24 是說明半導體裝置的圖；

圖 25 是說明半導體裝置的圖；

圖 26 是說明半導體裝置的圖；

圖 27 是說明半導體裝置的圖；

圖 28 是說明半導體裝置的圖；

圖 29 是說明半導體裝置的圖；

圖 30 是說明半導體裝置的圖；

圖 31 是說明半導體裝置的圖；

圖 32 是說明半導體裝置的圖；

圖 33 是說明半導體裝置的圖；

圖 34 是說明半導體裝置的圖；

圖 35 是說明半導體裝置的圖；

圖 36A 和 36B 是說明半導體裝置的圖；

圖 37 是說明運算所使用的氧化物半導體層的結構圖；

圖 38 是說明氧化物半導體層的氧密度的運算結果圖；以及

圖 39A 至 39C 是說明氧與氧化物半導體膜表面的相互作用的圖。

【實施方式】

下面，關於本發明的實施例模式將參照附圖給予說明。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明可以以多個不同形式來實施，其方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在本實施例模式所記載的內容中。注意，在以下說明的結構中，在不同附圖中使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略重複說明。

實施例模式 1

在本實施例模式中，參照圖 1A 至 1C、圖 2A 至 2E、圖 3A 和 3B 以及圖 4A 和 4B 對半導體裝置及半導體裝置的製造方法的一個實施例進行說明。

另外，圖 1A 是配置在像素中的通道保護型薄膜電晶體 448 的平面圖，圖 1B 是沿著圖 1A 的線 D1-D2 的截面圖以及沿著圖 1A 的線 D5-D6 的截面圖。另外，圖 1C 是沿著圖 1A 的線 D3-D4 的截面圖。此外，圖 2E 與圖 1B 相同。

配置在像素中的薄膜電晶體 448 是通道保護型(也稱作通道停止型)的薄膜電晶體，並且在具有絕緣表面的基板 400 上包括：閘極電極層 421a、閘極絕緣層 402、包括通道形成區 423 的氧化物半導體層 442、用作通道保護層的氧化物絕緣層 426a、源極電極層 425a 以及汲極電極層 425b。另外，覆蓋薄膜電晶體 448 並接觸於氧化物絕緣層 426a、源極電極層 425a 及汲極電極層 425b 地層疊地設置有保護絕緣層 403 和平坦化絕緣層 404。在平坦化絕緣層 404 上設置有與汲極電極層 425b 接觸的像素電極層 427，並且像素電極層 427 電連接到薄膜電晶體 448。

像素用的薄膜電晶體 448 具有包括高電阻源極區 424a、高電阻汲極區 424b 以及通道形成區 423 的氧化物半導體層 442，並且高電阻源極區 424a 接觸於源極電極層 425a 的下面而形成。另外，高電阻汲極區 424b 接觸於汲極電極層 425b 的下面而形成。薄膜電晶體 448 具有以下結構：即使其被施加高電場，由於高電阻汲極區或高電阻源極區成為緩衝區而不被施加局部性的高電場，所以電晶體的耐壓性得到提高。

配置在像素中的薄膜電晶體 448 的通道形成區是氧化物半導體層 442 中的接觸於用作通道保護層的氧化物絕緣層 426a 並與閘極電極層 421a 重疊的區域。由於薄膜電晶體 448 被氧化物絕緣層 426a 保護，從而可以防止氧化物半導體層 442 在形成源極電極層 425a、汲極電極層 425b 的蝕刻製程中被蝕刻。

另外，爲了實現具有高孔徑比的顯示裝置，作爲具有透光性的薄膜電晶體的薄膜電晶體 448，其源極電極層 425a、汲極電極層 425b 採用具有透光性的導電膜。

另外，薄膜電晶體 448 的閘極電極層 421a 也採用具有透光性的導電膜。

另外，在配置有薄膜電晶體 448 的像素中，使用對可見光具有透光性的導電膜作爲像素電極層 427 或其他的電極層(電容電極層等)以及電容佈線層等的其他的佈線層以實現具有高孔徑比的顯示裝置。當然，閘極絕緣層 402、氧化物絕緣層 426a 也最好使用對可見光具有透光性的膜。

在本說明書中，對可見光具有透光性的膜是指其厚度對可見光的透過率爲 75%至 100%的膜，當該膜是具有導電性的膜時也將其稱爲透明的導電膜。另外，也可以使用對可見光半透明的導電膜作爲用作閘極電極層、源極電極層、汲極電極層、像素電極層或其他的電極層或其他的佈線層的金屬氧化物。對可見光半透明是指其對可見光的透過率爲 50%至 75%。

另外，爲了降低寄生電容，在閘極佈線和源極電極佈線交叉的佈線交叉部中，在閘極電極層 421b 和源極電極層 425a 之間設置有閘極絕緣層 402 和氧化物絕緣層 426b。另外，雖然使用不同的符號 426a 和 426b 表示與通道形成區 423 重疊的區域的氧化物絕緣層和不與通道形成區 423 重疊的區域的氧化物半導體層，但是 426a 和 426b

是使用相同的材料和相同的製程形成的層。

下面，參照圖 2A 至 2E 對在同一基板上製造薄膜電晶體 448 和佈線交叉部的製程進行說明。另外，不僅可以形成像素部的薄膜電晶體還可以形成驅動電路的薄膜電晶體，並且上述電晶體可以使用相同製程在同一基板上製造。

首先，在具有絕緣表面的基板 400 上形成具有透光性的導電膜之後，利用第一光微影製程形成閘極電極層 421a、421b。另外，在像素部中，使用與閘極電極層 421a、421b 相同的具有透光性的材料並利用同一第一光微影製程形成電容佈線層。此外，當除了形成像素部還形成驅動電路部時，並且在驅動電路需要電容時在驅動電路中也形成電容佈線層。另外，還可以使用噴墨法形成抗蝕劑掩罩。當使用噴墨法形成抗蝕劑掩罩時不需要光掩罩，由此可以降低製造成本。

雖然對於能夠用作具有絕緣表面的基板 400 的基板沒有太大的限制，但是其至少需要具有能夠耐受後面的加熱處理的耐熱性。可以使用玻璃基板作為具有絕緣表面的基板 400。

另外，當後面的加熱處理的溫度較高時，可以使用應變點為 730°C 以上的玻璃基板。另外，作為玻璃基板，例如可以使用如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃等的玻璃材料。另外，藉由使玻璃基板相比氧化鋇而含有更多的氧化鋇 (BaO)，可以獲得更實用的耐熱玻

璃。因此，最好使用相比 B_2O_3 包含更多的 BaO 的玻璃基板。

另外，還可以使用如陶瓷基板、石英基板、藍寶石基板等的由絕緣體構成的基板代替上述玻璃基板。此外，還可以使用晶化玻璃等。

另外，還可以將成為基底膜的絕緣膜設置在基板 400 與閘極電極層 421a、421b 之間。基底膜具有防止雜質從基板 400 擴散的作用，可以由選自氮化矽膜、氧化矽膜、氮氧化矽膜、或氧氮化矽膜中的其中之一者或多種膜的疊層結構來形成。

閘極電極層 421a、421b 的材料可以採用對可見光具有透光性的導電材料，例如 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的金屬氧化物，並可以在 50nm 以上至 300nm 以下的範圍內適當地選擇其厚度。作為用作閘極電極層 421a、421b 的金屬氧化物的成膜方法，可以使用濺射法、真空蒸鍍法(電子束蒸鍍法等)、電弧放電離子電鍍法或噴塗法。另外，當使用濺射法時，最好使用含有 2wt%以上 10wt%以下的 SiO_2 的靶進行成膜，以使具有透光性的導電膜含有阻礙晶化的 $SiO_x(X>0)$ ，以便抑制在後面的製程中進行用於脫水化或脫氫化的加熱處理時導電膜被晶化。

氧化物半導體最好是含有 In 的氧化物半導體，更佳的是含有 In 及 Ga 的氧化物半導體。為了使氧化物半導體

層為 I 型(本徵)，進行脫水化或脫氫化製程是有效的。

接著，在閘極電極層 421a、421b 上形成閘極絕緣層 402。

藉由利用電漿 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或氧化鋁層的單層或疊層，可以形成閘極絕緣層 402。例如，作為成膜氣體使用 SiH_4 、氧及氮並藉由電漿 CVD 法來形成氧氮化矽層，即可。將閘極絕緣層 402 的厚度設定為 100nm 以上且 500nm 以下。當採用疊層時，例如採用 50nm 以上且 200nm 以下的第一閘極絕緣層和第一閘極絕緣層上的 5nm 以上且 300nm 以下的第二閘極絕緣層的疊層。

在本實施例模式中，藉由電漿 CVD 法形成 200nm 以下的氮化矽層作為閘極絕緣層 402。

接著，在閘極絕緣層 402 上形成 2nm 以上且 200nm 以下的氧化物半導體膜 430(參照圖 2A)。為了即使在形成氧化物半導體膜 430 之後進行用於脫水化或脫氫化的加熱處理也使氧化物半導體膜處於非晶狀態，最好將氧化物半導體膜 430 的厚度設定得薄，即 50nm 以下。藉由將氧化物半導體膜的厚度設定得薄，即使在形成氧化物半導體層之後進行加熱處理也可以抑制晶化。

氧化物半導體膜 430 使用 In-Ga-Zn-O 類非單晶膜、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體膜。在本

實施例模式中，使用 In-Ga-Zn-O 類氧化物半導體靶並藉由濺射法來形成氧化物半導體膜 430。另外，可以在稀有氣體(典型是氬)氛圍下、在氧氛圍下或者在稀有氣體(典型是氬)及氧氛圍下藉由濺射法來形成氧化物半導體膜 430。另外，當使用濺射法時，最好使用含有 2wt%以上且 10wt%以下的 SiO_2 的靶來進行成膜，而使氧化物半導體膜 430 含有阻礙晶化的 $\text{SiO}_x (x>0)$ ，以抑制在後面的製程中進行用於脫水化或脫氫化的加熱處理時被晶化。

在此，使用包含 In、Ga 及 Zn 的氧化物半導體靶 ($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩爾比]) 並以如下條件下進行成膜，該條件是：基板和靶之間的距離是 100mm；壓力是 0.2Pa；直流 (DC) 電流是 0.5kW；在氬及氧 (氬:氧=30sccm:20sccm 氧流量比率 40%) 氛圍下。另外，當使用脈衝直流 (DC) 電源時，可以減少塵屑且膜厚度分佈也均勻，所以是較佳的。將 In-Ga-Zn-O 類非單晶膜的厚度設定為 5nm 至 200nm。在本實施例模式中，使用 In-Ga-Zn-O 類氧化物半導體靶並藉由濺射法來形成 20nm 的 In-Ga-Zn-O 類非單晶膜作為氧化物半導體膜。

作為濺射法，有作為濺射電源使用高頻電源的 RF 濺射法、DC 濺射法，並且還有以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用於絕緣膜的形成，而 DC 濺射法主要用於金屬膜的形成。

此外，還有可以設置多個材料不同的靶的多元濺射裝置。多元濺射裝置既可以在同一處理室中層疊形成不同材

料的膜，又可以在同一處理室中使多種材料同時放電而進行成膜。

此外，有利用如下濺射法的濺射裝置，該濺射法是：在處理室內具備磁體機構的磁控管濺射法；以及不使用輝光放電而利用使用微波來產生的電漿的 ECR 濺射法。

此外，作為使用濺射法的成膜方法，還有：在膜形成期間使靶物質與濺射氣體成分產生化學反應而形成它們的化合物薄膜的反應濺射法；以及在膜形成期間對基板也施加電壓的偏壓濺射法。

接著，藉由第二光微影製程將氧化物半導體膜 430 加工為島狀氧化物半導體層。另外，也可以藉由噴墨法形成用於形成島狀氧化物半導體層的抗蝕劑掩罩。當藉由噴墨法形成抗蝕劑掩罩時不使用光掩罩，因此可以降低製造成本。

接著，進行氧化物半導體層的脫水化或脫氫化。將進行脫水化或脫氫化的第一加熱處理的溫度設定為 400°C 以上且低於基板的應變點，最好設定為 425°C 以上。注意，當採用 425°C 以上的溫度時加熱處理時間是 1 小時以下即可，但是當採用低於 425°C 的溫度時加熱處理時間長於 1 小時。在此，將基板放入到加熱處理裝置之一的電爐中，在氮氛圍下對氧化物半導體層進行加熱處理，然後不使其接觸於大氣而防止水或氫再次混入到氧化物半導體層，而形成氧化物半導體層。在本實施例模式中，在氮氛圍下使用同一爐將氧化物半導體層的溫度從進行氧化物半導體層

的脫水化或脫氫化所需的加熱溫度 T 緩冷到水無法再次混入的溫度，明確而言，在氮氛圍下將氧化物半導體層的溫度降低到比加熱溫度 T 低 100°C 以上的溫度。另外，不侷限於氮氛圍，而在氮、氬、氫等稀有氣體氛圍下進行脫水化或脫氫化。

另外，在第一加熱處理中，最好氮或氮、氬、氫等的稀有氣體不包含水、氫等。另外，較佳的是將導入於加熱處理裝置中的氮或氮、氬、氫等的稀有氣體的純度設定為 $6\text{N}(99.9999\%)$ 以上，更佳的是設定為 $7\text{N}(99.99999\%)$ 以上 (即，將雜質濃度設定為 1ppm 以下，較佳的是設定為 0.1ppm 以下)。

另外，根據第一加熱處理的條件或氧化物半導體層的材料，也有時進行晶化，而形成微晶膜或多晶膜。

另外，也可以對加工成島狀氧化物半導體層之前的氧化物半導體膜 430 進行氧化物半導體層的第一加熱處理。在此情況下，在第一加熱處理之後從加熱裝置拿出基板，以進行光微影製程。

另外，也可以在形成氧化物半導體膜 430 之前在惰性氣體氛圍 (氮或氮、氬、氫等) 下或者在氧氛圍下進行加熱處理 (400°C 以上且低於基板的應變點)，而去除包含在閘極絕緣層內的氫及水等的雜質。

接著，在藉由濺射法在閘極絕緣層 402 及氧化物半導體層上形成氧化物絕緣膜之後，藉由第三光微影製程形成抗蝕劑掩罩，選擇性地進行蝕刻來形成氧化物絕緣層

426a、426b，然後去除抗蝕劑掩罩。在該步驟時，形成有氧化物半導體層的接觸於氧化物絕緣層的區域，並且該區域中的隔著閘極絕緣層重疊於閘極電極層且重疊於氧化物絕緣層 426a 的區域成為通道形成區。另外，也形成有與覆蓋氧化物半導體層的邊緣及側面的氧化物絕緣層 426b 重疊的區域。

將氧化物絕緣膜的厚度至少設定為 1nm 以上，並且可以適當地使用濺射法等防止水、氫等的雜質混入到氧化物絕緣膜的方法來形成氧化物絕緣膜。在本實施例模式中，使用濺射法形成 300nm 厚的氧化矽膜作為氧化物絕緣膜。將形膜形成期間的基板溫度設定為室溫以上且 300℃ 以下即可，在本實施例模式中將該基板溫度設定為室溫。可以在稀有氣體(典型為氬)氛圍下、在氧氛圍下或者在稀有氣體(典型為氬)和氧的氛圍下藉由濺射法形成氧化矽膜。另外，作為靶，可以使用氧化矽靶或矽靶。例如，可以使用矽靶在氧及氮氛圍下藉由濺射法形成氧化矽膜。接觸於被低電阻化的氧化物半導體層地形成的氧化物絕緣膜使用不包含水分、氫離子、OH⁻等的雜質且阻擋上述雜質從外部侵入的無機絕緣膜，典型地使用氧化矽膜、氮氧化矽膜、氧化鋁膜或者氧氮化鋁膜等。

接著，在惰性氣體氛圍下或氮氣體氛圍下進行第二加熱處理(最好是 200℃ 以上且 400℃ 以下，例如 250℃ 以上且 350℃ 以下)(參照圖 2B)。例如，在氮氛圍下進行 250℃ 且 1 小時的第二加熱處理。當進行第二加熱處理時，重疊

程中進行用於脫水化或脫氫化的加熱處理時被晶化。

另外，也可以藉由噴墨法形成用來形成源極電極層 425a、汲極電極層 425b 的抗蝕劑掩罩。當藉由噴墨法形成抗蝕劑掩罩時不使用光掩罩，因此可以縮減製造成本。

接著，在氧化物絕緣層 426a、426b、源極電極層 425a、汲極電極層 425b 上形成保護絕緣層 403。在本實施例模式中，使用 RF 濺射法形成氮化矽膜。因為 RF 濺射法的量產性好，所以作為保護絕緣層 403 的形成方法最好採用 RF 濺射法。保護絕緣層 403 使用不包含水分、氫離子、 OH^- 等的雜質且阻擋上述雜質從外部侵入的無機絕緣膜，典型地使用氮化矽膜、氮化鋁膜、氮氧化矽膜或者氧氮化鋁膜等。當然，保護絕緣層 403 是具有透光性的絕緣膜。

接著，在保護絕緣層 403 上形成平坦化絕緣層 404。作為平坦化絕緣層 404，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料(low-k 材料)、矽氧烷類樹脂、PSG(磷矽玻璃)、BPSG(硼磷矽玻璃)等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜來形成平坦化絕緣層 404。

另外，矽氧烷類樹脂相當於以矽氧烷類材料為起始材料而形成的包含 Si-O-Si 鍵的樹脂。作為矽氧烷類樹脂的取代基，也可以使用有機基(例如烷基、芳基)、氟基團。另外，有機基也可以具有氟基團。

對平坦化絕緣層 404 的形成方法沒有特別的限制，可以根據其材料利用濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法(噴墨法、絲網印刷、膠版印刷等)、刮片、輥塗機、幕塗機、刮刀塗佈機等。

接著，進行第五光微影製程，形成抗蝕劑掩罩，藉由對平坦化絕緣層 404 及保護絕緣層 403 進行蝕刻來形成到達汲極電極層 425b 的接觸孔 441，然後去除抗蝕劑掩罩(參照圖 2D)。如圖 2D 所示，在接觸孔的下方設置有氧化物絕緣層 426b，與在接觸孔的下方沒有設置氧化物絕緣層的情況相比可以將要去除的平坦化絕緣層的厚度設定得薄，而可以縮短蝕刻時間。另外，與在接觸孔的下方沒有設置氧化物絕緣層的情況相比可以將接觸孔 441 的深度設定得淺，而在重疊於接觸孔 441 的區域中可以提高在後面的製程中形成的具有透光性的導電膜的覆蓋性。另外，藉由在此的蝕刻也形成到達閘極電極層 421b 的接觸孔。另外，也可以藉由噴墨法形成用來形成到達汲極電極層 425b 的接觸孔的抗蝕劑掩罩。當藉由噴墨法形成抗蝕劑掩罩時不使用光掩罩，因此可以縮減製造成本。

接著，形成具有透光性的導電膜。使用濺射法或真空蒸鍍法等形成氧化銦(In_2O_3)或氧化銦氧化錫合金($\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO)等作為具有透光性的導電膜的材料。作為具有透光性的導電膜的其他材料，可以使用含有氮的 Al-Zn-O 類非單晶膜，即 Al-Zn-O-N 類非單晶膜、Zn-O-N 類非單晶膜、Sn-Zn-O-N 類非單晶膜。另外，Al-Zn-O-N 類非單

晶膜的鋅的組成比(原子百分比)是 47 原子%以下，該鋅的組成比大於非單晶膜中的鋁的組成比(原子百分比)，並且非單晶膜中的鋁的組成比(原子百分比)大於非單晶膜中的氮的組成比(原子百分比)。上述材料的蝕刻處理使用鹽酸類的溶液進行。但是，由於對 ITO 的蝕刻特別容易產生殘渣，因此也可以使用氧化銦氧化鋅合金($\text{In}_2\text{O}_3\text{-ZnO}$)，以便改善蝕刻加工性。

另外，以具有透光性的導電膜的組成比的單位為原子百分比，並且藉由使用電子探針顯微分析儀(EPMA: Electron Probe X-ray MicroAnalyzer)的分析進行評價。

接著，進行第六光微影製程，形成抗蝕劑掩罩，藉由蝕刻去除不需要的部分來形成像素電極層 427，然後去除抗蝕劑掩罩(參照圖 2E)。

藉由上述製程使用六個掩罩可以在同一基板上製造薄膜電晶體 448 和寄生電容降低的佈線交叉部。用於像素的薄膜電晶體 448 是包括氧化物半導體層 442 的通道保護型薄膜電晶體，該氧化物半導體層 442 包括高電阻源極區 424a、高電阻汲極區 424b 及通道形成區 423。因此，即使對薄膜電晶體 448 施加高電場，高電阻汲極區 424b 或高電阻源極區 424a 成為緩衝區域而不被施加局部性的高電場，因此薄膜電晶體 448 具有提高電晶體的耐壓的結構。

另外，也可以在同一基板上形成以閘極絕緣層 402 為電介質且由電容佈線層和電容電極形成的儲存電容器。藉

由對應於每個像素將薄膜電晶體 448 和儲存電容器配置為矩陣狀來構成像素部，可以形成用來製造主動矩陣型顯示裝置的一方的基板。在本說明書中，為了方便起見將這種基板稱為主動矩陣型基板。

另外，也可以在同一基板上設置驅動電路的薄膜電晶體。藉由在同一基板上形成驅動電路和像素部，可以縮短驅動電路與外部信號的連接佈線，從而可以實現半導體裝置的小型化、低成本化。

另外，圖 1B 所示的用於像素的薄膜電晶體 448 的氧化物半導體層 442 的邊緣部具有與氧化物絕緣層 426b 重疊的第一區域 424c、第二區域 424d。作為氧化物半導體層 442 的邊緣部的第一區域 424c、第二區域 424d 處於與通道形成區 423 相同的氧過剩狀態，並且當在其附近設置電位不同的佈線或氧化物半導體層時可以實現漏電流的降低或寄生電容的降低。

特別是在驅動電路中，為了實現高整合化，最好縮小多個佈線或多個氧化物半導體層的間隔地進行配置，所以藉由重疊於氧化物絕緣層 426b 地設置第一區域 424c 及第二區域 424d 來進行漏電流的降低或寄生電容的降低是有效的。另外，當串聯或並聯配置多個薄膜電晶體時，藉由將多個薄膜電晶體的氧化物半導體層形成為一個島狀物，並使氧化物半導體層重疊於氧化物絕緣層 426b，來進行各個元件的分離，而將重疊於氧化物絕緣層 426b 的區域作為元件分離區域。藉由上述方法，可以在窄面積中配置

多個薄膜電晶體，從而可以實現驅動電路的高整合化。

實施例模式 2

在本實施例模式中示出使用實施例模式 1 所示的薄膜電晶體在同一基板上形成像素部和驅動電路來製造主動矩陣型液晶顯示裝置的一個例子。

圖 3A 示出主動矩陣基板的截面結構的一個例子。

在實施例模式 1 中圖示出像素部的薄膜電晶體及佈線交叉部，而在本實施例模式中圖示出薄膜電晶體、佈線交叉部、驅動電路部的薄膜電晶體、儲存電容器、閘極佈線、源極電極佈線的端子部而進行說明。電容、閘極佈線、源極電極佈線的端子部可以藉由與實施例模式 1 所示的製造製程相同的製程形成。另外，在像素部的成為顯示區域的部分中閘極佈線、源極電極佈線及電容佈線層都由具有透光性的導電膜形成，以實現高孔徑比。

在圖 3A 中，與像素電極層 227 電連接的薄膜電晶體 220 是設置在像素部中的通道保護型薄膜電晶體，而在本實施例模式中使用與實施例模式 1 的薄膜電晶體 448 相同的結構。另外，薄膜電晶體 220 的閘極電極層的在通道長度方向上的寬度窄於薄膜電晶體 220 的氧化物半導體層的在通道長度方向上的寬度。

利用與薄膜電晶體 220 的閘極電極層相同的具有透光性的材料和相同製程形成的電容佈線層 230 隔著成為電介質的閘極絕緣層 202 重疊於電容電極 231，以形成儲存電

容器。另外，電容電極 231 利用與薄膜電晶體 220 的源極電極層或汲極電極層相同的具有透光性的材料和相同製程形成。因此，因為薄膜電晶體 220 具有透光性且每個儲存電容器也具有透光性，所以可以提高孔徑比。

從提高孔徑比的觀點而言，儲存電容器具有透光性是很重要的。尤其是因為在 10 英寸以下的小型液晶顯示面板中增加閘極佈線的數量等來實現顯示圖像的高清晰化，所以即使像素尺寸實現微細化也可以實現高孔徑比。另外，藉由薄膜電晶體 220 及儲存電容器的結構部件使用具有透光性的膜來實現廣視角，因此即使將一個像素分割為多個子像素也可以實現高孔徑比。即，即使配置高密度的薄膜電晶體群也可以確保大孔徑比，從而可以確保充分的顯示區域的面積。例如，當在一個像素內具有 2 至 4 個子像素及儲存電容器時，因為薄膜電晶體具有透光性且各儲存電容器也具有透光性，所以可以提高孔徑比。

另外，儲存電容器設置在像素電極層 227 的下方，並且儲存電極 231 電連接到像素電極層 227。

雖然在本實施例模式中示出使用電容電極 231 及電容佈線層 230 形成儲存電容器的例子，但是對形成儲存電容器的結構沒有特別的限制。例如，也可以不設置電容佈線層而使像素電極層隔著平坦化絕緣層、保護絕緣層及閘極絕緣層重疊於相鄰的像素的閘極佈線，以形成儲存電容器。

另外，雖然在圖 3A 中儲存電容器形成大電容，所以

在電容佈線層和電容電極之間只有閘極絕緣層 202，爲了降低寄生電容，在佈線交叉部中，在閘極電極層 421b 和在其上方形成的佈線之間設置閘極絕緣層 202 和氧化物絕緣層 266b。在儲存電容器中，在電容佈線層和電容電極之間只有閘極絕緣層 202 的情況下，當去除氧化物絕緣層 266b 的蝕刻時，選擇選擇性地只留下閘極絕緣層 202 的蝕刻條件或閘極絕緣層的材料。在本實施例模式中，因爲氧化物絕緣層 266b 是藉由濺射法得到的氧化矽膜且閘極絕緣層 202 是藉由 CVD 法得到的氮化矽膜，所以可以選擇性地進行去除。另外，當氧化物絕緣層 266b 和閘極絕緣層 202 使用以相同蝕刻條件去除的材料時，最好採用即使藉由蝕刻而閘極絕緣層的一部分被薄膜化也至少使閘極絕緣層殘留而可以形成電容的膜厚度。因爲爲了將儲存電容器形成得大最好將閘極絕緣層的膜厚度設定得薄，所以也可以採用當對氧化物絕緣層 266b 選擇性地進行蝕刻時使電容佈線上的閘極絕緣層實現薄膜化的結構。

另外，薄膜電晶體 260 是設置在驅動電路中的通道保護型的薄膜電晶體，其通道長度 L 比薄膜電晶體 220 短，以實現工作速度的高速化。最好將設置在驅動電路中的通道保護型薄膜電晶體的通道長度 L 設定爲 $0.1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下。薄膜電晶體 260 的閘極電極層 261 的在通道長度方向上的寬度寬於薄膜電晶體 260 的氧化物半導體層的在通道長度方向上的寬度，並且閘極電極層 261 的端面隔著閘極絕緣層 202 及氧化物絕緣層 266b 重疊於源極電極

層 265a 或汲極電極層 265b。

薄膜電晶體 260 在具有絕緣表面的基板 200 上包括閘極電極層 261、閘極絕緣層 202、氧化物半導體層、源極電極層 265a 及汲極電極層 265b，該氧化物半導體層至少具有通道形成區 263、高電阻源極區 264a 及高電阻汲極區 264b。另外，設置有接觸於通道形成區 263 的氧化物絕緣層 266a。

另外，驅動電路的薄膜電晶體 260 的閘極電極層也可以採用與設置在氧化物半導體層的上方的導電層 267 電連接的結構。此時，使用與用於電連接薄膜電晶體 220 的汲極電極層與像素電極層 227 的接觸孔相同的光掩罩，並且對平坦化絕緣層 204、保護絕緣層 203、氧化物絕緣層 266b、閘極絕緣層 202 選擇性地進行蝕刻來形成接觸孔。藉由該接觸孔使導電層 267 與驅動電路的薄膜電晶體 260 的閘極電極層 261 電連接。

保護絕緣層 203 使用無機絕緣膜，使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜等。在本實施例模式中使用氮化矽膜。

另外，薄膜電晶體 260 採用閘極電極層 261 的寬度寬於氧化物半導體層的寬度的結構。另外，氧化物絕緣層 266b 與氧化物半導體層的邊緣部重疊並與閘極電極層 261 重疊。氧化物絕緣層 266b 發揮拉開汲極電極層 265b 和閘極電極層 261 的間隔來降低形成在汲極電極層 265b 和閘極電極層 261 之間的寄生電容的功能。另外，與氧化物絕

緣層 266b 重疊的氧化物半導體層的第一區域 264c、第二區域 264d 處於與通道形成區域 263 相同的氧過剩狀態，並也發揮降低漏電流或降低寄生電容的功能。

另外，當液晶顯示面板的尺寸超過 10 英寸而採用 60 英寸、120 英寸時，具有透光性的佈線的佈線電阻有可能成為難題，因此最好佈線的一部分採用金屬佈線來降低佈線電阻。例如，源極電極層 265a 及汲極電極層 265b 採用 Ti 等的金屬佈線。因為形成金屬佈線，所以與實施例模式 1 相比掩罩的數目增加一個。

此時，接觸於被脫水化或脫氫化的氧化物半導體層上地形成由 Ti 等的金屬電極構成的源極電極層或汲極電極層，形成重疊於源極電極層的高電阻源極區和重疊於汲極電極層的高電阻汲極區，並且高電阻源極區和高電阻汲極區之間的區域成為通道形成區。

另外，為了降低佈線電阻而如圖 3A 那樣在源極電極層 265a 及汲極電極層 265b 上形成使用更低電阻的金屬電極的輔助電極層 268a、268b。此時也形成金屬佈線(金屬電極)，因此與實施例模式 1 相比光掩罩的數目增加一個。也可以採用只有透光性的源極電極層及汲極電極層的結構，但是當在源極電極層及汲極電極層上設置使用金屬電極的輔助電極層時可以降低佈線電阻。

藉由層疊具有透光性的導電膜及金屬導電膜並藉由光微影製程選擇性地進行蝕刻來形成源極電極層 265a、汲極電極層 265b、輔助電極層 268a、268b、薄膜電晶體

220 的源極電極層及汲極電極層。去除薄膜電晶體 220 的源極電極層及汲極電極層上的金屬導電膜。

另外，當對金屬導電膜進行蝕刻時，適當地調節各材料及蝕刻條件，以便防止也去除薄膜電晶體 220 的源極電極層及汲極電極層。

例如，爲了對金屬導電膜選擇性地進行蝕刻，使用鹼性的蝕刻劑。作爲金屬導電膜的材料，可以舉出選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素、以上述元素爲成分的合金、組合上述元素的合金膜等。另外，金屬導電膜可以採用單層結構或兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁層上層疊鈦膜的兩層結構；Ti 膜、層疊在該 Ti 膜上的鋁膜、在其上層疊的 Ti 膜的三層結構等。另外，也可以使用：組合鋁與選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、Sc (鈦) 中的一個或多個元素的膜、合金膜或氮化膜。

在本實施例模式中，作爲金屬導電膜使用 Ti 膜，作爲源極電極層及汲極電極層使用 In-Sn-O 類氧化物，並且作爲蝕刻劑使用過氧化氫氨水(氨水、水和過氧化氫的混合液)。

設置在氧化物半導體層和由金屬材料構成的輔助電極層 268b 之間的汲極電極層 265b 也發揮作爲低電阻汲極區 (LRN(低電阻 N 型導電型：Low Resistanse N-type conductivity)區、也稱爲 LRD(低電阻汲極電極：Low Resistance Drain)區)的功能。藉由採用氧化物半導體層、

低電阻汲極區、作為金屬電極的輔助電極層 268b 的結構，可以進一步提高電晶體的耐壓。明確而言，最好低電阻汲極區的載子濃度大於高電阻汲極區(HRD 區)，例如在 $1 \times 10^{20}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下的範圍內。

另外，根據像素密度設置多個閘極佈線、多個源極電極佈線及多個電容佈線層。另外，在端子部中多個具有與閘極佈線相同的電位的第一端子電極、多個具有與源極電極佈線相同的電位的第二端子電極、多個具有與電容佈線層相同的電位的第三端子等被排列地配置。各端子電極的數量可以是任意的，實施者適當地決定各端子電極的數量，即可。

在端子部中，可以使用與像素電極層 227 相同的具有透光性的材料形成具有與閘極佈線相同的電位的第一端子電極。第一端子電極藉由到達閘極佈線的接觸孔與閘極佈線電連接。使用與用來使薄膜電晶體 220 的汲極電極層和像素電極層 227 電連接的接觸孔相同的光掩罩來對平坦化絕緣層 204、保護絕緣層 203、氧化物絕緣層 266b、閘極絕緣層 202 選擇性地進行蝕刻，以形成到達閘極佈線的接觸孔。

此外，可以使用與像素電極層 227 相同的具有透光性的材料形成具有與端子部的源極電極佈線 254 相同的電位的第二端子電極 255。第二端子電極 255 藉由達到源極電極佈線 254 的接觸孔與源極電極佈線電連接。源極電極佈線是金屬佈線，並使用與薄膜電晶體 260 的源極電極層

265a 相同的材料及製程形成，且具有相同的電位。

另外，使用與像素電極層 227 相同的具有透光性的材料形成具有與電容佈線層 230 相同的電位的第三端子電極。此外，可以使用與用來使電容電極 231 和像素電極層 227 電連接的接觸孔相同的光掩罩及製程形成到達電容佈線層 230 的接觸孔。

此外，當製造主動矩陣型液晶顯示裝置時，在主動矩陣基板和設置有對置電極的對置基板之間設置液晶層來固定主動矩陣基板和對置基板。另外，將與設置在對置基板的對置電極電連接的共同電極設置在主動矩陣基板上，並且在端子部設置與共同電極電連接的第四端子電極。該第四端子電極是用來將共同電極設定為固定電位例如 GND、0V 等的端子。可以使用與像素電極層 227 相同的具有透光性的材料形成第四端子電極。

此外，當使用相同的材料形成閘極電極層、源極電極層、汲極電極層、像素電極層或其他電極層及其他佈線層時，可以使用共同的濺射靶或共同的製造裝置，而可以縮減其材料成本及進行蝕刻時所使用的蝕刻劑(或蝕刻氣體)所需要的成本。其結果，可以縮減製造成本。

另外，當在圖 3A 的結構中使用感光樹脂材料作為平坦化絕緣層 204 時，可以省略形成抗蝕劑掩罩的製程。

此外，圖 3B 示出其一部分與圖 3A 不同的截面結構。由於圖 3B 與圖 3A 相比除了平坦化絕緣層 204 不存在於端子部以及驅動電路的薄膜電晶體的結構不同之外其

他結構都相同，所以使用相同的附圖標記表示相同的部分而省略相同部分的詳細說明。在圖 3B 中，配置使用金屬佈線的薄膜電晶體 270。另外，端子電極也使用與金屬佈線相同的材料及製程來形成。

此外，在圖 3B 的結構中，作為平坦化絕緣層 204 使用感光樹脂材料而省略形成抗蝕劑掩罩的製程。因此，可以不使用抗蝕劑掩罩地形成平坦化絕緣層 204 不存在於端子部的結構。當平坦化絕緣層不存在於端子部時，可以容易進行與 FPC 的良好的連接。

薄膜電晶體 270 在具有絕緣表面的基板 200 上包括：閘極電極層 271；閘極絕緣層 202；至少具有通道形成區 273、高電阻源極區 274a 及高電阻汲極區 274b 的氧化物半導體層；源極電極層 275a；以及汲極電極層 275b。此外，還設置有與通道形成區 273 接觸的氧化物絕緣層 276a。

另外，與氧化物絕緣層 276b 重疊的氧化物半導體層的第一區域 274c、第二區域 274d 與通道形成區 273 同樣地處於氧過剩狀態，並具有減少洩漏電流及寄生電容的作用。另外，將與保護絕緣層 203 接觸的氧化物半導體層的第三區域 274e 設置在通道形成區 273 與高電阻源極區 274a 之間。此外，將與保護絕緣層 203 接觸的氧化物半導體層的第四區域 274f 設置在通道形成區 273 與高電阻汲極區 274b 之間。與保護絕緣層 203 接觸的氧化物半導體層的第三區域 274e 及第四區域 274f 可以減少截止電

流。

另外，在通道保護型薄膜電晶體中，當爲了縮短通道形成區的通道長度 L 而將氧化物絕緣層的寬度形成得較窄並在寬度較窄的氧化物絕緣層上設置源極電極層及汲極電極層時，有可能在氧化物絕緣層上發生短路。因此，以源極電極層 275a 及汲極電極層 275b 端部遠離寬度窄的氧化物絕緣層 276a 的方式設置源極電極層 275a 及汲極電極層 275b。

另外，當進行金屬導電膜的蝕刻時，以薄膜電晶體 270 的氧化物半導體層不被去除的方式適當地調節各種材料及蝕刻條件。

在本實施例模式中，將 Ti 膜用作金屬導電膜，將 In-Ga-Zn-O 類氧化物用作氧化物半導體層，並且將過氧化氫水(鉍水、水、過氧化氫水的混合液)用作蝕刻劑。

此外，驅動電路的薄膜電晶體 270 的閘極電極層也可以與設置在氧化物半導體層的上方的導電層 277 電連接。

此外，其電位與源極電極佈線 256 相同的端子部的第二端子電極 257 可以由與像素電極層 227 相同的具有透光性的材料形成。源極電極佈線是金屬佈線，並與薄膜電晶體 270 的源極電極層 275a 使用相同的材料及製程而形成且具有相同的電位。

另外，由於薄膜電晶體容易因靜電等而被損壞，所以最好將保護電路設置在與像素部或驅動電路相同的基板上。最好採用使用氧化物半導體層的非線性元件構成保護

電路。例如，將保護電路設置在像素部和掃描線輸入端子及信號線輸入端子之間。在本實施例模式中，設置多個保護電路，以便在掃描線、信號線及電容匯流排因靜電等而被施加浪湧電壓時像素電晶體等不被損壞。因此，保護電路採用當其被施加浪湧電壓時向共同佈線釋放電荷的結構。另外，保護電路由隔著掃描線並聯配置的非線性元件構成。非線性元件由二極體等的二端子元件或電晶體等的三端子元件構成。例如，非線性元件也可以使用與像素部的薄膜電晶體 220 相同的製程形成，例如藉由連接閘極端子和汲極電極端子，可以使非線性元件具有與二極體同樣的特性。

另外，也可以省略平坦化絕緣層 204 的形成製程，而採用不設置平坦化絕緣層 204 的結構。在此情況下，以與保護絕緣層 203 上接觸的方式設置導電層 267、導電層 277、像素電極層 227 及第二端子電極 255、257。

本實施例模式可以與實施例模式 1 自由地組合。

實施例模式 3

此外，本實施例模式示出設置在與薄膜電晶體同一基板上的端子部的結構的一個例子。另外，實施例模式 2 示出源極電極佈線的端子部的一個例子，但是本實施例模式圖示出具有與實施例模式 2 不同的結構的源極電極佈線的端子部和閘極佈線的端子部。另外，在圖 4A1 至 4B2 中，使用與圖 3A 或 3B 相同的附圖標記說明相同的部

分。

圖 4A1、圖 4A2 分別圖示閘極佈線端子部的截面圖及俯視圖。圖 4A1 相當於沿著圖 4A2 中的 C1-C2 線的截面圖。在圖 4A1 中，形成在保護絕緣層 203 上的導電層 225 是用作輸入端子的連接用端子電極。在圖 4A1 中，在端子部由與閘極電極層 421b 相同的材料形成的第一端子 221 和由與源極電極佈線相同的材料形成的連接電極層 223、228 隔著閘極絕緣層 202 重疊且藉由導電層 225 導通。此外，在採用圖 3B 所示的結構時，第一端子 221 可以使用金屬佈線材料。

此外，圖 4B1 及圖 4B2 分別示出與圖 3B 所示的源極電極佈線端子部相異的源極電極佈線端子部的截面圖及俯視圖。另外，圖 4B1 相當於沿著圖 4B2 中的 C3-C4 線的截面圖。在圖 4B1 中，形成在保護絕緣層 203 上的導電層 225 是用作輸入端子的連接用端子電極。在圖 4B1 中，在端子部由與閘極佈線相同的材料形成的電極層 226 隔著閘極絕緣層 202 重疊於與源極電極佈線電連接的第二端子 222、229 的下方。電極層 226 不與第二端子 222 電連接，並且藉由將電極層 226 設定為與第二端子 222、229 不同的電位例如浮動狀態、GND、0V 等，可以形成用來防止雜波或靜電的電容器。此外，第二端子 222、229 隔著保護絕緣層 203 與導電層 225 電連接。另外，當採用圖 3B 所示的結構時，可以使用金屬佈線材料的單層構成作為導電材料的疊層的第二端子 222、229。

根據像素密度設置多個閘極佈線、源極電極佈線及電容佈線。此外，在端子部中，排列地配置多個電位與閘極佈線相同的第一端子、多個電位與源極電極佈線相同的第二端子以及多個電位與電容佈線相同的第三端子等。各端子的數量可以是任意的，實施者可以適當地決定各端子的數量。

本實施例模式可以與實施例模式 1 或實施例模式 2 自由地組合。

實施例模式 4

在此示出以下例子：在第一基板和第二基板之間密封有液晶層的液晶顯示裝置中，將用來與設置在第二基板的對置電極電連接的共同連接部形成在第一基板上。另外，在第一基板上形成有用作切換元件的薄膜電晶體，藉由共同地進行共同連接部的製造製程與和像素部的切換元件的製造製程，可以在不使製程複雜化的情況下形成共同連接部和像素部的切換元件。

共同連接部配置在與用來黏合第一基板和第二基板的密封材料重疊的位置，並藉由包含在密封材料中的導電粒子與對置電極電連接。或者，將共同連接部設置在不與密封材料重疊的部分(但是，該部分不包括像素部)，並以與共同連接部重疊的方式將包含導電粒子的膏劑與密封材料另行設置，而使共同連接部與對置電極電連接。

圖 5A 示出將薄膜電晶體和共同連接部製造在同一基

板上的半導體裝置的截面結構圖。

在圖 5A 中，與像素電極層 227 電連接的薄膜電晶體 220 是設置在像素部的通道保護型薄膜電晶體，並且在本實施例模式中，該薄膜電晶體採用與實施例模式 1 的薄膜電晶體 448 相同的結構。

此外，圖 5B 是示出共同連接部的俯視圖的一個例子的圖。並且沿附圖中的虛線 C5-C6 的共同連接部的截面圖相當於圖 5A。另外，在圖 5B 中，使用與圖 5A 同一附圖標記說明與圖 5A 相同的部分。

共同電位線 205、210 設置在閘極絕緣層 202 上並利用與薄膜電晶體 220 的源極電極層及汲極電極層相同的材料及製程製造。

此外，共同電位線 205、210 被保護絕緣層 203 覆蓋，並且保護絕緣層 203 在與共同電位線 205、210 重疊的位置中具有多個開口部。該開口部使用與連接薄膜電晶體 220 的汲極電極層和像素電極層 227 的接觸孔相同的製程製造。

注意，在此由於其面積尺寸大不相同，所以分別將其稱為像素部中的接觸孔和共同連接部的開口部。另外，在圖 5A 中，像素部和共同連接部使用不同的縮尺來圖示，例如共同連接部的虛線 C5-C6 的長度為 $500\mu\text{m}$ 左右，而薄膜電晶體的寬度小於 $50\mu\text{m}$ ，雖然實際上面積尺寸是其 10 倍以上，但是為了容易理解，在圖 5A 中分別改變像素部和共同連接部的縮尺而進行圖示。

另外，共同電極層 206 設置在保護絕緣層 203 上，並使用與像素部的像素電極層 227 相同的材料及製程而製造。

如此，與像素部的切換元件的製造製程共同地進行共同連接部的製造製程。

並且，使用密封材料對設置有像素部和共同連接部的第一基板和具有對置電極的第二基板進行固定。

當使密封材料包含導電粒子時，以使密封材料與共同連接部重疊的方式對一對基板進行位置對準。例如，在小型的液晶面板中，在像素部的對角等上與密封材料重疊地配置兩個共同連接部。另外，在大型的液晶面板中，與密封材料重疊地配置四個以上的共同連接部。

另外，共同電極層 206 是與包含在密封材料中的導電粒子接觸的電極，並與第二基板的對置電極電連接。

當使用液晶植入法時，在使用密封材料將一對基板固定之後，將液晶植入到一對基板之間。另外，當使用液晶滴落法時，在第二基板或第一基板上塗畫密封材料，在滴落液晶之後，在減壓下對一對基板進行貼合。

另外，在本實施例模式中，雖然示出與對置電極電連接的共同連接部的例子，但是不侷限於此，還可以將其用作與其他的佈線連接的連接部或與外部連接端子等連接的連接部。

此外，圖 5C 示出其一部分與圖 5A 不同的截面結構。由於圖 5C 與圖 5A 相比除了具有與共同電極層 206

重疊的氧化物半導體層及覆蓋端子部的氧化物絕緣層和將金屬佈線用作共同電位線之外其他結構都相同，因此使用相同的附圖標記表示相同的部分而省略相同的部分的詳細說明。

氧化物半導體層 207 設置在閘極絕緣層 202 上，且採用與薄膜電晶體 220 的氧化物半導體層相同的材料及製程製造。此外，形成覆蓋氧化物半導體層 207 的氧化物絕緣層 208。而且，在氧化物半導體層 207 上形成由金屬佈線構成的共同電位線 209。該由金屬佈線構成的共同電位線 209 如實施例模式 2 的圖 3B 所示那樣藉由採用與驅動電路的薄膜電晶體的源極電極層或汲極電極層相同的製程形成。

此外，共同電位線 209 被保護絕緣層 203 覆蓋，並且保護絕緣層 203 在與共同電位線 209 重疊的位置具有多個開口部。該開口部藉由與連接薄膜電晶體 220 的汲極電極層和像素電極層 227 的接觸孔相同的製程製造。

此外，共同電極層 206 設置在保護絕緣層 203 上，且採用與像素部的像素電極層 227 相同的材料及製程製造。

像這樣，也可以共同地進行像素部的切換元件的製造製程及共同連接部的製造製程來將金屬佈線用作共同電位線而降低佈線電阻。

本實施例模式可以與實施例模式 1 至 3 中任一個自由地組合。

實施例模式 5

雖然實施例模式 1 或實施例模式 2 示出閘極絕緣層是單層的例子，但是本實施例模式示出疊層的例子。另外，在圖 6A 和 6B 中，與圖 3A 或 3B 相同的附圖標記表示相同的部分。

圖 6A 示出薄膜電晶體 280 是設置在像素部的通道保護型薄膜電晶體且閘極絕緣層是兩層的例子。

在本實施例模式中採用厚度為 50nm 以上且 200nm 以下的第一閘極絕緣層 282a 和厚度為 50nm 以上且 300nm 以下的第二閘極絕緣層 282b 的疊層的閘極絕緣層。作為第一閘極絕緣層 282a，使用厚度為 100nm 的氮化矽膜或氮氧化矽膜。此外，作為第二閘極絕緣層 282b，使用厚度為 100nm 的氧化矽膜。

此外，在薄膜電晶體 280 中，在具有絕緣表面的基板上包括：閘極電極層 281；第一閘極絕緣層 282a；第二閘極絕緣層 282b；至少具有通道形成區 283、高電阻源極區 284a 及高電阻汲極區 284b、源極區 284c 及汲極區 284d 的氧化物半導體層；源極電極層 285a；以及汲極電極層 285b。此外，設置有與通道形成區 283 接觸的氧化物絕緣層 286a。此外，像素電極層 227 與汲極電極層 285b 電連接。

另外，儲存電容器設置在像素電極層 227 的下方且電容電極 231 與像素電極層 227 電連接。

在本實施例模式中，使用電容電極 231 及電容佈線層

230 形成儲存電容器。

此外，在圖 6A 中，因為儲存電容器形成大電容，所以在電容佈線和電容電極之間只有設置閘極絕緣層。

本實施例模式示出一個例子，其中作為氧化物絕緣層 286b 使用藉由濺射法可以獲得的氧化矽膜，並且當去除與電容佈線層 230 重疊的氧化物絕緣層時，還對氧化矽膜的第三閘極絕緣層進行蝕刻來薄膜化而使它成為第三閘極絕緣層 282c。另外，第一閘極絕緣層 282a 是氮化矽膜或氮氧化矽膜，用作蝕刻停止層，並防止對閘極電極層或基板的蝕刻損壞。

藉由採用厚度薄的第三閘極絕緣層 282c，可以增大儲存電容。

此外，圖 6B 示出其一部分與圖 6A 不同的截面結構。

圖 6B 所示的薄膜電晶體 290 採用厚度為 50nm 以上且 200nm 以下的第一閘極絕緣層 292a 和厚度為 1nm 以上且 50nm 以下的第二閘極絕緣層 292b 的疊層的閘極絕緣層。作為第一閘極絕緣層 292a，使用厚度為 100nm 的氧化矽膜。此外，作為第二閘極絕緣層 292b，使用厚度為 10nm 的氮化矽膜或氮氧化矽膜。

在薄膜電晶體 290 中，在具有絕緣表面的基板 200 上包括：閘極電極層 291；第一閘極絕緣層 292a；第二閘極絕緣層 292b；至少具有通道形成區 293、高電阻源極區 294a 及高電阻汲極區 294b 的氧化物半導體層；源極電極

層 295a；以及汲極電極層 295b。此外，設置有與通道形成區 293 接觸的氧化物絕緣層 296a。

另外，與氧化物絕緣層 296b 重疊的氧化物半導體層的第一區域 294c、第二區域 294d 處於與通道形成區 293 相同的氧過剩的狀態，並具有降低寄生電容的作用。將與保護絕緣層 203 接觸的氧化物半導體層的第三區域 294e 設置在通道形成區 293 和高電阻源極區 294a 之間。此外，將與保護絕緣層 203 接觸的氧化物半導體層的第四區域 294f 設置在通道形成區 293 和高電阻汲極區 294b 之間。與保護絕緣層 203 接觸的氧化物半導體層的第三區域 294e 及第四區域 294f 可以降低截止電流。

此外，氧化物半導體層的第三區域 294e、第四區域 294f 還與氮化矽膜或氮氧化矽膜的第二閘極絕緣層 292b 接觸。作為保護絕緣層 203 使用不包含水分、氫離子、 OH^- 等的雜質且阻擋上述雜質從外部侵入的無機絕緣膜，即使用氧化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜等。

此外，本實施例模式示出一個例子，其中作為氧化物絕緣層 296b 使用藉由濺射法而獲得的氧化矽膜，並當去除與電容佈線層 230 重疊的氧化物絕緣層時，將氮化矽膜或氮氧化矽膜的第二閘極絕緣層用作蝕刻停止層來對氧化物絕緣層進行蝕刻。

另外，在通道保護型薄膜電晶體中，當為縮短通道形成區的通道長度 L 而使氧化物絕緣層的寬度變窄，且在寬

度窄的氧化物絕緣層上設置源極電極層及汲極電極層時，有在氧化物絕緣層上產生短路的憂慮。因此，採用將端子部從寬度窄的氧化物絕緣層 296a 離開而設置源極電極層 295a 及汲極電極層 295b 的結構。

本實施例模式可以與實施例模式 1 至 4 中任一個自由地組合。

實施例模式 6

在本實施例模式中，圖 7A 至 7C 以及圖 8A 至 8E 示出薄膜電晶體的製造製程的一部分與實施例模式 1 不同的例子。因為圖 7A 至 7C 以及圖 8A 至 8E 的製程除了其一部分之外與圖 1A 至 1C 以及圖 2A 至 2E 的製程相同，所以使用相同的附圖標記表示相同的部分而省略相同的部分的詳細說明。

首先，根據實施例模式 1，在基板上形成閘極電極層、閘極絕緣層及氧化物半導體膜 430，然後進行到實施例模式 1 中的圖 2A 的製程。圖 2A 與圖 8A 相同。

而且，藉由第二光蝕刻製程將氧化物半導體層膜 430 加工為島狀的氧化物半導體層。

接著，進行氧化物半導體層的脫水化或脫氫化。將進行脫水化或脫氫化的第一加熱處理的溫度設定為 400℃ 以上且低於基板的應變點，最好設定為 425℃ 以上。注意，當溫度為 425℃ 以上時，加熱處理時間為 1 小時以下即可，而當溫度低於 425℃ 時，加熱處理時間為長於 1 小

時。在此，將基板放入加熱處理裝置中之一種的電爐中，並在氮氛圍下對氧化物半導體層進行加熱處理，然後不使其接觸於大氣而防止水或氫再次混入到氧化物半導體層，來獲得氧化物半導體層。然後，在相同的爐中引入高純度的氧氣體、高純度的 N_2O 氣體或超乾燥空氣 (ultra dry air) (露點為 -40°C 以下，最好為 -60°C 以下) 來進行冷卻。最好不使氧氣體或 N_2O 氣體包含水、氫等。或者，較佳的是將引入到加熱處理裝置的氧氣體或 N_2O 氣體的純度設定為 6N(99.9999%) 以上，更佳的是將其設定為 7N(99.99999%) 以上 (也就是說，將氧氣體或 N_2O 氣體中的雜質濃度設定為 1ppm 以下，最好設定為 0.1ppm 以下)。

此外，也可以在進行脫水化或脫氫化的第一加熱處理之後，在氧氣體或 N_2O 氣體氛圍下以 200°C 以上且 400°C 以下，最好以 200°C 以上且 300°C 以下的溫度進行加熱處理。

此外，也可以對加工為島狀氧化物半導體層之前的氧化物半導體膜 430 進行氧化物半導體層的第一加熱處理。在此情況下，在第一加熱處理之後從加熱裝置取出基板並進行光微影製程。

藉由上述製程使氧化物半導體膜的整體處於氧過剩狀態，來進行高電阻化，即 I 型化。

接著，在藉由濺射法在閘極絕緣層 402 及氧化物半導體層上形成氧化物絕緣膜之後，藉由第三光微影製程形成抗蝕劑掩罩，選擇性地進行蝕刻來形成氧化物絕緣層

426a、426b，然後去除抗蝕劑掩罩(參照圖 8B)。

接著，在閘極絕緣層 402、氧化物絕緣層 426a、426b 及氧化物半導體層 422 上形成具有透光性的導電膜，然後藉由第四光微影製程形成抗蝕劑掩罩，並藉由進行選擇性的蝕刻來形成源極電極層 425a 及汲極電極層 425b(參照圖 8C)。

接著，爲了減少薄膜電晶體的電特性的不均勻，也可以在惰性氛圍下或氮氣體氛圍下進行加熱處理(最好以 150℃ 以上且低於 350℃)。例如，在氮氛圍下以 250℃ 進行 1 小時的加熱處理。

接著，在氧化物絕緣層 426a、426b、源極電極層 425a、汲極電極層 425b 上形成保護絕緣層 403。

接著，在保護絕緣層 403 上形成平坦化絕緣層 404。

接著，進行第五光微影製程，形成抗蝕劑掩罩，藉由對平坦化絕緣層 404 及保護絕緣層 403 進行蝕刻形成到達汲極電極層 425b 的接觸孔 441，來去除抗蝕劑掩罩(參照圖 8D)。

接著，形成具有透光性的導電膜。

接著，藉由進行第六光微影製程，形成抗蝕劑掩罩，藉由蝕刻去除不需要的部分形成像素電極層 427 並去除抗蝕劑掩罩(參照圖 8E)。

藉由上述製程，可以使用六個掩罩在同一基板上製造薄膜電晶體 420 和寄生電容得到降低的佈線交叉部。

用於像素的薄膜電晶體 420 是包括具有通道形成區的

氧化物半導體層 422 的通道保護型薄膜電晶體。

此外，圖 7A 是配置在像素中的通道保護型薄膜電晶體 420 的平面圖。圖 7B 是沿著圖 7A 的線 D7-D8 中的截面圖及沿著圖 7A 的線 D11-D12 的截面圖。此外，圖 7C 是沿著圖 7A 的線 D9-D10 的截面圖。此外，圖 8E 與圖 7B 相同。

本實施例模式可以與實施例模式 1 至 5 中任一個自由地組合。

實施例模式 7

在本實施例模式中，圖 9A 及圖 9B 示出儲存電容器的結構的與實施例模式 2 不同的例子。由於除了儲存電容器的結構不同之外，圖 9A 與圖 3A 相同，因此使用相同的附圖標記表示相同的部分而省略相同部分的詳細說明。注意，圖 9A 示出像素部的薄膜電晶體 220 和儲存電容器的截面結構。

圖 9A 是將保護絕緣層 203 及平坦化絕緣層 204 用作電介質，並使用像素電極層 227 和與該像素電極層 227 重疊的電容佈線層 250 形成儲存電容器的例子。由於電容佈線層 250 利用與像素部的薄膜電晶體 220 的源極電極層相同的具有透光性的材料及製程形成，因此將其配置為不與薄膜電晶體 220 的源極佈線層重疊。

圖 9A 所示的儲存電容器的一對電極和電介質具有透光性，而使整個儲存電容器具有透光性。

另外，圖 9B 示出與圖 9A 不同的儲存電容器的結構的例子。由於圖 9B 與圖 3A 除了儲存電容器的結構不同之以外其他都相同，所以使用同樣的附圖標記表示同樣的部分，而省略同樣的部分的詳細說明。

圖 9B 示出將閘極絕緣層 202 用作電介質並由電容佈線層 230、重疊於該電容佈線層 230 的氧化物半導體層 251 和電容電極 231 的疊層形成儲存電容器的例子。另外，電容電極 231 以接觸與氧化物半導體層 251 的方式層疊在氧化物半導體層 251 上，並用作儲存電容器的一個電極。另外，氧化物半導體層 251 使用與薄膜電晶體 220 的氧化物半導體層相同的具有透光性的材料和同樣的製程而形成。另外，因為電容佈線層 230 使用與薄膜電晶體 220 的閘極電極層相同的具有透光性的材料和相同的製程而形成，所以將其配置為不重疊於薄膜電晶體 220 的閘極佈線層。另外，電容電極 231 電連接於像素電極層 227。

圖 9B 所示的儲存電容器的一對電極和電介質也具有透光性，而使整個儲存電容器具有透光性。

圖 9A 和 9B 所示的儲存電容器具有透光性，並且，即使在使像素尺寸微細化以便藉由增加閘極佈線的個數等來實現顯示圖像的高清晰化的情況下，也可以獲得充分的電容，並且，可以實現高孔徑比。

本實施例模式可以與其他實施例模式自由組合。

實施例模式 8

在本實施例模式中，下面說明在同一基板上至少製造驅動電路的一部分和配置在像素部的薄膜電晶體的例子。

根據實施例模式 1、2、5 及 6 形成配置在像素部的薄膜電晶體。此外，因為實施例模式 1、2、5 及 6 所示的薄膜電晶體是 n 通道型 TFT，所以將驅動電路中的可以由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一基板上。

圖 14A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 5300 上包括：像素部 5301；第一掃描線驅動電路 5302；第二掃描線驅動電路 5303；信號線驅動電路 5304。在像素部 5301 中配置有從信號線驅動電路 5304 延伸的多個信號線以及從第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 延伸的多個掃描線。此外，在掃描線與信號線的交叉區中將分別具有顯示元件的像素設置為矩陣形狀。另外，顯示裝置的基板 5300 藉由 FPC(撓性印刷電路)等連接部連接於時序控制電路 5305(也稱為控制器、控制 IC)。

在圖 14A 中，在與像素部 5301 相同的基板 5300 上形成第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、信號線驅動電路 5304。由此，設置在外部的驅動電路等的構件的數量減少，所以可以實現成本的降低。另外，可以減少當在基板 5300 的外部設置驅動電路而使佈線延伸時的連接部的連接數量，因此可以提高可靠性或良率。

另外，作為一個例子，時序控制電路 5305 向第一掃描線驅動電路 5302 供應第一掃描線驅動電路啟動信號 (GSP1)、掃描線驅動電路時鐘信號 (GCK1)。此外，作為一個例子，時序控制電路 5305 向第二掃描線驅動電路 5303 供應第二掃描線驅動電路啟動信號 (GSP2)(也稱為起始脈衝)、掃描線驅動電路時鐘信號 (GCK2)。向信號線驅動電路 5304 供應信號線驅動電路啟動信號 (SSP)、信號線驅動電路時鐘信號 (SCK)、視頻信號資料 (DATA)(也簡單地稱為視頻信號)及鎖存信號 (LAT)。另外，各時鐘信號可以是錯開其週期的多個時鐘信號或者與使時鐘信號反轉的信號 (CKB)一起供給的信號。另外，可以省略第一掃描線驅動電路 5302 和第二掃描線驅動電路 5303 中的一方。

圖 14B 示出在與像素部 5301 相同的基板 5300 上形成驅動頻率低的電路(例如，第一掃描線驅動電路 5302、第二掃描線驅動電路 5303)，在與像素部 5301 不同的基板上形成信號線驅動電路 5304 的結構。藉由採用該結構，可以使用其場效應遷移率比使用單晶半導體的電晶體小的薄膜電晶體構形成在基板 5300 上的驅動電路。從而，可以實現顯示裝置的大型化、成本的降低或良率的提高等。

另外，實施例模式 1、2、5 及 6 所示的薄膜電晶體是 n 通道型 TFT。圖 15A 和圖 15B 示出由 n 通道型 TFT 構成的信號線驅動電路的結構、工作的一個例子而說明。

信號線驅動電路具有移位暫存器 5601 及開關電路部 5602。開關電路部 5602 具有多個電路，即開關電路

5602_1 至 5602_N(N 是自然數)。開關電路 5602_1 至 5602_N 分別具有多個電晶體，即薄膜電晶體 5603_1 至 5603_k(k 是自然數)。對薄膜電晶體 5603_1 至 5603_k 是 n 通道型 TFT 的例子進行說明。

以開關電路 5602_1 為例子說明信號線驅動電路的連接關係。薄膜電晶體 5603_1 至 5603_k 的第一端子分別連接到佈線 5604_1 至 5604_k。薄膜電晶體 5603_1 至 5603_k 的第二端子分別連接到信號線 S1 至 Sk。薄膜電晶體 5603_1 至 5603_k 的閘極連接到佈線 5604_1。

移位暫存器 5601 具有對佈線 5605_1 至 5605_N 依次輸出 H 位準(也稱為 H 信號、高電源電位位準)的信號，並依次選擇開關電路 5602_1 至 5602_N 的功能。

開關電路 5602_1 具有控制佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 的導通狀態(第一端子和第二端子之間的導通)的功能，即將佈線 5604_1 至 5604_k 的電位供應還是不供應到信號線 S1 至 Sk 的功能。像這樣，開關電路 5602_1 具有作為選擇器的功能。另外，薄膜電晶體 5603_1 至 5603_k 分別具有控制佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 的導通狀態的功能，即將佈線 5604_1 至 5604_k 的電位供應到信號線 S1 至 Sk 的功能。像這樣，薄膜電晶體 5603_1 至 5603_k 分別具有作為開關的功能。

另外，對佈線 5604_1 至 5604_k 分別輸入視頻信號用資料(DATA)。在很多情況下，視頻信號資料(DATA)是根據圖像資訊或視頻信號的類比信號。

接著，參照圖 15B 的時序圖說明圖 15A 的信號線驅動電路的工作。圖 15B 示出信號 Sout_1 至 Sout_N 及信號 Vdata_1 至 Vdata_k 的一個例子。信號 Sout_1 至 Sout_N 分別是移位暫存器 5601 的輸出信號的一個例子，並且信號 Vdata_1 至 Vdata_k 分別是輸入到佈線 5604_1 至 5604_k 的信號的一個例子。另外，信號線驅動電路的一個工作期間對應於顯示裝置中的一個閘極選擇期間。作為一個例子，一個閘極選擇期間被分割為期間 T1 至期間 TN。期間 T1 至期間 TN 分別是用來對屬於被選擇的列的像素寫入視頻信號資料(DATA)的期間。

在本實施例模式所示的附圖中，有時為了明瞭地示出，誇大表示各結構的信號波形的畸變。因此，不侷限於所示的尺寸。

在期間 T1 至期間 TN 中，移位暫存器 5601 將 H 位準的信號依次輸出到佈線 5605_1 至 5605_N。例如，在期間 T1 中，移位暫存器 5601 將高位準的信號輸出到佈線 5605_1。然後，薄膜電晶體 5603_1 至 5603_k 導通，所以佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 處於導通狀態。此時，對佈線 5604_1 至 5604_k 輸入 Data(S1)至 Data(Sk)。Data(S1)至 Data(Sk)分別藉由薄膜電晶體 5603_1 至 5603_k 寫入到屬於被選擇的列的像素中的第一行至第 k 行的像素。藉由上述步驟，在期間 T1 至 TN 中，對屬於被選擇的列的像素的每 k 行按順序寫入視頻信號資料(DATA)。

如上所述，藉由對每多個行的像素寫入視頻信號用資料(DATA)，可以減少視頻信號資料(DATA)的數量或佈線的數量。因此，可以減少與外部電路的連接數量。此外，藉由對每多個行的像素寫入視頻信號，可以延長寫入時間，因此可以防止視頻信號的寫入不足。

另外，作為移位暫存器 5601 及開關電路部 5602，可以使用由實施例模式 1、2、5 及 6 所示的薄膜電晶體構成的電路。此時，移位暫存器 5601 所具有的所有電晶體的極性可以只由 n 通道型或 p 通道型的任一極性構成。

參照圖 16A 至 16D 及圖 17A 和 17B 說明用於掃描線驅動電路及/或信號線驅動電路的一部分的移位暫存器的一個實施例。

掃描線驅動電路具有移位暫存器。此外，有時也可以具有位準移位器、緩衝器等。在掃描線驅動電路中，藉由對移位暫存器輸入時鐘信號(CLK)及起始脈衝信號(SP)，生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大並供應到對應的掃描線。掃描線連接到一行的像素的電晶體的閘極電極。而且，由於需要將一行的像素的電晶體同時導通，因此使用能夠使大電流流過的緩衝器。

參照圖 16A 至 16D 及圖 17A 和 17B 對掃描線驅動電路和信號線驅動電路的移位暫存器進行說明。移位暫存器具有第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N(N 是 3 以上的自然數)(參照圖 16A)。對圖 16A 所示的移位暫存器的第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路

10_N 從第一佈線 11 供應第一時鐘信號 CK1，從第二佈線 12 供應第二時鐘信號 CK2，從第三佈線 13 供應第三時鐘信號 CK3，從第四佈線 14 供應第四時鐘信號 CK4。另外，對第一脈衝輸出電路 10_1 輸入來自第五佈線 15 的起始脈衝 SP1(第一起始脈衝)。此外，對第二級以後的第 n 脈衝輸出電路 10_n(n 是 2 以上的自然數)輸入來自前一級的脈衝輸出電路的信號(稱為前級信號 OUT($n-1$))。另外，對第一脈衝輸出電路 10_1 輸入來自後二級的第三脈衝輸出電路 10_3 的信號。同樣地，對第二級以後的第 n 脈衝輸出電路 10_n 輸入來自後二級的第($n+2$)脈衝輸出電路 10_($n+2$)的信號(後級信號 OUT($n+2$))。從而，從各級的脈衝輸出電路輸出用來輸入到後級及/或前二級的脈衝輸出電路的第一輸出信號(OUT(1)(SR)至 OUT(N)(SR))以及輸入到其他電路等的第二輸出信號(OUT(1)至 OUT(N))。另外，如圖 16A 所示，由於不對移位暫存器的最後級的兩個級輸入後級信號 OUT($n+2$)，所以作為一個例子，採用另行分別輸入第二起始脈衝 SP2、第三起始脈衝 SP3 的結構即可。

另外，時鐘信號(CK)是以一定間隔反復 H 位準和 L 位準(也稱為 L 信號、低電源電位位準)的信號。在此，第一時鐘信號(CK1)至第四時鐘信號(CK4)依次遲延 1/4 週期。在本實施例模式中，利用第一時鐘信號(CK1)至第四時鐘信號(CK4)而進行脈衝輸出電路的驅動的控制等。注意，時鐘信號根據所輸入的驅動電路有時稱為 GCK、

SCK，在此稱為 CK 而說明。

第一輸入端子 21、第二輸入端子 22 及第三輸入端子 23 電連接到第一佈線 11 至第四佈線 14 中的任一個。例如，在圖 16A 中，在第一脈衝輸出電路 10_1 中，第一輸入端子 21 電連接到第一佈線 11，第二輸入端子 22 電連接到第二佈線 12，並且第三輸入端子 23 電連接到第三佈線 13。此外，在第二脈衝輸出電路 10_2 中，第一輸入端子 21 電連接到第二佈線 12，第二輸入端子 22 電連接到第三佈線 13，並且第三輸入端子 23 電連接到第四佈線 14。

第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 分別包括第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第一輸出端子 26、第二輸出端子 27(參照圖 16B)。在第一脈衝輸出電路 10_1 中，對第一輸入端子 21 輸入第一時鐘信號 CK1，對第二輸入端子 22 輸入第二時鐘信號 CK2，對第三輸入端子 23 輸入第三時鐘信號 CK3，對第四輸入端子 24 輸入起始脈衝，對第五輸入端子 25 輸入後級信號 OUT(3)，從第一輸入端子 26 輸出第一輸出信號 OUT(1)(SR)，從第二輸出端子 27 輸出第二輸出信號 OUT(1)。

另外，第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 除了三端子薄膜電晶體(TFT)之外還可以使用在上述實施例模式中說明的四端子薄膜電晶體。圖 16C 示出在上

述實施例模式中說明的四端子薄膜電晶體 28 的標誌 (symbol)。圖 16C 所示的薄膜電晶體 28 的標誌是指在上述實施例模式 1、2、5 及 6 中的任一中說明的四端子薄膜電晶體，而以下在附圖等中使用該標誌。另外，在本說明書中，當薄膜電晶體隔著半導體層具有兩個閘極電極時，將位於半導體層的下方的閘極電極也稱為下方的閘極電極，而將位於半導體層的上方的閘極電極也稱為上方的閘極電極。薄膜電晶體 28 是一種元件，該元件能夠利用輸入到下方的閘極電極的第一控制信號 G1 及輸入到上方閘極電極的第二控制信號 G2 來對 In 端子與 Out 端子之間進行電控制。

當將氧化物半導體用於薄膜電晶體的包括通道形成區的半導體層時，因製造製程而有時臨界值電壓移動到負一側或正一側。因此，在將氧化物半導體用於包括通道形成區的半導體層的薄膜電晶體中，最好採用能夠進行臨界值電壓的控制的結構。藉由在薄膜電晶體 28 的通道形成區上下隔著閘極絕緣膜設置閘極電極，並控制上方及/或下方的閘極電極的電位，而可以將圖 16C 所示的四端子的薄膜電晶體 28 的臨界值電壓控制為所希望的值。

接著，參照圖 16D 說明圖 16B 所示的脈衝輸出電路的具體的電路結構的一個例子。

圖 16D 所示的第一脈衝輸出電路 10_1 具有第一電晶體 31 至第十三電晶體 43。此外，除了上述第一輸入端子 21 至第五輸入端子 25 以及第一輸出端子 26、第二輸出端

子 27 以外，從被供應第一高電源電位 VDD 的電源線 51、被供應第二高電源電位 VCC 的電源線 52、被供應低電源電位 VSS 的電源線 53 對第一電晶體 31 至第十三電晶體 43 供應信號或電源電位。在此，示出圖 16D 的各電源線的電源電位的大小關係：即第一電源電位 VDD 是第二電源電位 VCC 以上的電位，並且第二電源電位 VCC 是大於第三電源電位 VSS 的電位。此外，第一時鐘信號 (CK1) 至第四時鐘信號 (CK4) 是以一定間隔反復 H 位準和 L 位準的信號，並且當 H 位準時電位為 VDD ，並且當 L 位準時電位為 VSS 。另外，藉由使電源線 51 的電位 VDD 高於電源線 52 的電位 VCC ，可以不影響到工作地將施加到電晶體的閘極電極的電位抑制得低，並降低電晶體的臨界值的移動，而可以抑制劣化。另外，最好如圖 16D 所示那樣，作為第一電晶體 31 至第十三電晶體 43 中的第一電晶體 31、第六電晶體 36 至第九電晶體 39，使用圖 16C 所示的四端子薄膜電晶體 28。要求第一電晶體 31、第六電晶體 36 至第九電晶體利用閘極電極的控制信號切換連接有成為源極電極或汲極電極的電極之一的節點的電位。即，第一電晶體 31、第六電晶體 36 至第九電晶體是如下電晶體，即對於輸入到閘極電極的控制信號的回應越快(導通電流的上升陡峭)，越可以減少脈衝輸出電路的錯誤工作。因此，藉由使用圖 16C 所示的四端子薄膜電晶體 28，可以控制臨界值電壓，以可以得到更可以減少錯誤工作的脈衝輸出電路。另外，雖然在圖 16D 中將第一控制信

號 G1 和第二控制信號 G2 設定為相同的控制信號，但是也可以將其設定為不同的控制信號。

在圖 16D 的第一電晶體 31 中，第一端子電連接到電源線 51，第二端子電連接到第九電晶體 39 的第一端子，閘極電極(下方的閘極電極及上方的閘極電極)電連接到第四輸入端子 24。在第二電晶體 32 中，第一端子電連接到電源線 53，第二端子電連接到第九電晶體 39 的第一端子，閘極電極電連接到第四電晶體 34 的閘極電極。在第三電晶體 33 中，第一端子電連接到第一輸入端子 21，第二端子電連接到第一輸出端子 26。在第四電晶體 34 中，第一端子電連接到電源線 53，第二端子電連接到第一輸出端子 26。在第五電晶體 35 中，第一端子電連接到電源線 53，第二端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極電連接到第四輸入端子 24。在第六電晶體 36 中，第一端子電連接到電源線 52，第二端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極(下方的閘極電極及上方的閘極電極)電連接到第五輸入端子 25。在第七電晶體 37 中，第一端子電連接到電源線 52，第二端子電連接到第八電晶體 38 的第二端子，閘極電極(下方的閘極電極及上方的閘極電極)電連接到第三輸入端子 23。在第八電晶體 38 中，第一端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極(下方的閘極電極及上方的閘極電極)電連接到第二輸入端子 22。在第九電晶體

39 中，第一端子電連接到第一電晶體 31 的第二端子及第二電晶體 32 的第二端子，第二端子電連接到第三電晶體 33 的閘極電極及第十電晶體 40 的閘極電極，閘極電極(下方的閘極電極及上方的閘極電極)電連接到電源線 52。在第十電晶體 40 中，第一端子電連接到第一輸入端子 21，第二端子電連接到第二輸出端子 27，閘極電極電連接到第九電晶體 39 的第二端子。在第十一電晶體 41 中，第一端子電連接到電源線 53，第二端子電連接到第二輸出端子 27，閘極電極電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極。在第十二電晶體 42 中，第一端子電連接到電源線 53，第二端子電連接到第二輸出端子 27，閘極電極電連接到第七電晶體 37 的閘極電極(下方的閘極電極及上方的閘極電極)。在第十三電晶體 43 中，第一端子電連接到電源線 53，第二端子電連接到第一輸出端子 26，閘極電極電連接到第七電晶體 37 的閘極電極(下方的閘極電極及上方的閘極電極)。

在圖 16D 中，以第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極以及第九電晶體 39 的第二端子的連接部分為節點 A。此外，以第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二端子、第六電晶體 36 的第二端子、第八電晶體 38 的第一端子以及第十一電晶體 41 的閘極電極的連接部分為節點 B。

圖 17A 示出如下信號，即當將圖 16D 所說明的脈衝輸出電路應用於第一脈衝輸出電路 10_1 時輸入到第一輸

入端子 21 至第五輸入端子 25 的信號或者從第一輸出端子 26 及第二輸出端子 27 輸出的信號。

明確而言，對第一輸入端子 21 輸入第一時鐘信號 CK1，對第二輸入端子 22 輸入第二時鐘信號 CK2，對第三輸入端子 23 輸入第三時鐘信號 CK3，對第四輸入端子 24 輸入起始脈衝，對第五輸入端子 25 輸入後級信號 OUT(3)，從第一輸出端子 26 輸出第一輸出信號 OUT(1)(SR)，並且從第二輸出端子 27 輸出第二輸出信號 OUT(1)。

此外，薄膜電晶體是指至少具有包括閘極、汲極電極以及源極電極的三個端子的元件。另外，在與閘極重疊的區域中具有形成通道區的半導體，因此藉由控制閘極的電位，可以藉由通道區控制流在汲極電極和源極電極之間的電流。在此，因為源極電極和汲極電極根據薄膜電晶體的結構或工作條件等而變化，所以很難限定哪個是源極電極哪個是汲極電極。因此，有時不將用作源極電極及汲極電極的區域稱為源極電極或汲極電極。在此情況下，作為一個例子，有時將用作源極電極及汲極電極的區域分別記為第一端子、第二端子。

另外，在圖 16D、圖 17A 中，也可以另行設置用來藉由使節點 A 處於浮動狀態來進行升壓工作的電容元件。另外，也可以另行設置將其一方的電極電連接到節點 B 的電容元件，以保持節點 B 的電位。

在此，圖 17B 示出圖 17A 所示的具備多個脈衝輸出

電路的移位暫存器的時序圖。此外，在移位暫存器是掃描線驅動電路時，圖 17B 中的期間 61 相當於垂直回掃期間，並且期間 62 相當於閘極選擇期間。

此外，如圖 17A 所示，藉由設置其閘極被施加第二電源電位 V_{CC} 的第九電晶體 39，在升壓工作的前後有如下優點。

在沒有其閘極電極被施加第二電位 V_{CC} 的第九電晶體 39 的情況下，當因升壓工作而節點 A 的電位上升時，第一電晶體 31 的第二端子的源極電極電位上升，而該源極電極電位變大於第一電源電位 V_{DD} 。然後，第一電晶體 31 的源極電極轉換為第一端子一側，即電源線 51 一側。因此，在第一電晶體 31 中，因為對閘極和源極電極之間以及閘極和汲極電極之間施加較大的偏壓，所以閘極和源極電極之間以及閘極和汲極電極之間受到較大的壓力，這會導致電晶體的劣化。於是，藉由設置其閘極電極被施加第二電源電位 V_{CC} 的第九電晶體 39，雖然因升壓工作而節點 A 的電位上升，但是可以不使第一電晶體 31 的第二端子的電位上升。換言之，藉由設置第九電晶體 39，可以將對第一電晶體 31 的閘極和源極電極之間施加的負偏壓得值設定得小。由此，由於藉由採用本實施例模式的電路結構來可以將施加到第一電晶體 31 的閘極和源極電極之間的負偏壓設定得小，所以可以抑制因壓力而導致的第一電晶體 31 的劣化。

此外，只要在第一電晶體 31 的第二端子和第三電晶

體 33 的閘極之間以藉由第一端子和第二端子連接的方式設置第九電晶體 39，就對設置第九電晶體 39 的結構沒有特別的制限。另外，在採用具有多個本實施例模式的脈衝輸出電路的移位暫存器時，在其級數與掃描線驅動電路相比多的信號線驅動電路中也可以省略第九電晶體 39，而減少電晶體的數量是優點。

另外，藉由作為第一電晶體 31 至第十三電晶體 43 的半導體層使用氧化物半導體，可以降低薄膜電晶體的截止電流並提高導通電流及場效應遷移率，並且還可以降低劣化的程度，所以可以減少電路內的錯誤工作。此外，因對其閘極電極施加高電位而導致的電晶體的劣化的程度比使用非晶矽的電晶體小。由此，即使對供應第二電源電位 VCC 的電源線供應第一電源電位 VDD 也可以得到相同的工作，並且可以減少引導電路之間的電源線的數量，因此可以實現電路的小型化。

另外，即使以對第七電晶體 37 的閘極電極(下方的閘極電極及上方的閘極電極)藉由第三輸入端子 23 供應的時鐘信號、對第八電晶體 38 的閘極電極(下方的閘極電極及上方的閘極電極)藉由第二輸入端子 22 供應的時鐘信號成為對第七電晶體 37 的閘極電極(下方的閘極電極及上方的閘極電極)藉由第二輸入端子 22 供應的時鐘信號、對第八電晶體 38 的閘極電極(下方的閘極電極及上方的閘極電極)藉由第三輸入端子 23 供應的時鐘信號的方式替換接線關係，也具有同樣的作用。此時，在圖 17A 所示的移位暫

存器中，藉由從第七電晶體 37 及第八電晶體 38 的狀態都是導通狀態變化到第七電晶體 37 截止且第八電晶體 38 導通的狀態，然後成為第七電晶體 37 截止且第八電晶體 38 截止的狀態，而由第二輸入端子 22 及第三輸入端子 23 的電位降低所產生的節點 B 的電位的降低發生兩次，該節點 B 的電位的降低起因於第七電晶體 37 的閘極電極的電位的降低及第八電晶體 38 的閘極電極的電位的降低。另一方面，藉由將第七電晶體 37 及第八電晶體 38 的狀態從都是導通的狀態變化到第七電晶體 37 導通且第八電晶體 38 截止的狀態，然後成為第七電晶體 37 截止且第八電晶體 38 截止的狀態，而由第二輸入端子 22 及第三輸入端子 23 的電位的降低所產生的節點 B 的電位的降低僅發生一次，該節點 B 的電位的降低起因於第八電晶體 38 的閘極電極的電位的降低。因此，最好採用藉由第三輸入端子 23 對第七電晶體 37 的閘極電極(下方的閘極電極及上方的閘極電極)供應時鐘信號 CK3 並藉由第二輸入端子 22 對第八電晶體 38 的閘極電極(下方的閘極電極及上方的閘極電極)供應時鐘信號 CK2 的接線關係。這是由於藉由該接線關係可以減少節點 B 的電位的變動並降低雜訊的緣故。

像這樣，藉由採用在將第一輸出端子 26 及第二輸出端子 27 的電位保持為 L 位準的期間中對節點 B 定期供應 H 位準的信號的結構，可以抑制脈衝輸出電路的錯誤工作。

實施例模式 9

藉由製造薄膜電晶體並將該薄膜電晶體用於像素部及驅動電路，可以製造具有顯示功能的半導體裝置(也稱為顯示裝置)。此外，可以在與像素部同一基板上一體地形成使用薄膜電晶體的驅動電路的一部分或整體，而形成系統型面板(system-on-panel)。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件(也稱為液晶顯示元件)、發光元件(也稱為發光顯示元件)。在發光元件的範圍內包括利用電流或電壓控制亮度的元件，明確而言，包括無機 EL(Electro Luminescence：電致發光)元件、有機 EL 元件等。此外，也可以使用電子墨水等的其對比度因電作用而變化的顯示媒體。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。再者，相當於製造該顯示裝置的過程中的顯示元件完成之前的一個方式的元件基板在多個像素的每一個中分別具備用來將電流供應到顯示元件的單元。明確而言，元件基板既可以處於只形成有顯示元件的像素電極的狀態，又可以處於形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，可以是任何狀態。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源(包括照明裝置)。另外，顯示裝置還包括：安裝有連接器諸如 FPC(Flexible Printed Circuit：撓性印刷電路)、TAB(Tape Automated Bonding：載帶自動接合)

帶或 TCP(Tape Carrier Package：載帶封裝)的模組；在 TAB 帶或 TCP 的端部上設置有印刷線路板的模組；藉由 COG(Chip On Glass：玻璃上晶片)方式將 IC(積體電路)直接安裝到顯示元件上的模組。

參照圖 10A1、圖 10A2 以及圖 10B 說明相當於半導體裝置的一個實施例的液晶顯示面板的外觀及截面。圖 10A1、10A2 是一種面板的平面圖，其中利用密封材料 4005 將薄膜電晶體 4010、4011 及液晶元件 4013 密封在第一基板 4001 和第二基板 4006 之間。圖 10B 相當於沿著圖 10A1、圖 10A2 的 M-N 的截面圖。

以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 一起由第一基板 4001、密封材料 4005 和第二基板 4006 密封。此外，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有信號線驅動電路 4003，該信號線驅動電路 4003 使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG 方法、引線接合方法或 TAB 方法等。圖 10A1 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，並且圖 10A2 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體。在圖 10B 中例示像素部 4002 所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 所包括的薄膜電晶體 4011。在薄膜電晶體 4010、4011 上設置有絕緣層 4041a、4041b、4042a、4042b、4020、4021。

可以將實施例模式 1、2、5 及 6 所示的包括氧化物半導體層的可靠性高的薄膜電晶體用於薄膜電晶體 4010、4011。作為用於驅動電路的薄膜電晶體 4011 可以使用實施例模式 1、2、5 及 6 所示的薄膜電晶體 260、270，並且作為用於像素的薄膜電晶體 4010 可以使用薄膜電晶體 420、448、220、280、290。在本實施例模式中，薄膜電晶體 4010、4011 是 n 通道型薄膜電晶體。

在絕緣層 4021 上，在與用於驅動電路的薄膜電晶體 4011 的氧化物半導體層的通道形成區重疊的位置上設置有導電層 4040。藉由在與氧化物半導體層的通道形成區重疊的位置上設置導電層 4040，可以降低 BT 測試前後的薄膜電晶體 4011 的臨界值電壓的變化量。另外，導電層 4040 的電位可以與薄膜電晶體 4011 的閘極電極層相同或不同，並且也可以將導電層 4040 用作第二閘極電極層。另外，導電層 4040 的電位可以是 GND、0V 或浮動狀態。

此外，液晶元件 4013 所具有的像素電極層 4030 與薄膜電晶體 4010 電連接。而且，液晶元件 4013 的對置電極層 4031 形成在第二基板 4006 上。像素電極層 4030、對

置電極層 4031 和液晶層 4008 重疊的部分相當於液晶元件 4013。另外，像素電極層 4030、對置電極層 4031 分別設置有用作配向膜的絕緣層 4032、4033，並隔著絕緣層 4032、4033 夾有液晶層 4008。

另外，作為第一基板 4001、第二基板 4006，可以使用透光基板，而可以使用玻璃、陶瓷、塑膠。作為塑膠，可以使用 FRP(Fiberglass-Reinforced Plastics：纖維增強塑膠)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸樹脂薄膜。

此外，附圖標記 4035 表示藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制像素電極層 4030 和對置電極層 4031 之間的距離(盒間隙(cell gap))而設置的。另外，還可以使用球狀間隔物。另外，對置電極層 4031 電連接到設置在與薄膜電晶體 4010 同一基板上的共同電位線。可以使用共同連接部並藉由配置在一對基板之間的導電粒子電連接對置電極層 4031 和共同電位線。此外，將導電粒子包含在密封材料 4005 中。

另外，還可以使用不使用配向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽甾相液晶的溫度上升時即將從膽甾相轉變到各相同性相之前出現的相。由於藍相呈現在相對較窄的溫度範圍內，所以為了改善溫度範圍而將混合有 5wt%以上的手性試劑的液晶組成物用於液晶層 4008。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，即為 1msec 以下，並且它具有光學各向同

性，所以不需要配向處理，從而視角依賴性低。

另外，除了可以應用於透過型液晶顯示裝置之外，還可以應用於半透過型液晶顯示裝置。

另外，雖然示出在基板的外側(可見一側)設置偏光板，並且在內側依次設置著色層(濾色片)、用於顯示元件的電極層的液晶顯示裝置的例子，但是也可以在基板的內側設置偏光板。另外，偏光板和著色層的疊層結構也不侷限於本實施例模式的結構，根據偏光板和著色層的材料或製造製程條件適當地設定即可。另外，還可以設置用作黑色矩陣(black matrix)的遮光膜。

薄膜電晶體 4011 形成有用作通道保護層的絕緣層 4041a 和覆蓋氧化物半導體層的疊層的邊緣部(包括側面)的絕緣層 4041b。同樣地，薄膜電晶體 4010 形成有用作通道保護層的絕緣層 4042a 和覆蓋氧化物半導體層的疊層的邊緣部(包括側面)的絕緣層 4042b。

作為覆蓋氧化物半導體層的疊層的邊緣部(包括側面)的氧化物絕緣層的絕緣層 4041b、4042b 使閘極電極層與形成在其上方或周邊的佈線層(源佈線層或電容佈線層等)之間的距離變大而可以實現寄生電容的降低。絕緣層 4041a、4041b、4042a、4042b 使用與實施例模式 1 所示的氧化物絕緣層 426a、426b 相同的材料及方法形成，即可。另外，為了減少薄膜電晶體的表面凹凸，使用用作平坦化絕緣膜的絕緣層 4021 覆蓋薄膜電晶體。在此，根據實施例模式 1 藉由濺射法來形成氧化矽膜作為絕緣層

4041a、4041b、4042a、4042b。

另外，在絕緣層 4041a、4041b、4042a、4042b 上形成有絕緣層 4020。絕緣層 4020 可以使用與實施例模式 1 所示的保護絕緣層 403 相同的材料及相同的方法來形成。在此，藉由 RF 濺射法形成氮化矽膜作為絕緣層 4020。

另外，形成絕緣層 4021 作為平坦化絕緣膜。作為絕緣層 4021，使用與實施例模式 1 所示的平坦化絕緣層 404 相同的材料及方法即可，而可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂、聚醯胺、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料 (low-k 材料)、矽氧烷類樹脂、PSG(磷矽玻璃)、BPSG(硼磷矽玻璃)等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜來形成絕緣層 4021。

在本實施例模式中，也可以採用由氮化物絕緣膜圍繞像素部的多個薄膜電晶體的結構。例如，可以採用如下結構：使用氮化物絕緣膜作為絕緣層 4020 和閘極絕緣層，並如圖 10A1、10A2 和 10B 所示那樣，以至少圍繞主動矩陣基板的像素部的邊緣的方式設置絕緣層 4020 和閘極絕緣層接觸的區域。藉由該種結構，可以防止來自外部的水分的侵入。另外，即使在將裝置作為半導體裝置，如作為顯示裝置而完成之後，也能夠長期防止來自外部的水分的侵入，所以能夠提高裝置的長期可靠性。

另外，矽氧烷類樹脂相當於以矽氧烷類材料為起始材

料而形成的包含 Si-O-Si 鍵的樹脂。作為矽氧烷類樹脂的取代基，可以使用有機基(例如烷基、芳基)、氟基團。另外，有機基也可以具有氟基團。

對絕緣層 4021 的形成方法沒有特別的限制，可以根據其材料利用如下方法及設備：濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法(噴墨法、絲網印刷、膠版印刷等)等的方法；刮片、輥塗機、幕塗機、刮刀塗佈機等的設備。藉由兼作絕緣層 4021 的焙燒製程和對半導體層的退火，可以有效地製造半導體裝置。

作為像素電極層 4030、對置電極層 4031，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫(下面表示為 ITO)、氧化銦鋅、添加有氧化矽的氧化銦錫等。

此外，可以使用包含導電高分子(也稱為導電聚合物)的導電組成物形成像素電極層 4030、對置電極層 4031。使用導電組成物形成的像素電極的薄層電阻最好為 $10000\Omega/\square$ 以下，並且其波長為 550nm 時的透光率最好為 70% 以上。另外，導電組成物所包含的導電高分子的電阻率最好為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種以上的共聚物等。

另外，供應到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從 FPC4018 供應的。

連接端子電極 4015 由與液晶元件 4013 所具有的像素電極層 4030 相同的導電膜形成，並且端子電極 4016 由與薄膜電晶體 4010、4011 的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4015 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

此外，雖然在圖 10A1、10A2 以及 10B 中示出另行形成信號線驅動電路 4003 並將信號線驅動電路 4003 安裝在第一基板 4001 上的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖 19 示出使用藉由本說明書所公開的製造方法製造的 TFT 基板 2600 來構成液晶顯示模組作為半導體裝置的一個例子。

圖 19 是液晶顯示模組的一個例子，利用密封材料 2602 固定 TFT 基板 2600 和對置基板 2601，並在其間設置包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604、著色層 2605 來形成顯示區。在進行彩色顯示時需要著色層 2605，並且當採用 RGB 方式時，對應於各像素地設置有分別對應於紅色、綠色、藍色的各顏色的著色層。在 TFT 基板 2600 和對置基板 2601 的外側配置有偏

光板 2606、偏光板 2607、擴散板 2613。光源由冷陰極管 2610 和反射板 2611 構成，電路基板 2612 利用撓性線路板 2609 與 TFT 基板 2600 的佈線電路部 2608 連接，並且其中組裝有控制電路、電源電路等的外部電路。此外，也可以以在偏光板和液晶層之間具有相位差板的狀態層疊。

作為液晶顯示模組，可以採用 TN(扭曲向列：Twisted Nematic)模式、IPS(平面內轉換：In-Plane-Switching)模式、FFS(邊緣電場轉換：Fringe Field Switching)模式、MVA(多域垂直配向：Multi-domain Vertical Alignment)模式、PVA(垂直配向構型：Patterned Vertical Alignment)模式、ASM(軸對稱排列微胞：Axially Symmetric Aligned Micro-cell)模式、OCB(光學補償彎曲：Optical Compensated Birefringence)模式、FLC(鐵電性液晶：Ferroelectric Liquid Crystal)模式、AFLC(反鐵電性液晶：AntiFerroelectric Liquid Crystal)模式等。

藉由上述製程，可以製造作為半導體裝置的可靠性高的液晶顯示面板。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 10

作為半導體裝置，示出電子紙的例子。

可以將本發明的實施例模式用於利用與切換元件電連接的元件來驅動電子墨水的電子紙。電子紙也稱為電泳顯

示裝置(電泳顯示器)，並具有如下優點：與紙相同的易讀性；耗電量比其他的顯示裝置低；可以形成爲薄且輕的形狀。

作爲電泳顯示器，可以考慮各種方式。在電泳顯示器中，在溶劑或溶質中分散有多個包含具有正電荷的第一粒子和具有負電荷的第二粒子的微囊，並且藉由對微囊施加電場來使微囊中的粒子向彼此相反的方向移動，以僅顯示集合在一側的粒子的顏色。另外，第一粒子或第二粒子包含染料，並且在沒有電場時不移動。此外，第一粒子和第二粒子的顏色不同(包含無色)。

像這樣，電泳顯示器是利用所謂的介電電泳效應的顯示器，在該介電電泳效應中，介電常數高的物質移動到高電場區。

在溶劑中分散有上述微囊的溶液稱爲電子墨水，該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用彩色濾光片或具有色素的粒子來進行彩色顯示。

此外，藉由在主動矩陣基板上適當地設置多個上述微囊以使微囊夾在兩個電極之間，而完成主動矩陣型顯示裝置，並且藉由對微囊施加電場可以進行顯示。例如，可以使用根據實施例模式 1、2、5、6 的薄膜電晶體而得到的主動矩陣基板。

此外，作爲微囊中的第一粒子及第二粒子，使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材

料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的其中之一者或這些材料的組合材料即可。

在圖 18 中，作為半導體裝置的例子示出主動矩陣型電子紙。用於半導體裝置的薄膜電晶體 581 可以與實施例模式 1 所示的薄膜電晶體同樣地製造，並且該薄膜電晶體 581 是包括氧化物半導體層的可靠性高的薄膜電晶體。此外，也可以將實施例模式 2、5、6 所示的薄膜電晶體用於本實施例模式所示的薄膜電晶體 581。

圖 18 的電子紙是採用旋轉球顯示 (twisting ball display) 方式的顯示裝置的例子。旋轉球顯示方式是指一種方法，其中將分別著色為白色和黑色的球形粒子配置在用於顯示元件的電極層的第一電極層和第二電極層之間，並使第一電極層和第二電極層產生電位差來控制球形粒子的方向，以進行顯示。

形成在基板 580 上的薄膜電晶體 581 是底閘結構的薄膜電晶體，並且由與半導體層接觸的絕緣膜 583 覆蓋。薄膜電晶體 581 的源極電極層或汲極電極層在形成於絕緣層 585 中的開口中接觸於第一電極層 587，並且薄膜電晶體 581 的源極電極層或汲極電極層與第一電極層 587 電連接。在第一電極層 587 和形成在基板 596 上的第二電極層 588 之間設置有球形粒子 589，該球形粒子 589 具有黑色區 590a、白色區 590b，並且黑色區 590a、白色區 590b 的周圍包括充滿了液體的空洞 594，並且球形粒子 589 的周圍充滿有樹脂等的填料 595。第一電極層 587 相當於像素

電極，第二電極層 588 相當於共同電極。第二電極層 588 電連接到設置在與薄膜電晶體 581 同一基板 580 上的共同電位線。可以使用共同連接部來藉由配置在一對基板之間的導電粒子電連接第二電極層 588 和共同電位線。

此外，還可以使用電泳元件代替旋轉球。使用直徑為 $10\mu\text{m}$ 至 $200\mu\text{m}$ 左右的微囊，該微囊中封入有透明液體、帶正電的白色微粒和帶負電的黑色微粒。在設置在第一電極層和第二電極層之間的微囊中，當由第一電極層和第二電極層施加電場時，白色微粒和黑色微粒向相反方向移動，從而可以顯示白色或黑色。應用該原理的顯示元件就是電泳顯示元件，一般地稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，耗電量低，並且在昏暗的地方也能夠辨認顯示部。另外，即使不向顯示部供應電源，也能夠保持顯示過一次的圖像。因此，即使使具有顯示功能的半導體裝置(簡單地稱為顯示裝置，或稱為具備顯示裝置的半導體裝置)從電波發射源離開，也能夠保存顯示過的圖像。

藉由上述製程，可以製造作為半導體裝置的可靠性高的電子紙。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 11

作為半導體裝置，示出發光顯示裝置的例子。在此，

示出利用電致發光的發光元件作為顯示裝置所具有的顯示元件。根據其發光材料是有機化合物還是無機化合物對利用電致發光的發光元件進行區別，一般前者稱為有機 EL 元件，而後者稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別植入到包含發光有機化合物的層，以電流流過。而且，藉由這些載子(電子和電洞)重新結合，發光有機化合物形成激發態，並且當該激發態恢復到基態時獲得發光。根據該機理，這種發光元件稱為電流激發型的發光元件。

無機 EL 元件根據其元件結構分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括在黏合劑中分散有發光材料的粒子的發光層，並且其發光機理是利用施主能級和受主能級的施主-受主重新結合型發光。薄膜型無機 EL 元件具有利用電介質層夾持發光層並還利用電極夾持該夾有發光層的電介質層的結構，並且其發光機理是利用金屬離子的內殼層電子躍遷的定域型發光。另外，在此，作為發光元件使用有機 EL 元件而進行說明。

圖 12 是示出可以使用數位時間灰度級驅動的像素結構的一個例子作為半導體裝置的例子的圖。

說明可以使用數位時間灰度級驅動的像素的結構以及像素的工作。在此示出在一個像素中使用兩個 n 通道型電晶體的例子，在該 n 通道型電晶體中將氧化物半導體層用

於通道形成區。

像素 6400 包括開關電晶體 6401、發光元件驅動電晶體 6402、發光元件 6404 以及電容元件 6403。在開關電晶體 6401 中，閘極與掃描線 6406 連接，第一電極(源極電極和汲極電極中的一方)與信號線 6405 連接，並且第二電極(源極電極和汲極電極中的另一方)與發光元件驅動電晶體 6402 的閘極連接。在發光元件驅動電晶體 6402 中，閘極藉由電容元件 6403 與電源線 6407 連接，第一電極與電源線 6407 連接，第二電極與發光元件 6404 的第一電極(像素電極)連接。發光元件 6404 的第二電極相當於共同電極 6408。共同電極 6408 與形成在同一基板上的共同電位線電連接。

另外，將發光元件 6404 的第二電極(共同電極 6408)設定為低電源電位。另外，低電源電位是指以電源線 6407 所設定的高電源電位為基準滿足低電源電位<高電源電位的電位，作為低電源電位例如可以設定為 GND、0V 等。將該高電源電位與低電源電位的電位差施加到發光元件 6404 上，為了使電流流過發光元件 6404 以使發光元件 6404 發光，以使高電源電位與低電源電位的電位差成為發光元件 6404 的正向臨界值電壓以上的方式分別設定每個電位。

另外，還可以使用發光元件驅動電晶體 6402 的閘極電容代替電容元件 6403 而省略電容元件 6403。至於發光元件驅動電晶體 6402 的閘極電容，也可以在通道區域與

閘極電極之間形成有電容。

在此，當採用電壓輸入電壓驅動方式時，對發光元件驅動電晶體 6402 的閘極輸入使發光元件驅動電晶體 6402 充分處於導通或截止的兩種狀態的視頻信號。即，使發光元件驅動電晶體 6402 在線性區域中工作。由於使發光元件驅動電晶體 6402 在線性區域中工作，所以將比電源線 6407 的電壓高的電壓施加到發光元件驅動電晶體 6402 的閘極。另外，對信號線 6405 施加(電源線電壓+驅動電晶體 6402 的 V_{th})以上的電壓。

另外，當進行類比灰度級驅動而代替數位時間灰度級驅動時，藉由使信號的輸入不同，可以使用與圖 12 相同的像素結構。

當進行類比灰度級驅動時，對發光元件驅動電晶體 6402 的閘極施加發光元件 6404 的正向電壓+發光元件驅動電晶體 6402 的 V_{th} 以上的電壓。發光元件 6404 的正向電壓是指當設定為所希望的亮度時的電壓，至少包括正向臨界值電壓。另外，藉由輸入使發光元件驅動電晶體 6402 在飽和區域中工作的視頻信號，可以使電流流過發光元件 6404。為了使發光元件驅動電晶體 6402 在飽和區域中工作，將電源線 6407 的電位設定為高於發光元件驅動電晶體 6402 的閘極電位。藉由將視頻信號設定為模擬方式，可以使與視頻信號對應的電流流過發光元件 6404，而進行類比灰度級驅動。

此外，圖 12 所示的像素結構不侷限於此。例如，也

可以還對圖 12 所示的像素追加開關、電阻元件、電容元件、電晶體或邏輯電路等。

接著，參照圖 13A 至 13C 說明發光元件的結構。在此，以發光元件驅動 TFT 是 n 型的情況為例子來說明像素的截面結構。用於圖 13A、13B 和 13C 的半導體裝置的發光元件驅動 TFT7001、7011、7021 可以與實施例模式 1 所示的配置在像素中的薄膜電晶體同樣地製造，並且驅動 TFT7001、7011、7021 是包括氧化物半導體層的可靠性高的薄膜電晶體。此外，也可以將實施例模式 2、5、6 所示的配置在像素中的薄膜電晶體用作 TFT7001、7011、7021。

爲了得到發光，發光元件的陽極或陰極的至少一方是透明即可。而且，在基板上形成薄膜電晶體及發光元件，並且發光元件有如下結構，即從與基板相反的面得到發光的頂部發射、從基板一側的面得到發光的底部發射以及從基板一側及與基板相反的面得到發光的雙面發射結構。像素結構可以應用於任何發射結構的發光元件。

使用圖 13A 說明頂部發射結構的發光元件。

在圖 13A 中示出當發光元件驅動 TFT7001 是 n 型，並且從發光元件 7002 發射的光穿過陽極 7005 一側時的像素的截面圖。在圖 13A 中，發光元件 7002 的陰極 7003 與發光元件驅動 TFT7001 電連接，在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。作為陰極 7003，只要是功函數小且反射光的導電膜，就可以使用各種材料。例如，

最好採用 Ca、Al、MgAg、AlLi 等。而且，發光層 7004 可以由單層或多個層的疊層構成。當發光層 7004 由多個層構成時，在陰極 7003 上按順序層疊電子植入層、電子傳輸層、發光層、電洞傳輸層、電洞植入層。注意，不需要設置上述的所有層。使用具有透過光的透光性的導電材料形成陽極 7005，也可以使用具有透光性的導電膜，例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫(下面，表示為 ITO)、氧化銦鋅、添加有氧化矽的氧化銦錫等。

另外，在陰極 7003 與與其相鄰像素的陰極 7008 之間以覆蓋它們的端部的方式設置有分隔壁 7009。分隔壁 7009 使用聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等的有機樹脂膜、無機絕緣膜或有機聚矽氧烷來形成。尤其較佳的是使用感光樹脂材料形成分隔壁 7009，並將分隔壁 7009 的側面形成為具有連續曲率的傾斜面。在使用感光樹脂材料作為分隔壁 7009 時，可以省略形成抗蝕劑掩罩的製程。

使用陰極 7003 及陽極 7005 夾有發光層 7004 的區域相當於發光元件 7002。在圖 13A 所示的像素中，從發光元件 7002 發射的光如箭頭所示那樣發射到陽極 7005 一側。

接著，使用圖 13B 說明底部發射結構的發光元件。圖 13B 示出在發光元件驅動 TFT7011 是 n 型，並且從發光元

件 7012 發射的光向陰極 7013 一側發射的情況下的像素的截面圖。在圖 13B 中，在與發光元件驅動 TFT7011 電連接的具有透光性的導電膜 7017 上形成有發光元件 7012 的陰極 7013，並且在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。另外，當陽極 7015 具有透光性時，也可以覆蓋陽極上地形成有用來反射光或進行遮光的遮罩膜 7016。與圖 13A 的情況同樣地，作為陰極 7013，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度(較佳的為 5nm 至 30nm 左右)。例如，也可以將膜厚度為 20nm 的鋁膜用作陰極 7013。而且，與圖 13A 同樣地，發光層 7014 可以由單層或多個層的疊層構成。陽極 7015 不需要透過光，但是可以與圖 13A 同樣地使用具有透光性的導電材料形成。並且，雖然作為遮罩膜 7016 例如可以使用反射光的金屬等，但是不侷限於金屬膜。例如，也可以使用添加有黑色的顏料的樹脂等。

另外，在導電膜 7017 與與其相鄰像素的導電膜 7018 之間以覆蓋它們的端部的方式設置有分隔壁 7019。分隔壁 7019 使用聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等的有機樹脂膜、無機絕緣膜或有機聚矽氧烷來形成。尤其較佳的是使用感光樹脂材料形成分隔壁 7019，並將分隔壁 7019 的側面形成為具有連續曲率的傾斜面。在使用感光樹脂材料作為分隔壁 7019 時，可以省略形成抗蝕劑掩罩的製程。

由陰極 7013 及陽極 7015 夾有發光層 7014 的區域相當於發光元件 7012。在圖 13B 所示的像素中，從發光元件 7012 發射的光如箭頭所示那樣向陰極 7013 一側發射。

接著，使用圖 13C 說明雙面發射結構的發光元件。在圖 13C 中，在與發光元件驅動 TFT7021 電連接的具有透光性的導電膜 7027 上形成有發光元件 7022 的陰極 7023，並且在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 13A 的情況同樣地，作為陰極 7023，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度。例如，可以將膜厚度為 20nm 的 Al 用作陰極 7023。而且，與圖 13A 同樣地，發光層 7024 可以由單層或多個層的疊層構成。陽極 7025 可以與圖 13A 同樣地使用具有透過光的透光性的導電材料形成。

另外，在導電膜 7027 與與其相鄰像素的導電膜 7028 之間以覆蓋它們的端部的方式設置有分隔壁 7029。分隔壁 7029 使用聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等的有機樹脂膜、無機絕緣膜或有機聚矽氧烷來形成。尤其較佳的是使用感光樹脂材料形成分隔壁 7029，並將分隔壁 7029 的側面形成為具有連續曲率的傾斜面。在使用感光樹脂材料作為分隔壁 7029 時，可以省略形成抗蝕劑掩罩的製程。

陰極 7023、發光層 7024 和陽極 7025 重疊的部分相當於發光元件 7022。在圖 13C 所示的像素中，從發光元

件 7022 發射的光如箭頭所示那樣向陽極 7025 一側和陰極 7023 一側這兩側發射。

注意，雖然在此描述了有機 EL 元件作為發光元件，但是也可以設置無機 EL 元件作為發光元件。

注意，雖然在此示出了控制發光元件的驅動的薄膜電晶體(發光元件驅動 TFT)與發光元件電連接的例子，但是也可以採用在發光元件驅動 TFT 和發光元件之間連接有電流控制 TFT 的結構。

注意，半導體裝置不侷限於圖 13A 至圖 13C 所示的結構而可以根據本說明書所公開的技術思想進行各種變形。

接著，參照圖 11A 和 11B 說明相當於半導體裝置的一個實施例的發光顯示面板(也稱為發光面板)的外觀及截面。圖 11A 是一種面板的平面圖，其中利用密封材料在第一基板與第二基板之間密封形成在第一基板上的薄膜電晶體及發光元件。圖 11B 相當於沿著圖 11A 的 H-I 的截面圖。

以圍繞設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b 以及掃描線驅動電路 4504a、4504b 與填料 4507 一起由第一基板 4501、密

封材料 4505 和第二基板 4506 密封。像這樣，爲了不暴露於空氣，最好使用高氣密性且少漏氣的保護薄膜(貼合薄膜、紫外線固化樹脂薄膜等)、覆蓋材料進行封裝(密封)。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個薄膜電晶體。在圖 11B 中例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

作爲薄膜電晶體 4509、4510，可以使用實施例模式 1、2、5 及 6 所示的包括氧化物半導體層的可靠性高的薄膜電晶體。此外，作爲配置於驅動電路的薄膜電晶體 4509，可以使用實施例模式 1、2、5 及 6 所示的薄膜電晶體 260、270。作爲配置於像素的薄膜電晶體 4510，可以使用薄膜電晶體 420、448、220、280、290。在本實施例模式中，薄膜電晶體 4509、4510 是 n 通道型薄膜電晶體。

在絕緣層 4544 上，在與用於驅動電路的薄膜電晶體 4509 的氧化物半導體層的通道形成區重疊的位置上設置有導電層 4540。藉由在與氧化物半導體層的通道形成區重疊的位置上設置導電層 4540，可以降低 BT 測試前後的薄膜電晶體 4509 的臨界值電壓的變化量。另外，導電層 4540 的電位可以與薄膜電晶體 4509 的閘極電極層相同或不同，並且也可以將導電層 4540 用作第二閘極電極層。另外，導電層 4540 的電位可以是 GND、0V 或浮動狀態。

在薄膜電晶體 4509 上形成有用作通道保護層的絕緣層 4541a 和覆蓋氧化物半導體層的邊緣部(包括側面)的絕緣層 4541b。同樣地，薄膜電晶體 4510 形成有用作通道保護層的絕緣層 4542a 和覆蓋氧化物半導體層的邊緣部(包括側面)的絕緣層 4542b。

作為覆蓋氧化物半導體層的邊緣部(包括側面)的氧化物絕緣層的絕緣層 4541b、4542b 使閘極電極層與形成在其上方或周邊的佈線層(源佈線層或電容佈線層等)之間的距離變大而可以實現寄生電容的降低。絕緣層 4541a、4541b、4542a、4542b 藉由與實施例模式 1 所示的氧化物絕緣層 426a、426b 相同的材料及方法形成，即可。另外，為了減少薄膜電晶體的表面凹凸，採用使用用作平坦化絕緣膜的絕緣層 4543 覆蓋的結構。在此，使用實施例模式 1 並藉由濺射法來形成氧化矽膜作為絕緣層 4541a、4541b、4542a、4542b。

另外，在絕緣層 4541a、4541b、4542a、4542b 上形成有絕緣層 4543。絕緣層 4543 可以使用與實施例模式 1 所示的保護絕緣層 403 相同的材料及相同的方法來形成。在此，藉由 RF 濺射法形成氮化矽膜作為絕緣層 4543。

另外，形成絕緣層 4544 作為平坦化絕緣膜。絕緣層 4544 使用與實施例模式 1 所示的平坦化絕緣層 404 同樣的材料及方法形成，即可。在此，作為絕緣層 4544，使用丙烯酸樹脂。

在本實施例模式中，也可以使用氮化物絕緣膜一起圍

繞像素部中的多個薄膜電晶體。可以採用如下結構：使用氮化物絕緣膜作為絕緣層 4543 和閘極絕緣層，並且如圖 11A 和圖 11B 所示那樣以至少圍繞主動矩陣基板的像素部的邊緣的方式設置絕緣層 4543 與閘極絕緣層接觸區域。根據該製造製程，可以防止來自外部的水分的侵入。另外，即使在將裝置作為半導體裝置，如作為顯示裝置而完成之後，也可以長期防止來自外部的水分的侵入，所以能夠提高裝置的長期可靠性。

此外，附圖標記 4511 相當於發光元件，發光元件 4511 所具有的作為像素電極的第一電極層 4517 與薄膜電晶體 4510 的源極電極層或汲極電極層電連接。注意，雖然發光元件 4511 的結構是第一電極層 4517、電場發光層 4512、第二電極層 4513 的疊層結構，但是不侷限於所示出的結構。可以根據從發光元件 4511 得到的光的方向等適當地改變發光元件 4511 的結構。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷形成分隔壁 4520。尤其最好的是，使用感光材料，在第一電極層 4517 上形成開口部，以將該開口部的側壁形成為具有連續的曲率的傾斜面。

電場發光層 4512 既可以由單層構成，又可以由多個層的疊層構成。

也可以在第二電極層 4513 及分隔壁 4520 上形成保護膜，以防止氧、氫、水分、二氧化碳等侵入到發光元件 4511 中。作為保護膜，可以形成氮化矽膜、氮氧化矽

膜、DLC 膜等。

另外，供應到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b 或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供應的。

連接端子電極 4515 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成，並且端子電極 4516 由與薄膜電晶體 4509、4510 所具有的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4515 藉由各向異性導電膜 4519 電連接到 FPC4518a 所具有的端子。

位於從發光元件 4511 的發光的方向上的第二基板需要具有透光性。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸樹脂薄膜等的具有透光性的材料。

此外，作為填料 4507，除了氮或氬等的惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂。可以使用 PVC(聚氯乙烯)、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB(聚乙烯醇縮丁醛)或 EVA(乙烯-醋酸乙烯酯)。例如，作為填料使用氮即可。

另外，若有需要，也可以在發光元件的發射面上適當地設置諸如偏光板、圓偏光板(包括橢圓偏光板)、相位差板($\lambda/4$ 片、 $\lambda/2$ 片)、彩色濾光片等的光學薄膜。另外，也可以在偏光板或圓偏光板上設置抗反射膜。例如，可以進行抗眩光處理，該處理是能夠利用表面的凹凸來擴散反射光並降低眩光的處理。

信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 也可以作為在另行準備的基板上由單晶半導體膜或多晶半導體膜形成的驅動電路而安裝。此外，也可以另行僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分而安裝。據此，不侷限於圖 11A 和 11B 的結構。

藉由上述製程，可以製造作為半導體裝置的可靠性高的發光顯示裝置(顯示面板)。

本實施例模式可以與實施例模式 1 至 4 及 6 至 8 所記載的結構適當地組合而實施。

實施例模式 12

本說明書所公開的半導體裝置可以用於電子紙。電子紙可以用於顯示資訊的所有領域的電子設備。例如，可以將電子紙用於電子書閱讀器、海報、電車等的交通工具的車廂廣告、信用卡等的各種卡片中的顯示等。圖 20 示出電子設備的一個例子。

圖 20 示出電子書閱讀器的一個例子。例如，電子書閱讀器 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，並且可以以該軸部 2711 為軸進行開閉動作。藉由該結構，可以進行如紙的書籍那樣的動作。

框體 2701 組裝有顯示部 2705，並且框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可

以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部(圖 20 中的顯示部 2705)中顯示文章，並且在左邊的顯示部(圖 20 中的顯示部 2707)中顯示圖像。

此外，在圖 20 中示出框體 2701 具備操作部等的例子。例如，在框體 2701 中具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。另外，也可以採用在與框體的顯示部同一面上具備鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接端子(耳機端子、USB 端子或可以與 AC 適配器及 USB 電纜等各種電纜連接的端子等)、記錄媒體插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，電子書閱讀器 2700 也可以採用以無線方式收發資訊的結構。還可以採用以無線方式從電子書籍伺服器購買所希望的書籍資料等並下載的結構。

實施例模式 13

本說明書所公開的半導體裝置可以應用於各種電子設備(也包括遊戲機)。作為電子設備，例如可以舉出：電視裝置(也稱為電視或電視接收機)；用於電腦等的監視器；如數位相機、數位攝像機等影像拍攝裝置；數位相框；行動電話機(也稱為行動電話、行動電話裝置)；可攜式遊戲機；可攜式資訊終端；聲音再現裝置；彈珠機等大型遊戲

機等。

圖 21A 示出電視裝置 9600 的一個例子。在電視裝置 9600 中，框體 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示影像。此外，在此示出利用支架 9605 支撐框體 9601 的結構。

可以藉由利用框體 9601 所具備的操作開關、另行提供的遙控操作機 9610 進行電視裝置 9600 的操作。藉由利用遙控操作機 9610 所具備的操作鍵 9609，可以進行頻道及音量的操作，並可以對在顯示部 9603 上顯示的影像進行操作。此外，也可以採用在遙控操作機 9610 中設置顯示從該遙控操作機 9610 輸出的資訊的顯示部 9607 的結構。

另外，電視裝置 9600 採用具備接收機、數據機等的結構。藉由利用接收機可以接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，可以進行單向(從發送者到接收者)或雙向(在發送者和接收者之間或在接收者之間等)的資訊通信。

圖 21B 示出數位相框 9700 的一個例子。例如，在數位相框 9700 中，框體 9701 組裝有顯示部 9703。顯示部 9703 可以顯示各種圖像，例如藉由顯示使用數位相機等拍攝的圖像資料，可以發揮與一般的相框同樣的功能。

另外，數位相框 9700 採用具備操作部、外部連接端子(USB 端子、可以與 USB 電纜等的各種電纜連接的端子等)、記錄媒體插入部等的結構。這種結構也可以組裝到

與顯示部相同面上，但是藉由將它設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數位相框的記錄媒體插入部插入儲存有由數位相機拍攝的圖像資料的記憶體並提取圖像資料，然後可以將所提取的圖像資料顯示於顯示部 9703。

此外，數位相框 9700 也可以採用以無線的方式收發資訊的結構。也可以採用以無線的方式提取所希望的圖像資料並進行顯示的結構。

圖 22A 示出一種可攜式遊戲機，它由框體 9881 和框體 9891 的兩個框體構成，並且藉由連接部 9893 可以開閉地連接。框體 9881 安裝有顯示部 9882，並且框體 9891 安裝有顯示部 9883。另外，圖 22A 所示的可攜式遊戲機還具備揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元(操作鍵 9885、連接端子 9887、感測器 9888(包括測定如下因素的功能：力量、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)以及麥克風 9889)等。當然，可攜式遊戲機的結構不侷限於上述結構，只要採用至少具備本說明書所公開的半導體裝置的結構即可，並且可以採用適當地設置有其他附屬設備的結構。圖 22A 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將它顯示在顯示部上的功能；以及藉由與其他可攜式遊戲機進行無線通信而

實現資訊共用的功能。另外，圖 22A 所示的可攜式遊戲機所具有的功能不侷限於此，而可以具有各種各樣的功能。

圖 22B 示出大型遊戲機的一種的投幣機 9900 的一個例子。在投幣機 9900 的框體 9901 中安裝有顯示部 9903。另外，投幣機 9900 還具備如起動手柄、停止開關等的操作單元、投幣口、揚聲器等。當然，投幣機 9900 的結構不侷限於此，只要採用至少具備本說明書所公開的半導體裝置的結構即可。因此，可以採用適當地設置有其他附屬設備的結構。

圖 23A 是示出可攜式電腦的一個例子的立體圖。

在圖 23A 所示的可攜式電腦中，當將連接上部框體 9301 與下部框體 9302 的鉸鏈裝置設置為關閉狀態時，可以使具有顯示部 9303 的上部框體 9301 與具有鍵盤 9304 的下部框體 9302 處於重疊狀態，而便於攜帶，並且，當使用者利用鍵盤進行輸入時，將鉸鏈裝置設置為打開狀態，而可以看著顯示部 9303 進行輸入操作。

另外，下部框體 9302 除了鍵盤 9304 之外還包括進行輸入操作的定位裝置 9306。另外，當顯示部 9303 為觸屏輸入面板時，可以藉由觸摸顯示部的一部分來進行輸入操作。另外，下部框體 9302 還包括 CPU、硬碟等的算術功能部。此外，下部框體 9302 還具有其他的裝置，例如包括用來插入符合 USB 的通信標準的通信電纜的外部連接埠 9305。

在上部框體 9301 中還具有藉由使它滑動到上部框體

9301 內部而可以收納的顯示部 9307，因此可以實現寬顯示畫面。另外，使用者可以調節可以收納的顯示部 9307 的畫面的方向。另外，當可以收納的顯示部 9307 為觸屏輸入面板時，藉由觸摸可以收納的顯示部的一部分來可以進行輸入操作。

顯示部 9303 或可以收納的顯示部 9307 使用如液晶顯示面板、有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。

另外，圖 23A 的可攜式電腦安裝有接收機等，而可以接收電視廣播並將影像顯示於顯示部。另外，使用者可以在連接上部框體 9301 與下部框體 9302 的鉸鏈裝置處於關閉狀態的狀態下藉由滑動顯示部 9307 而使其整個面露出並調整畫面角度來觀看電視廣播。此時，不將鉸鏈裝置設置為打開狀態來使顯示部 9303 進行顯示，而僅啟動只顯示電視廣播的電路，所以可以將耗電量控制為最少，這對於電池容量有限的可攜式電腦而言是十分有利的。

另外，圖 23B 是示出像手錶一樣能夠戴在使用者的手臂上的行動電話的一個例子的立體圖。

該移動電話包括：至少包括具有電話功能的通信裝置及電池的主體；用來將主體戴在手臂上的帶部 9204；調節帶部與手臂的固定狀態的調節部 9205；顯示部 9201；揚聲器 9207；以及麥克風 9208。

另外，主體具有操作開關 9203，該操作開關 9203 可以為電源開關、顯示轉換開關、攝像開始指示開關、或者

按一下就可以啟動網路的程式的開關等，並且可以利用其對應各種功能。

藉由用手指或輸入筆等觸碰顯示部 9201；操作操作開關 9203；或者對麥克風 9208 輸入聲音來進行該移動電話的輸入操作。另外，在圖 23B 中，示出顯示在顯示部 9201 上的顯示鈕 9202，藉由用手指等觸碰該顯示鈕 9202 來可以進行輸入。

另外，主體具有拍攝裝置部 9206，該拍攝裝置部 9206 具有將藉由攝影透鏡成像的物體圖像轉換為電子視頻信號的攝影單元。另外，也可以不特別設置拍攝裝置部。

另外，圖 23B 所示的行動電話安裝有電視廣播的接收機等，而可以接收電視廣播並將影像顯示於顯示部 9201，並且它還具有記憶體等的儲存裝置等，而可以將電視廣播錄像到記憶體中。此外，圖 23B 所示的行動電話還可以具有能夠收集 GPS 等的位置資訊的功能。

顯示部 9201 使用如液晶顯示面板、有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。由於圖 23B 所示的行動電話為小型且重量輕，所以其電池容量有限，從而最好將能夠使用低耗電量進行驅動的面板用作用於顯示部 9201 的顯示裝置。

另外，雖然在圖 23B 中示出戴在“手臂”上的方式的電子裝置，但是不侷限於此，只要是具有能夠攜帶的形狀的即可。

實施例模式 14

在本實施例模式中，作為半導體裝置的一個形式，使用圖 24 至圖 35 說明具有實施例模式 1、2、5 及 6 所示的薄膜電晶體的顯示裝置的例子。在本實施例模式中，使用圖 24 至圖 35 說明作為顯示元件使用液晶元件的液晶顯示裝置的例子。作為用於圖 24 至圖 35 的液晶顯示裝置的 TFT628、629，可以使用實施例模式 1、2、5 及 6 所示的薄膜電晶體，並且該 TFT628、629 是可以藉由實施例模式 1、2、5 及 6 所示的製程同樣地製造的電特性及可靠性高的薄膜電晶體。TFT628 具有通道保護層 608，並且 TFT629 具有通道保護層 611，並且該 TFT628、629 是將半導體膜用作通道形成區的反交錯薄膜電晶體。

首先，對 VA(Vertical Alignment：垂直配向)型液晶顯示裝置進行描述。VA 是指一種控制液晶顯示面板的液晶分子的排列的方式。VA 型液晶顯示裝置具有在沒有施加電壓時液晶分子朝垂直於面板表面的方向排列的方式。在本實施例模式中，特別地，將像素分成多個區域(子像素)，並分別將分子朝不同的方向推倒。這稱為多域(multi-domain)化、或者多域設計。在下面的說明中，對考慮多域設計的液晶顯示裝置進行說明。

圖 25 及圖 26 分別示出像素電極及對置電極。圖 25 是形成像素電極的基板一側的平面圖，並且將沿圖中所示的切斷線 E-F 的截面結構示出於圖 24。另外，圖 26 是形

成對置電極的基板一側的平面圖。下面，參照這些附圖進行說明。

圖 24 示出基板 600 和對置基板 601 重疊且植入有液晶的狀態，在該基板 600 上形成有 TFT628、與 TFT628 連接的像素電極層 624 以及儲存電容部 630，並在該對置基板 601 上形成有對置電極層 640 等。

在對置基板 601 上形成有彩色膜 636 及對置電極層 640，對置電極層 640 上形成有突起 644。藉由採用該結構，使用於控制液晶配向的突起 644 和間隔物的高度彼此不同。在像素電極層 624 上形成有配向膜 648，同樣地在對置電極層 640 及突起 644 上也形成有配向膜 646。在基板 600 與對置基板 601 之間形成有液晶層 650。

既可以形成柱狀間隔物，又可以散佈珠狀間隔物。當間隔物具有透光性時，也可以在形成在基板 600 上的像素電極層 624 上形成間隔物。

在基板 600 上形成有 TFT628、與 TFT628 連接的像素電極層 624 以及儲存電容部 630。像素電極層 624 藉由接觸孔 623 連接到佈線 618，該接觸孔分別貫穿：覆蓋 TFT628、佈線 618 及儲存電容部 630 的絕緣膜 620；以及覆蓋絕緣膜 620 的第三絕緣膜 622。作為 TFT628，可以適當地使用實施例模式 1、2、5 及 6 所示的薄膜電晶體。另外，儲存電容部 630 由與 TFT628 的閘極佈線 602 同時形成的第一電容佈線 604、閘極絕緣膜 606 以及與佈線 616 及 618 同時形成的第二電容佈線 617 構成。

藉由像素電極層 624、液晶層 650 以及對置電極層 640 重疊，形成液晶元件。

圖 25 示出基板 600 上的平面結構。像素電極層 624 使用實施例模式 1 所示的材料來形成。在像素電極層 624 中設置有狹縫 625。狹縫 625 用來控制液晶配向。

圖 25 所示的 TFT629、與 TFT629 連接的像素電極層 626 及儲存電容部 631 可以分別與 TFT628、像素電極層 624 及儲存電容部 630 同樣地形成。TFT628 和 TFT629 都連接到佈線 616。該液晶面板的像素由像素電極層 624 及像素電極層 626 構成。像素電極層 624 及像素電極層 626 是子像素。

圖 26 示出對置基板一側的平面結構。在遮光膜 632 上形成有對置電極層 640。對置電極層 640 最好使用與像素電極層 624 同樣的材料形成。在對置電極層 640 上形成有用來控制液晶配向的突起 644。另外，圖 26 使用虛線表示形成在基板 600 上的像素電極層 624 及像素電極層 626，並示出對置電極層 640 與像素電極層 624 及像素電極層 626 重疊配置的樣子。

圖 27 示出該像素結構的等效電路。TFT628 和 TFT629 都連接到閘極佈線 602 和佈線 616。在此情況下，藉由使電容佈線 604 的電位和電容佈線 605 的電位不同，可以使液晶元件 651 和液晶元件 652 進行不同的工作。就是說，藉由分別控制電容佈線 604 和電容佈線 605 的電位，精密地控制液晶的配向並擴大視角。

當對設置有狹縫 625 的像素電極層 624 施加電壓時，在狹縫 625 附近發生電場的畸變(傾斜電場)。藉由互相咬合地配置所述狹縫 625 和對置基板 601 一側的突起 644，有效地產生傾斜電場來控制液晶的配向，從而根據其位置使液晶具有彼此不同的配向方向。就是說，藉由進行多域化來擴大液晶顯示面板的視角。

接著，參照圖 28 至圖 31 說明與上述不同的 VA 型液晶顯示裝置。

圖 28 及圖 29 示出 VA 型液晶顯示面板的像素結構。圖 29 是基板 600 的平面圖，而圖 28 示出沿圖中所示的切斷線 Y-Z 的截面結構。下面，參照上述兩個附圖進行說明。

在該像素結構中，一個像素具有多個像素電極，並且各像素電極連接到 TFT。各 TFT 藉由不同閘極信號驅動。就是說，在以多域方式設計的像素中，獨立地控制施加到各像素電極的信號。

像素電極層 624 在分別貫穿絕緣層 620、絕緣膜 621 及絕緣膜 622 的接觸孔 623 中使用佈線 618 連接到 TFT628。另外，像素電極層 626 在分別貫穿絕緣層 620、絕緣膜 621 及絕緣膜 622 的接觸孔 627 中使用佈線 619 連接到 TFT629。TFT628 的閘極佈線 602 和 TFT629 的閘極佈線 603 彼此分離，以能夠提供不同的閘極信號。另一方面，TFT628 和 TFT629 共通使用用作資料線的佈線 616。TFT628 和 TFT629 可以適當地使用實施例模式 1、2、5 及

6 所示的薄膜電晶體。另外，在閘極佈線 602、閘極佈線 603 及電容佈線 690 上形成有閘極絕緣膜 606。

像素電極層 624 和像素電極層 626 具有不同的形狀，並且被狹縫 625 彼此分離。像素電極層 626 被形成為圍繞呈 V 字狀擴展的像素電極層 624 的外側。藉由使用 TFT628 及 TFT629 使施加到像素電極層 624 和像素電極層 626 的電壓時序不相同，來控制液晶的配向。圖 31 示出該像素結構的等效電路。TFT628 連接到閘極佈線 602，而 TFT629 連接到閘極佈線 603。另外，TFT628 和 TFT629 都與佈線 616 連接。藉由對閘極佈線 602 和閘極佈線 603 提供不同的閘極信號，可以使 TFT628 和 TFT629 的工作時序互不相同。也就是說，藉由單獨地控制 TFT628 和 TFT629 的工作，能夠對液晶元件 651 和液晶元件 652 的液晶配向進行精密地控制從而可以擴大視角。

在對置基板 601 上形成有彩色膜 636、對置電極層 640。此外，在彩色膜 636 和對置電極層 640 之間形成有平坦化膜 637，以防止液晶配向的錯亂。圖 30 示出對置基板一側的平面結構。不同的像素之間共同使用對置電極層 640，該對置電極層 640 形成有狹縫 641。藉由互相咬合地配置所述狹縫 641 與像素電極層 624 及像素電極層 626 一側的狹縫 625，可以有效地產生傾斜電場來控制液晶的配向。由此，可以根據其位置使液晶具有彼此不同的配向方向，從而擴大視角。另外，圖 30 使用虛線表示形成在基板 600 上的像素電極層 624 及像素電極層 626，並

示出對置電極層 640 與像素電極層 624 及像素電極層 626 重疊配置的樣子。

在像素電極層 624 及像素電極層 626 上形成有配向膜 648，同樣地在對置電極層 640 上也形成有配向膜 646。基板 600 與對置基板 601 之間形成有液晶層 650。另外，藉由像素電極層 624、液晶層 650 和對置電極層 640 相重疊，形成第一液晶元件。另外，藉由像素電極層 626、液晶層 650 和對置電極層 640 相重疊，形成第二液晶元件。另外，圖 28 至圖 31 所說明的顯示面板的像素結構採用在一個像素中設置有第一液晶元件和第二液晶元件的多域結構。

接著，說明橫向電場方式的液晶顯示裝置。橫向電場方式是指藉由對單元內的液晶分子沿水平方向施加電場來驅動液晶而顯示灰度的方式。藉由橫向電場方式，可以使視角增大到大約 180 度。以下，對採用橫向電場方式的液晶顯示裝置進行說明。

圖 32 示出將基板 600 和對置基板 601 重疊並植入有液晶的狀態，在該基板 600 上形成有電極層 607、TFT628 及與 TFT628 連接的像素電極層 624。在對置基板 601 上形成有彩色膜 636 以及平坦化膜 637 等。另外，不在對置基板 601 一側設置對置電極層。此外，在基板 600 和對置基板 601 之間隔著配向膜 646 及配向膜 648 形成有液晶層 650。

在基板 600 上，形成有電極層 607 以及與電極層 607

連接的電容佈線 604 及 TFT628。電容佈線 604 可以與 TFT628 的閘極佈線 602 同時形成。TFT628 可以使用實施例模式 1 至 5 所示的薄膜電晶體。電極層 607 可以使用與實施例模式 1 所示的像素電極層 427 相同的材料。另外，電極層 607 形成為大致分割成像素形狀的形狀。另外，在電極層 607 及電容佈線 604 上形成閘極絕緣膜 606。

在閘極絕緣膜 606 上形成 TFT628 的佈線 616 及 618。佈線 616 是在液晶顯示面板中傳送視頻信號的資料線，並是沿一個方向延伸的佈線，並且佈線 616 與 TFT628 的源極區或汲極區連接而成為源極電極及汲極電極中的一方的電極。佈線 618 是成為源極區及汲極區中另一方的電極且與像素電極層 624 連接的佈線。

在佈線 616 及佈線 618 上形成第二絕緣膜 620。另外，在絕緣膜 620 上形成藉由形成於絕緣膜 620 中的接觸孔 623 連接到佈線 618 的像素電極層 624。像素電極層 624 使用與實施例模式 1 所示的像素電極相同的材料形成。

如上所述，在基板 600 上形成 TFT628 以及與 TFT628 連接的像素電極層 624。再者，儲存電容形成在電極層 607 和像素電極層 624 之間。

圖 33 是說明像素電極層的結構的平面圖。圖 32 示出對應於圖 33 所示的切斷線 O-P 的截面結構。在像素電極層 624 中設置狹縫 625。該狹縫 625 用來控制液晶的配向。在此情況下，電場在電極層 607 和像素電極層 624 之

間發生。在電極層 607 和第像素電極層 624 之間形成有閘極絕緣膜 606，但是閘極絕緣膜 606 的厚度為 50nm 至 200nm，該厚度與 $2\mu\text{m}$ 至 $10\mu\text{m}$ 的液晶層的厚度相比充分薄，因此在實際上在平行於基板 600 的方向(水平方向)上發生電場。該電場控制液晶的配向。藉由利用該大致平行於基板的方向的電場使液晶分子水平地旋轉。在此情況下，由於液晶分子在任何狀態下均為水平，所以觀看角度導致的對比度等的影響很少，從而擴大視角。而且，電極層 607 和像素電極層 624 都是透光電極，因此可以提高孔徑比。

接著，說明橫向電場方式的液晶顯示裝置的另一例。

圖 34 及圖 35 示出 IPS 型液晶顯示裝置的像素結構。圖 35 是平面圖，而圖 34 示出沿圖 35 中所示的切斷線 V-W 的截面結構。下面，參照上述兩個附圖進行說明。

圖 34 示出基板 600 與對置基板 601 重疊且植入有液晶的狀態，在該基板 600 上形成有 TFT628 及與 TFT628 連接的像素電極層 624。在對置基板 601 上形成有彩色膜 636、平坦化膜 637 等。另外，不在對置基板 601 一側設置對置電極層。在基板 600 和對置基板 601 之間隔著配向膜 646 及配向膜 648 形成有液晶層 650。

在基板 600 上形成共同電位線 609 及 TFT628。共同電位線 609 可以與 TFT628 的閘極佈線 602 同時形成。TFT628 使用實施例模式 1、2、5 及 6 所示的薄膜電晶體。

TFT628 的佈線 616 及佈線 618 形成在閘極絕緣膜 606 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，並是沿一個方向延伸的佈線，並且佈線 616 與 TFT628 的源極區或汲極區連接而成爲源極電極及汲極電極中一方的電極。佈線 618 成爲源極電極及汲極電極中另一方的電極，並且佈線 618 是與像素電極層 624 連接的佈線。

在佈線 616 及佈線 618 上形成絕緣膜 620。另外，在絕緣膜 620 上形成藉由形成在絕緣膜 620 中的接觸孔 623 連接到佈線 618 的像素電極層 624。像素電極層 624 使用與實施例模式 1 所示的像素電極層 427 同樣的材料形成。如圖 35 所示，像素電極層 624 以與在形成共同電位線 609 的同時形成的梳形電極形成橫向電場的方式而形成。並且，像素電極層 624 的梳齒部分與在形成共同電位線 609 的同時形成的梳形電極互相咬合。

當在施加到像素電極層 624 的電位和共同電位線 609 的電位之間產生電場時，由該電場控制液晶的配向。藉由利用該大致平行於基板的方向的電場使液晶分子水平地旋轉。在此情況下，由於液晶分子在任何狀態下也處於水平，所以觀看角度導致的對比度等的影響很少，從而視角擴大。

如上所述，在基板 600 上形成 TFT628 以及與 TFT628 連接的像素電極層 624。另外，儲存電容藉由在共同電位線 609 和電容電極 615 之間設置閘極絕緣膜 606 而形成。

電容電極 615 和像素電極層 624 藉由接觸孔 633 連接。

藉由上述製程可以製造作為顯示裝置的液晶顯示裝置。本實施例模式的液晶顯示裝置是孔徑比高的液晶顯示裝置。

實施例模式 15

當液晶顯示面板的尺寸超過 10 英寸、60 英寸、甚至是 120 英寸時，具有透光性的佈線的佈線電阻有可能成為問題，所以在本實施例模式中舉出使用金屬佈線作為閘極佈線的一部分來降低佈線電阻的例子。

另外，在圖 36A 中與圖 3A 相同的部分使用相同的符號，所以省略對相同部分的詳細說明。另外，本實施例模式可以應用於實施例模式 1 所示的主動矩陣基板。

圖 36A 和 36B 是將金屬佈線用作驅動電路的薄膜電晶體的閘極電極層的例子。在驅動電路中，閘極電極層不侷限於具有透光性的材料。另外，為了形成金屬佈線，與實施例模式 1 及實施例模式 2 相比，光掩罩的數目增加。

在圖 36A 中，驅動電路的薄膜電晶體 260 將第一金屬佈線層 242 及層疊在其上的第二金屬佈線層 241 用作其閘極電極層。另外，第一金屬佈線層 242 可以使用與第一金屬佈線層 236 相同的材料及相同的製程形成。此外，第二金屬佈線層 241 可以使用與第二金屬佈線層 237 相同的材料及相同的製程形成。

同樣，在圖 36B 中，驅動電路的薄膜電晶體 270 將第

一金屬佈線層 244 及層疊在其上的第二金屬佈線層 243 用作其閘極電極層。另外，第一金屬佈線層 244 可以使用與第一金屬佈線層 236 相同的材料及相同的製程形成。此外，第二金屬佈線層 243 可以使用與第二金屬佈線層 237 相同的材料及相同的製程形成。

另外，當將第一金屬佈線層 242 和導電層 267 電連接時，最好用於防止第一金屬佈線層 242 氧化的第二金屬佈線層 241 為氮化金屬膜。同樣，當將第一金屬佈線層 244 和導電層 277 電連接時，最好用於防止第一金屬佈線層 244 氧化的第二金屬佈線層 243 為氮化金屬膜。

首先，在基板 200 上形成能夠耐受用於脫水化或脫氫化的第一加熱處理的耐熱性導電材料膜(厚度為 100nm 以上 500nm 以下)。

在本實施例模式中，形成厚度為 370nm 的鎢膜和厚度為 50nm 的氮化鉬膜。雖然這裏將氮化鉬膜和鎢膜的疊層用作導電膜，但不侷限於此。導電膜還可以使用選自 Ta、W、Ti、Mo、Al、Cu 中的元素、以上述元素為成分的合金、組合上述元素的合金膜或以上述元素為成分的氮化物來形成。耐熱性導電材料膜不侷限於含有上述元素的單層，還可以採用兩層以上的疊層結構。

利用第一光微影製程形成金屬佈線，並形成第一金屬佈線層 236 和第二金屬佈線層 237、第一金屬佈線層 242 和第二金屬佈線層 241、第一金屬佈線層 244 和第二金屬佈線層 243。鎢膜及氮化鉬膜的蝕刻使用 ICP(感應耦合電

漿)蝕刻法即可。可以利用 ICP 蝕刻法並藉由適當地調節蝕刻條件(施加到線圈型電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等)將膜蝕刻成所期望的錐形形狀。藉由將第一金屬佈線層 236 和第二金屬佈線層 237 形成爲錐形形狀，可以降低接觸其上而形成的具有透光性的導電膜的成膜不良。

接著，在形成具有透光性的導電膜之後，利用第二光微影製程形成閘極佈線層 238 和薄膜電晶體 220 的閘極電極層。具有透光性的導電膜使用實施例模式 1 記載的對可見光具有透光性的導電材料。

另外，由於根據具有透光性的導電膜的材料，存在例如當閘極佈線層 238 具有與第一金屬佈線層 236 或第二金屬佈線層 237 接觸的介面時，由於後面的熱處理等形成氧化膜而導致接觸電阻變高的可能，所以第二金屬佈線層 237 最好使用防止第一金屬佈線層 236 氧化的氮化金屬膜。

接著，在與實施例模式 1 相同的製程中形成閘極絕緣層、氧化物半導體層等。在之後的製程中根據實施例模式 1 製造主動矩陣型基板。

在圖 36A 和 36B 中，雖然示出與第二金屬佈線層 237 的一部分重疊的閘極佈線層 238，但是還可以使閘極佈線層覆蓋整個第一金屬佈線層 236 及整個第二金屬佈線層 237。即，可以將第一金屬佈線層 236 及第二金屬佈線層 237 稱爲用來降低閘極佈線層 238 的電阻的輔助佈線。

另外，在端子部中，其電位與閘極佈線相同的第一端子電極形成在保護絕緣層 203 上並與第二金屬佈線層 237 電連接。從端子部引出的佈線也由金屬佈線形成。

另外，爲了降低非顯示區域部分的閘極佈線層、電容佈線層的佈線電阻，可以將金屬佈線，即第一金屬佈線層 236 及第二金屬佈線層 237 用作輔助佈線。

在本實施例模式中，使用金屬佈線的一部分來降低佈線電阻，即使液晶顯示面板的尺寸超過 10 英寸、60 英寸、甚至 120 英寸，也能夠實現顯示圖像的高精細化及高孔徑比。

實施例 1

在本實施例中，對具有氧密度高的區域和氧密度低的區域的氧化物半導體層中的伴隨加熱處理的氧的擴散現象進行了運算。參照圖 37 和圖 38 對其結果進行說明。這裏，運算用的軟體使用富士通公司製造的 Materials Explorer 5.0。

圖 37 示出運算所使用的氧化物半導體層的模型。這裏，氧化物半導體層 701 採用氧密度低的層 703 及氧密度高的層 705 的疊層結構。

這裏，氧密度低的層 703 採用由 15 個 In 原子、15 個 Ga 原子、15 個 Zn 原子及 54 個 O 原子構成的非晶結構。

另外，氧密度高的層 705 採用由 15 個 In 原子、15 個 Ga 原子、15 個 Zn 原子及 66 個 O 原子構成的非晶結構。

另外，氧化物半導體層 701 的密度設定為 5.9g/cm^3 。

接著，使用 NVT 整體在溫度為 250°C 的條件下，對氧化物半導體層 701 進行經典 MD(分子動力學)運算。將時間步長設定為 0.2fs ，並將總運算時間設定為 200ps 。另外，對金屬-氧結合及氧-氧結合使用 Born-Mayer-Huggins 電位。另外，氧化物半導體層 701 的上端及下端的原子移動被固定。

接著，圖 38 示出運算結果。z 軸座標的 0nm 至 1.15nm 為氧密度低的層 703，z 軸座標的 1.15nm 至 2.3nm 為氧密度高的層 705。實線 707 表示 MD 運算前的氧密度分佈，虛線 709 表示 MD 運算後的氧密度分佈。

根據實線 707 可知氧密度高的層 705 中的氧密度高於氧密度低的層 703 與氧密度高的層 705 的介面中的氧密度。另一方面，根據虛線 709 可知氧密度低的層 703 和氧密度高的層 705 中的氧密度均勻。

由上可知，像氧密度低的層 703 和氧密度高的層 705 的層疊狀態那樣，當氧密度的分佈不均勻時，經過加熱處理氧從密度高的部分擴散到密度低的部分而使氧密度變均勻。

也就是說，藉由像實施例模式 1 及實施例模式 6 所示那樣地在氧化物半導體層上形成氧化物絕緣層，並使氧化物半導體層及氧化物絕緣層的介面中的氧密度提高，且該氧向氧化物半導體層的氧密度低的部分擴散，而使氧化物半導體層的電阻增大。

如本實施例所示，吸附於氧化物半導體層表面的氧與氧化物半導體層所含有的金屬離子(Me)發生離子結合，而以氧原子的狀態向氧化物半導體層的內部擴散(參照圖39A至39C)。

【符號說明】

10：脈衝輸出電路

11：第一佈線

12：第二佈線

13：第三佈線

14：第四佈線

15：第五佈線

21：第一輸入端子

22：第二輸入端子

23：第三輸入端子

24：第四輸入端子

25：第五輸入端子

26：第一輸出端子

27：第二輸出端子

28：薄膜電晶體

31：電晶體

32：電晶體

33：電晶體

34：電晶體

- 35：電晶體
- 36：電晶體
- 37：電晶體
- 38：電晶體
- 39：電晶體
- 40：電晶體
- 41：電晶體
- 42：電晶體
- 43：電晶體
- 51：電源線
- 52：電源線
- 53：電源線
- 61：期間
- 62：期間
- 200：基板
- 202：閘極絕緣層
- 203：保護絕緣層
- 204：平坦化絕緣層
- 205：共同電位線
- 206：共同電極層
- 207：氧化物半導體層
- 208：氧化物絕緣層
- 209：共同電位線
- 210：共同電位線

220：薄膜電晶體

221：端子

222：端子

223：連接電極層

225：導電層

226：電極層

227：像素電極層

228：端子

229：端子

230：電容佈線層

231：電容電極

236：金屬佈線層

237：金屬佈線層

238：閘極佈線層

241：金屬佈線層

242：金屬佈線層

243：金屬佈線層

244：金屬佈線層

250：電容佈線層

251：氧化物半導體層

254：源極電極佈線

255：端子電極

256：源極電極佈線

257：端子電極

- 260：薄膜電晶體
- 261：閘極電極層
- 263：通道形成區
- 264a：高電阻源極區
- 264b：高電阻汲極區
- 264c：區域
- 264d：區域
- 265a：源極電極層
- 265b：汲極電極層
- 266a：氧化物絕緣層
- 266b：氧化物絕緣層
- 267：導電層
- 268a：輔助電極層
- 268b：輔助電極層
- 270：薄膜電晶體
- 271：閘極電極層
- 273：通道形成區
- 274a：高電阻源極區
- 274b：高電阻汲極區
- 274c：區域
- 274d：區域
- 274e：區域
- 274f：區域
- 275a：源極電極層

275b：汲極電極層
 276a：氧化物絕緣層
 276b：氧化物絕緣層
 277：導電層
 280：薄膜電晶體
 281：閘極電極層
 282a：閘極絕緣層
 282b：閘極絕緣層
 282c：閘極絕緣層
 283：通道形成區
 284a：高電阻源極區
 284b：高電阻汲極區
 284c：源極區
 284d：汲極區
 285a：源極電極層
 285b：汲極電極層
 286a：氧化物絕緣層
 286b：氧化物絕緣層
 290：薄膜電晶體
 291：閘極電極層
 292a：閘極絕緣層
 292b：閘極絕緣層
 293：通道形成區
 294a：高電阻源極區

294b：高電阻汲極區

294c：區域

294d：區域

294e：區域

294f：區域

295a：源極電極層

295b：汲極電極層

296a：氧化物絕緣層

296b：氧化物絕緣層

400：基板

402：閘極絕緣層

403：保護絕緣層

404：平坦化絕緣層

420：薄膜電晶體

421a：閘極電極層

421b：閘極電極層

422：氧化物半導體層

423：通道形成區

424a：高電阻源極區

424b：高電阻汲極區

424c：區域

424d：區域

425a：源極電極層

425b：汲極電極層

426a：氧化物絕緣層
 426b：氧化物絕緣層
 427：像素電極層
 430：氧化物半導體膜
 441：接觸孔
 442：氧化物半導體層
 448：薄膜電晶體
 580：基板
 581：薄膜電晶體
 583：絕緣膜
 585：絕緣層
 587：電極層
 588：電極層
 589：球形粒子
 590a：黑色區域
 590b：白色區域
 594：空洞
 595：充填材
 596：基板
 600：基板
 601：對置基板
 602：閘極佈線
 603：閘極佈線
 604：電容佈線

- 605：電容佈線
- 606：閘極絕緣膜
- 607：電極層
- 608：通道保護層
- 609：共同電位線
- 611：通道保護層
- 615：電容電極
- 616：佈線
- 617：電容佈線
- 618：佈線
- 619：佈線
- 620：絕緣膜
- 621：絕緣膜
- 622：絕緣膜
- 623：接觸孔
- 624：像素電極層
- 625：狹縫
- 626：像素電極層
- 627：接觸孔
- 628：TFT
- 629：TFT
- 630：儲存電容部
- 631：儲存電容部
- 632：遮光膜

- 633：接觸孔
- 636：彩色膜
- 637：平坦化膜
- 640：對置電極層
- 641：狹縫
- 644：突起
- 646：配向膜
- 648：配向膜
- 650：液晶層
- 651：液晶元件
- 652：液晶元件
- 690：電容佈線
- 701：氧化物半導體層
- 703：氧密度低的層
- 705：氧密度高的層
- 707：實線
- 709：虛線
- 2600：TFT基板
- 2601：對置基板
- 2602：密封材料
- 2603：像素部
- 2604：顯示元件
- 2605：著色層
- 2606：偏光板

2607：偏光板
2608：佈線電路部
2609：撓性線路板
2610：冷陰極管
2611：反射板
2612：電路基板
2613：擴散板
2700：電子書閱讀器
2701：框體
2703：框體
2705：顯示部
2707：顯示部
2711：軸部
2721：電源
2723：操作鍵
2725：揚聲器
4001：基板
4002：像素部
4003：信號線驅動電路
4004：掃描線驅動電路
4005：密封材料
4006：基板
4008：液晶層
4010：薄膜電晶體

- 4011：薄膜電晶體
- 4013：液晶元件
- 4015：連接端子電極
- 4016：端子電極
- 4018：FPC
- 4019：各向異性導電膜
- 4020：絕緣層
- 4021：絕緣層
- 4030：像素電極層
- 4031：對置電極層
- 4032：絕緣層
- 4040：導電層
- 4041a：絕緣層
- 4041b：絕緣層
- 4042a：絕緣層
- 4042b：絕緣層
- 4501：基板
- 4502：像素部
- 4505：密封材料
- 4506：基板
- 4507：充填材
- 4509：薄膜電晶體
- 4510：薄膜電晶體
- 4511：發光元件

4512：電場發光層
 4513：電極層
 4515：連接端子電極
 4516：端子電極
 4517：電極層
 4519：各向異性導電膜
 4520：分隔壁
 4540：導電層
 4541a：絕緣層
 4541b：絕緣層
 4542a：絕緣層
 4542b：絕緣層
 4543：絕緣層
 4544：絕緣層
 5300：基板
 5301：像素部
 5302：掃描線驅動電路
 5303：掃描線驅動電路
 5304：信號線驅動電路
 5305：時序控制電路
 5601：移位暫存器
 5602：開關電路
 5603：薄膜電晶體
 5604：佈線

5605 : 佈線
6400 : 像素
6401 : 開關電晶體
6402 : 發光元件驅動電晶體
6403 : 電容元件
6404 : 發光元件
6405 : 信號線
6406 : 掃描線
6407 : 電源線
6408 : 共同電極
7001 : TFT
7002 : 發光元件
7003 : 陰極
7004 : 發光層
7005 : 陽極
7008 : 陰極
7009 : 分隔壁
7011 : 發光元件驅動 TFT
7012 : 發光元件
7013 : 陰極
7014 : 發光層
7015 : 陽極
7016 : 遮罩膜
7017 : 導電膜

- 7018：導電膜
- 7019：分隔壁
- 7021：發光元件驅動 TFT
- 7022：發光元件
- 7023：陰極
- 7024：發光層
- 7025：陽極
- 7027：導電膜
- 7028：導電膜
- 7029：分隔壁
- 9201：顯示部
- 9202：顯示鈕
- 9203：操作開關
- 9204：帶部
- 9205：調節部
- 9206：拍攝裝置部
- 9207：揚聲器
- 9208：麥克
- 9301：上部框體
- 9302：下部框體
- 9303：顯示部
- 9304：鍵盤
- 9305：外部連接埠
- 9306：定位裝置

9307：顯示部
9600：電視裝置
9601：框體
9603：顯示部
9605：支架
9607：顯示部
9609：操作鍵
9610：遙控操作機
9700：數位相框
9701：框體
9703：顯示部
9881：框體
9882：顯示部
9883：顯示部
9884：揚聲器部
9885：操作鍵
9886：記錄媒體插入部
9887：連接端子
9888：感測器
9889：麥克風
9890：LED 燈
9891：框體
9893：連接部
9900：投幣機

9901：框體

9903：顯示部

4503a：信號線驅動電路

4504a：掃描線驅動電路

4518a：FPC

申請專利範圍

1.一種半導體裝置，包含：

閘極佈線層、源極佈線層、及電源線；

第一電晶體；

第二電晶體，包括閘極電極、源極電極、及汲極電極；

電容，包括第一電極與第二電極；

在該第一電晶體、該第二電晶體、及該電容上的絕緣層；以及

在該絕緣層上的像素電極層，

其中該第一電晶體包含：

閘極電極層；

在該閘極電極層上的閘極絕緣層；

在該閘極絕緣層上的氧化物半導體層，該氧化物半導體層包含與該閘極電極層重疊之通道形成區，該閘極絕緣層介於其間；

在該氧化物半導體層上的氧化物絕緣層，該氧化物絕緣層包括第一接觸孔與第二接觸孔，其中該氧化物絕緣層覆蓋該氧化物半導體層的邊緣；

在該氧化物絕緣層上的源極電極層，該源極電極層經由該氧化物絕緣層的該第一接觸孔電性連接至該氧化物半導體層；

在該氧化物絕緣層上的汲極電極層，該汲極電極層經由該氧化物絕緣層的該第二接觸孔電性連接至該氧化物半

導體層；以及

其中，該第一電晶體的該源極電極層與該氧化物半導體層的第一端重疊，該氧化物絕緣層介於其間，

其中，該第一電晶體的該汲極電極層與該氧化物半導體層的第二端重疊，該氧化物絕緣層介於其間，

其中，該閘極佈線層包括該第一電晶體的該閘極電極層，

其中，該源極佈線層包括該第一電晶體的該源極電極層，

其中，該閘極佈線層在佈線交叉中與該源極佈線層交叉，

其中，在該佈線交叉中，該閘極絕緣層與該氧化物絕緣層設置於該閘極佈線層與該源極佈線層之間，

其中，該第一電晶體的該汲極電極層電性連接至該電容的該第一電極，

其中，該第一電晶體的該汲極電極層電性連接至該第二電晶體的該閘極電極，

其中，該第二電晶體的該源極電極與該汲極電極之一者電性連接至該電源線，

其中，該第二電晶體的該源極電極與該汲極電極之另一者電性連接至該像素電極層，以及

其中，該氧化物絕緣層包含矽。

2. 如申請專利範圍第 1 項的半導體裝置，其中，該電容的該第二電極電性連接至該電源線。

3. 如申請專利範圍第 1 項的半導體裝置，其中，該第一電晶體的該閘極電極層在通道長度方向的寬度小於該氧化物半導體層在通道長度方向的寬度。

4. 如申請專利範圍第 1 項的半導體裝置，其中，該第一電晶體的該閘極電極層在通道長度方向的寬度大於該氧化物半導體層在通道長度方向的寬度，以及

其中，該第一電晶體的該閘極電極層之端面與該第一電晶體的該源極電極層或該汲極電極層重疊，該閘極絕緣層與該氧化物絕緣層介於其間。

5. 如申請專利範圍第 1 項的半導體裝置，其中，該第一電晶體的該源極電極層與該汲極電極層係形成發光導電膜。

6. 一種半導體裝置，包含：

在該基板上的閘極電極層；

在該基板上的第一電極層；

在該閘極電極層與該第一電極層上的第一絕緣層；

在該第一絕緣層上的氧化物半導體層，該氧化物半導體層包含與該閘極電極層重疊之通道形成區，該第一絕緣層介於其間；

在該氧化物半導體層與該第一絕緣層上的氧化物絕緣層，該氧化物絕緣層包括第一接觸孔與第二接觸孔，其中該氧化物絕緣層覆蓋該氧化物半導體層的邊緣；

在該氧化物絕緣層上的第一導電層，該第一導電層經由該氧化物絕緣層的該第一接觸孔電性連接至該氧化物半

導體層；

在該氧化物絕緣層上的第二導電層，該第二導電層經由該氧化物絕緣層的該第二接觸孔電性連接至該氧化物半導體層；

在該第一導電層與該第二導電層上的第二絕緣層；以及

在該第二絕緣層上的像素電極層，該像素電極層電性連接至該第一導電層與該第二導電層中之一者，

其中，該第一導電層與該氧化物半導體層的第一端重疊，該氧化物絕緣層介於其間，

其中，該第二導電層與該氧化物半導體層的第二端重疊，該氧化物絕緣層介於其間，

其中，該第一導電層與該第二導電層中之該一者與該第一電極層重疊，該氧化物絕緣層與該第一絕緣層介於其間，以及

其中，該氧化物絕緣層包含矽。

7. 如申請專利範圍第 6 項的半導體裝置，更包含：
電容佈線層，

其中，該電容佈線層包括該第一電極層。

8. 如申請專利範圍第 6 項的半導體裝置，其中，該閘極電極層在通道長度方向的寬度小於該氧化物半導體層在通道長度方向的寬度。

9. 如申請專利範圍第 6 項的半導體裝置，

其中，該閘極電極層在通道長度方向的寬度大於該氧

化物半導體層在通道長度方向的寬度，以及

其中，該閘極電極層之端面與該第一導電層或該第二導電層重疊，該第一絕緣層與該氧化物絕緣層介於其間。

10. 如申請專利範圍第 6 項的半導體裝置，其中，該第一導電層與該第二導電層係形成發光導電膜。

11. 如申請專利範圍第 1 項與第 6 項之任一者的半導體裝置，其中，該氧化物半導體層包含銦、鎵、及鋅。

12. 一種顯示模組，包含：

如申請專利範圍第 1 項與第 6 項之任一者的該半導體裝置；以及

撓性印刷電路(FPC)。

13. 一種電子裝置，包含：

如申請專利範圍第 1 項與第 6 項之任一者的該半導體裝置；以及

電池、揚聲器、及麥克風之至少一者。

圖式

圖 1A

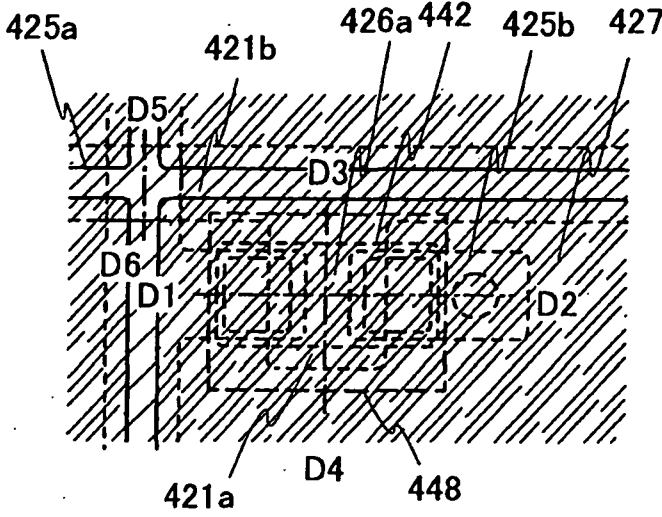


圖 1B

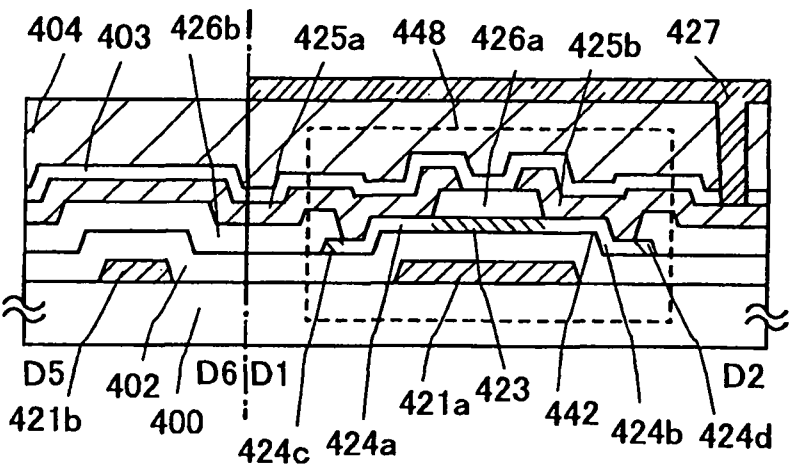


圖 1C

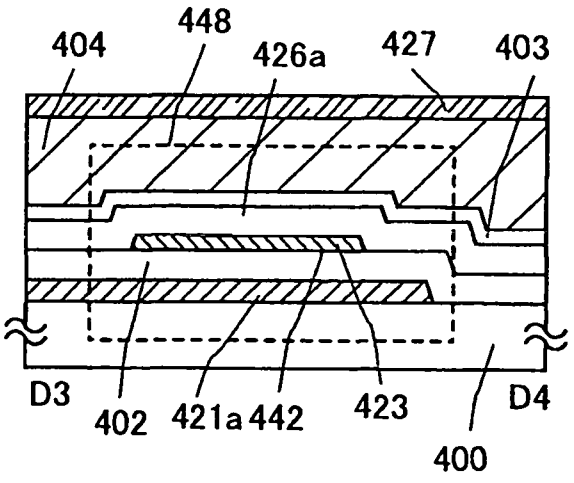


圖 2A

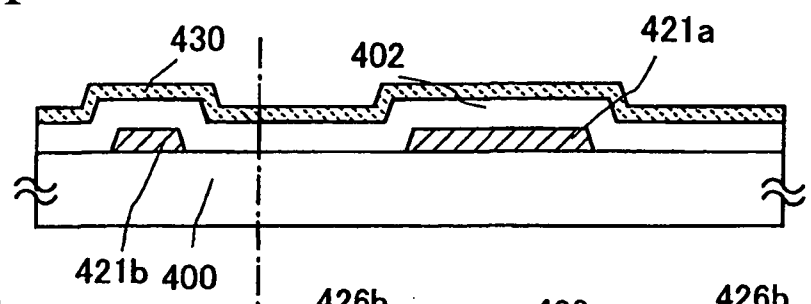


圖 2B

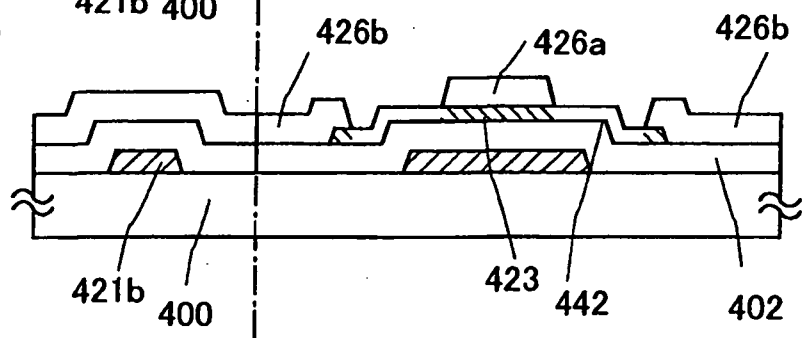


圖 2C

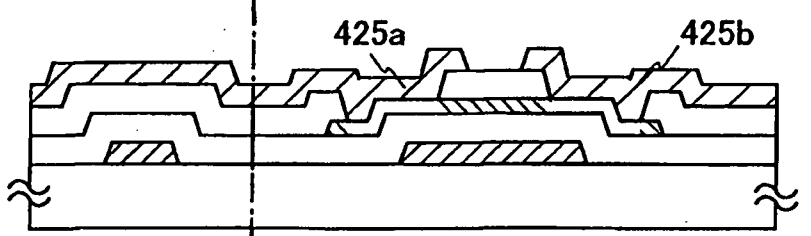


圖 2D

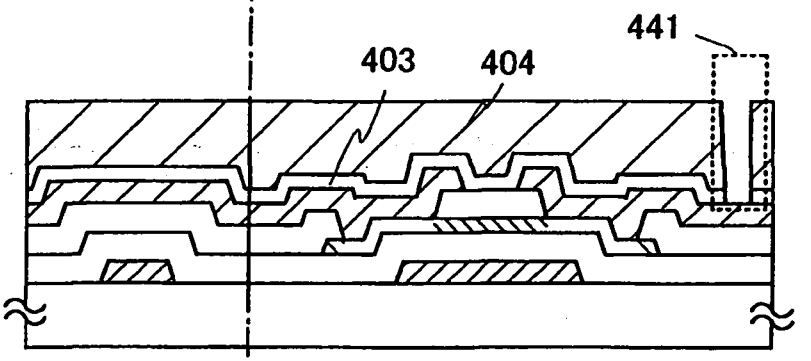


圖 2E

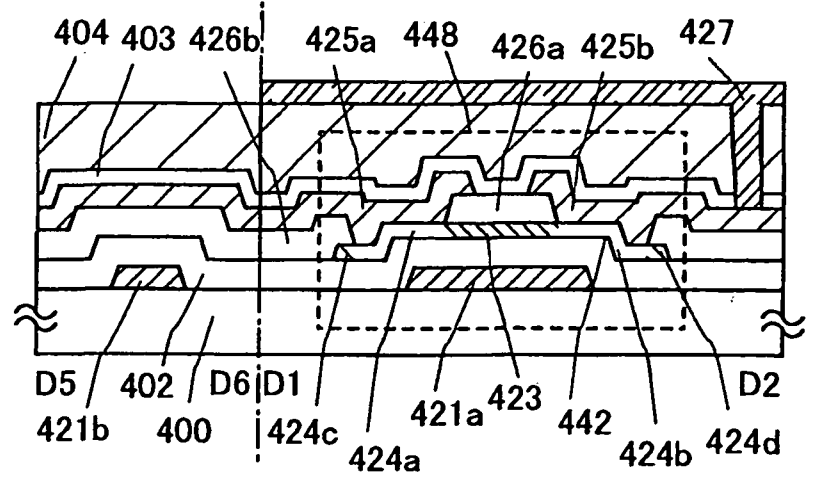


圖 3A

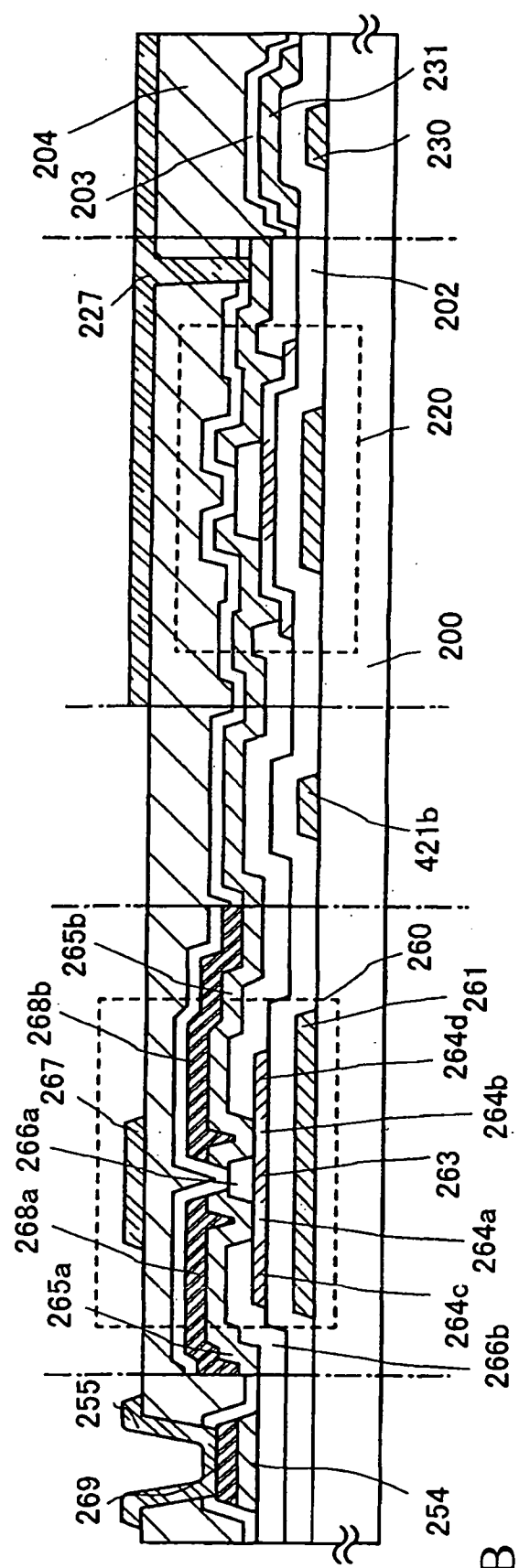


圖 3B

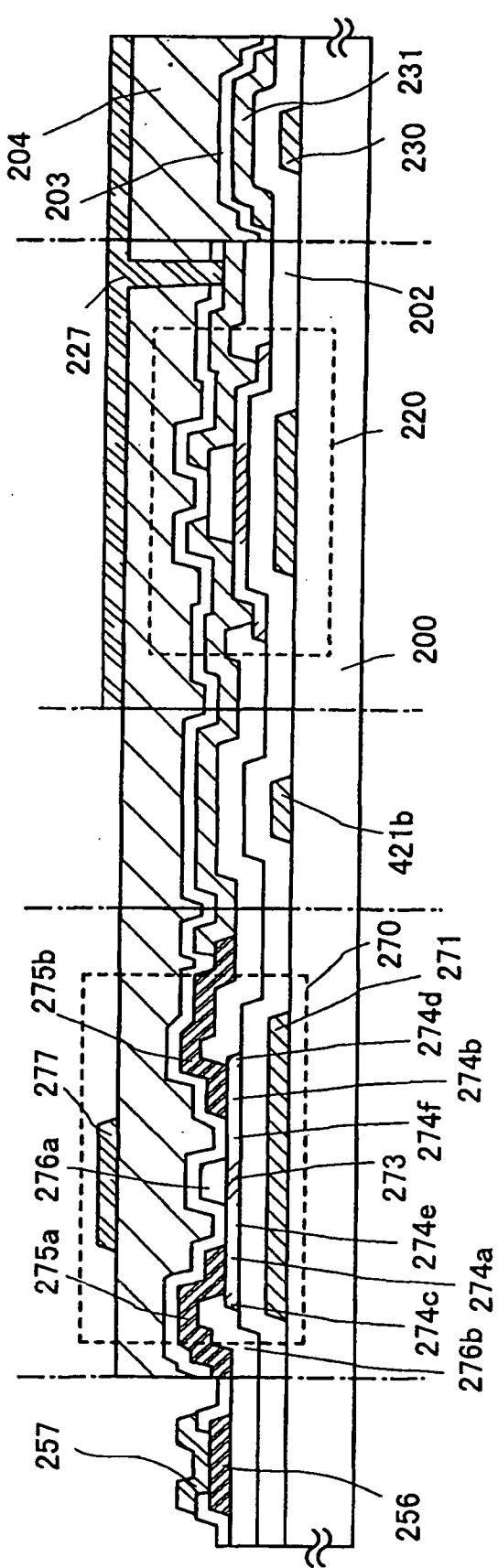


圖 4A1

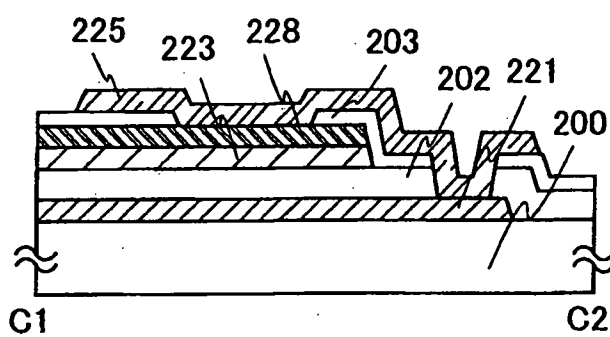


圖 4A2

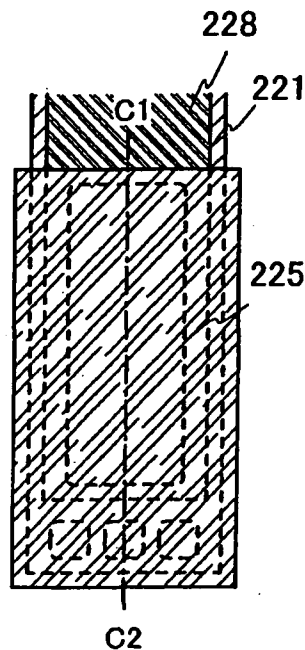


圖 4B1

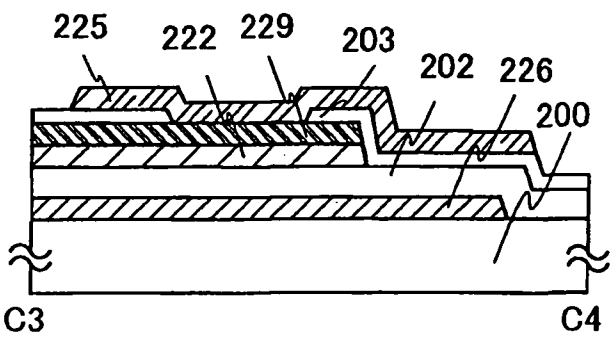


圖 4B2

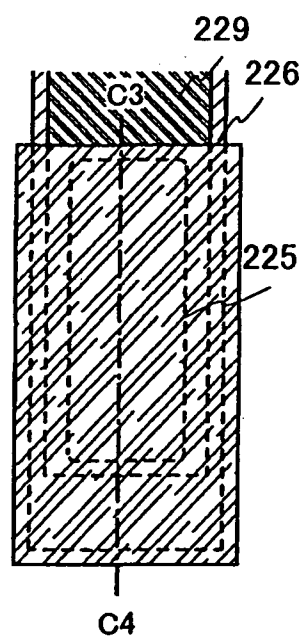


圖 5A

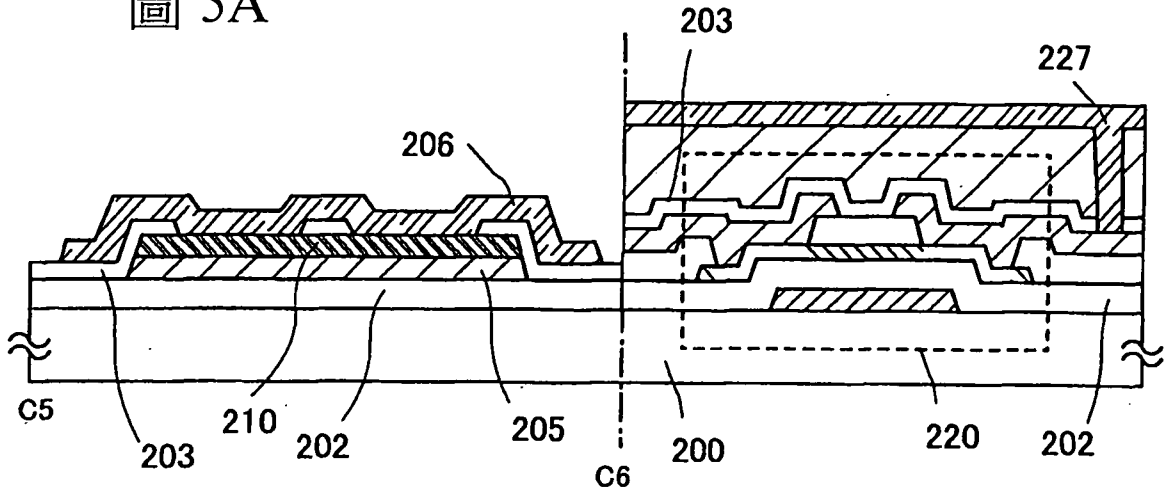


圖 5B

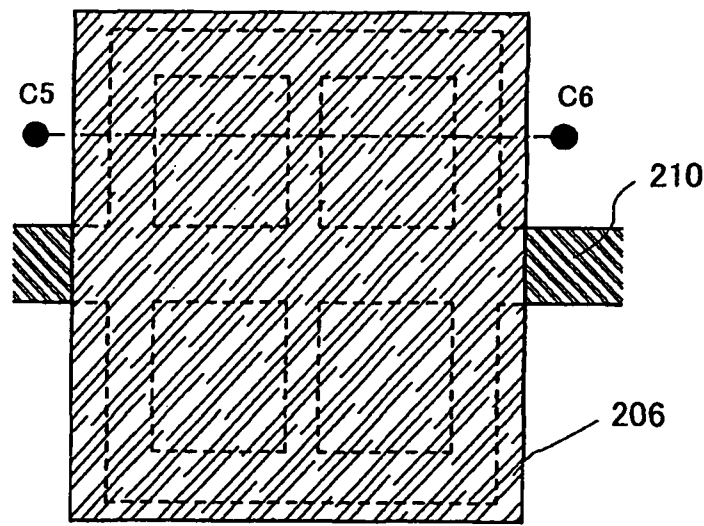


圖 5C

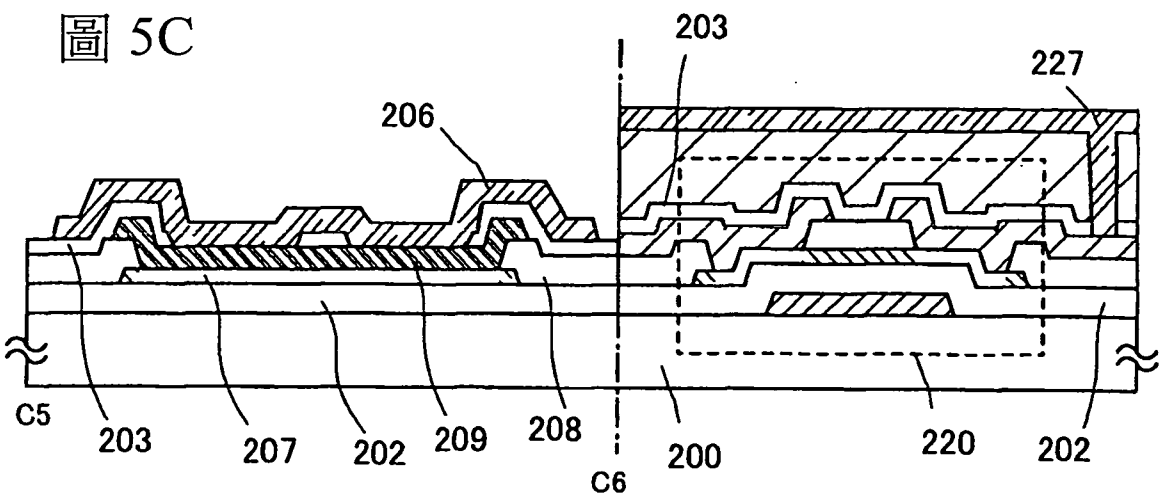


圖 6A

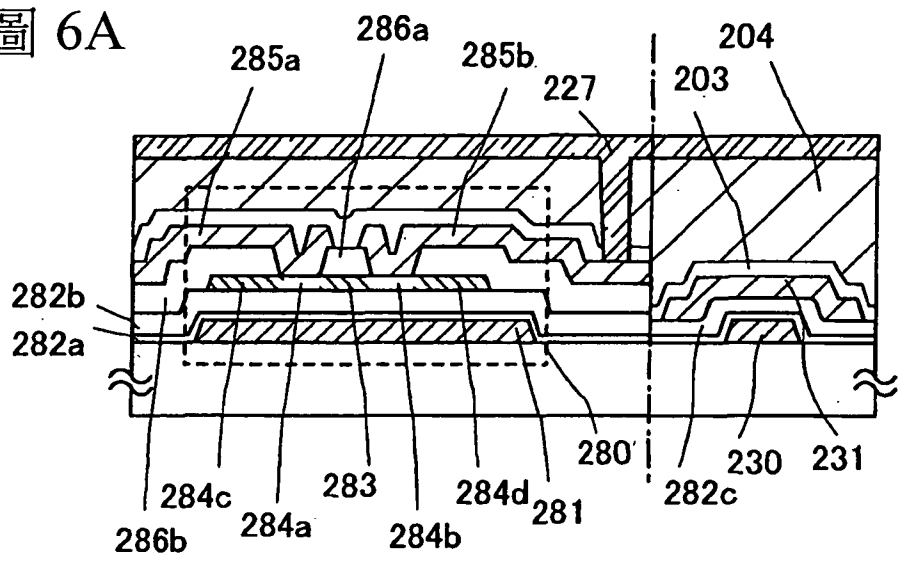


圖 6B

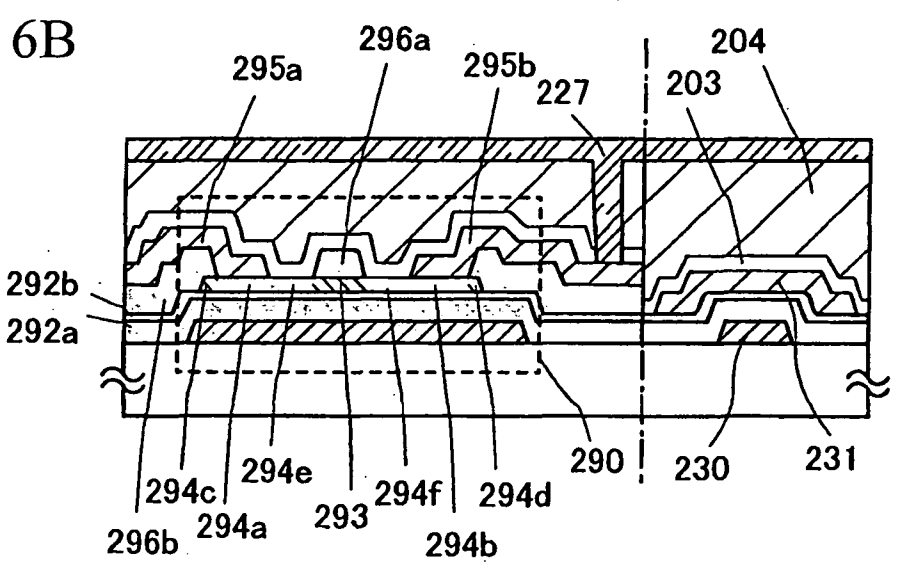


圖 7A

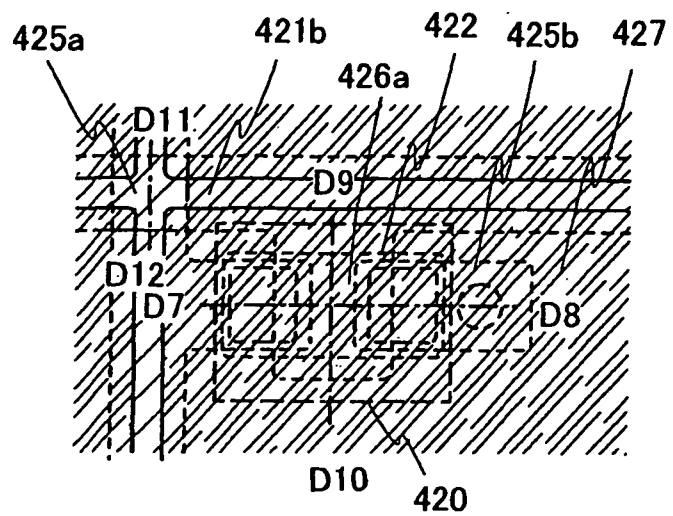


圖 7B

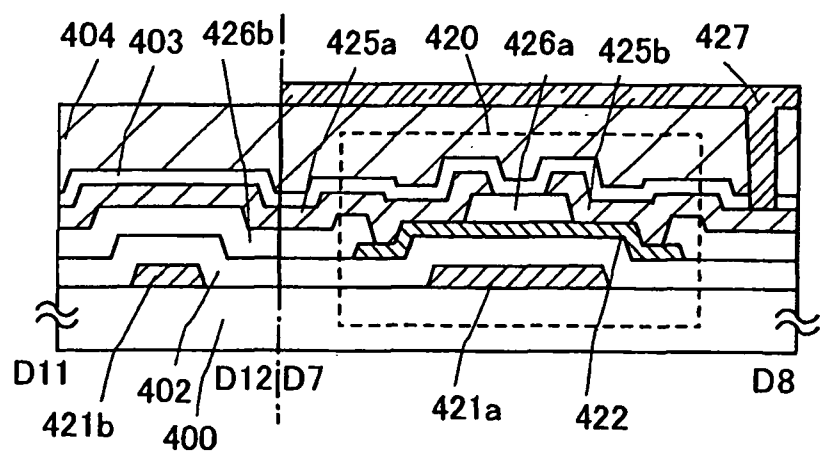


圖 7C

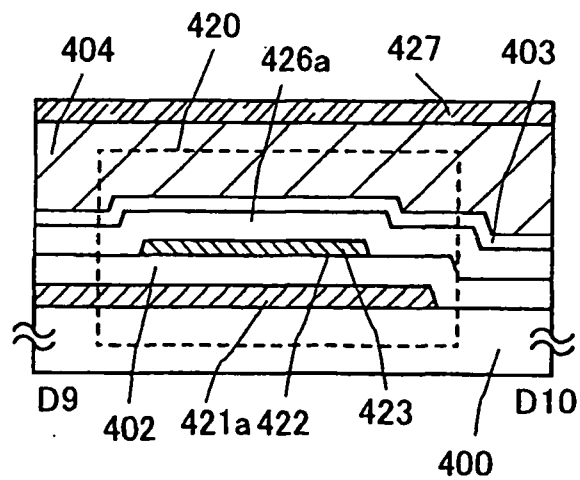


圖 8A

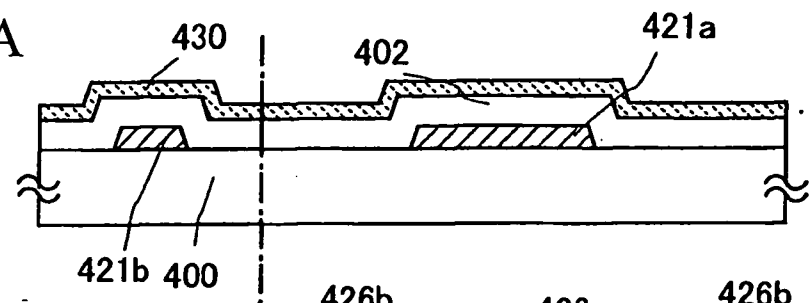


圖 8B

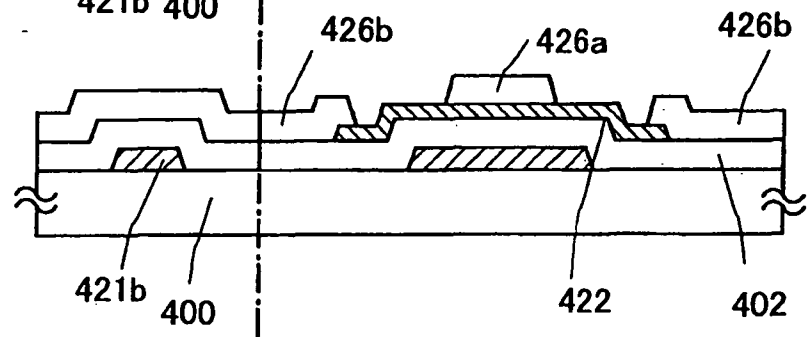


圖 8C

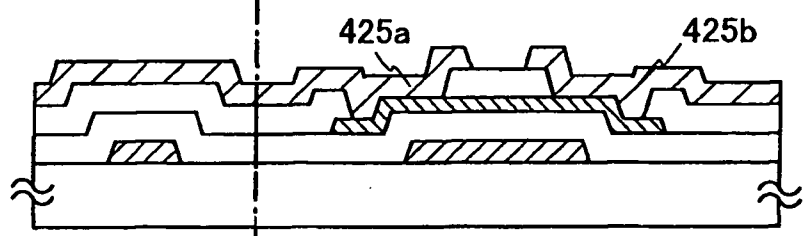


圖 8D

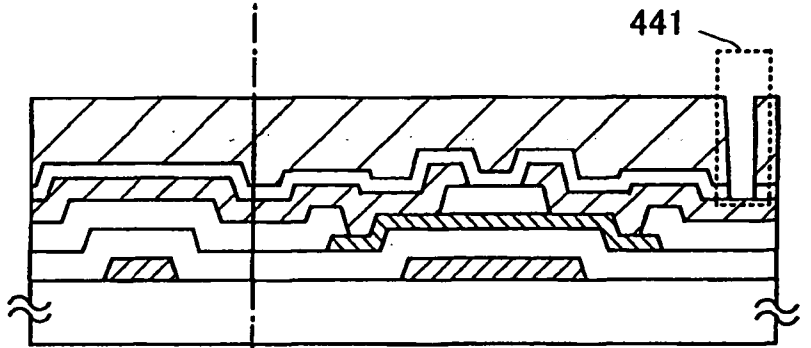


圖 8E

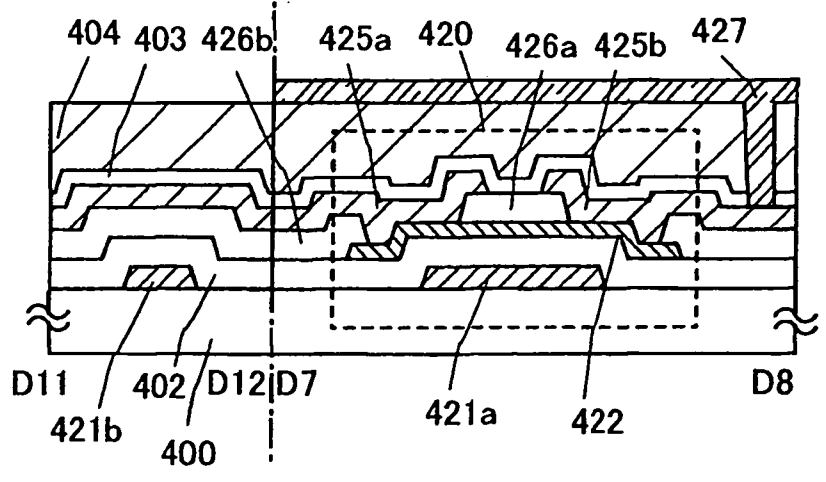


圖 9A

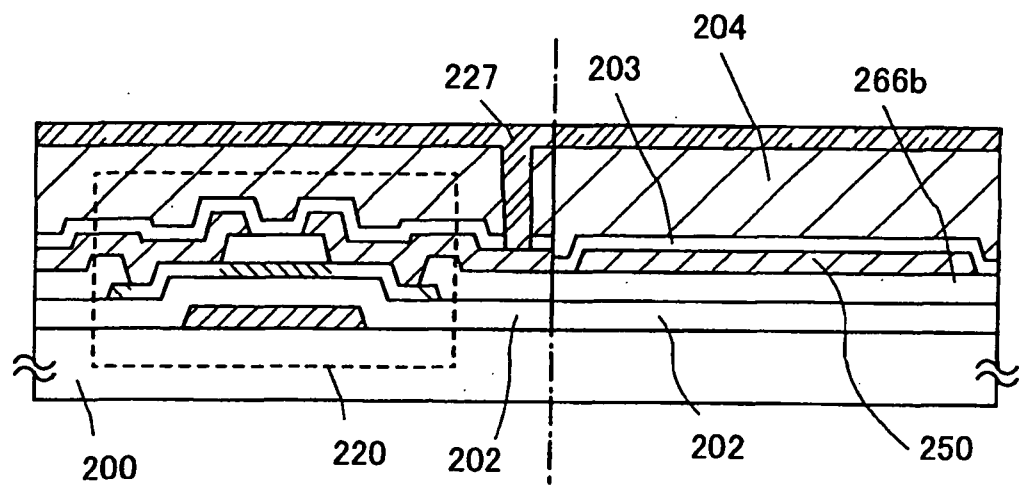


圖 9B

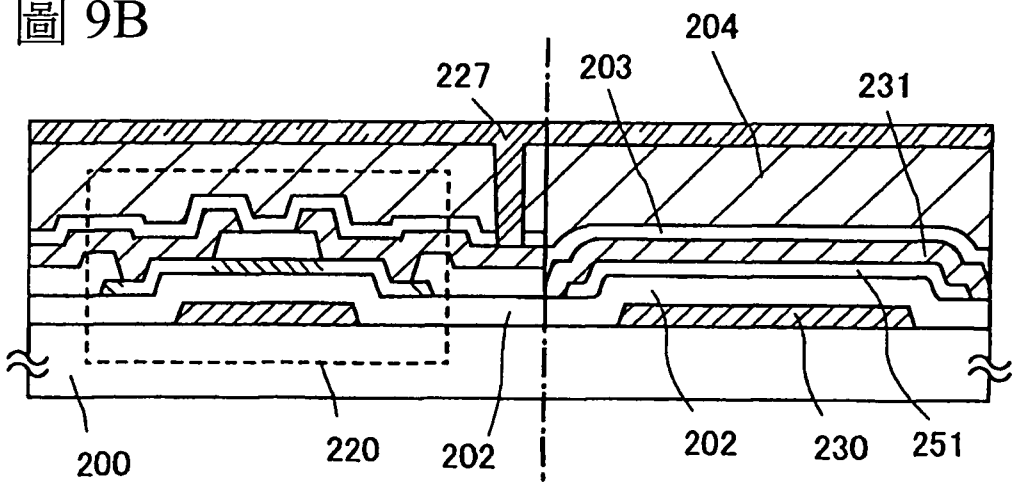


圖 10A1

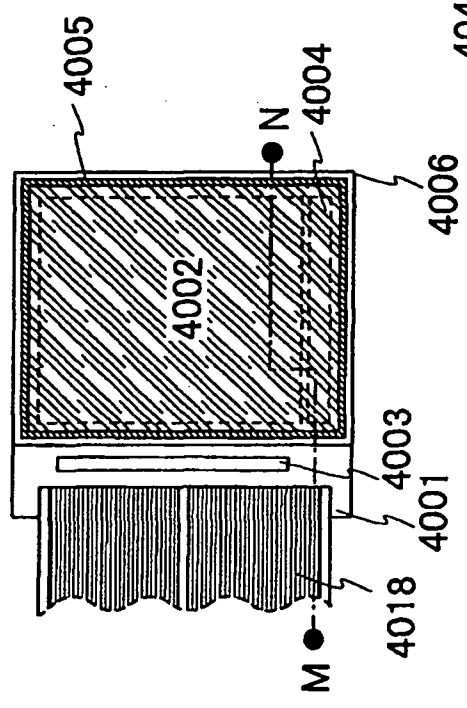


圖 10A2

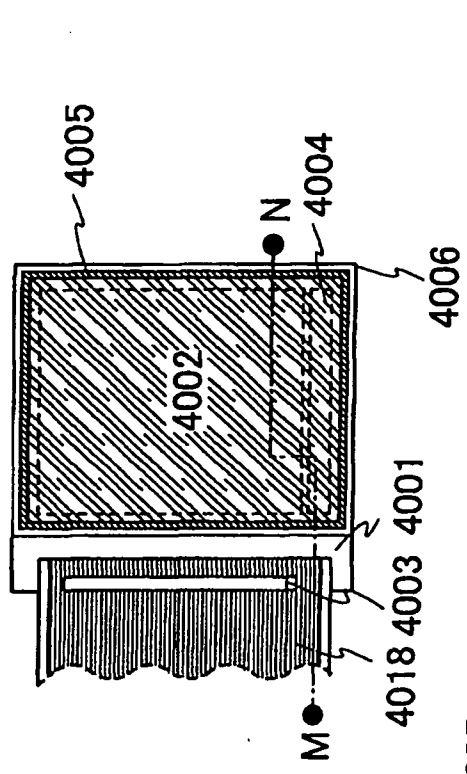


圖 10B

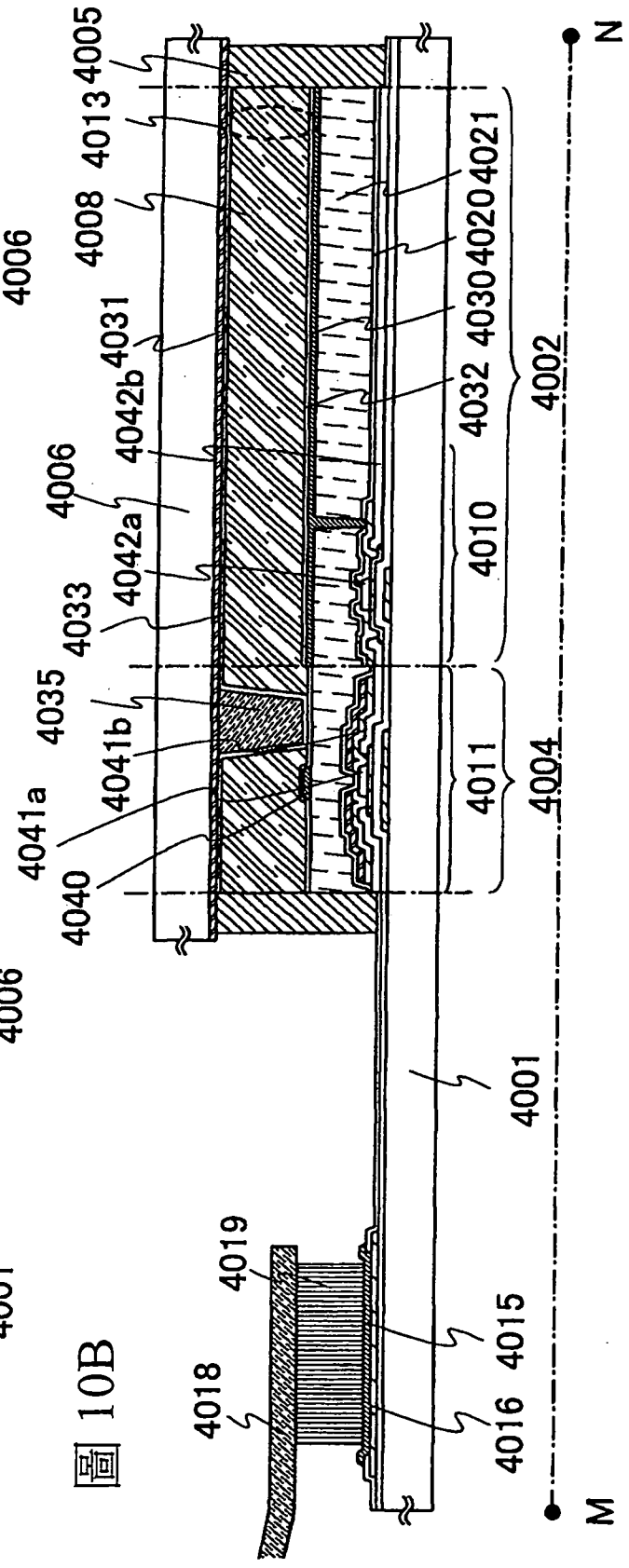


圖 11A

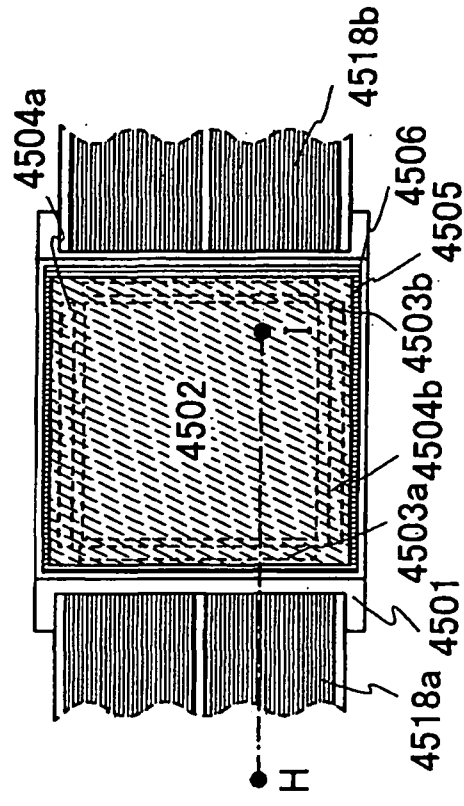


圖 11B

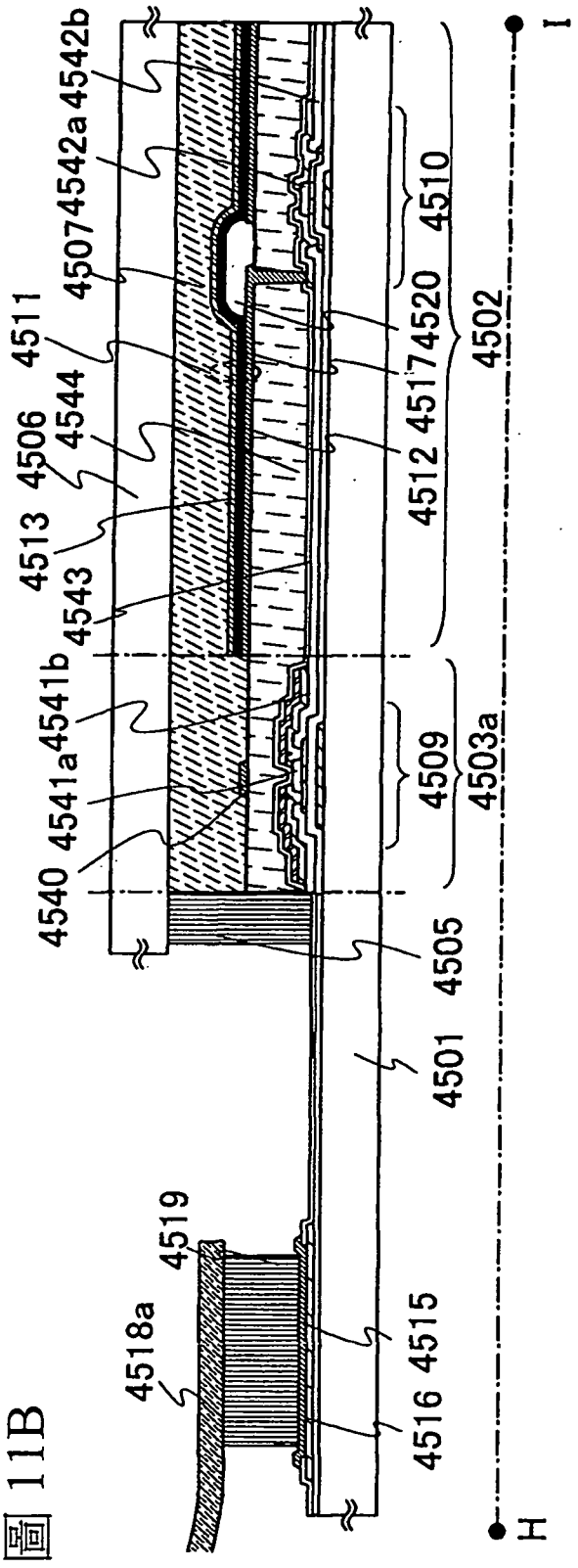


圖 12

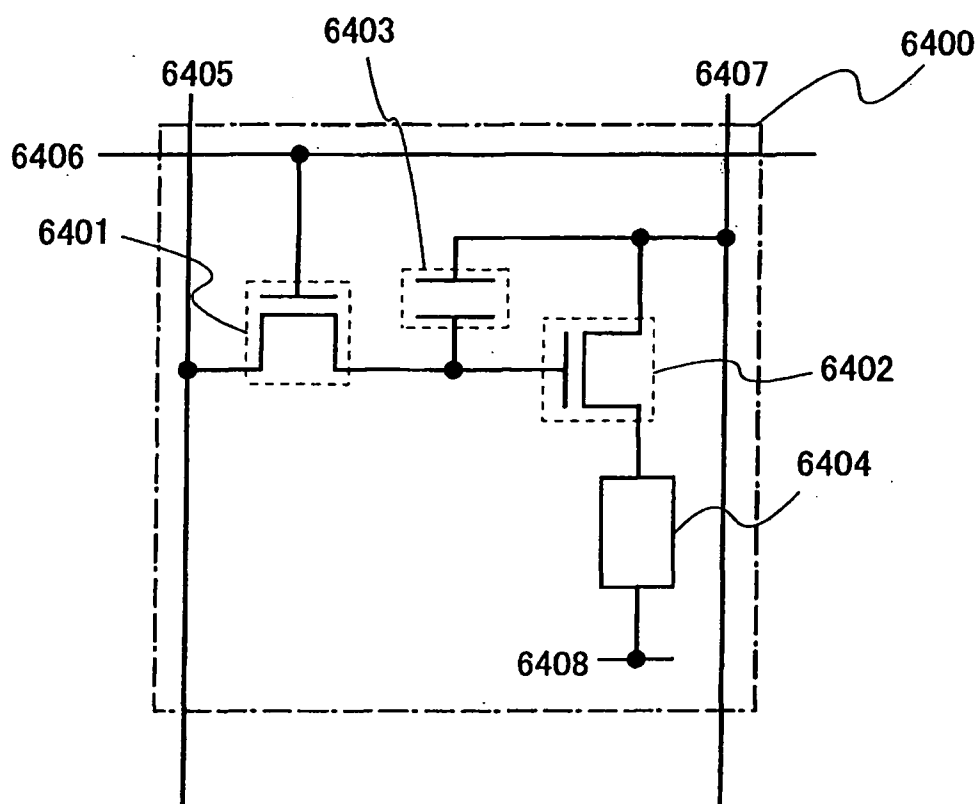


圖 13A

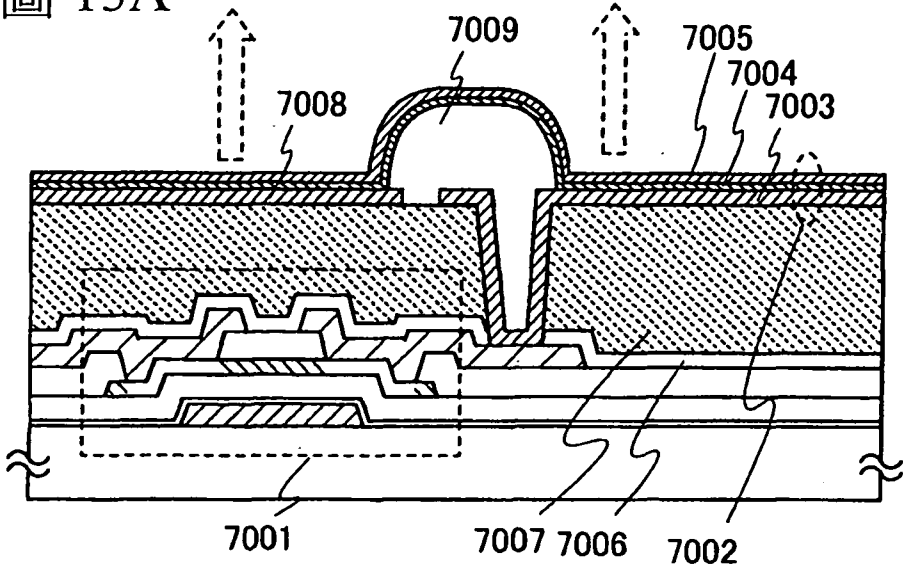


圖 13B

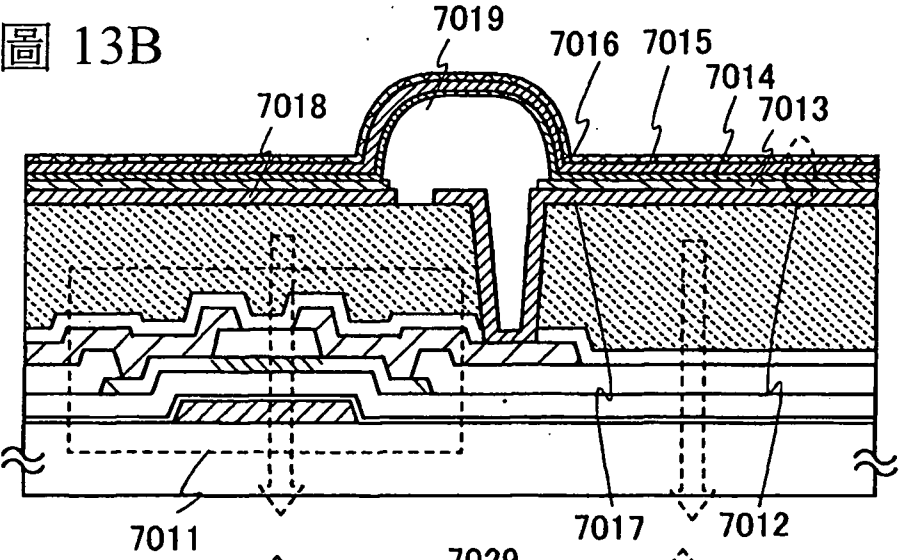


圖 13C

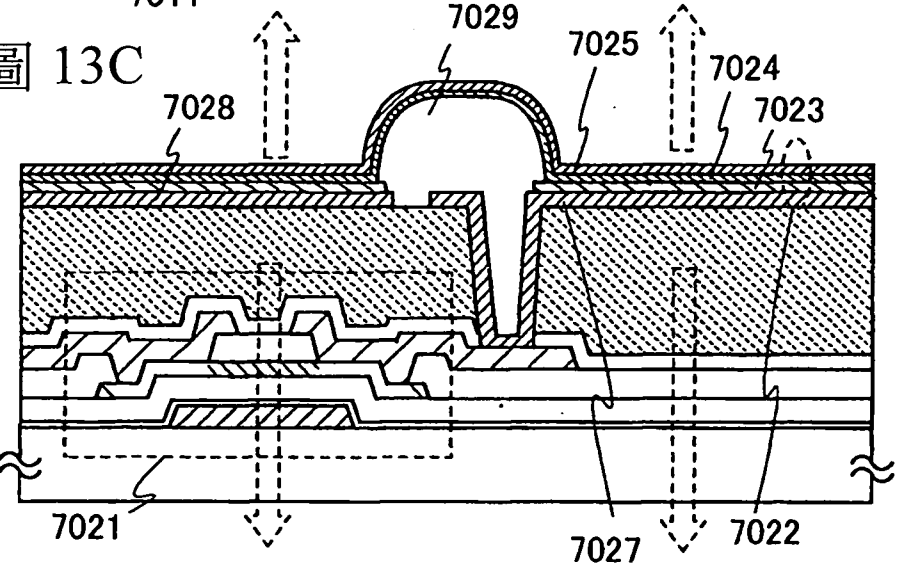


圖 14A

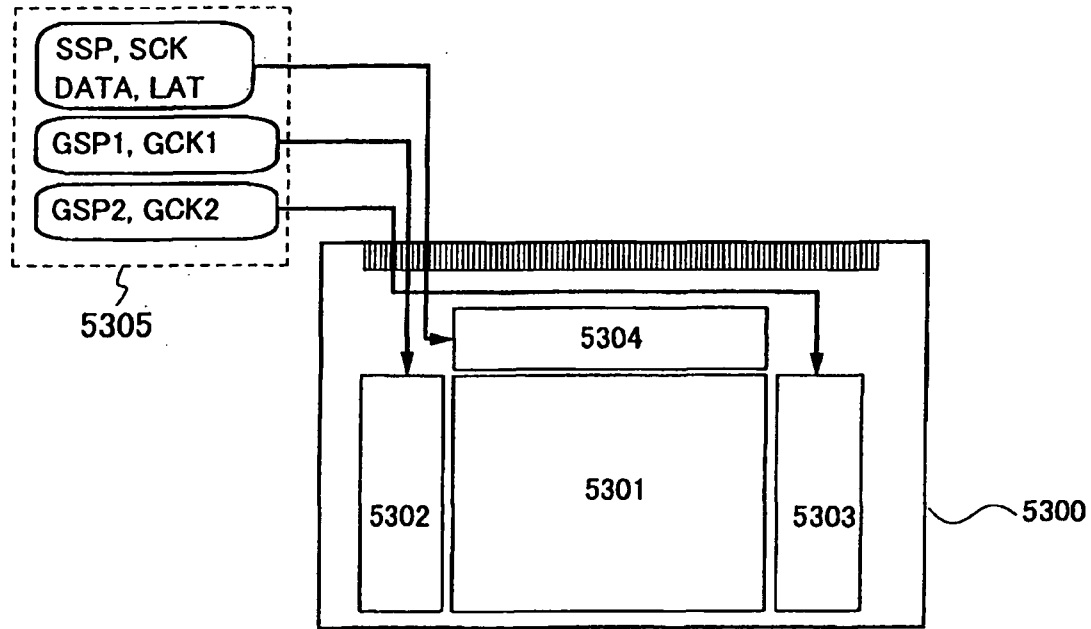


圖 14B

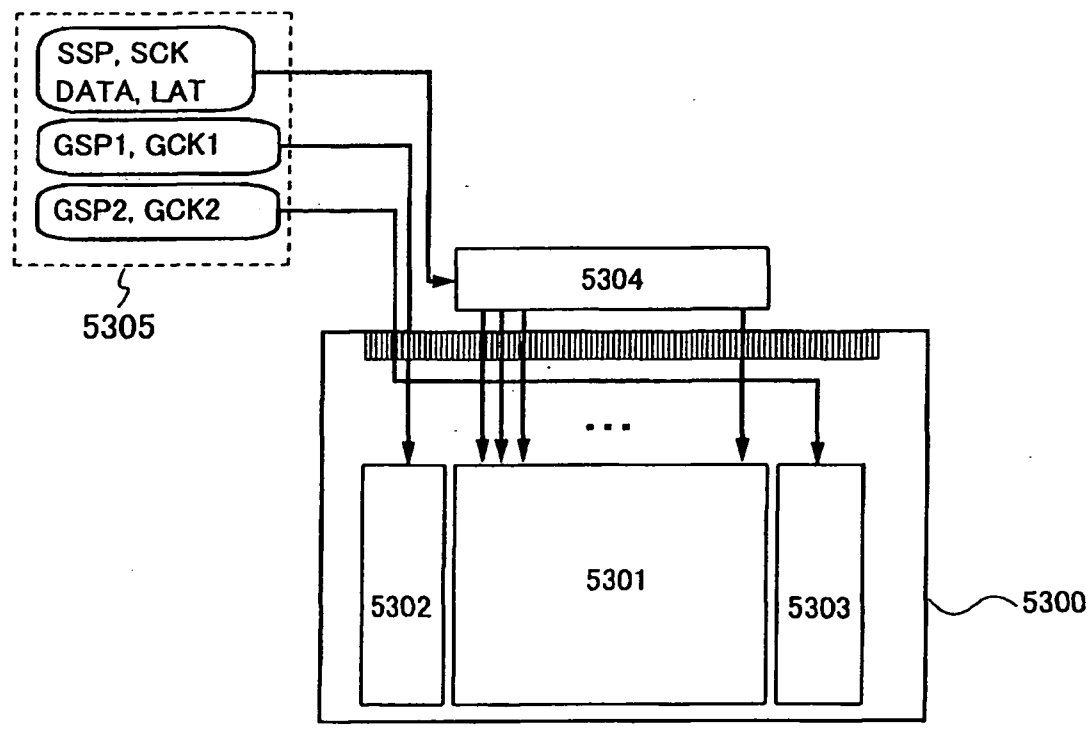


圖 15A

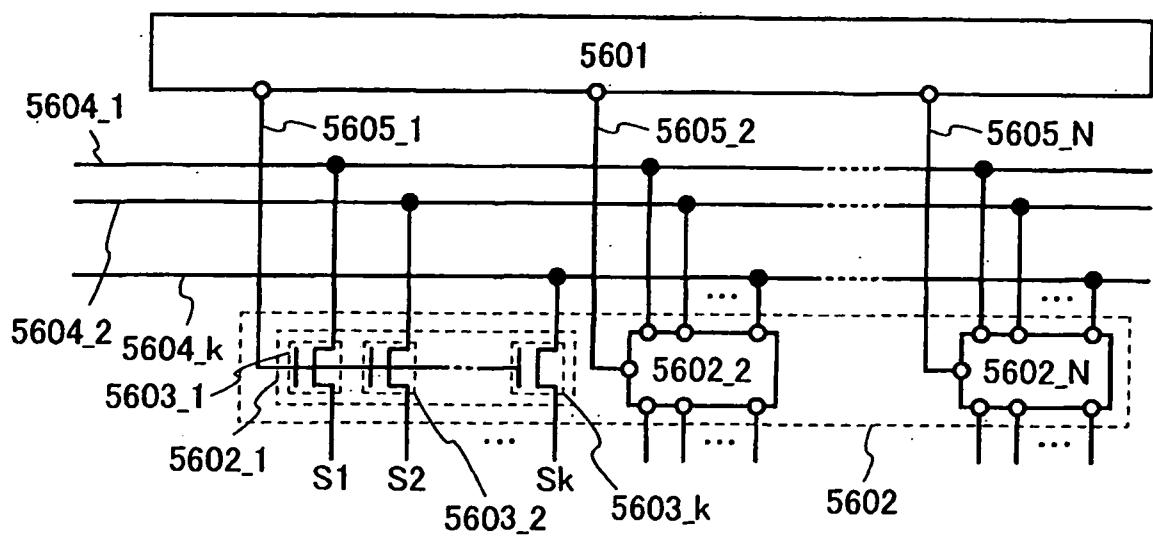


圖 15B

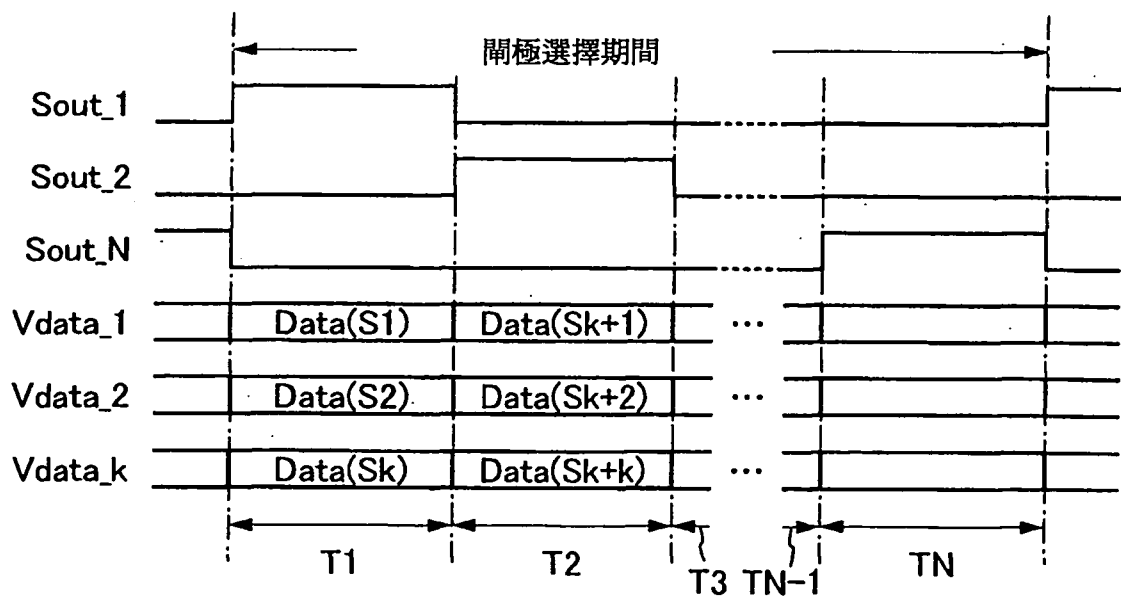


圖 16A

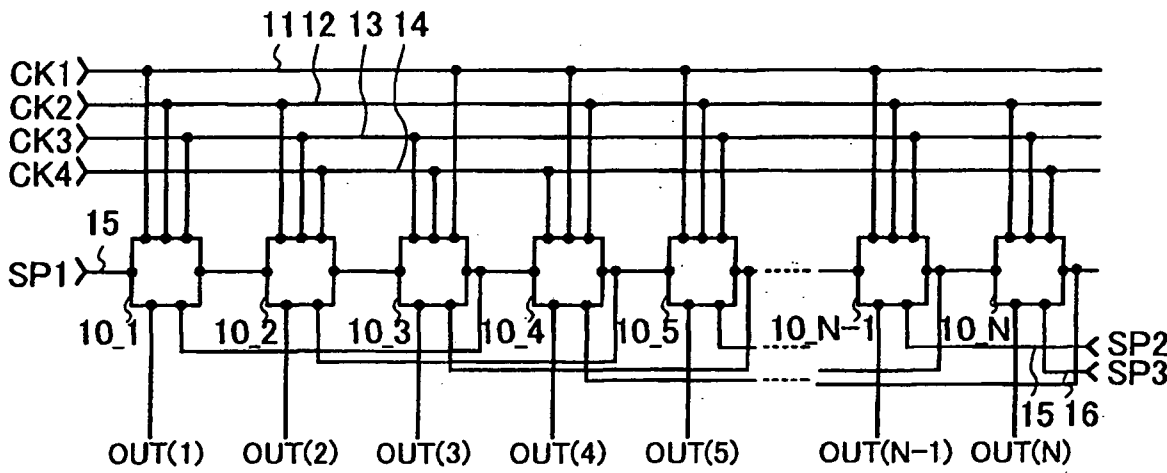


圖 16C

圖 16B

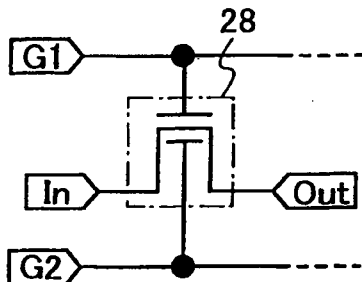
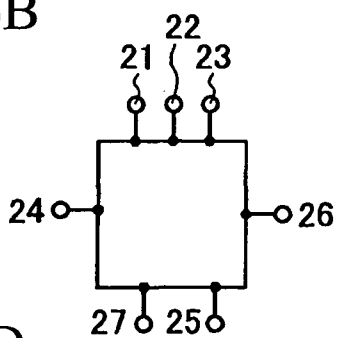


圖 16D

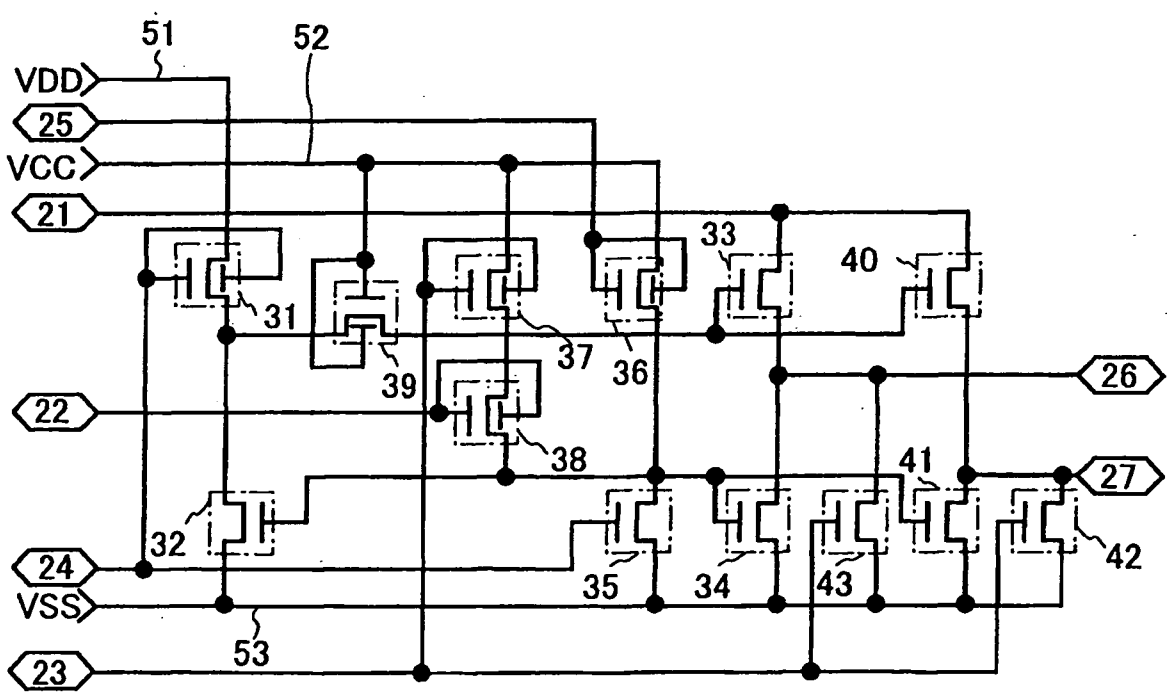


圖 17A

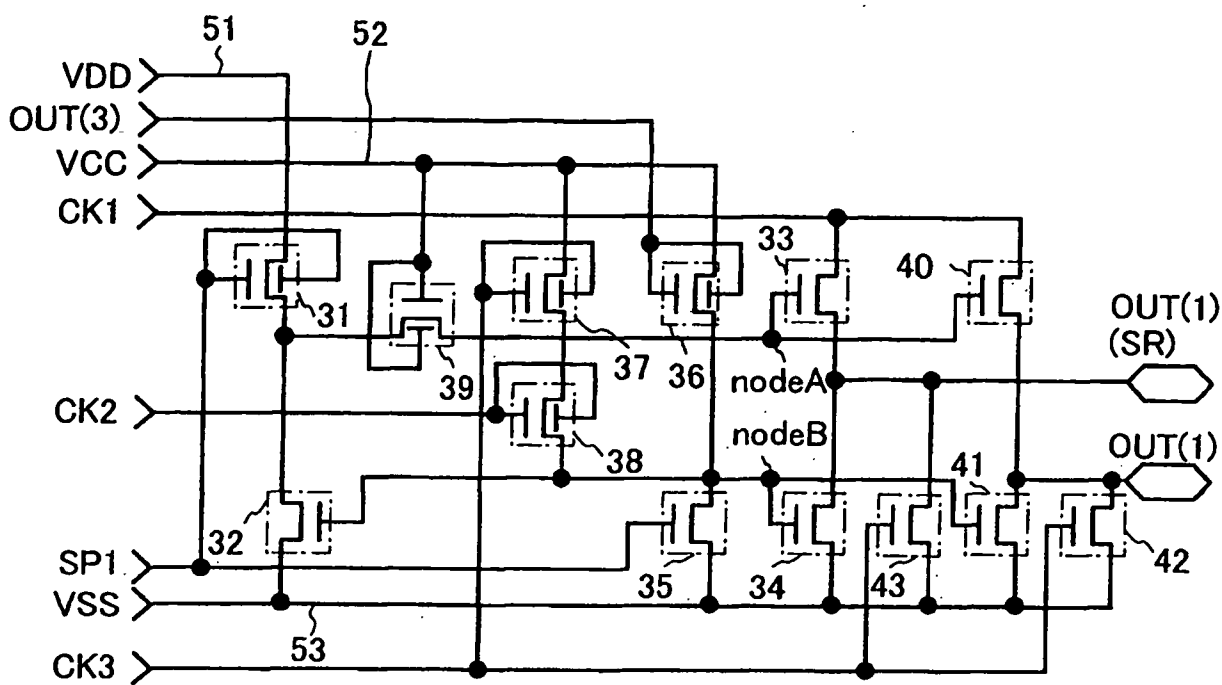


圖 17B

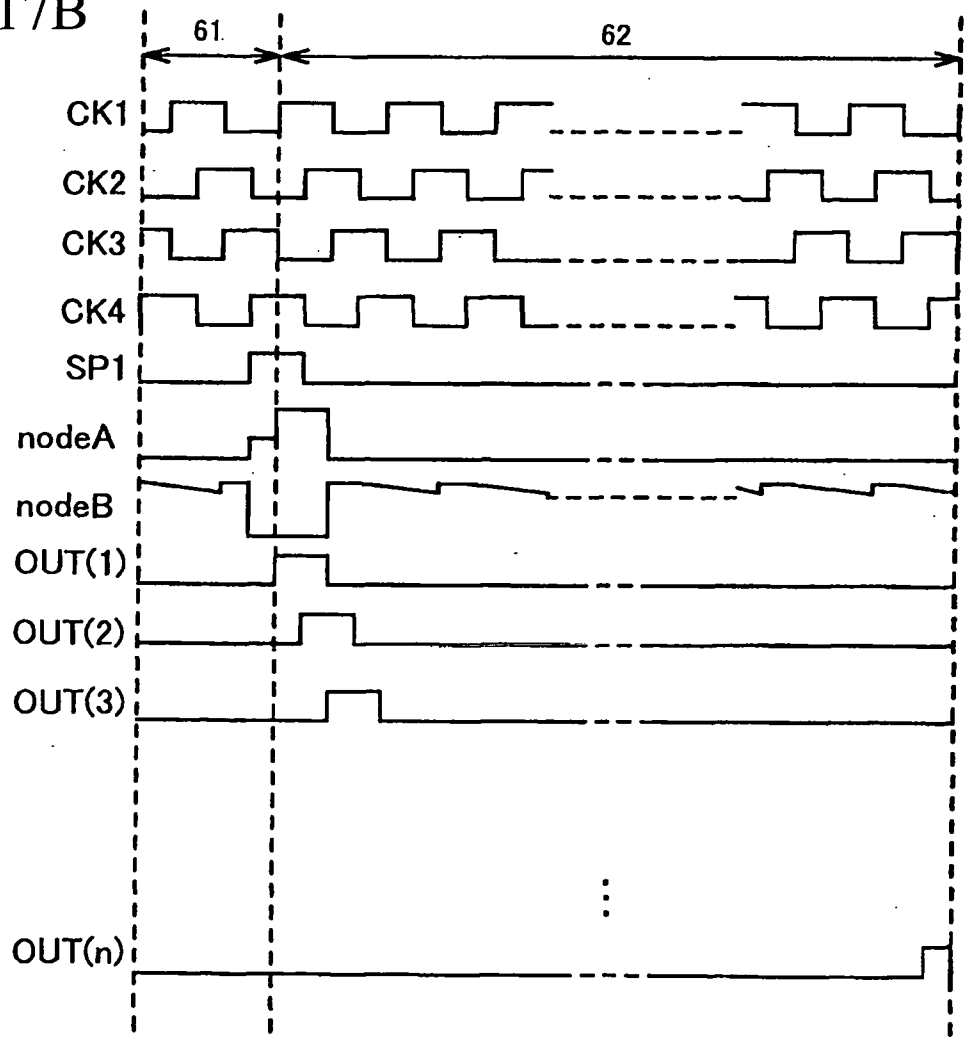


圖 18

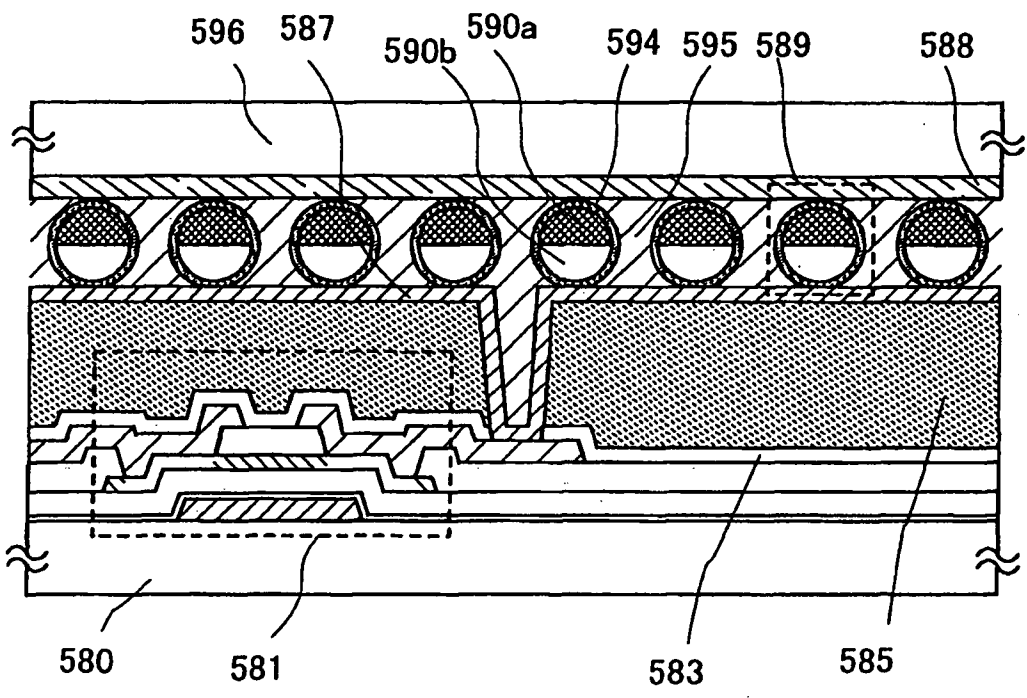


圖 19

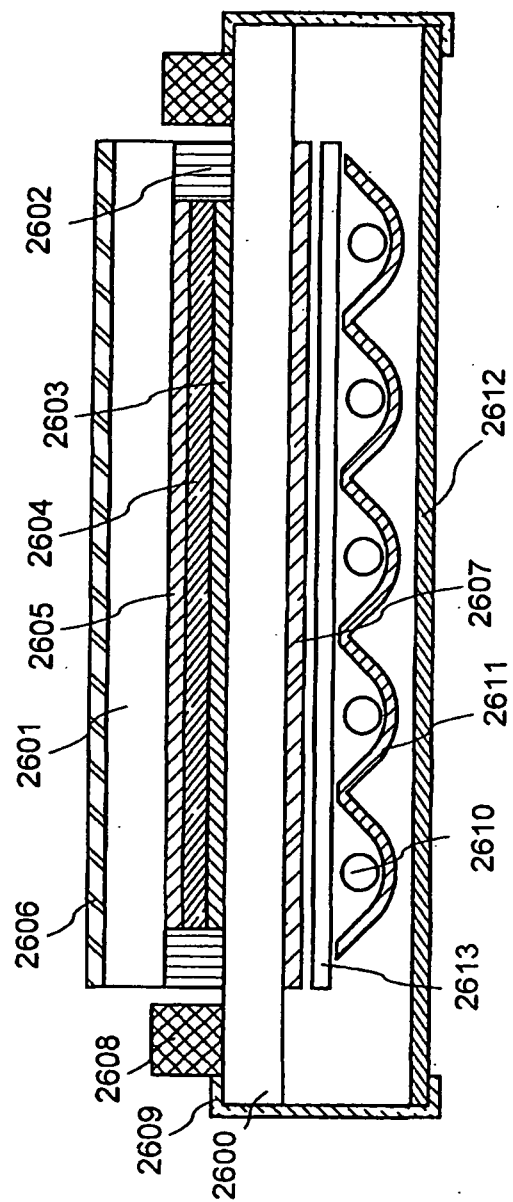


圖 20

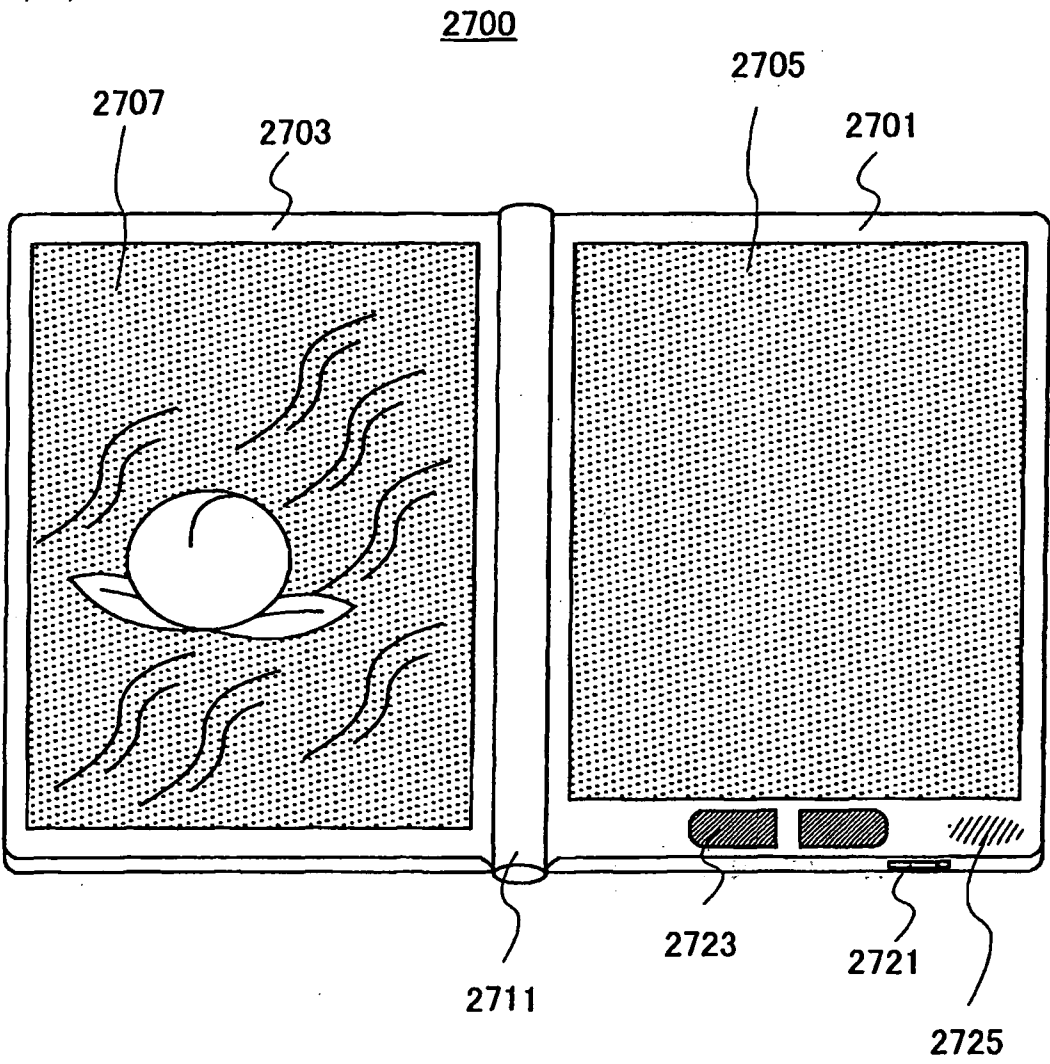


圖 21A

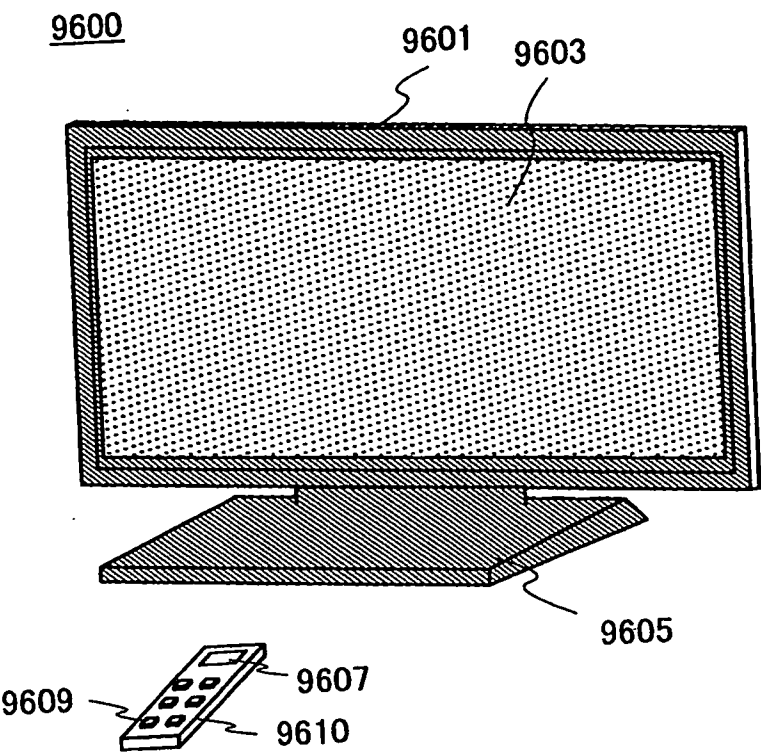


圖 21B

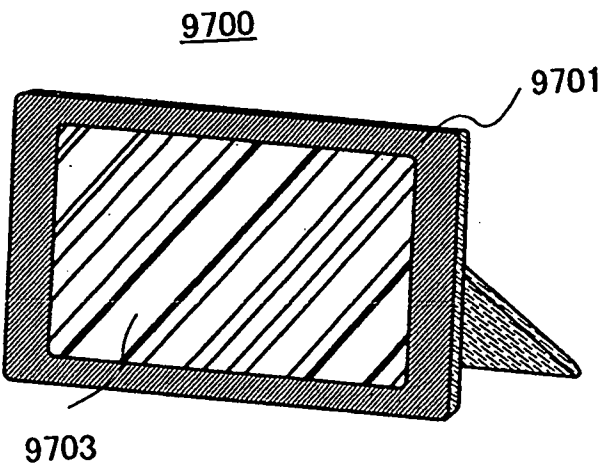


圖 22A

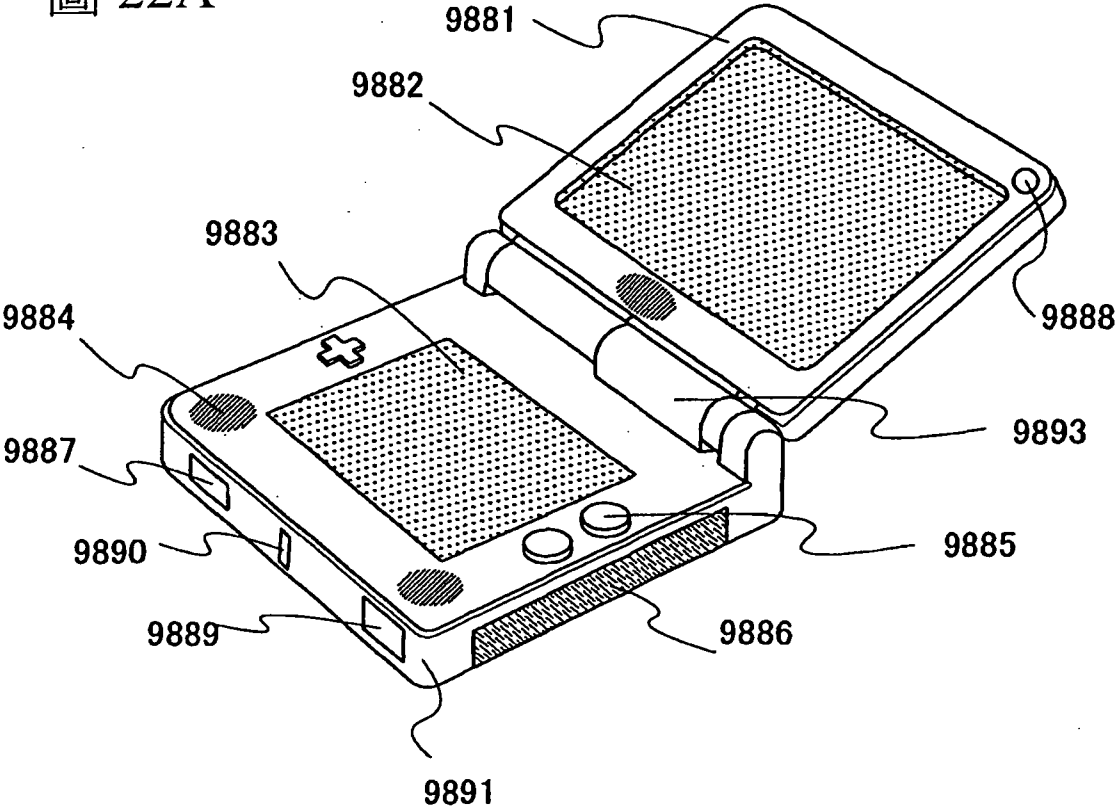


圖 22B

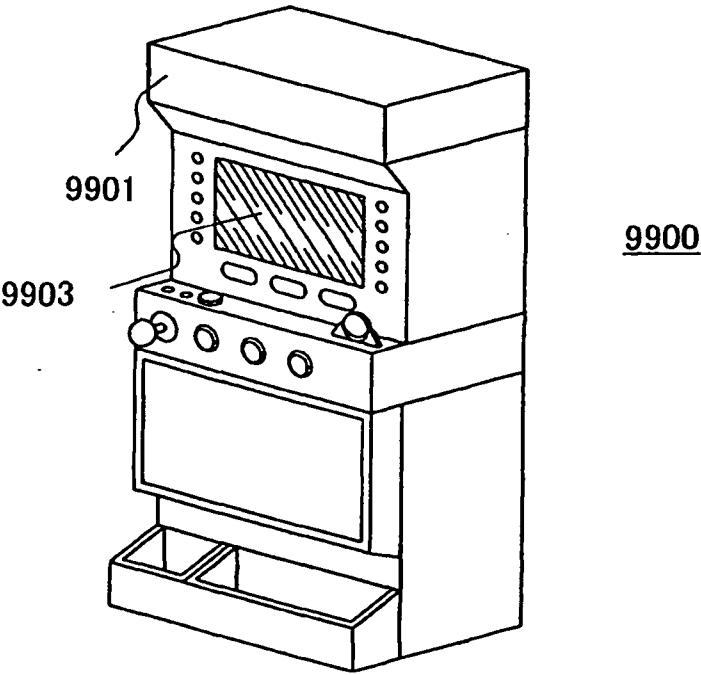


圖 23A

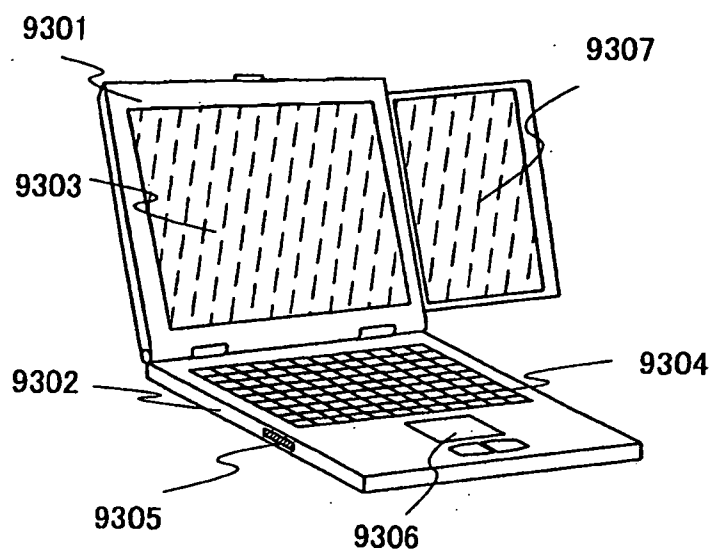


圖 23B

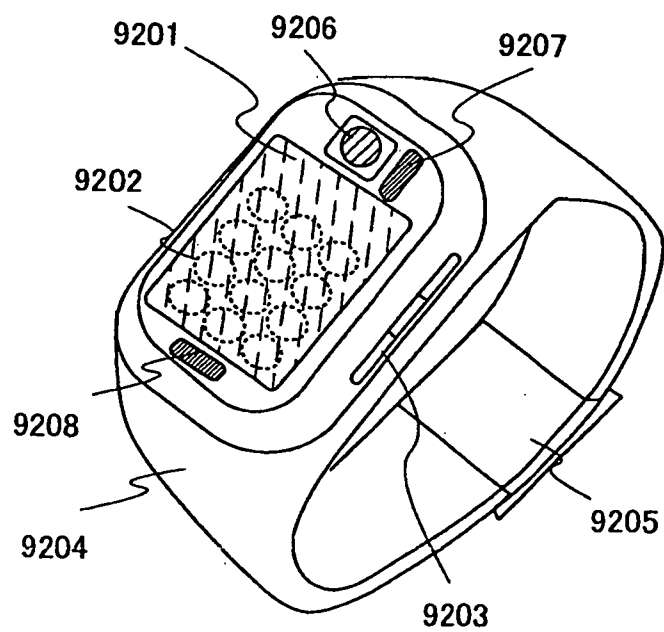


圖 24

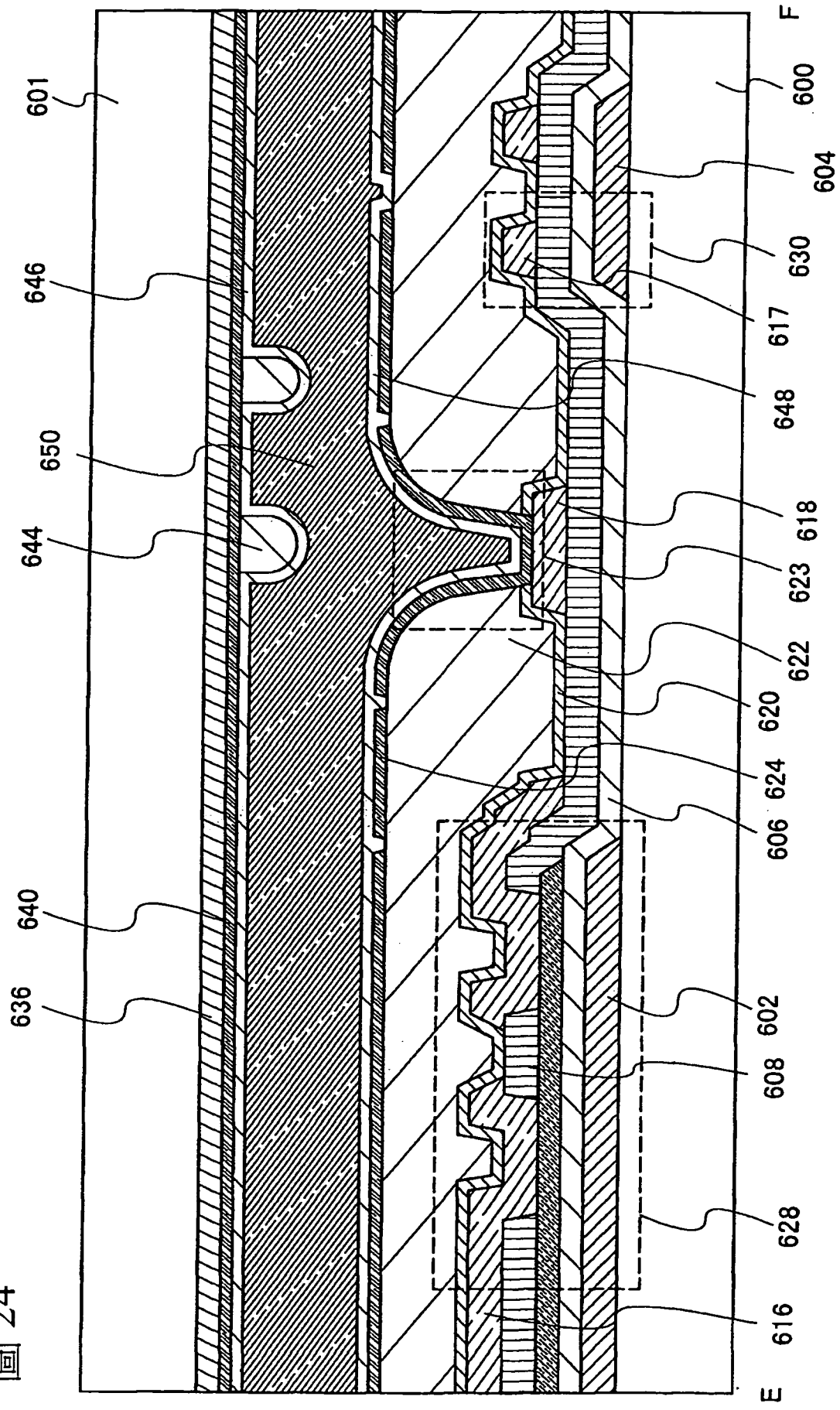


圖 25

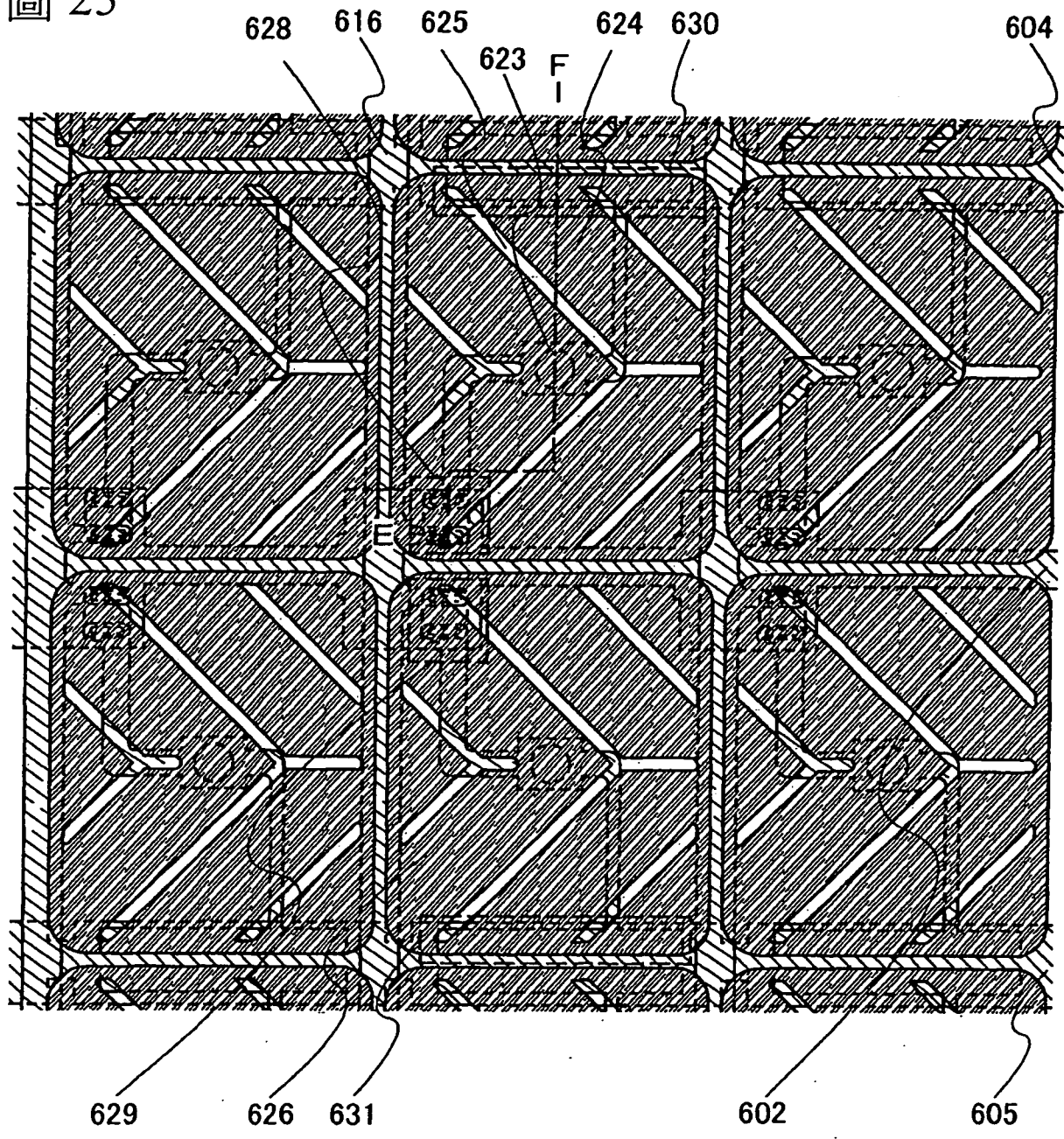


圖 26

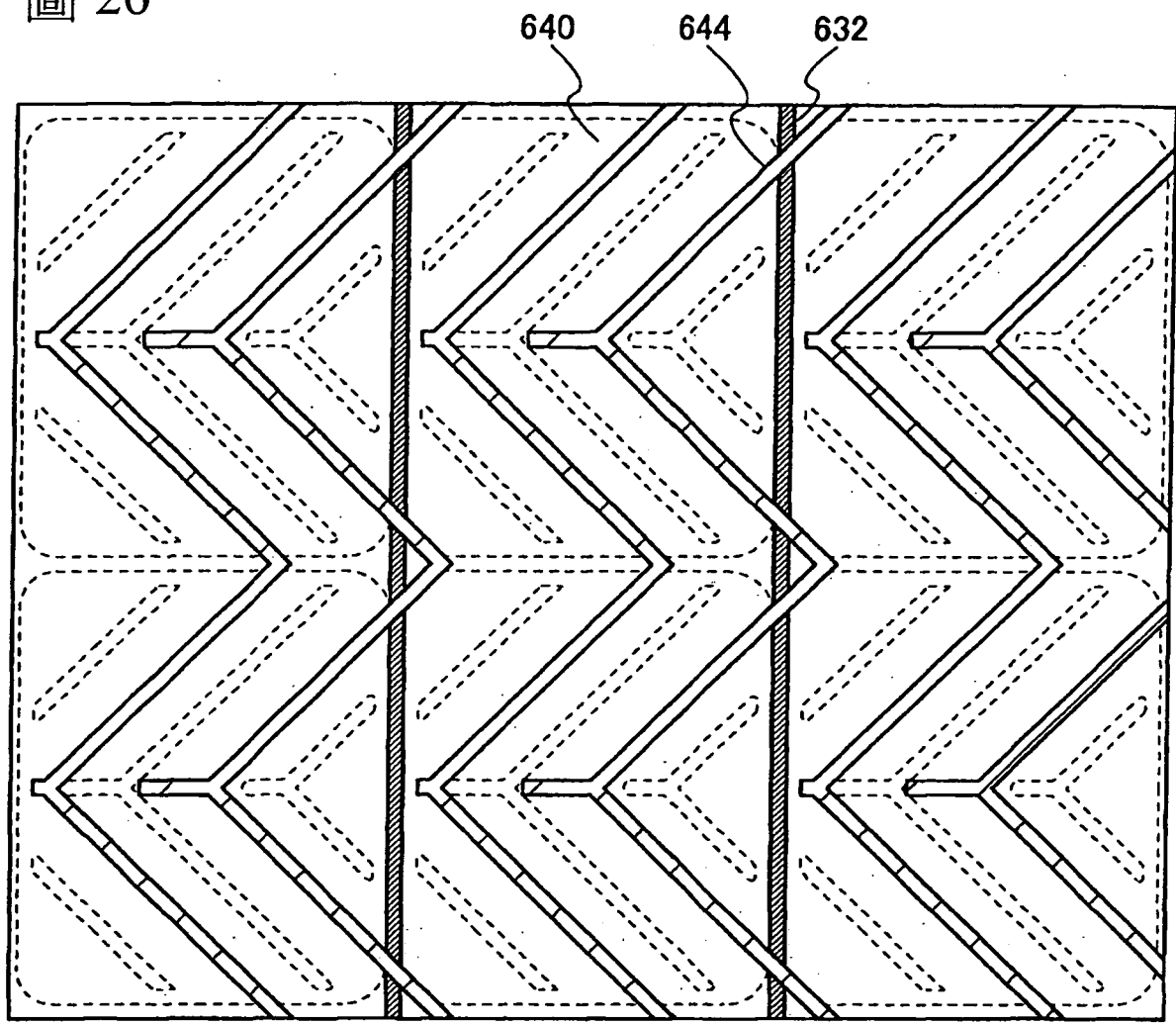


圖 27

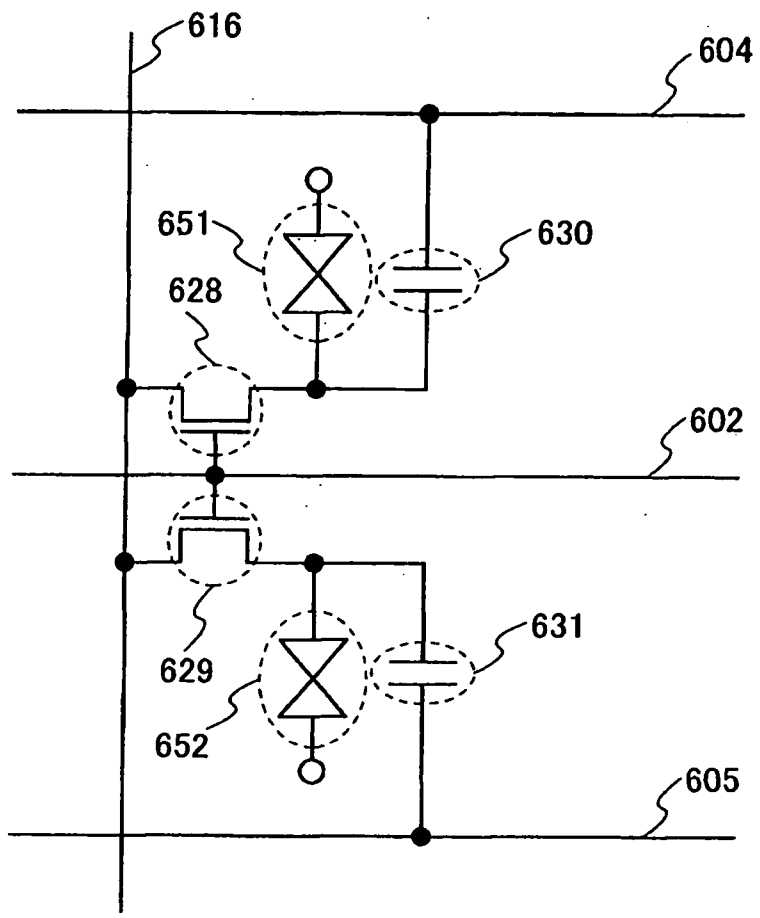


圖 28

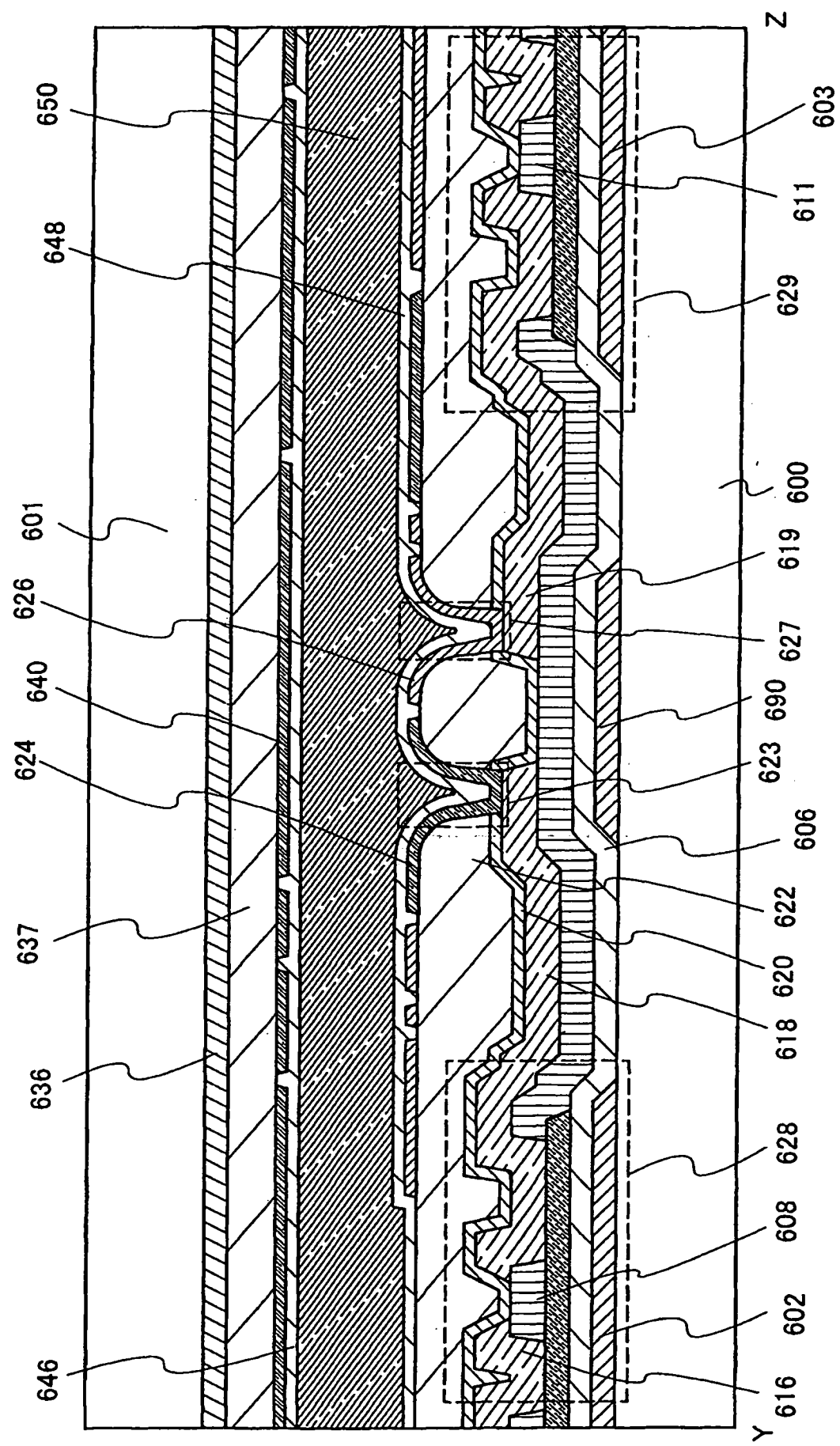


圖 29

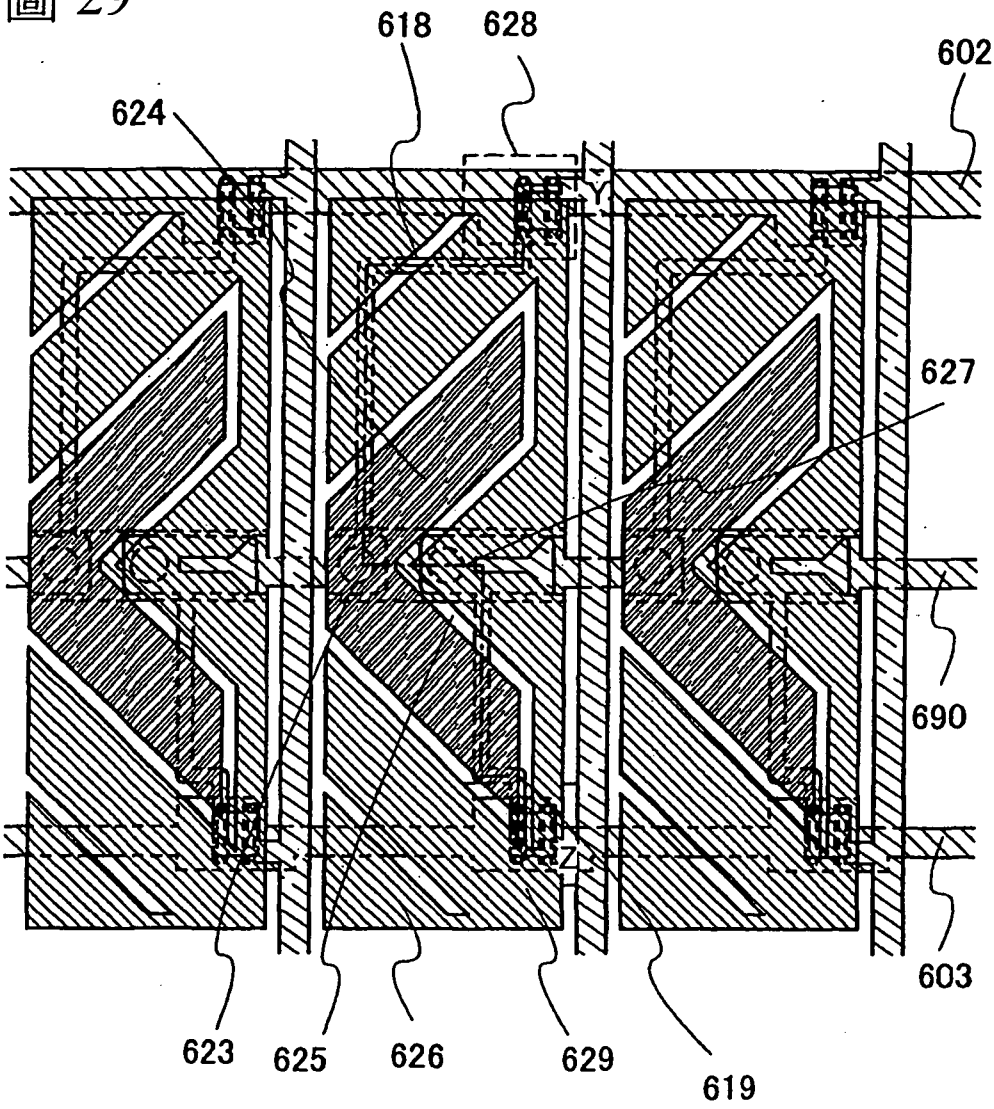


圖 30

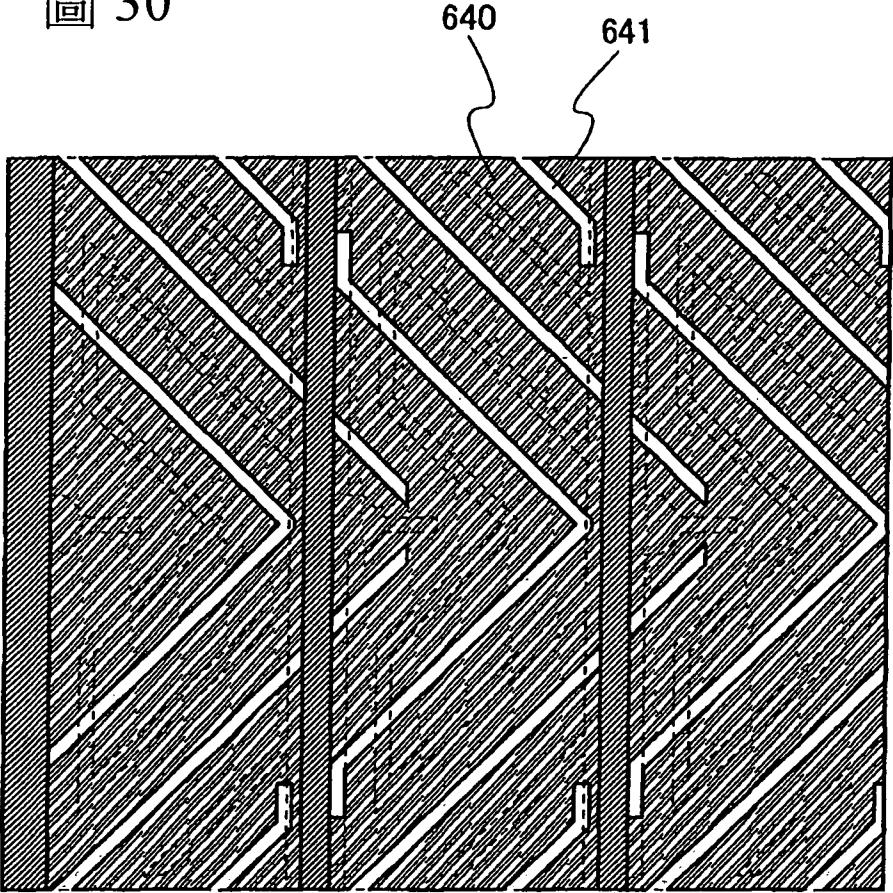


圖 31

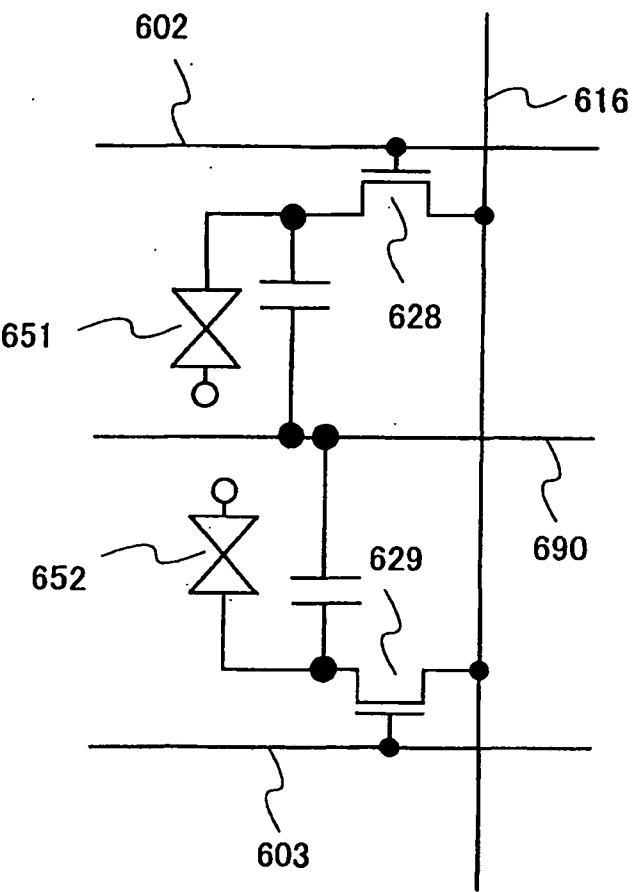


圖 32

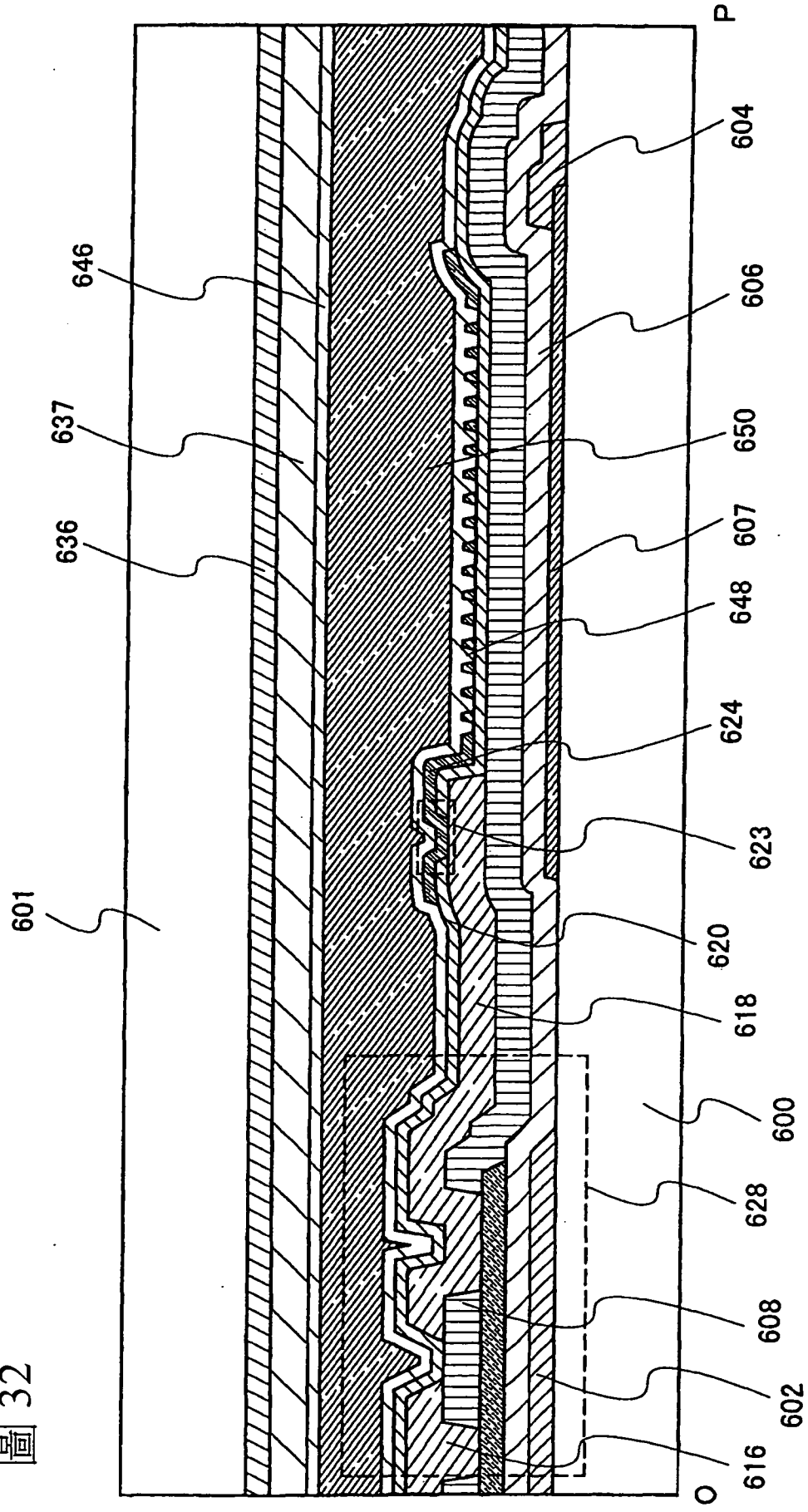


圖 33

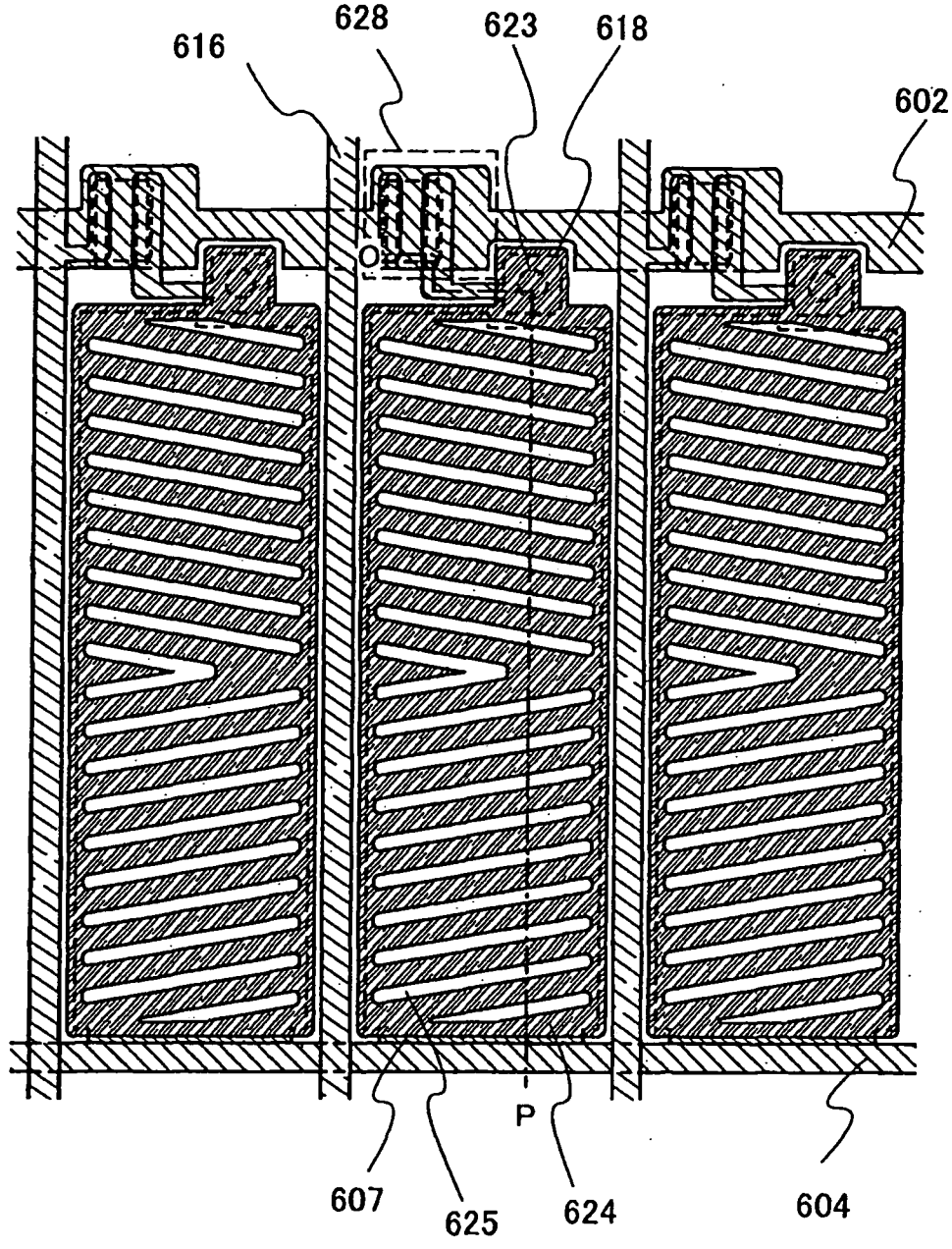


圖 34

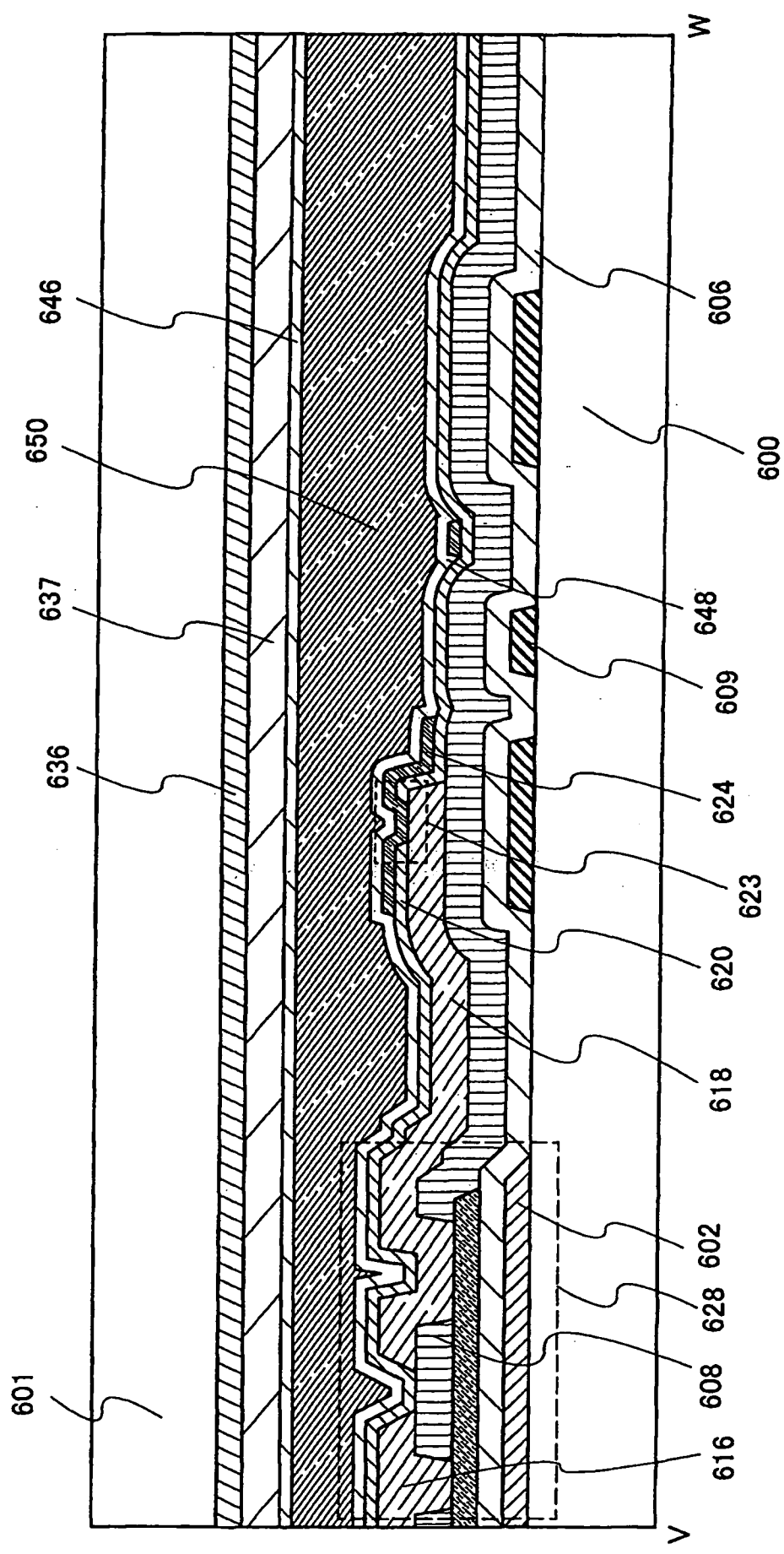


圖 35

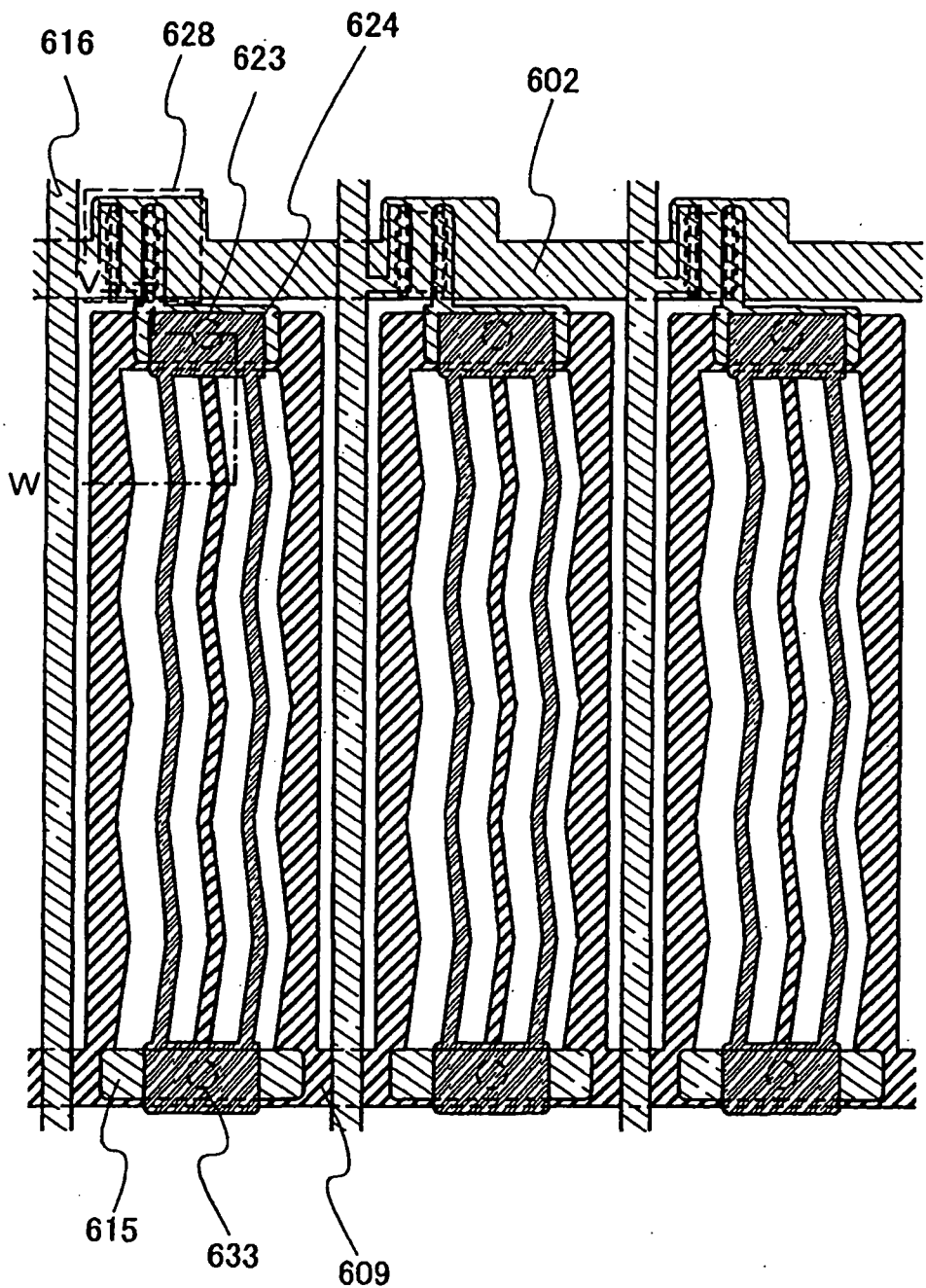


圖 36A

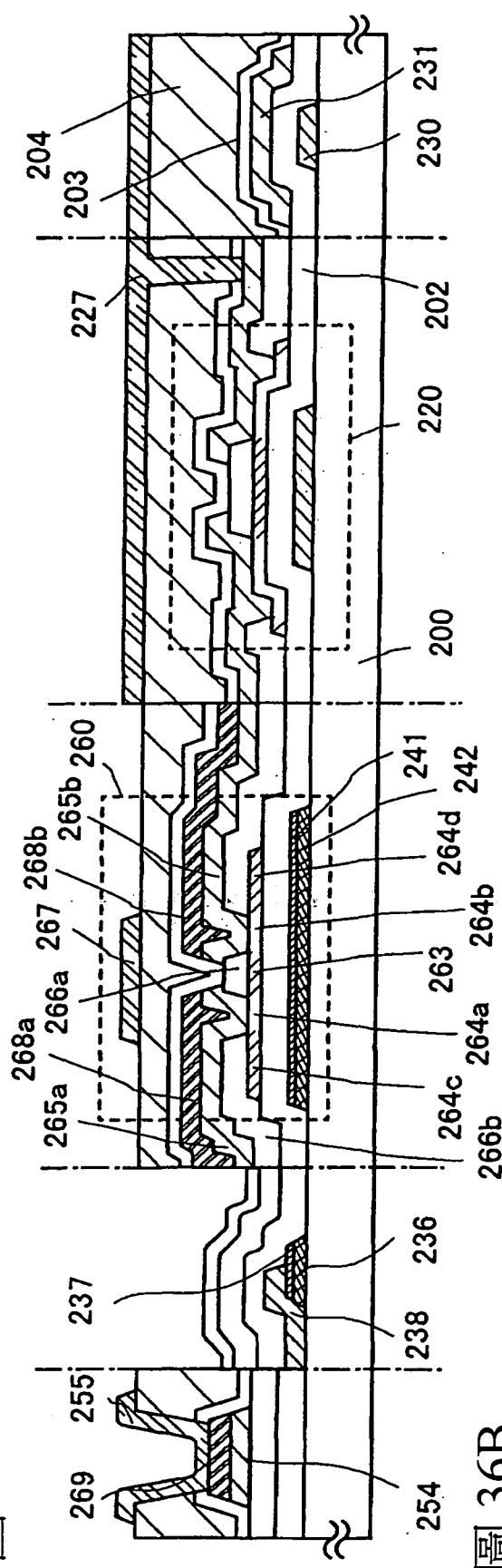


圖 36B

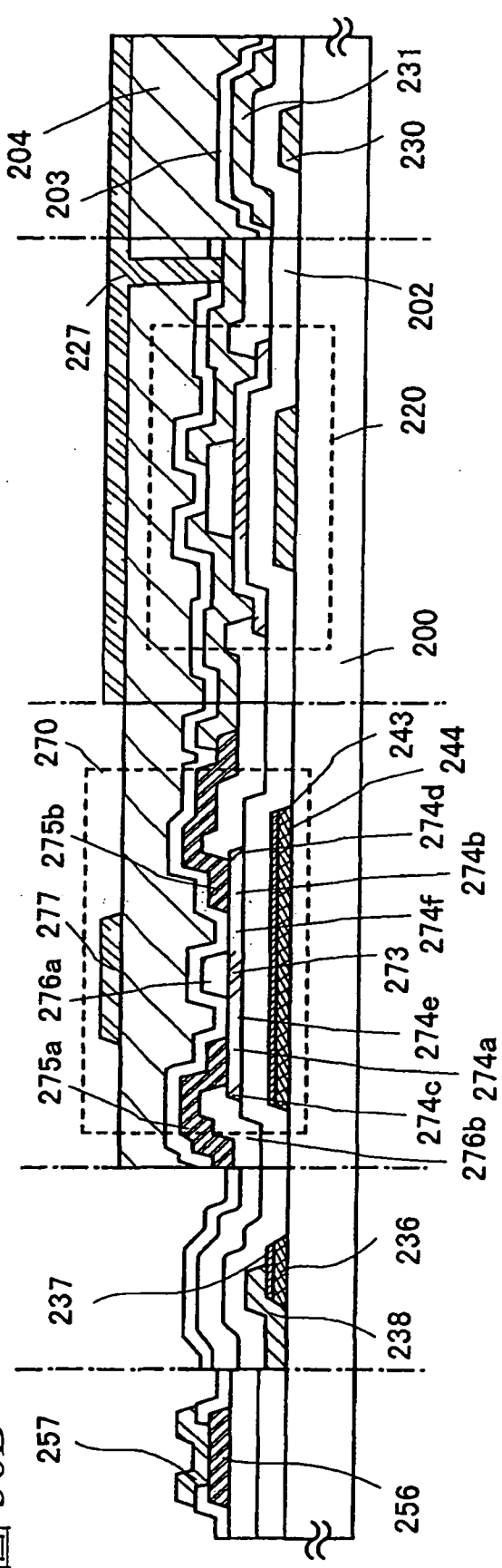


圖 37

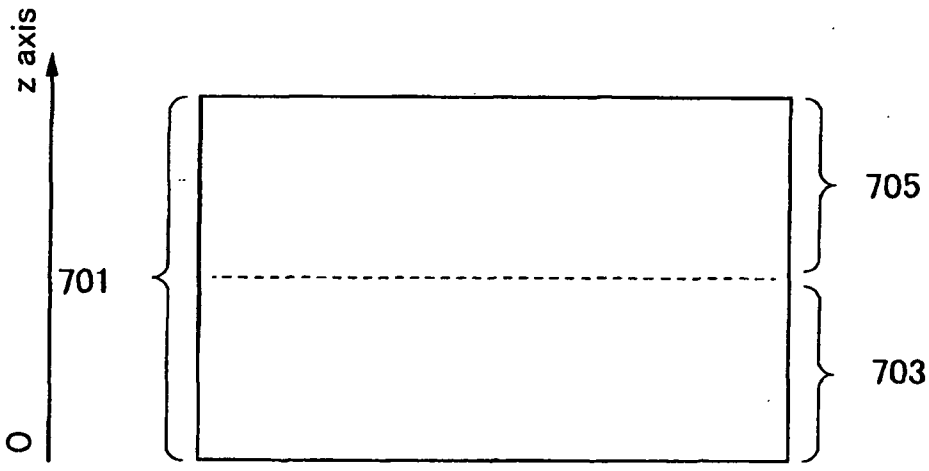


圖 38

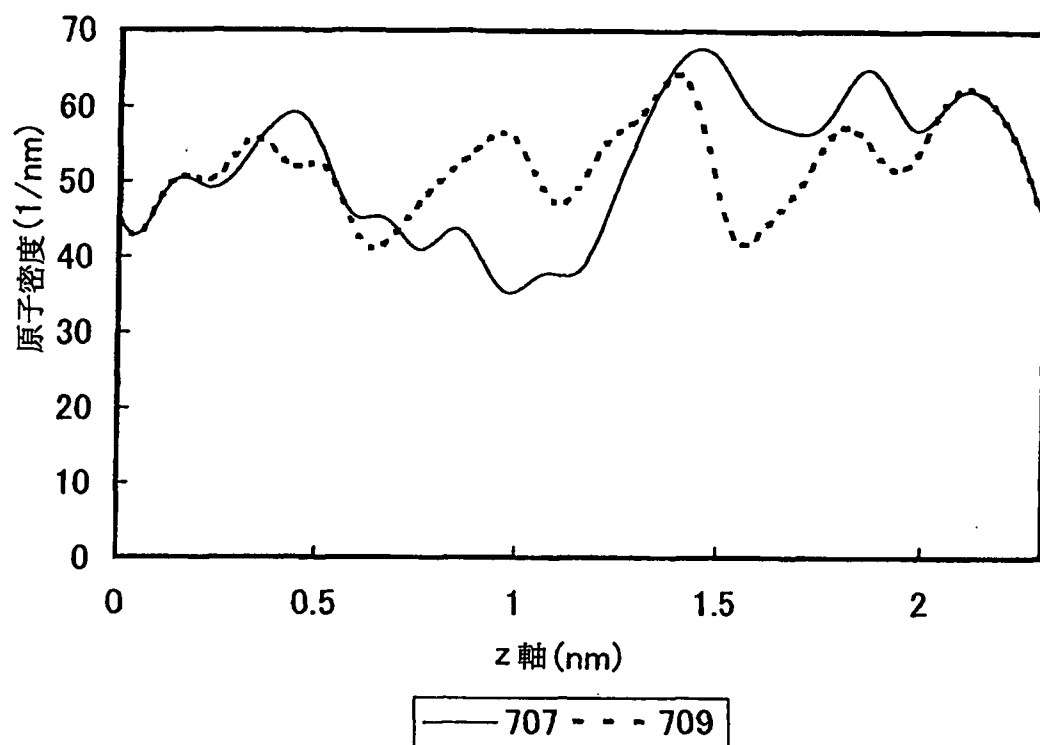


圖 39A

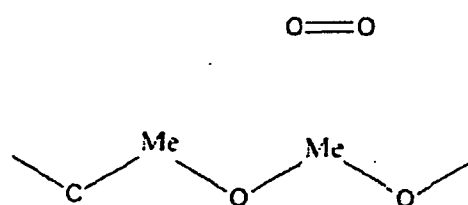


圖 39B

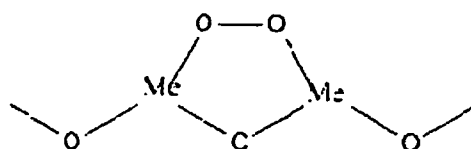


圖 39C

