

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 7 月 30 日 (30.07.2020)



(10) 国际公布号
WO 2020/151050 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2019/076913

(22) 国际申请日: 2019 年 3 月 5 日 (05.03.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910059101.9 2019 年 1 月 22 日 (22.01.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 刘全胜 (LIU, Quansheng); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: GOA CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 发明名称: GOA 电路以及液晶显示装置

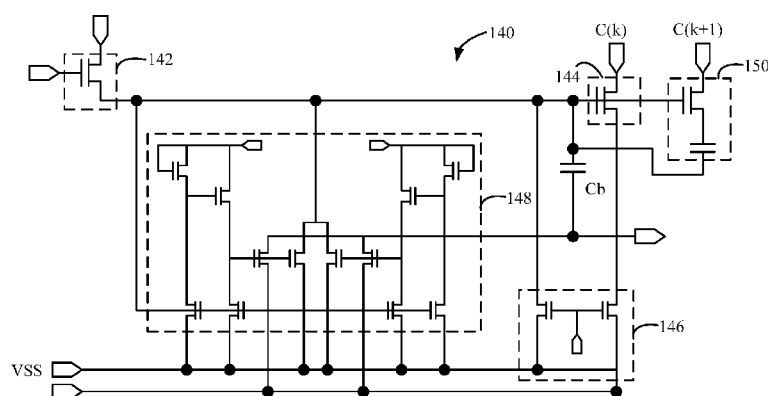


图 2

(57) Abstract: A GOA circuit (14) and a liquid crystal display device. The GOA circuit comprises multiple GOA modules (140) connected in cascade. Each GOA module (140) comprises: a pull-up control circuit (142) used to precharge a precharging point (Q) of the GOA module (140); a pull-up circuit (144) used to pull up a level of a gate output (OUT) of the GOA module (140); a pull-down circuit (146); a pull-down maintenance circuit (148); a bootstrap capacitor (Cb) used to pull up the gate output (OUT) to a first high level; and a coupling circuit (150) used to pull up the precharging point (Q) to a second high level, wherein the second high level is higher than the first high level.

(57) 摘要: 一种 GOA 电路 (14) 以及液晶显示装置, 包括多个级联的 GOA 模块 (140), 每一 GOA 模块 (140) 包括: 上拉控制电路 (142), 用于对 GOA 模块 (140) 的预充点 Q 预充电; 上拉电路 (144), 用于提高 GOA 模块 (140) 的栅极输出 OUT; 下拉电路 (146); 下拉维持电路 (148); 自举电容 Cb 用于将栅极输出 OUT 提升为第一高电平; 以及耦合电路 (150), 用于将预充点 Q 提升为第二高电平, 第二高电平高于第一高电平。

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84)** 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

GOA电路以及液晶显示装置

技术领域

[0001] 本揭示涉及显示技术领域，特别是涉及一种GOA电路以及液晶显示装置。

背景技术

[0002] 一种驱动液晶显示装置的扫描线的技术为阵列基板行驱动（Gate driver On Array, GOA）技术。GOA技术是指将栅极驱动电路直接制作于液晶显示装置之阵列基板上，因此不需要外接的栅极驱动集成电路。由于可以直接利用现有的制程将栅极驱动电路制作于阵列基板上，因此可降低制造成本且适用于窄边框及薄型化的液晶显示装置。

[0003] 现有GOA电路包括多个GOA模块，每个GOA模块用于提供一扫描信号给一条扫描线。GOA模块的输出波形的下降时间（falling time）是判断GOA模块的输出波形优劣的重要因素。当下降时间越短，GOA模块可以越快将与扫描线电性连接的薄膜晶体管不导通，像素错充的风险就越低。然而现有GOA模块的输出波形的下降时间不够短的问题。

[0004] 因此需要对现有技术的问题提出解决方法。

发明概述

技术问题

[0005] 本揭示的目的在于提供一种GOA电路以及液晶显示装置，其能解决现有GOA模块的输出波形的下降时间不够短的问题。

问题的解决方案

技术解决方案

[0006] 为解决上述问题，本揭示提供的一种GOA电路包括多个级联的GOA模块，每一所述多个GOA模块包括：上拉控制电路，用于对所述模块的预充点预充电；上拉电路，电性连接至所述上拉控制电路并用于提高所述GOA模块的栅极输出；下拉电路，电性连接至所述上拉控制电路及所述上拉电路并用于将所述预充点及所述栅极输出拉低至低电平；下拉维持电路，电性连接至所述上拉控制电

路、所述上拉电路及所述下拉电路；自举电容，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路及所述下拉维持电路并用于将所述栅极输出提升为第一高电平；以及耦合电路，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路、所述下拉维持电路及所述自举电容并用于将所述预充点提升为第二高电平，所述第二高电平高于所述第一高电平。所述耦合电路包括：第一晶体管，所述第一晶体管的栅极电性连接至所述预充点，所述第一晶体管的源极电性连接至时钟信号；以及第一电容，电性连接于所述第一晶体管的漏极与所述预充点之间。

[0007] 于一实施例中，所述时钟信号与输入至所述GOA模块的时钟信号不同。

[0008] 于一实施例中，所述下拉维持电路用于将所述预充点及所述栅极输出维持在所述低电平。

[0009] 为解决上述问题，本揭示提供的一种GOA电路包括多个级联的GOA模块，每一所述多个GOA模块包括：上拉控制电路，用于对所述模块的预充点预充电；上拉电路，电性连接至所述上拉控制电路并用于提高所述GOA模块的栅极输出；下拉电路，电性连接至所述上拉控制电路及所述上拉电路；下拉维持电路，电性连接至所述上拉控制电路、所述上拉电路及所述下拉电路；自举电容，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路及所述下拉维持电路并用于将所述栅极输出提升为第一高电平；以及耦合电路，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路、所述下拉维持电路及所述自举电容并用于将所述预充点提升为第二高电平，所述第二高电平高于所述第一高电平。

[0010] 于一实施例中，所述耦合电路包括：第一晶体管，所述第一晶体管的栅极电性连接至所述预充点，所述第一晶体管的源极电性连接至时钟信号；以及第一电容，电性连接于所述第一晶体管的漏极与所述预充点之间。

[0011] 于一实施例中，所述时钟信号与输入至所述GOA模块的时钟信号不同。

[0012] 于一实施例中，所述下拉电路用于将所述预充点及所述栅极输出拉低至低电平。

[0013] 于一实施例中，所述下拉维持电路用于将所述预充点及所述栅极输出维持在所

述低电平。

[0014] 为解决上述问题，本揭示提供的一种液晶显示装置包括：多条源极线；多条栅极线，所述多条源极线及所述多条栅极线定义出多个像素；以及GOA电路，电性连接至所述多条栅极线并用于向所述多条栅极线提供扫描信号，所述GOA电路包括多个级联的GOA模块，每一所述多个GOA模块包括：上拉控制电路，用于对所述模块的预充点预充电；上拉电路，电性连接至所述上拉控制电路并用于提高所述GOA模块的栅极输出；下拉电路，电性连接至所述上拉控制电路及所述上拉电路；下拉维持电路，电性连接至所述上拉控制电路、所述上拉电路及所述下拉电路；自举电容，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路及所述下拉维持电路并用于将所述栅极输出提升为第一高电平；以及耦合电路，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路、所述下拉维持电路及所述自举电容并用于将所述预充点提升为第二高电平，所述第二高电平高于所述第一高电平。

[0015] 于一实施例中，所述耦合电路包括：第一晶体管，所述第一晶体管的栅极电性连接至所述预充点，所述第一晶体管的源极电性连接至时钟信号；以及第一电容，电性连接于所述第一晶体管的漏极与所述预充点之间。

[0016] 于一实施例中，所述时钟信号与输入至所述GOA模块的时钟信号不同。

[0017] 于一实施例中，所述下拉电路用于将所述预充点及所述栅极输出拉低至低电平。

[0018] 于一实施例中，所述下拉维持电路用于将所述预充点及所述栅极输出维持在所述低电平。

发明的有益效果

有益效果

[0019] 相较于现有技术，本揭示之GOA电路以及液晶显示装置中，由于所述耦合电路能够在所述预充点的基础上再次进行耦合（亦即第二次耦合），因此能够降低所述GOA模块的栅极输出的下降时间，进而降低所述像素错充的风险。此外，本揭示之GOA电路以及液晶显示装置能够再次提升所述预充点的电平，进而使所述栅极输出的波形更加理想。

对附图的简要说明

附图说明

- [0020] 图1显示根据本揭示一实施例之液晶显示装置。
- [0021] 图2显示图1中一个GOA模块的电路图。
- [0022] 图3显示本揭示之GOA模块的栅极输出的电压曲线C1与现有GOA模块的栅极输出的电压曲线C2。
- [0023] 图4显示本揭示之GOA模块的预充点的电压曲线C1'与现有GOA模块的预充点的电压曲线C2'。

发明实施例

本发明的实施方式

- [0024] 以下各实施例的说明是参考附加的图式，用以例示本揭示可用以实施的特定实施例。
- [0025] 请参阅图1，图1显示根据本揭示一实施例之液晶显示装置。
- [0026] 所述液晶显示装置具有一显示区10以及一非显示区30。所述显示装置包括多条源极线S1-SN、多条栅极线G1-GM、至少一源极驱动单元12（图中显示一个源极驱动单元12）以及一阵列基板行驱动电路（Gate driver On Array，以下称GOA电路）14。
- [0027] 所述多条源极线S1-SN及所述多条栅极线G1-GM设置于所述显示区10上。更明确地说，所述多条源极线S1-SN设置于所述显示区10上并延伸至所述源极驱动单元12。所述多条栅极线G1-GM设置于所述显示区10上并延伸至所述多个栅极驱动单元14。所述多条源极线S1-SN沿一第一方向形成。所述多条栅极线G1-GM沿一第二方向形成。所述第一方向垂直于所述第二方向。所述多条源极线S1-SN及所述多条栅极线G1-GM定义出多个像素16。每一所述像素16电性连接至一薄膜晶体管18。
- [0028] 所述源极驱动单元12设置于所述非显示区30上并电性连接至所述多条源极线S1-SN的第一端。所述源极驱动单元12用于向所述多条源极线S1-SN提供数据电压，所述数据电压用于写入所述像素16。
- [0029] 所述GOA电路14设置于所述非显示区30上。所述GOA电路14电性连接至所述

多条栅极线G1-GM并用于向所述多条栅极线G1-GM提供扫描信号。

[0030] 所述GOA电路14包括多个级联的GOA模块140。每一级GOA模块接收相应的时钟信号。

[0031] 请参阅图1以及图2，图2显示图1中一个GOA模块140的电路图。

[0032] 所述GOA模块140包括一上拉控制电路142、一上拉电路144、一下拉电路146、一下拉维持电路148、一自举电容Cb以及一耦合电路150。

[0033] 所述上拉控制电路142用于对所述GOA模块140的预充点Q实现预充电。所述上拉控制电路142通常电性连接至上一级的GOA模块140所传送的下传信号。

[0034] 所述上拉电路144电性连接至所述上拉控制电路142并用于提高本级GOA模块140的栅极输出OUT。所述栅极输出OUT用于导通与该GOA模块140对应的扫描线电性连接的薄膜晶体管18。

[0035] 所述下拉电路146电性连接至所述上拉控制电路142及所述上拉电路144并用于将所述预充点Q及所述栅极输出OUT拉低至一低电平VSS，进而不导通与该GOA模块140对应的扫描线电性连接的薄膜晶体管18。

[0036] 所述下拉维持电路148电性连接至所述上拉控制电路142、所述上拉电路144及所述下拉电路146并用于将所述预充点Q及所述栅极输出OUT维持在所述低电平VSS。

[0037] 所述自举电容Cb电性连接至所述上拉控制电路142、所述上拉电路144、所述下拉电路146及所述下拉维持电路148并用于将所述GOA模块140的栅极输出OUT提升为一第一高电平（第一次耦合）。

[0038] 为了降低所述GOA模块140的栅极输出OUT的下降时间，本揭示之GOA模块140进一步包括所述耦合电路150。所述耦合电路150电性连接至所述上拉控制电路142、所述上拉电路144、所述下拉电路146、所述下拉维持电路148及所述自举电容Cb并用于将所述预充点Q提升为一第二高电平。所述第二高电平高于所述第一高电平。

[0039] 所述耦合电路150包括一第一晶体管T1以及一第一电容C1。

[0040] 所述第一晶体管T1的栅极电性连接至所述预充点Q。所述第一晶体管T1的源极电性连接至一输入至其他级的GOA模块140的时钟信号。也就是说，所述第一晶

体管T1的源极电性连接的时钟信号与输入至本级GOA模块140的时钟信号不同。

举例来说，所述第一晶体管T1的源极电性连接至下一级的GOA模块140的时钟信号CK(k+1)。所述第一晶体管T1的漏极电性连接至所述预充点Q。

[0041] 所述第一电容C1电性连接于所述第一晶体管T1的漏极与所述预充点Q之间并用于将所述第一晶体管T1的输出电压耦合至所述预充点Q。

[0042] 由于所述耦合电路150能够在所述预充点Q的基础上再次进行耦合（亦即第二次耦合），因此能够降低所述GOA模块140的栅极输出OUT的下降时间，所述GOA模块140可以越快将与扫描线电性连接的薄膜晶体管不导通，所述像素16错充的风险就越低。

[0043] 此外，由于所述耦合电路150能够在所述预充点Q的基础上再次进行耦合（亦即第二次耦合），因此能够再次提升所述预充点Q的电平，进而使所述栅极输出OUT的波形更加理想。

[0044] 请参阅图3，图3显示本揭示之GOA模块140的栅极输出OUT的电压曲线C1与现有GOA模块的栅极输出的电压曲线C2。

[0045] 如图3所示，本揭示之GOA模块140的栅极输出OUT的下降时间比现有GOA模块的栅极输出的下降时间更短，能下降约10%。

[0046] 请参阅图4，图4显示本揭示之GOA模块140的预充点Q的电压曲线C1'与现有GOA模块的预充点的电压曲线C2'。

[0047] 如图4所示，本揭示之GOA模块140的预充点Q的最终电压（最高电压）高于现有GOA模块的预充点的最终电压。

[0048] 本揭示之GOA电路以及液晶显示装置中，由于所述耦合电路能够在所述预充点的基础上再次进行耦合（亦即第二次耦合），因此能够降低所述GOA模块的栅极输出的下降时间，进而降低所述像素错充的风险。此外，本揭示之GOA电路以及液晶显示装置能够再次提升所述预充点的电平，进而使所述栅极输出的波形更加理想。

[0049] 综上所述，虽然本揭示已以优选实施例揭露如上，但上述优选实施例并非用以限制本揭示，本领域的普通技术人员，在不脱离本揭示的精神和范围内，均可作各种更动与润饰，因此本揭示的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种GOA电路，包括多个级联的GOA模块，每一所述多个GOA模块包括：
- 上拉控制电路，用于对所述模块的预充点预充电；
- 上拉电路，电性连接至所述上拉控制电路并用于提高所述GOA模块的栅极输出；
- 下拉电路，电性连接至所述上拉控制电路及所述上拉电路并用于将所述预充点及所述栅极输出拉低至低电平；
- 下拉维持电路，电性连接至所述上拉控制电路、所述上拉电路及所述下拉电路；
- 自举电容，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路及所述下拉维持电路并用于将所述栅极输出提升为第一高电平；
- 以及
- 耦合电路，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路、所述下拉维持电路及所述自举电容并用于将所述预充点提升为第二高电平，所述第二高电平高于所述第一高电平，
- 其中所述耦合电路包括：
- 第一晶体管，所述第一晶体管的栅极电性连接至所述预充点，所述第一晶体管的源极电性连接至时钟信号；以及
- 第一电容，电性连接于所述第一晶体管的漏极与所述预充点之间。
- [权利要求 2] 根据权利要求1所述的GOA电路，其中所述时钟信号与输入至所述GOA模块的时钟信号不同。
- [权利要求 3] 根据权利要求1所述的GOA电路，其中所述下拉维持电路用于将所述预充点及所述栅极输出维持在所述低电平。
- [权利要求 4] 一种GOA电路，包括多个级联的GOA模块，每一所述多个GOA模块包括：
- 上拉控制电路，用于对所述模块的预充点预充电；
- 上拉电路，电性连接至所述上拉控制电路并用于提高所述GOA模块

的栅极输出；

下拉电路，电性连接至所述上拉控制电路及所述上拉电路；

下拉维持电路，电性连接至所述上拉控制电路、所述上拉电路及所述下拉电路；

自举电容，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路及所述下拉维持电路并用于将所述栅极输出提升为第一高电平；

以及

耦合电路，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路、所述下拉维持电路及所述自举电容并用于将所述预充点提升为第二高电平，所述第二高电平高于所述第一高电平。

[权利要求 5] 根据权利要求4所述的GOA电路，其中所述耦合电路包括：

第一晶体管，所述第一晶体管的栅极电性连接至所述预充点，所述第一晶体管的源极电性连接至时钟信号；以及

第一电容，电性连接于所述第一晶体管的漏极与所述预充点之间。

[权利要求 6] 根据权利要求5所述的GOA电路，其中所述时钟信号与输入至所述GOA模块的时钟信号不同。

[权利要求 7] 根据权利要求4所述的GOA电路，其中所述下拉电路用于将所述预充点及所述栅极输出拉低至低电平。

[权利要求 8] 根据权利要求7所述的GOA电路，其中所述下拉维持电路用于将所述预充点及所述栅极输出维持在所述低电平。

[权利要求 9] 一种液晶显示装置，包括：

多条源极线；

多条栅极线，所述多条源极线及所述多条栅极线定义出多个像素；以及

GOA电路，电性连接至所述多条栅极线并用于向所述多条栅极线提供扫描信号，所述GOA电路包括多个级联的GOA模块，每一所述多个GOA模块包括：

上拉控制电路，用于对所述模块的预充点预充电；

上拉电路，电性连接至所述上拉控制电路并用于提高所述GOA模块的栅极输出；

下拉电路，电性连接至所述上拉控制电路及所述上拉电路；

下拉维持电路，电性连接至所述上拉控制电路、所述上拉电路及所述下拉电路；

自举电容，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路及所述下拉维持电路并用于将所述栅极输出提升为第一高电平；

以及

耦合电路，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路、所述下拉维持电路及所述自举电容并用于将所述预充点提升为第二高电平，所述第二高电平高于所述第一高电平。

[权利要求 10] 根据权利要求9所述的液晶显示装置，其中所述耦合电路包括：

第一晶体管，所述第一晶体管的栅极电性连接至所述预充点，所述第一晶体管的源极电性连接至时钟信号；以及

第一电容，电性连接于所述第一晶体管的漏极与所述预充点之间。

[权利要求 11] 根据权利要求10所述的液晶显示装置，其中所述时钟信号与输入至所述GOA模块的时钟信号不同。

[权利要求 12] 根据权利要求9所述的液晶显示装置，其中所述下拉电路用于将所述预充点及所述栅极输出拉低至低电平。

[权利要求 13] 根据权利要求12所述的液晶显示装置，其中所述下拉维持电路用于将所述预充点及所述栅极输出维持在所述低电平。

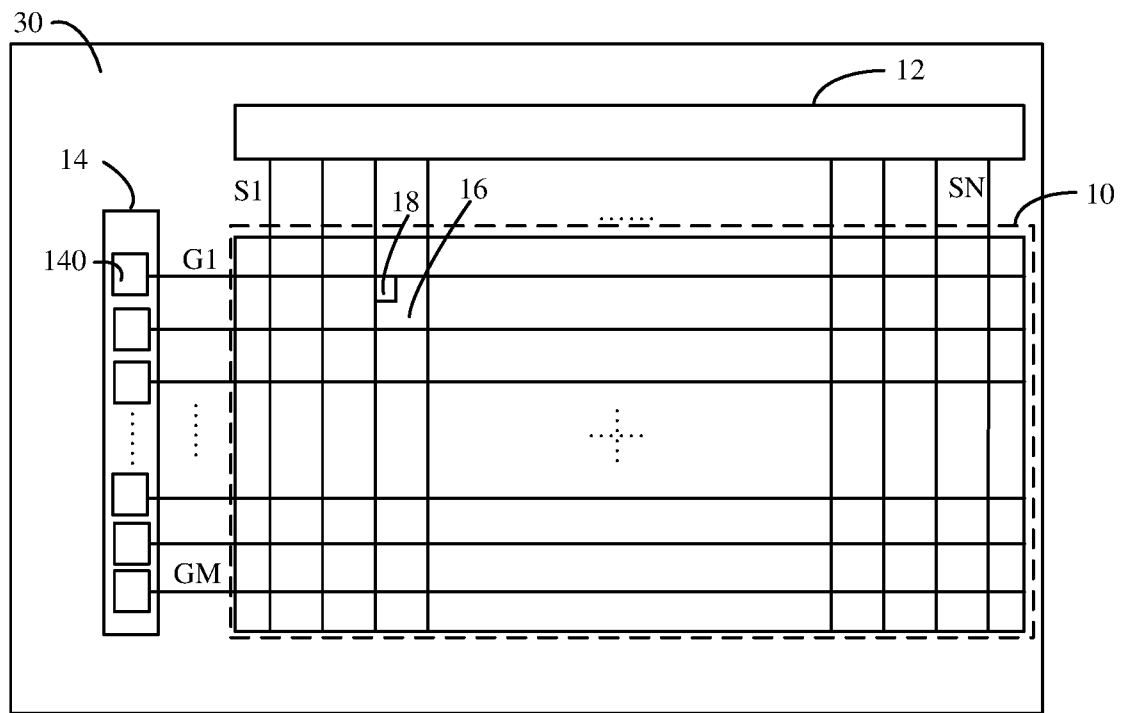


图 1

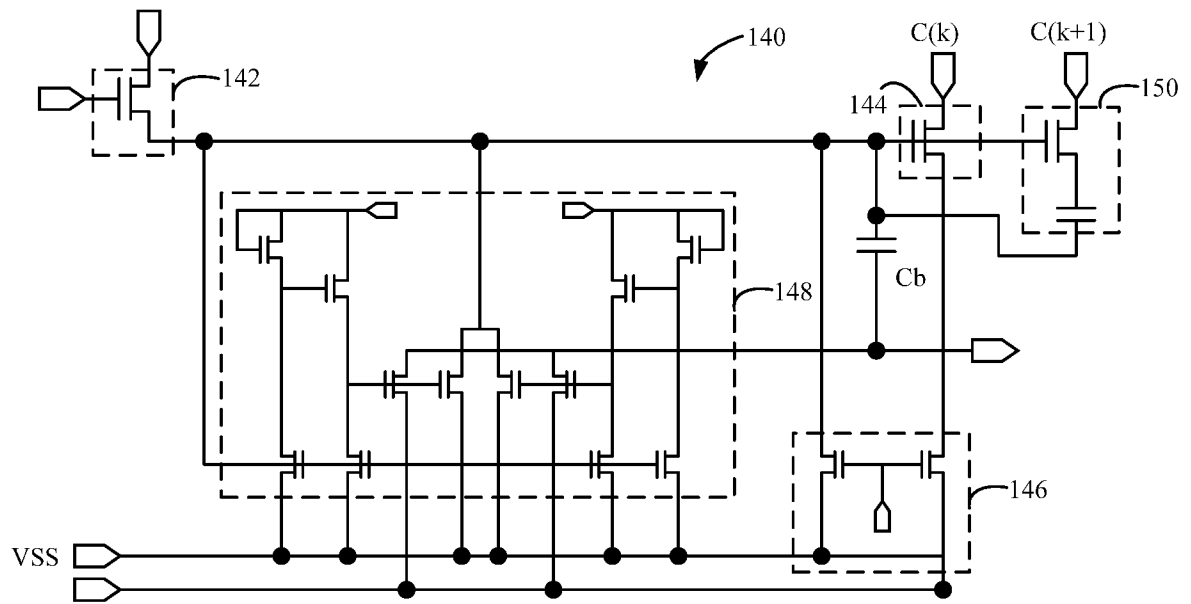


图 2

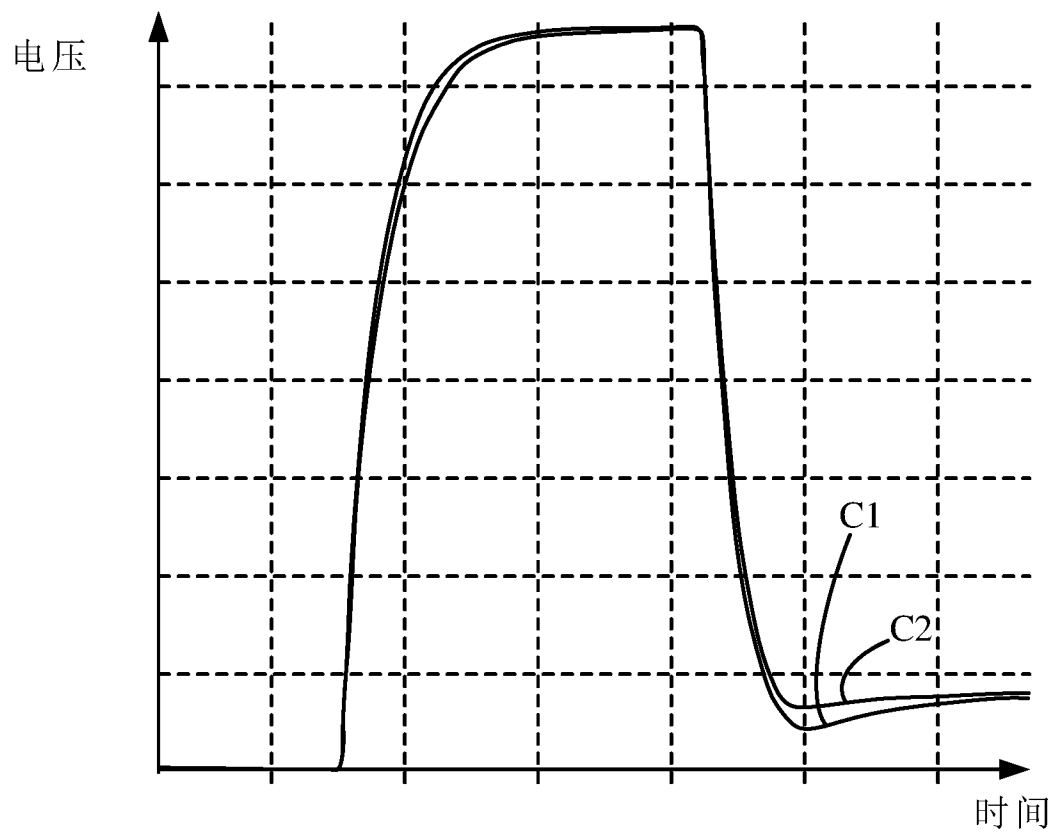


图 3

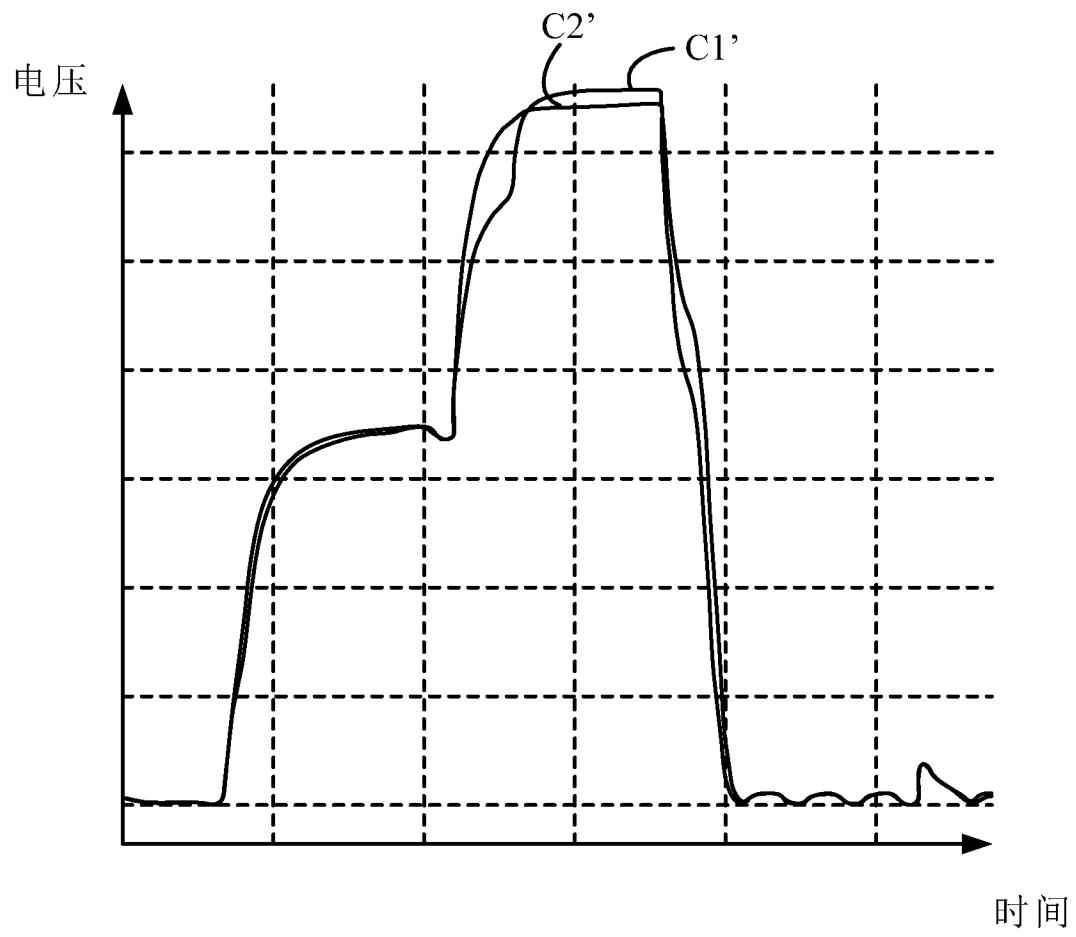


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/076913

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN GOA, 上拉, 下拉, 耦合, 时钟, 电容 GOA, pull up, pull down, coupling, clock, capacitor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 106251817 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 21 December 2016 (2016-12-21) description, pages 3 and 4, and figures 1-6	4, 7-9, 12, 13
Y	CN 108877713 A (HKC CO., LTD.) 23 November 2018 (2018-11-23) description, pages 6-14, and figures 1-3	4, 7-9, 12, 13
A	CN 108364622 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 August 2018 (2018-08-03) entire document	1-13
A	CN 106023921 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 12 October 2016 (2016-10-12) entire document	1-13
A	CN 106486078 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 March 2017 (2017-03-08) entire document	1-13
A	US 2015213746 A1 (SAMSUNG DISPLAY CO., LTD.) 30 July 2015 (2015-07-30) entire document	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 October 2019

Date of mailing of the international search report

30 October 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/076913

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011228893 A1 (MITSUBISHI ELECTRIC CORPORATION) 22 September 2011 (2011-09-22) entire document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/076913

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106251817	A	21 December 2016	US	10347190	B2	09 July 2019
				WO	2018040477	A1	08 March 2018
				CN	106251817	B	18 January 2019
				US	2018336837	A1	22 November 2018
CN	108877713	A	23 November 2018	None			
CN	108364622	A	03 August 2018	None			
CN	106023921	A	12 October 2016	CN	106023921	B	03 July 2018
CN	106486078	A	08 March 2017	US	10262614	B2	16 April 2019
				WO	2018120322	A1	05 July 2018
				US	2018211624	A1	26 July 2018
				CN	106486078	B	03 May 2019
				KR	20190095455	A	14 August 2019
US	2015213746	A1	30 July 2015	US	9613582	B2	04 April 2017
				KR	20150088434	A	03 August 2015
US	2011228893	A1	22 September 2011	JP	2011198400	A	06 October 2011
				JP	5419762	B2	19 February 2014

国际检索报告

国际申请号

PCT/CN2019/076913

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, VEN GOA, 上拉, 下拉, 耦合, 时钟, 电容 GOA, pull up, pull down, coupling, clock, capacitor		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 106251817 A (深圳市华星光电技术有限公司) 2016年 12月 21日 (2016 - 12 - 21) 说明书3-4页、附图1-6	4、7-9、12-13
Y	CN 108877713 A (惠科股份有限公司) 2018年 11月 23日 (2018 - 11 - 23) 说明书6-14页、附图1-3	4、7-9、12-13
A	CN 108364622 A (京东方科技集团股份有限公司 等) 2018年 8月 3日 (2018 - 08 - 03) 全文	1-13
A	CN 106023921 A (深圳市华星光电技术有限公司) 2016年 10月 12日 (2016 - 10 - 12) 全文	1-13
A	CN 106486078 A (深圳市华星光电技术有限公司) 2017年 3月 8日 (2017 - 03 - 08) 全文	1-13
A	US 2015213746 A1 (SAMSUNG DISPLAY CO LTD) 2015年 7月 30日 (2015 - 07 - 30) 全文	1-13
A	US 2011228893 A1 (MITSUBISHI ELECTRIC CORP) 2011年 9月 22日 (2011 - 09 - 22) 全文	1-13
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2019年 10月 18日		国际检索报告邮寄日期 2019年 10月 30日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 郝博 电话号码 62085828

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/076913

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106251817	A	2016年 12月 21日	US	10347190	B2	2019年 7月 9日
				WO	2018040477	A1	2018年 3月 8日
				CN	106251817	B	2019年 1月 18日
				US	2018336837	A1	2018年 11月 22日
CN	108877713	A	2018年 11月 23日	无			
CN	108364622	A	2018年 8月 3日	无			
CN	106023921	A	2016年 10月 12日	CN	106023921	B	2018年 7月 3日
CN	106486078	A	2017年 3月 8日	US	10262614	B2	2019年 4月 16日
				WO	2018120322	A1	2018年 7月 5日
				US	2018211624	A1	2018年 7月 26日
				CN	106486078	B	2019年 5月 3日
				KR	20190095455	A	2019年 8月 14日
US	2015213746	A1	2015年 7月 30日	US	9613582	B2	2017年 4月 4日
				KR	20150088434	A	2015年 8月 3日
US	2011228893	A1	2011年 9月 22日	JP	2011198400	A	2011年 10月 6日
				JP	5419762	B2	2014年 2月 19日