(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3563522号
(P3563522)
(45)発行日　平成16年9月8日(2004.9.8)　(24)登録日　平成16年6月11日(2004.6.11)

(51)Int.Cl.[7]　F I
H05K　9/00　H05K　9/00　R

請求項の数 2　(全 12 頁)

(21)出願番号　特願平8-21297
(22)出願日　平成8年2月7日(1996.2.7)
(65)公開番号　特開平9-214169
(43)公開日　平成9年8月15日(1997.8.15)
審査請求日　平成13年10月15日(2001.10.15)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　青木　賢治
東京都青梅市末広町２丁目９番地　株式会社東芝青梅工場内

審査官　川内野　真介

最終頁に続く

(54)【発明の名称】プリント回路基板

(57)【特許請求の範囲】
【請求項１】
複数の実装パッドを含む導体パターンが形成されているとともに、ねじ止め用のランド部が角部に形成された主プリント配線板と、
それぞれ矩形状のパッケージ、およびこのパッケージの辺から延出しているとともにそれぞれ上記実装パッドに接続された複数の接続端子を有し、上記主プリント配線板上に実装された複数の半導体パッケージと、
上記主プリント配線板上に実装されたコネクタと、
上記主プリント配線板上に重ねて取り付けられているとともに、上記半導体パッケージのグランド端子に導通した導体層を有し、電磁ノイズを遮蔽する副プリント配線板と、を備え、
上記副プリント配線板は、上記主プリント配線板に対向したベースフィルムと、ベースフィルム上に形成された導体層と、導体層上に形成されたカバーフィルムと、ベースフィルムの裏面に形成された接着剤層と、を有し、上記接着剤層により前記主プリント配線板上に貼り付けられ、
上記副プリント配線板は、上記ランド部に対向した切欠きと、上記半導体パッケージを覆った被覆部と、上記コネクタを収容した開孔とを有し、上記被覆部は、上記半導体パッケージが接続されている上記実装パッドと対向して上記副プリント配線板に形成されたスリットに沿って、副プリント配線板から曲げ起され、
上記導体層は、上記スリットまで延びているとともにグランド用の実装パッドに重ねて配

置され、このグランド用の実装パッドに接続された上記半導体パッケージのグランド端子に半田付けされた接続部と、前記切欠き内に延出し前記ランド部に接続された接続部と、上記被覆部の折曲げ部に沿って並んで形成された小孔の列と、を有していることを特徴とするプリント回路基板。

【請求項２】

複数の実装パッドを含む導体パターンの形成された主プリント配線板と、

それぞれ矩形状のパッケージ、およびこのパッケージの辺から延出しているとともにそれぞれ上記実装パッドに接続された複数の接続端子を有し、上記主プリント配線板上に実装された複数の半導体パッケージと、

それぞれ上記実装パッドに接続された複数の接続端子を有し、上記主プリント配線板上に実装された半導体チップと、

上記主プリント配線板上に重ねて取り付けられているとともに、上記半導体パッケージのグランド端子および上記半導体チップのグランド端子に導通した導体層を有し、電磁ノイズを遮蔽する副プリント配線板と、を備え、

上記副プリント配線板は上記半導体パッケージを覆った被覆部と、上記半導体チップを収納可能に形成された開口とを有し、上記半導体チップおよびこの半導体チップの接続端子が接続された実装パッドが上記開口内に位置するように配置され、

上記被覆部は、上記所定の電子部品が接続されている上記実装パッドと対向して上記副プリント配線板に形成されたスリットに沿って、副プリント配線板から曲げ起され、

上記副プリント配線板の導体層は、上記被覆部の折曲げ部に沿って並んで形成された小孔の列と、上記開口内に延出し上記半導体チップのグランド端子に半田付けされた接続突部とを有していることを特徴とするプリント回路基板。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明はプリント回路基板、特に、電磁ノイズ対策の施されたプリント回路基板に関する。

【０００２】

【従来の技術】

パーソナルコンピュータ、複写機の電子機器においては、プリント回路基板が多数使用されている。通常、プリント回路基板は、プリント配線板上に多数の電子部品を実装して構成されている。

【０００３】

近年、電子機器から発生する電磁ノイズによる外部機器への悪影響、あるいは、外部から侵入する電磁ノイズによる電子機器の誤動作の発生等が問題となっている。そのため、電子機器に内蔵されるプリント回路基板についても、電磁ノイズに対する種々の対策が検討されている。

【０００４】

例えば、プリント回路基板では、回路設計の段階において、部品毎の電磁ノイズ対策、部品の配置および配線パターンの工夫をした上で、製品の製造を行う。しかしながら、この場合でも、プリント回路基板は種々の電子部品の集合体であることから、電磁ノイズが発生してしまう場合がある。

【０００５】

そこで、実際に製造されたプリント回路基板の近傍磁界をスペクトラムアナライザ等によって測定し、所定レベル以上の電磁ノイズが発生している場合には、電磁ノイズの発生源を予測する。そして、発生源に応じて、フィルタ等の電磁対策部品を回路に追加したり、あるいは、回路内の抵抗やコンデンサ等の定数を変更することによって電磁ノイズを所定のレベル以下に低減する方法が取られている。

また、他の対策としては、プリント配線板の層構成を増加して、回路パターンをシールドする方法が取られている。

【０００６】
【発明が解決しようとする課題】
しかしながら、上記のように対策部品を追加した場合や、電子部品の定数変更を行った場合には、プリント回路基板の特性等が変わってしまい、設計当初の特性を得ることがことが困難となる。
【０００７】
また、プリント配線板の層構成を増加する場合には、プリント配線板の作り直しや電子部品の実装のやり直し等の設計変更が必要となり、開発工期の遅延や製造コストの増加を招く原因となる。
【０００８】
この発明は以上の点に鑑みなされたもので、その目的は、電磁ノイズ対策を容易にかつ確実に実施することができるとともに、製造コストの増加を抑えることが可能なプリント回路基板を提供することにある。
【０００９】
【課題を解決するための手段】
上記目的を達成するため、この発明の態様に係るプリント回路基板は、複数の実装パッドを含む導体パターンが形成されているとともに、ねじ止め用のランド部が角部に形成された主プリント配線板と、それぞれ矩形状のパッケージ、およびこのパッケージの辺から延出しているとともにそれぞれ上記実装パッドに接続された複数の接続端子を有し、上記主プリント配線板上に実装された複数の半導体パッケージと、上記主プリント配線板上に実装されたコネクタと、上記主プリント配線板上に重ねて取り付けられているとともに、上記半導体パッケージのグランド端子に導通した導体層を有し、電磁ノイズを遮蔽する副プリント配線板と、を備え、
上記副プリント配線板は、上記主プリント配線板に対向したベースフィルムと、ベースフィルム上に形成された導体層と、導体層上に形成されたカバーフィルムと、ベースフィルムの裏面に形成された接着剤層と、を有し、上記接着剤層により前記主プリント配線板上に貼り付けられ、上記副プリント配線板は、上記ランド部に対向した切欠きと、上記半導体パッケージを覆った被覆部と、上記コネクタを収容した開孔とを有し、上記被覆部は、上記半導体パッケージが接続されている上記実装パッドと対向して上記副プリント配線板に形成されたスリットに沿って、副プリント配線板から曲げ起され、上記導体層は、上記スリットまで延びているとともにグランド用の実装パッドに重ねて配置され、このグランド用の実装パッドに接続された上記半導体パッケージのグランド端子に半田付けされた接続部と、前記切欠き内に延出し前記ランド部に接続された接続部と、上記被覆部の折曲げ部に沿って並んで形成された小孔の列と、を有していることを特徴としている。
【００１０】
この発明の他の態様に係るプリント回路基板は、複数の実装パッドを含む導体パターンの形成された主プリント配線板と、それぞれ矩形状のパッケージ、およびこのパッケージの辺から延出しているとともにそれぞれ上記実装パッドに接続された複数の接続端子を有し、上記主プリント配線板上に実装された複数の半導体パッケージと、それぞれ上記実装パッドに接続された複数の接続端子を有し、上記主プリント配線板上に実装された半導体チップと、上記主プリント配線板上に重ねて取り付けられているとともに、上記半導体パッケージのグランド端子および上記半導体チップのグランド端子に導通した導体層を有し、電磁ノイズを遮蔽する副プリント配線板と、を備え、
上記副プリント配線板は上記半導体パッケージを覆った被覆部と、上記半導体チップを収納可能に形成された開口とを有し、上記半導体チップおよびこの半導体チップの接続端子が接続された実装パッドが上記開口内に位置するように配置され、上記被覆部は、上記所定の電子部品が接続されている上記実装パッドと対向して上記副プリント配線板に形成されたスリットに沿って、副プリント配線板から曲げ起され、上記副プリント配線板の導体層は、上記被覆部の折曲げ部に沿って並んで形成された小孔の列と、上記開口内に延出し上記半導体チップのグランド端子に半田付けされた接続突部とを有していることを特徴と

している。
【００１２】
以上のように構成されたプリント回路基板によれば、多数の電子部品の実装された主プリント配線板に重ねて副プリント配線板が取り付けられ、この副プリント配線板の導体層は、各電子部品のグランドに導通している。そのため、副プリント配線板の導体層は電磁シールドとして機能し、外部からプリント回路基板への電磁ノイズの侵入、およびプリント回路基板から外部への電磁ノイズの漏洩を防止する。
【００１３】
また、導体層を主プリント配線板側のグランドに導通させることにより、プリント回路基板のグランドあるいは電源電圧を強化し、安定性の向上を図ることができる。
【００１４】
更に、副プリント配線板にスリットを設け、主プリント配線板上の電子部品に対向する部分、つまり、被覆部は、電子部品に合わせて曲げ起されて電子部品を覆っていることから、副プリント配線板は主プリント配線板表面および電子部品表面に密着した状態で取り付けられる。
【００１５】
【発明の実施の形態】
以下図面を参照しながら、この発明の実施の形態について詳細に説明する。　図１に示すように、プリント回路基板は、多数の電子部品が実装された矩形状の主プリント配線板１０と、複数の電子部品に被せて主プリント配線板１０上に配設された電磁ノイズ遮蔽用の副プリント配線板１２と、を備えて構成されている。
【００１６】
図２および図３に示すように、主プリント配線板１０は、いわゆるリジッドな絶縁基板上に銅箔からなる導体パターン１４を形成して構成されている。導体パターン１４は、実装される各電子部品に対応して、電子部品の接続端子を半田付けするための多数の実装パッド１６を有している。
【００１７】
そして、各電子部品は、その接続端子が所定の実装パッド１６に半田付けされた状態で主プリント配線板１０上に実装されている。電子部品としては、例えば、矩形状のパッケージの４辺からそれぞれ多数の接続端子１９が延出したいわゆるＱＦＰ型の半導体パッケージ１８ａ、パッケージの２辺からそれぞれ多数の接続端子１９が延出したいわゆるＳＯＪあるいはＳＯＰ型の半導体パッケージ１８ｂ、コンデンサ等のチップ部品１８ｃ、コネクタ１８ｄ等が実装されている。
【００１８】
主プリント配線板１０の所定位置、例えば、角部には、主プリント配線板を他の部材にねじ止めするための、矩形のランド部２０が形成されている。
一方、図４および図５に示すように、副プリント配線板１２は、主プリント配線板１０よりも小さな矩形状に形成され、任意の位置が選択的に切り欠かれている。副プリント配線板１２は、いわゆるフレキシブルプリント配線板により形成されている。詳細には、副プリント配線板１２は、ポリイミド等からなるベースフィルム２２ａ、ベースフィルム上に貼設された銅箔からなる導体層２２ｂ、ポリイミド等からなりベースフィルム上に形成されて導体層を覆ったカバーフィルム２２ｃ、およびベースフィルムの裏面に形成された接着剤層２２ｄを備えている。
【００１９】
副プリント配線板１２には複数のほぼＵ字形状のスリット２４が形成されている。これらのスリット２４は、副プリント配線板１２を主プリント配線板１０上に装着した際に半導体パッケージ１８ａあるいは１８ｃと重なる部位にそれぞれ形成されている。
【００２０】
詳細には、図３に２点鎖線で示すように、各スリット２４は、副プリント配線板１２を主プリント配線板１０上に被せた際、対応する電子部品の接続端子１９が接続されている各

実装パッド１６のほぼ中心を横切る位置に形成されている。そして、各スリット２４で囲われている部分は、スリットに沿って副プリント配線板１２から引き起こすことが可能であり、後述するように、半導体パッケージを覆う被覆部３０を形成している。

【００２１】

また、図１および図４に示すように、副プリント配線板１２には、複数の矩形の開口２５、円形の開口２６等が形成されている。円形の開口２６は、それぞれチップ部品１８ｃと対向する位置に形成され、更に、矩形の開口２５は他の所定の電子部品と対向するように配設されている。

【００２２】

図６等に示すように、副プリント配線板１２の導体層２２ｂは、各スリット２４の両側に沿った所定幅部分、例えば１ｍｍ幅部分、各開口２５、２６の周縁に沿った所定幅部分、および副プリント配線板１２の外縁に沿った所定幅部分を除いて、副プリント配線板のほぼ全面にベタ状に形成されている。

【００２３】

また、図６および図７（ａ）に示すように、導体層２２ｂは、各スリット２４の周囲において、複数の接続突部３２を有している。詳細には、各接続突部３２は、スリット２４の外周側に位置した導体層２２ｂの端縁からスリット２４まで延出している。接続突部３２は、例えば、スリット２４の各辺に１つづつ設けられ、主プリント配線板１０の実装パッド１６の内、グランド用の実装パッドと対応する位置にそれぞれ形成されている。そして、各接続突部３２の幅は、グランド用実装パッドの幅と同一に形成されている。

【００２４】

図７（ａ）からよく分かるように、副プリント配線板１２を構成するカバーフィルム２２ｃの内、接続突部３２と対向する部分は円形の開口３４が形成されて除去されている。それにより、各接続突部３２は、開口３４を通して副プリント配線板１２の表面側に露出している。

【００２５】

なお、グランド用の実装パッド１６が２つ並んで設けられている場合には、図７（ｂ）に示すように、対応する接続突部３２もこれら２本の実装パッドと重なる幅に形成される。

【００２６】

また、図６に示すように、副プリント配線板１２の各被覆部３０を容易に引き起こし半導体パッケージに沿って折曲げられるように、各被覆部３０の基端部、つまり、スリット２４の両端部間において、導体層２２ｂには多数の小孔が２列に並んでミシン目状に形成されている。これらの２本の小孔列３６ａ、３６ｂの間隔は、半導体パッケージの高さに対応して、例えば、５㎜に設定されている。

【００２７】

上記構成の副プリント配線板１２は、その底面に形成された接着剤層２２ｄの粘着力により、主プリント配線板１０表面上の所定位置に貼り付けられている。この際、副プリント板１２は、各スリット２４が対応する半導体パッケージ１８ａあるいは１８ｂが実装されている実装パッド１６の中央を横切るように位置決めされた状態で、貼り付けられている。そして、各スリット２４に隣接して設けられている導電層２２ｂの接続突部３２は、これら実装パッド１６の内、グランド用実装パッドに重ねて配置されている。

【００２８】

また、各スリット２４によって規定されている被覆部３０は、図１および図８に示すように、小孔列３６ａに沿って上方へ折曲げられ、更に小孔列３６ｂに沿って主プリント配線板１０と平行に折曲げられている。そして、被覆部３０は、半導体パッケージ１８ａあるいは１８ｂの上面に貼り付けられ、この半導体パッケージを覆っている。

【００２９】

図８および図９に示すように、副プリント配線板１２の導体層２２ｂに設けられた各接続突部３２は、グランド用の実装パッド１６ａ、およびこの実装パッド１６ａに半田付けされている半導体パッケージ１８ａ、あるいは１８ｂの接続端子１９ａに、つまり、グラン

ド端子に、表面側から半田付けされグランドに導通している。

【００３０】

一方、図１０（ａ）、（ｂ）に示すように、副プリント配線板１２に形成された円形の開口２６は、半導体チップ１８ｃを収容可能な大きさに形成されている。そして、副プリント配線板１２は、半導体チップ１８ｃおよびこの半導体チップの接続端子４０が半田付けされている一対の実装パッド１６が開口２６内に位置するように、主プリント配線板１０に貼り付けられている。

【００３１】

副プリント配線板１２の導体層２２ｂは、開口２６内に突出した１つの接続突部３２を有している。また、副プリント配線板１２のカバーフィルム２２ｃには、開口２６よりも僅かに大きな円形の開口４２が同軸的に形成されている。従って、カバーフィルム２２ｃの内、開口２６の周縁に沿った所定幅分が除去され、接続突部３２は上方に露出している。

【００３２】

そして、接続突部３２は、グランド側の実装パッド１６に重ねて配置されているとともに、図１０（ｂ）に２点鎖線で示すように、この実装パッド１６、および半導体チップ１８ｃのグランド側の接続端子４０に半田付けされている。

【００３３】

図１１に示すように、主プリント配線板１０のランド部２０と対向する副プリント配線板１２の角部には矩形の切欠４３が形成され、ランド部２０と対向している。また、副プリント配線板１２のカバーフィルム２２ｃには、切欠４３に沿ってこの切欠よりも僅かに大きな切欠４４が形成されている。その結果、切欠４３の沿って所定幅分だけカバーフィルム２２ｃが除去された状態となり、導体層２２ｂの一部が露出して接続突部３２を形成している。

【００３４】

そして、接続突部３２は、図１１に２点鎖線で示すように、ランド部２０に半田付けされている。

なお、副プリント配線板１２に形成された他の開口２５等は、主プリント配線板１０上の所定の電子部品を収容した状態で配置され、導体層２２ｂは、必要に応じ、上記と同様な構成の接続突部を介して開口２５内に収容された電子部品のグランドに接続されている。

【００３５】

以上のように構成されたプリント回路基板によれば、多数の電子部品の実装された主プリント配線板１０上のほぼ全面に重ねて副プリント配線板１２が貼り付けられ、この副プリント配線板の導体層２２ｂは、接続突部３２を介して各電子部品のグランドに導通している。従って、副プリント配線板１２の導体層２２ｂにより電磁シールド機能を発揮することができ、外部からプリント回路基板への電磁ノイズの侵入、およびプリント回路基板から外部への電磁ノイズの漏洩を防止することができる。

【００３６】

すなわち、表面積の大きな導体層２２ｂを主プリント配線板１０と対向して配置し、かつ、主プリント配線板１０のグランドに導通させることにより、この導体層２２ｂをグランド層として機能させることができる。従って、主プリント配線板の電源層（Ｖｃｃ層）と対向するグランド層の表面積が増大し、その結果、電源層とグランド層との間の浮遊容量が増大して電磁ノイズの吸収能力を上げることができる。

【００３７】

また、導体層２２ｂを主プリント配線板１０のグランドに導通させることにより、プリント回路基板のグランドを強化し、安定性の向上を図ることができる。更に、本実施の形態においては、副プリント配線板１２に複数のスリット２４を設け、主プリント配線板１０上の電子部品に対向する部分、つまり、被覆部３０を、電子部品に合わせて曲げ起す構成としたことから、副プリント配線板１２を主プリント配線板表面および電子部品表面に密着した状態で貼り付けることができる。従って、一層確実に電磁ノイズの遮蔽を行うことが可能となる。

【００３８】
以上のことから、多数の電子部品の実装された主プリント配線板上に、副プリント配線板を貼り付けて部分的に半田付けするだけの簡単な構成により、容易にかつ安価にプリント回路基板の電磁ノイズ対策を図ることが可能となる。
【００３９】
なお、上述した実施の形態においては、主プリント配線板１０のほぼ全面に亘って副プリント配線板１２を貼り付ける構成としたが、主プリント配線板の内、電磁ノイズの影響を受け易い領域、あるいは電磁ノイズを発生する領域を、部分的に副プリント配線板で覆うようにしてもよい。
【００４０】
図１２に示す実施の形態によれば、２枚の副プリント配線板１２がそれぞれ主プリント配線板１０の所定部位を覆うように貼り付けられている。各副プリント配線板１２は、上述した実施の形態と同様に、ベースフィルム、導体層、カバーフィルム、接着剤層により構成され、半導体パッケージと対向する部位には、スリット２４によって被覆部３０が形成されている。そして、導体層は、主プリント配線板１０側のグランドに導通している。なお、上述した実施の形態と同一の部分には、同一の参照符号を付してあり、その詳細な説明は省略する。
【００４１】
このように構成されたプリント回路基板においても、副プリント配線板１２を設けることにより電磁シールド機能が向上し、上述した実施の形態と同様な作用効果を得ることができる。
【００４２】
図１３は、カード状の電子部品として、例えば、ＰＣＭＣＩＡ規格のいわゆるＰＣカード５０を装填可能なカード収容部５２を備えたプリント回路基板を示している。詳細には、プリント回路基板は、図示しない多数の電子部品の実装された主プリント配線板１０を備えている。
【００４３】
主プリント配線板１０上には、ＰＣカード５０が電気的に接続されるコネクタ６０がねじ止めされているとともに、コネクタ６０に隣接して、ほぼ矩形状の副プリント配線板１２が貼り付けられている。また、副プリント配線板１２上には、コネクタ２０に連続した互いに平行な一対のガイド壁６１が設けられ、それぞれねじ６２により、副プリント板１２を介して主プリント配線板１０にねじ止めされている。
【００４４】
そして、これらコネクタ６０、ガイド壁６１、および副プリント配線板１２によってカード収容部５２が形成されてる。
副プリント配線板１２は、いわゆるフレキシブルプリント配線板から構成され、ベースフィルム、導体層、カバーフィルム、接着剤層を積層して形成されている。導体層は、副プリント配線板のほぼ全面に亘ってベタ状に形成されているとともに、ねじ６２を介して、主プリント配線板１０のグランドに導通されている。
【００４５】
上記のように構成されたプリント回路基板においても、主プリント配線板１０に貼り付けられた副プリント配線板１２の導体層を主プリント配線板のグランドに導通させることにより、前述した実施の形態と同様に、導体層による電磁シールド機能を発揮することができる。それにより、コネクタ６０、および装填されたＰＣカード５０に対する電磁ノイズの侵入、およびこれらから発生する電磁ノイズの漏洩を防止することができるとともに、周囲の部品との間の絶縁、異物の混入を防止することが可能となる。
【００４６】
なお、この発明は上述した実施の形態に限定されることなく、この発明の範囲内で種々変形可能である。
例えば、副プリント配線板の導電層は、主プリント配線板側のグランドに限らず、電源電

圧端子あるいは電源電圧パッドに接続するようにしてもよい。この場合においても、上述した実施の形態と同様に、電磁ノイズを遮蔽できるとともに、主プリント配線側のＶｃｃを強化することが可能となる。

【００４７】

また、副プリント配線板の導体層は、ベタ状に限らず、配線パターンとしてパターニングされていてもよく、この場合においても、電磁シールド機能の向上を図ることができる。更に、副プリント配線板は、フレキシブルプリント配線板に限らず、リジットなプリント配線板を用いるこも可能である。

【００４８】

【発明の効果】

以上詳述したように、この発明によれば、電子部品の実装された主プリント配線板上に重ねて副プリント配線板を取付け、副プリント配線板の導体層を主プリント配線板側のグランドあるいはＶｃｃに接続する構成としたことから、電磁ノイズ対策を容易にかつ確実に実施することができとともに、製造コストの増加を抑えることが可能なプリント回路基板を提供することができる。

【図面の簡単な説明】

【図１】この発明の実施の形態に係るプリント回路基板の平面図。

【図２】上記プリント回路基板の主プリント配線板の平面図。

【図３】上記主プリント配線板に実装された半導体パッケージを拡大して示す平面図。

【図４】上記プリント回路基板の副プリント配線板を示す平面図。

【図５】上記副プリント配線板の断面図。

【図６】上記副プリント配線板の被覆部を拡大して示す平面図。

【図７】上記副プリント配線板の接続突部を拡大して示す平面図。

【図８】上記副プリント配線板の貼付された半導体パッケージ部分を示す斜視図。

【図９】上記半導体パッケージの接続端子と上記副プリント配線板の接続突部との間の接続状態を示す斜視図。

【図１０】上記プリント回路基板の半導体チップ部分をそれぞれ拡大して示す斜視図および平面図。

【図１１】上記プリント回路基板のランド部を拡大して示す平面図。

【図１２】この発明の他の実施の形態に係るプリント回路基板の平面図。

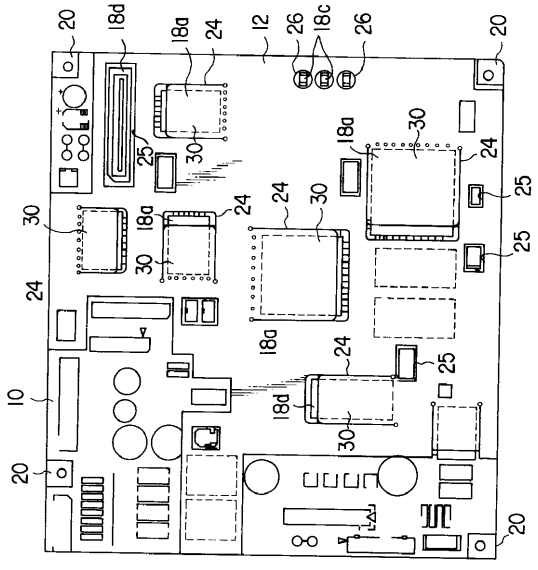
【図１３】カード収容部を有するこの発明の他の実施の形態に係るプリント回路基板をそれぞれ示す平面図および断面図。

【符号の説明】

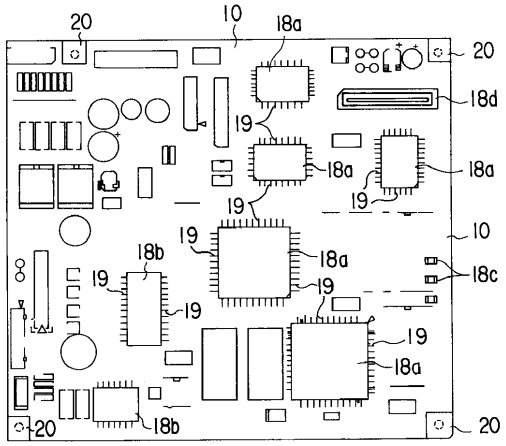
１０…主プリント配線板
１２…副プリント配線板
１４…導体パターン
１６…実装パッド
１８ａ、１８ｂ…半導体パッケージ
１８ｃ…半導体チップ
１９…接続端子
２０…ランド部
２２ａ…ベースフィルム
２２ｂ…導体層
２２ｃ…カバーフィルム
２２ｄ…接着剤層
２４…スリット
２５、２６…開口
３０…被覆部
３２…接続突部
３６ａ、３６ｂ…小孔列

５０…ＰＣカード
５２…カード収容部
６０…コネクタ

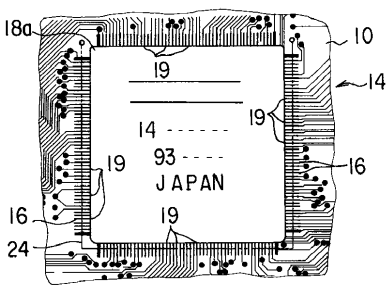
【図１】



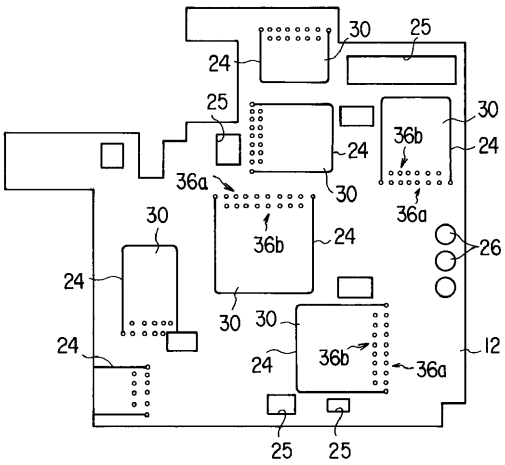
【図２】



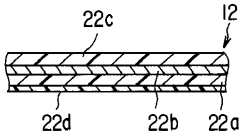
【図３】



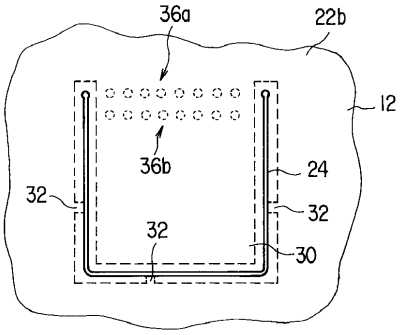
【図４】



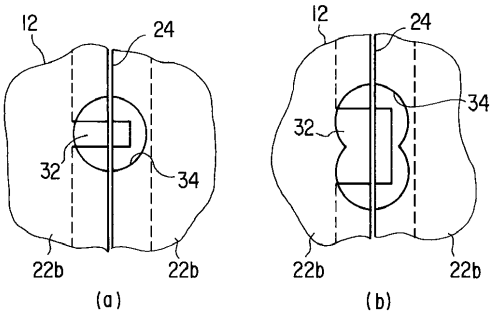
【図５】



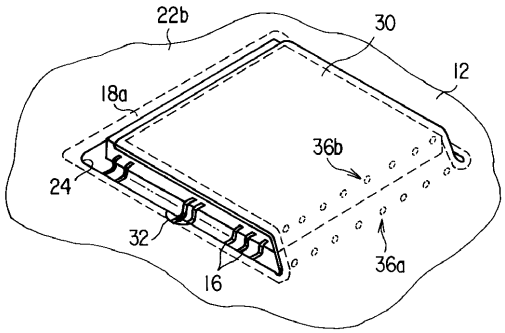
【図６】



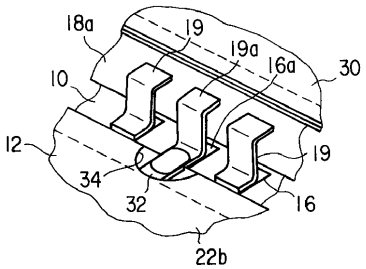
【図７】



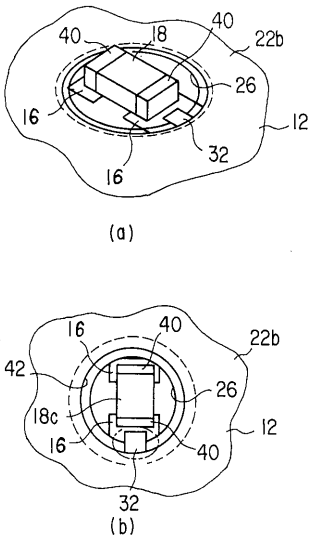
【図８】



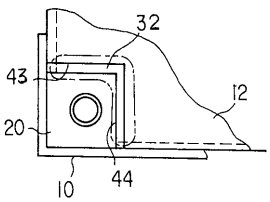
【図９】



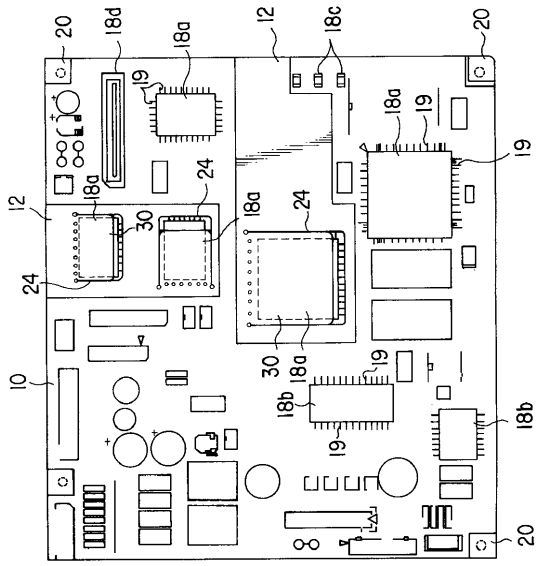
【図１０】



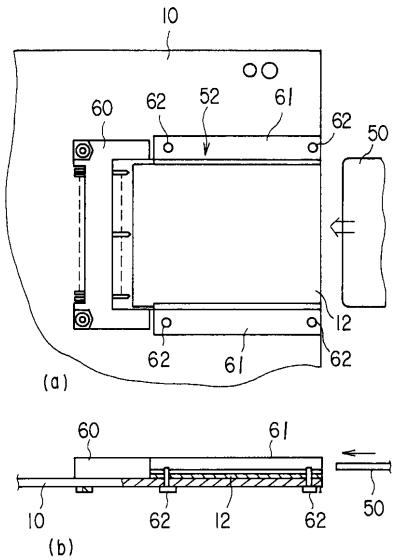
【図１１】



【図１２】


20
18d
18a
12
18c
20
19
18a
19
19
12
18a
24
18a
24
24
30
10
30
18a
19
18b
19
18b
20

【図１３】


10
60
62
52
61
62
50
12
62
61
62
(a)
60
61
10
62
12
62
50
(b)

フロントページの続き

(56)参考文献 実開昭６０－１０６３９６（ＪＰ，Ｕ）
実開昭５８－１１６２６２（ＪＰ，Ｕ）
実開昭５８－１８７１９３（ＪＰ，Ｕ）
特開平０５－３２７２７０（ＪＰ，Ａ）
特開平０６－０２１６８１（ＪＰ，Ａ）
実開昭６２－１８６４９７（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H05K 9/00