



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0080946
(43) 공개일자 2012년07월18일

(51) 국제특허분류(Int. Cl.)
H04B 7/005 (2006.01)
(21) 출원번호 10-2011-0002431
(22) 출원일자 2011년01월10일
심사청구일자 2011년01월10일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
박장우
서울특별시 송파구 가락2동 130번지 301호
정원주
서울특별시 서초구 방배로 21, 경남 아파트 5동 405호 (방배동)
(74) 대리인
나승택, 조영현

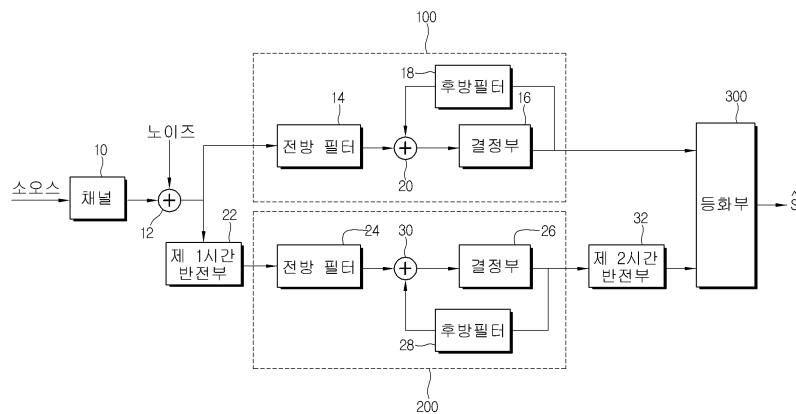
전체 청구항 수 : 총 3 항

(54) 발명의 명칭 MLSD 등화기

(57) 요약

최적의 성능을 갖추면서도 복잡도를 감소시킨 MLSD 등화기를 제시한다. 제시된 MLSD 등화기는 송신단으로부터 전송된 신호에 존재하는 심볼간 간섭 성분을 제거하는 순방향 DFE부, 송신단에서 시간 반전되어 입력되는 신호에 포함된 심볼간 간섭 성분을 제거하는 역방향 DFE부, 역방향 DFE부에서 출력되는 신호를 시간 축을 기준으로 반전시키는 시간 반전부, 및 순방향 DFE부 및 시간 반전부에서 출력되는 시퀀스중에서 불일치되는 심볼에 대하여 비터비 알고리즘을 적용하여 하나의 심볼값을 결정하는 등화부를 포함한다. 순방향 DFE부와 역방향 DFE부는 송신단과 등화부 사이에 병렬로 설치된다. 기존 MLSD 등화기의 매우 높은 복잡도(M^L)를 2^L 이하로 낮추면서 기존 MLSD 등화기에 버금가는 성능을 기대할 수 있다. 특히, 모듈레이션 사이즈(M)가 큰 시스템을 사용하는 경우 또는 채널 길이가 긴 경우에 본 발명의 MLSD 등화기를 사용하면 복잡도 감소 효과는 더욱더 커지게 된다.

대표도 - 도1



특허청구의 범위

청구항 1

송신단으로부터 전송된 신호에 존재하는 심볼간 간섭 성분을 제거하는 순방향 DFE부;

상기 송신단에서 시간 반전되어 입력되는 신호에 포함된 심볼간 간섭 성분을 제거하는 역방향 DFE부;

상기 역방향 DFE부에서 출력되는 신호를 시간 축을 기준으로 반전시키는 시간 반전부; 및

상기 순방향 DFE부 및 상기 시간 반전부에서 출력되는 시퀀스중에서 불일치되는 심볼에 대하여 비터비 알고리즘을 적용하여 하나의 심볼값을 결정하는 등화부;를 포함하고,

상기 순방향 DFE부와 상기 역방향 DFE부는 상기 송신단과 상기 등화부 사이에 병렬로 설치된 것을 특징으로 하는 MLSD 등화기.

청구항 2

청구항 1에 있어서,

상기 등화부는 채널 길이가 긴 경우 채널 계수가 큰 탭에 대해 상기 비터비 알고리즘을 수행하여 복잡도를 낮추는 것을 특징으로 하는 MLSD 등화기.

청구항 3

청구항 2에 있어서,

상기 복잡도는 2^L (L은 채널 길이) 이하로 낮추어지는 것을 특징으로 하는 MLSD 등화기.

명세서

기술분야

[0001] 본 발명은 MLSD 등화기에 관한 것으로, 보다 상세하게는 양방향 결정 궤환 등화기를 이용한 MLSD 등화기에 관한 것이다.

배경기술

[0002] 무선 통신 분야에서는 대용량의 데이터를 전송하고자 하는 수요가 증가하고 있다. 그에 따라, 현재보다 더 고속의 데이터 통신을 위하여 다양한 연구가 진행중이다.

[0003] 이러한 연구에서는 모듈레이션 사이즈가 큰 신호들이 많이 사용되고 있다. 모듈레이션 사이즈를 증가시키면 심볼당 전송 가능한 비트 수가 증가하기 때문에 그만큼 고속의 데이터 통신이 가능하다.

[0004] 하지만, 무선 통신 분야에서 고속의 데이터 통신을 방해하는 가장 큰 장애물중 하나가 바로 다중 경로 채널(multipath channel)에 의한 심볼간 간섭(intersymbol interference; ISI)이다.

[0005] 심볼간 간섭은 에러를 유발시켜 전송 속도를 떨어뜨린다. 심볼간 간섭을 최소화하기 위해서는 채널 등화(channel equalization) 기법이 필수적이다.

[0006] 채널 등화 기법중 MLSD(maximum likelihood sequence detection) 등화기는 에러 전파(error propagation)가 없어 최적의 성능을 갖는다. 통상적으로, 에러 전파는 피드백 구조로 인해 잘못된 결정 심볼(erroneous decision symbol)이 또 다른 결정 에러를 유발하는 것을 의미한다.

[0007] MLSD 등화기는 수신된 신호와 전송 가능한 모든 심볼 시퀀스의 비교를 통해 가장 유사한(maximum likelihood) 심볼 시퀀스로 결정(decision)하는 방법을 사용한다.

[0008] 그러나, MLSD 등화기는 복잡도가 M^L (M : 신호의 모듈레이션 사이즈, L : 채널 길이)로 지수적으로 증가하기 때문에 매우 높다는 단점이 있다. 다시 말해서, 모듈레이션 사이즈가 큰 신호를 사용할수록 MLSD 등화기의 복

잡도는 실제 사용이 불가능할 정도로 높아지게 된다.

[0009] 따라서, 선형 등화기(linear equalizer), 결정 궤환 등화기(decision feedback equalizer)(이하 "DFE"라고 함) 등의 등화 기법이 대안으로 제시되었다.

[0010] 선형 등화기는 구조가 가장 간단하지만, 등화기가 노이즈를 증가시키는 노이즈 증가(noise enhancement) 현상 등으로 인해 성능이 좋지 않다.

발명의 내용

해결하려는 과제

[0011] 그에 따라, 선형 등화기 대신에 DFE가 널리 이용되고 있다. DFE는 복잡도가 채널 길이에 선형적으로 증가하기 때문에, DFE의 복잡도는 선형 등화기와 비슷한 수준이다. DFE는 MLSD 등화기에 비하면 복잡도가 훨씬 낮다는 장점이 있다.

[0012] 그러나, DFE는 MLSD 등화기보다는 성능이 떨어진다. DFE는 과거의 심볼을 현재 심볼 결정에 이용하기 때문에 하나의 심볼 에러가 다수의 심볼 에러를 유발하는 에러 전파(error propagation)라는 치명적인 단점을 가지고 있다.

[0013] 본 발명은 상기한 종래의 문제점을 해결하기 위해 제안된 것으로, 최적의 성능을 갖추면서도 복잡도를 감소시킨 MLSD 등화기를 제공함에 그 목적이 있다.

과제의 해결 수단

[0014] 상기와 같은 목적을 달성하기 위하여 본 발명의 바람직한 실시양태에 따른 MLSD 등화기는, 송신단으로부터 전송된 신호에 존재하는 심볼간 간섭 성분을 제거하는 순방향 DFE부; 송신단에서 시간 반전되어 입력되는 신호에 포함된 심볼간 간섭 성분을 제거하는 역방향 DFE부; 역방향 DFE부에서 출력되는 신호를 시간 축을 기준으로 반전시키는 시간 반전부; 및 순방향 DFE부 및 시간 반전부에서 출력되는 시퀀스중에서 불일치되는 심볼에 대하여 비터비 알고리즘을 적용하여 하나의 심볼값을 결정하는 등화부;를 포함하고,

[0015] 순방향 DFE부와 역방향 DFE부는 송신단과 등화부 사이에 병렬로 설치된 것을 특징으로 한다.

[0016] 등화부는 채널 길이가 긴 경우 채널 계수가 큰 탭에 대해 비터비 알고리즘을 수행하여 복잡도를 낮춘다. 이 경우, 복잡도는 2^L (L은 채널 길이) 이하로 낮추어진다.

[0017] 순방향 DFE부는 입력되는 신호들 중에서 메인 커서(maincursor)에 해당하는 신호에 비해 시간적으로 늦게 도착하는 신호를 나타내는 후조(postcursor)를 제거한다.

[0018] 역방향 DFE부는 입력되는 신호들 중에서 메인 커서(maincursor)에 해당하는 신호에 비해 시간적으로 일찍 도착하는 신호를 나타내는 전조(precursor)를 제거한다.

발명의 효과

[0019] 이러한 구성의 본 발명에 따르면, 기존 MLSD 등화기의 매우 높은 복잡도(M^L)를 2^L 이하로 낮추면서 기존 MLSD 등화기에 버금가는 성능을 기대할 수 있다.

[0020] 특히, 모듈레이션 사이즈(M)가 큰 시스템을 사용하는 경우 또는 채널 길이가 긴 경우에 본 발명의 MLSD 등화기를 사용하면 복잡도 감소 효과는 더욱더 커지게 된다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 실시예에 따른 MLSD 등화기의 구성을 나타낸 도면이다.

도 2 내지 도 5는 본 발명의 실시예에 따른 MLSD 등화기의 시뮬레이션 결과를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명에서는 최적의 성능을 갖지만 복잡도가 매우 높아 사용하기 어려운 MLSD 등화기의 복잡도를 사용가능한 수준으로 낮추고자 한다. 이를 위해, 본 발명에서는 양방향 DFE(즉, 병렬로 연결된 순방향 DFE 및 역방향

DFE)의 두 개의 출력 시퀀스를 MLSD 등화기의 입력으로 이용한다. 이와 같이 하면 MLSD 등화기의 복잡도를 낮추는 효과를 기대할 수 있다.

[0023] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 MLSD 등화기에 대하여 설명하면 다음과 같다. 본 발명의 상세한 설명에 앞서, 이하에서 설명되는 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니된다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

[0024] 도 1은 본 발명의 실시예에 따른 MLSD 등화기의 구성을 나타낸 도면이다.

[0025] 본 발명의 실시예의 MLSD 등화기는 순방향 DFE부(100), 역방향 DFE부(200), 제 1시간 반전부(22), 제 2시간 반전부(32), 및 등화부(300)를 포함한다.

[0026] 순방향 DFE부(100)는 소정 길이의 임펄스 응답 채널(C)(10)을 통과한 신호와 부가성 백색 가우스 잡음(Additive White Gaussian Noise; AWGN)이 가산기(12)에서 합산됨에 따라 형성된 신호(sequence)를 수신한다. 순방향 DFE부(100)는 송신단(즉, 가산기(12)의 출력단)으로부터 전송된 신호(예컨대, 데이터 열)에 존재하는 심볼간 간섭(ISI) 성분을 제거한다.

[0027] 순방향 DFE부(100)는 전방 필터(Feedforward filter)(14), 결정부(16), 후방 필터(Feedback filter)(18), 및 가산기(20)를 포함한다.

[0028] 전방 필터(14)는 수신된 신호(즉, 가산기(12)로부터의 베이스밴드 신호; $\{r[n]\}$)를 입력으로 사용한다. 전방 필터(14)는 결정되기 이전의 신호에 의한 현재 심볼의 심볼간 간섭(ISI) 성분을 제거한다. 예를 들어, 전방 필터(14)는 FIR(Finite Impulse Response) 필터로 구성되고 필터의 탭 계수는 채널 특성에 따라 조정된다.

[0029] 후방 필터(18)는 결정된 등화기 출력(즉, 순방향 DFE부(100)의 출력)을 입력으로 사용한다. 후방 필터(18)는 과거의 결정 심볼(decision symbol)을 이용하여 후조(postcursor)를 억제한다. 즉, 후방 필터(18)는 이전의 결정된 신호에 의해 생긴 현재 심볼의 심볼간 간섭(ISI) 성분을 제거한다. 예를 들어, 후방 필터(18)는 FIR(Finite Impulse Response) 필터로 구성되고 필터의 탭 계수는 채널 특성에 따라 조정된다.

[0030] 가산기(20)는 전방 필터(14)와 후방 필터(18)의 출력을 더하여 등화된 신호를 출력한다.

[0031] 결정부(16)는 가산기(20)로부터의 신호를 출력 신호($\hat{s}_f$)로 결정하여 출력한다. 결정부(16)에서의 출력 신호 $\{\hat{s}_f[n]\}$ 는 노멀 모드 MMSE(minimum mean square error) DFE의 하드 디시전(hard decision)이다.

[0032] 이와 같이 구성된 순방향 DFE부(100)는 입력되는 신호들 중에서 메인 커서(maincursor)에 해당하는 신호에 비해 시간적으로 늦게 도착하는 신호를 나타내는 후조(postcursor)를 제거한다.

[0033] 역방향 DFE부(200)는 수신된 신호를 시간 역순으로 처리한다. 역방향 DFE부(200)는 송신단(즉, 가산기(12)의 출력단)에 연결된 제 1시간 반전부(22)를 통해 입력되는 신호를 수신한다. 여기서, 제 1시간 반전부(22)는 수신되는 데이터 열을 시간 축을 기준으로 반전하여 출력한다. 역방향 DFE부(200)는 제 1시간 반전부(22)로부터 입력되는 신호(예컨대, 반전 데이터 열)에 포함된 심볼간 간섭(ISI) 성분을 제거한다. 역방향 DFE부(200)는 순방향 DFE부(100)에 대해 병렬로 연결된다. 역방향 DFE부(200)는 전방 필터(24), 결정부(26), 후방 필터(28), 및 가산기(30)를 포함한다.

[0034] 전방 필터(24)는 제 1시간 반전부(22)를 통해 입력되는 신호를 사용한다. 예를 들어, 전방 필터(24)는 FIR(Finite Impulse Response) 필터로 구성되고, 필터의 탭 계수는 채널 특성에 따라 조정된다.

[0035] 후방 필터(28)는 결정된 등화기 출력(즉, 역방향 DFE부(200)의 출력)을 입력으로 사용한다. 예를 들어, 후방 필터(28)는 FIR(Finite Impulse Response) 필터로 구성되고, 필터의 탭 계수는 채널 특성에 따라 조정된다.

[0036] 가산기(30)는 전방 필터(24)와 후방 필터(28)의 출력을 더하여 등화된 신호를 출력한다.

[0037] 결정부(26)는 가산기(30)로부터의 신호를 해당 역방향 DFE부(200)의 출력 신호로 결정하여 출력한다.

[0038] 이와 같이 구성된 역방향 DFE부(200)는 시간 반전된 신호를 이용하므로, 입력되는 신호들 중에서 메인 커서(maincursor)에 해당하는 신호에 비해 시간적으로 일찍 도착하는 신호를 나타내는 전조(precursor)를 제거한다.

[0039] 제 2시간 반전부(32)는 역방향 DFE부(200)에서 출력되는 데이터 열의 순서를 시간 축을 기준으로 반전하여 출력한다. 제 2시간 반전부(32)에서 출력되는 신호를 $\hat{s}_r$ 로 표현한다. 제 2시간 반전부(32)에서의 출력 신호 $\{\hat{s}_r[n]\}$ 는 시간 반전된(time-reversed) MMSE DFE의 시간 반전된 하드 디시전(hard decision)이다.

[0040] 등화부(300)는 순방향 DFE부(100)의 출력 시퀀스($\hat{s}_f$)와 제 2시간 반전부(32)의 출력 시퀀스($\hat{s}_r$)중 불일치하는 심볼에 대하여 가장 유사한 솔루션을 얻기 위해 비터비 알고리즘(Viterbi algorithm)을 적용하여 하나의 심볼값을 결정하여 출력한다. 그에 따라, 등화부(300)의 복잡도는 M^L 에서 2^L 로 줄어든다. 등화부(300)에서 출력되는 신호를 $\hat{s}$ 로 표현한다.

[0041] 등화부(300)의 출력신호는 하기의 수학적 식 1과 같이 표현가능하다.

수학적 식 1

$$\hat{s}[n] = \arg \min_{n|\hat{s}} \left(\sum_{m=n-L}^{n+L} \left| r[m] - \sum_{k \in T} \bar{s}[m-k]c_k - \sum_{k \notin T} \hat{s}_f[m-k]c_k \right|^2 + \sum_{m=n-L}^{n+L} \left| r[m] - \sum_{k \in T} \bar{s}[m-k]c_k - \sum_{k \notin T} \hat{s}_r[m-k]c_k \right|^2 \right)$$

[0042]

[0043] 여기서, T는 주어진 K를 위해 가장 큰 에너지를 가지는 채널 탭을 가리키는 인덱스 세트(index set)이다. 그리고, $\arg \min(n|\hat{s})$ 은 관심영역에서 $\bar{s}[k]$ 의 모든 가능한 조합에 대해 $\{\hat{s}_f[n], \hat{s}_r[n]\}$ 사이의 선택을 의미한다.

[0044] 복잡도가 지수적으로 증가하기 때문에 채널 길이(L)가 긴 경우 여전히 복잡도가 높을 수 있으므로, 등화부(300)는 채널 계수가 큰(즉, 에너지가 큰) 탭을 임의의 개수(K)만큼 선택하여 비터비 알고리즘을 수행하여 복잡도를 낮춘다.

[0045] 한편, 선택되지 않은 채널 탭에 대해서는 등화부(300)는 BAD 알고리즘을 적용하여 복잡도를 더욱 줄일 수 있다. BAD 알고리즘을 적용하는 경우 본 발명의 MLSD 등화기의 복잡도는 2^K ($K < L$)로 줄어든다.

[0046] 순방향 DFE부(100)와 역방향 DFE부(200)의 출력 시퀀스는 항상 일치하지는 않다. 등화부(300)는 순방향 DFE부(100)의 출력 시퀀스($\hat{s}_f$)와 제 2시간 반전부(32)의 출력 시퀀스($\hat{s}_r$)를 입력으로 사용하여, 두 가지 시퀀스

중 불일치하는 심볼에 대하여 가장 유사한 솔루션을 얻기 위한 작업(비터비 알고리즘 또는 BAD 알고리즘의 적용)을 실시한다.

[0047] 이와 같이 구성된 본 발명의 MLSD 등화기는, 입력을 기존의 전송 가능한 모든 시퀀스에서 양방향 DFE(즉, 100, 200)의 출력으로 제한하여 비터비 알고리즘을 수행함으로써 복잡도를 낮추게 된다.

[0048] 이어, 본 발명의 실시예에 따른 MLSD 등화기의 시뮬레이션 결과를 첨부된 도면을 참조하여 설명한다.

[0049] 먼저, 도 2 및 도 3을 참조하여 설명한다.

[0050] 도 2에서와 같이 비대칭 채널(C_2)을

$$C_2(z) = 0.1831 + 0.9156z^{-1} + 0.28956z^{-2} - 0.1831z^{-3} + 0.0916z^{-4} - 0.0458z^{-5} + 0.0183z^{-6}$$

[0052] 로 가정하였다.

[0053] 그리고, 노멀 모드의 DFE(즉, 순방향 DFE)와 시간 반전 모드의 DFE(즉, 역방향 DFE)는 8 피드포워드 탭(feedforward taps) 및 8 피드백 탭(feedback taps)을 갖는 것으로 가정하였다.

[0054] 이러한 가정에 시뮬레이션을 하여 도 3과 같은 결과를 얻었다. 도 3은 비대칭 채널에서 본 발명의 MLSD 등화기의 퍼포먼스(performance)를 보여준다.

[0055] 이와 같은 본 발명의 실시예에 따른 MLSD 등화기의 복잡도를 기존 방식의 등화기와 비교하여 보면 다음의 표 1과 같다.

표 1

등화기 스킴 (Equalization scheme)	복잡도 (Complexity)	시뮬레이션 환경 (Simulation environment)
DFE	$O(N_{ff} + N_{fb})$	16
MLSD	$O(M^L)$	2,097,152(= 8^7)
BAD	$O(N_{ff} + N_{fb} + W)$	37(=16+21)
BD MLSD(본 발명)	$O(N_{ff} + N_{fb} + 2^L) \rightarrow O(N_{ff} + N_{fb} + 2^K)$	Max. 144(=16+2 ⁷) If K=5, 48(=16+2 ⁵)

[0057] 표 1을 보게 되면, 양방향 DFE의 두 개의 출력 시퀀스를 입력으로 사용하는 본 발명의 MLSD 등화기의 복잡도가 기존의 MLSD 등화기의 복잡도에 비해 매우 낮음을 알 수 있다.

[0058] 다음으로는, 도 4 및 도 5를 참조하여 설명한다.

[0059] 우선, 대칭 채널(C_1)은

$$C_1(z) = -0.392 + 0.0152z^{-1} + 0.832z^{-2} + 0.0152z^{-3} - 0.392z^{-4}$$

[0061] 로 하고,

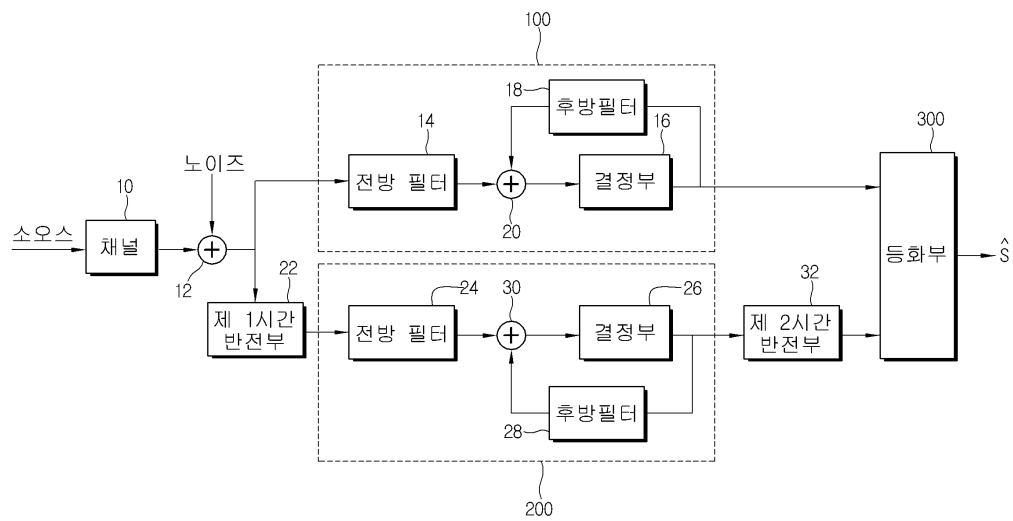
- [0062] 비대칭 채널(C_2)은
- [0063] $C_2(z) = 0.1831 + 0.9156z^{-1} + 0.28956z^{-2} - 0.1831z^{-3} + 0.0916z^{-4} - 0.0458z^{-5} + 0.0183z^{-6}$
- [0064] 로 가정하였다.
- [0065] 그리고, 노멀 모드의 DFE(즉, 순방향 DFE)와 시간 반전 모드의 DFE(즉, 역방향 DFE)는 8 피드포워드 탭(feedforward taps) 및 8 피드백 탭(feedback taps)을 갖는 것으로 가정하였다. 감소된 비터비(viterbi)를 위해 $K = 3$ 으로 한다.
- [0066] 도 4는 대칭 채널(C_1)상에서 8-PAM에 대해 본 발명의 MLSD 등화기(즉, BD MLSD), BAD, 통상의 DFE들(노멀 모드의 DFE(즉, 순방향 DFE)와 시간 반전 모드의 DFE(즉, 역방향 DFE))의 퍼포먼스를 비교하였다. 심볼에러율(symbol error rate; SER) 측면에서 현저한 퍼포먼스의 개선을 관측하였다.
- [0067] 도 5는 비대칭 채널(C_2)에서 본 발명의 MLSD 등화기의 퍼포먼스를 보여준다. 고 순서 배열(high order constellation)을 위해 본 발명의 MLSD 등화기의 퍼포먼스(performance) 증가는 비대칭 채널에서 더욱 뚜렷하다.
- [0068] 본 발명은 노멀 모드의 DFE(즉, 순방향 DFE)와 시간 반전 모드의 DFE(즉, 역방향 DFE) 사이의 미스매칭된 하드 디시전(hard decision)을 위해 MLSD를 사용하였다. 상술한 시뮬레이션 결과는 본 발명의 실시예에서와 같은 MLSD 등화기가 양방향 DFE를 근간으로 하는 종래의 등화기 스킴에 비해 특히, 고 순서 배열(high order constellation)에서 성능이 우수함을 나타낸다.
- [0069] 한편, 본 발명은 상술한 실시예로만 한정되는 것이 아니라 본 발명의 요지를 벗어나지 않는 범위내에서 수정 및 변형하여 실시할 수 있고, 그러한 수정 및 변형이 가해진 기술사상 역시 이하의 특허청구범위에 속하는 것으로 보아야 한다.

부호의 설명

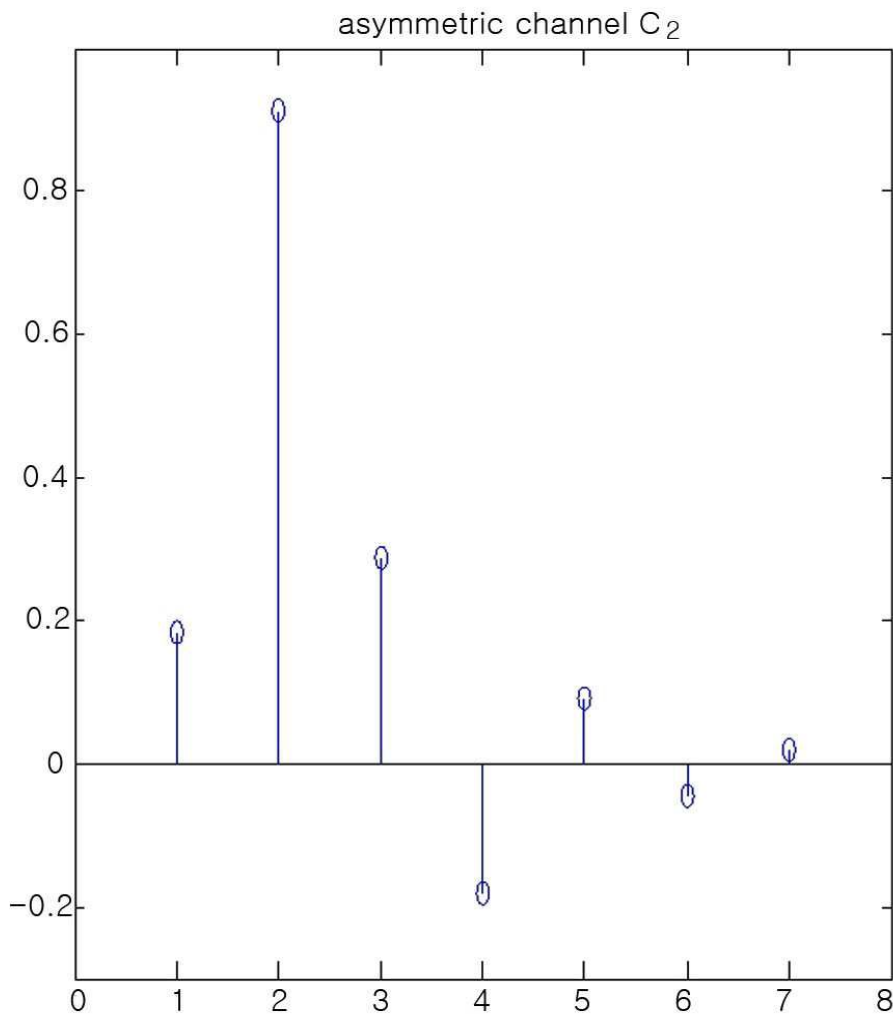
- [0070]
- | | |
|----------------|------------------|
| 10 : 채널 | 12, 20, 30 : 가산기 |
| 14, 24 : 전방 필터 | 16, 26 : 결정부 |
| 18, 28 : 후방 필터 | 22 : 제 1시간 반전부 |
| 32 : 제 2시간 반전부 | 100 : 순방향 DFE부 |
| 200 : 역방향 DFE부 | 300 : 등화부 |

도면

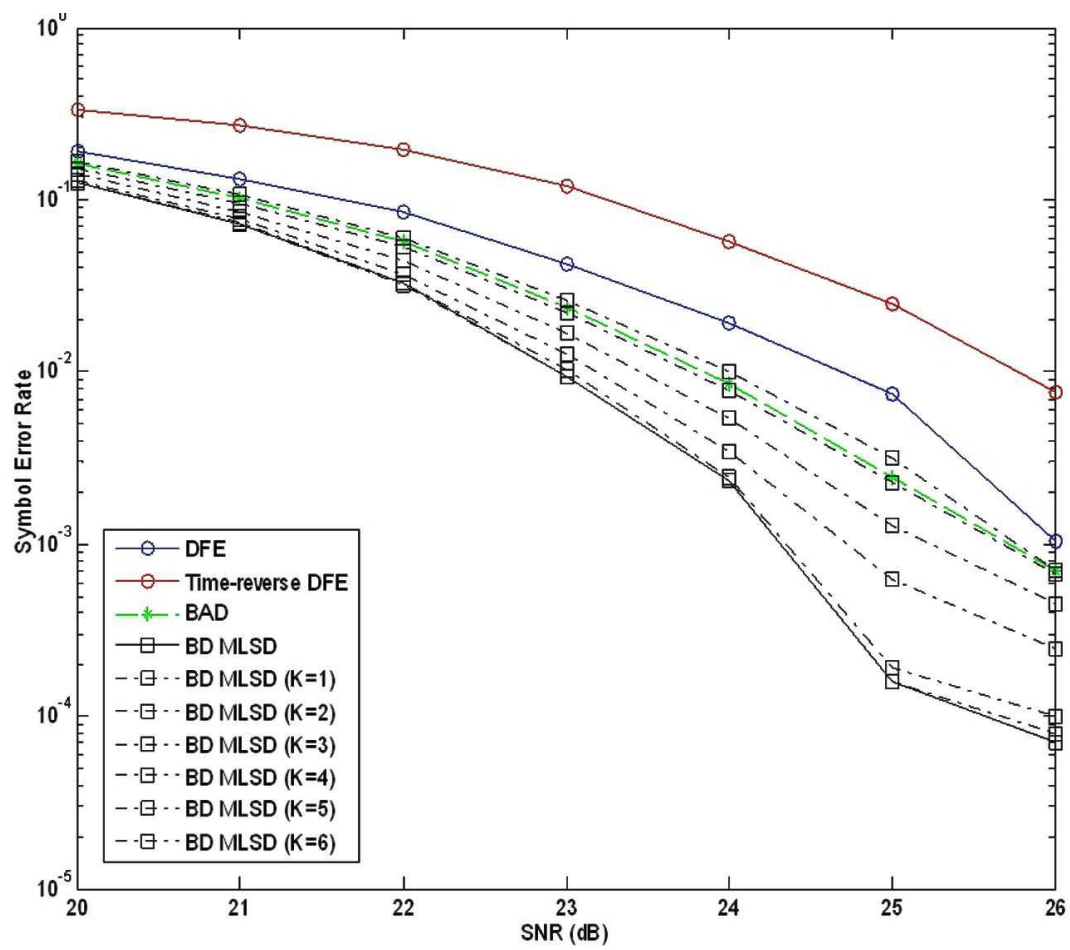
도면1



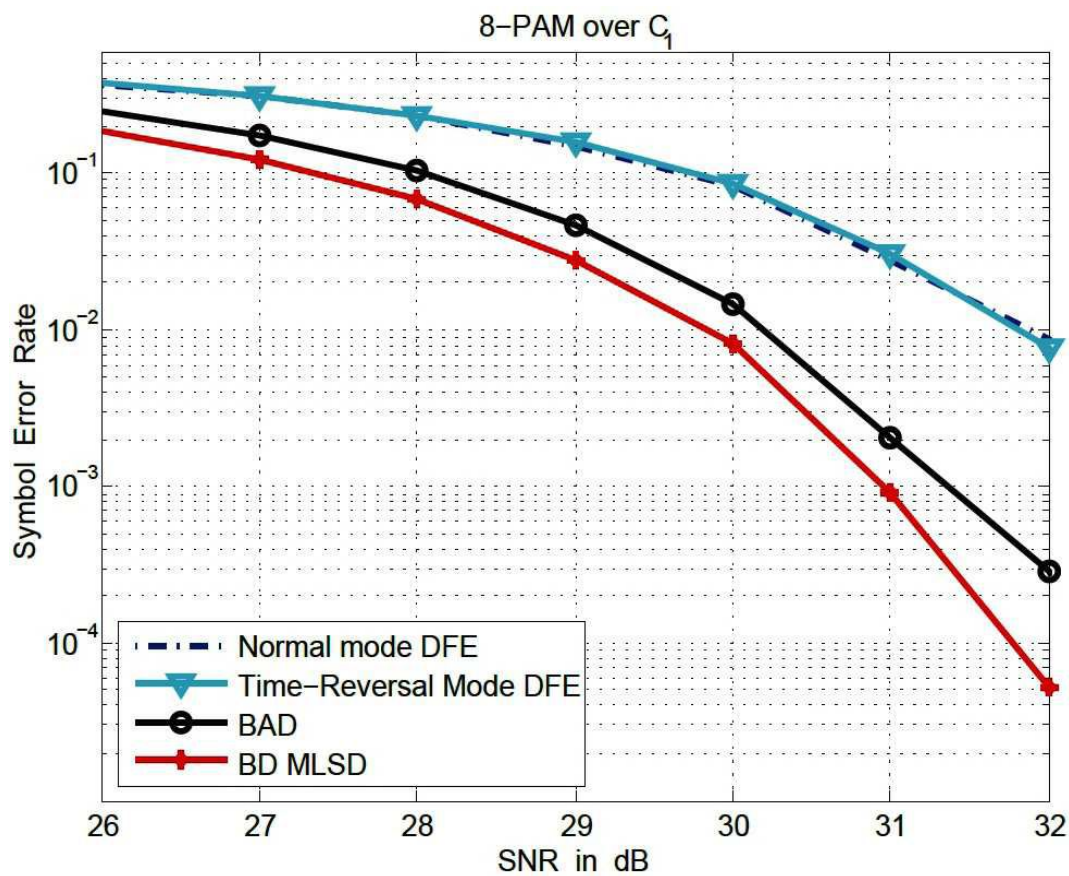
도면2



도면3



도면4



도면5

