

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2017-3976
(P2017-3976A)

(43) 公開日 平成29年1月5日(2017. 1. 5)

(51) Int.Cl.	F I	テーマコード (参考)
G O 2 F 1/1368 (2006.01)	G O 2 F 1/1368	2 H O 9 2
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	2 H 1 8 9
G O 2 F 1/1343 (2006.01)	G O 2 F 1/1343	2 H 1 9 2
G O 2 F 1/1333 (2006.01)	G O 2 F 1/1333	5 F 1 1 0
G O 6 F 3/041 (2006.01)	G O 6 F 3/041 4 0 0	
審査請求 未請求 請求項の数 8 O L (全 103 頁) 最終頁に続く		

(21) 出願番号 特願2016-101794 (P2016-101794)	(71) 出願人 000153878
(22) 出願日 平成28年5月20日 (2016. 5. 20)	株式会社半導体エネルギー研究所
(31) 優先権主張番号 特願2015-120272 (P2015-120272)	神奈川県厚木市長谷398番地
(32) 優先日 平成27年6月15日 (2015. 6. 15)	(72) 発明者 木村 肇
(33) 優先権主張国 日本国 (JP)	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	(72) 発明者 久保田 大介
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	(72) 発明者 山崎 舜平
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	Fターム(参考) 2H092 GA14 GA62 JA25 JA26 JA28
	JA46 JB05 KA04 KA08 NA25
	QA06
	最終頁に続く

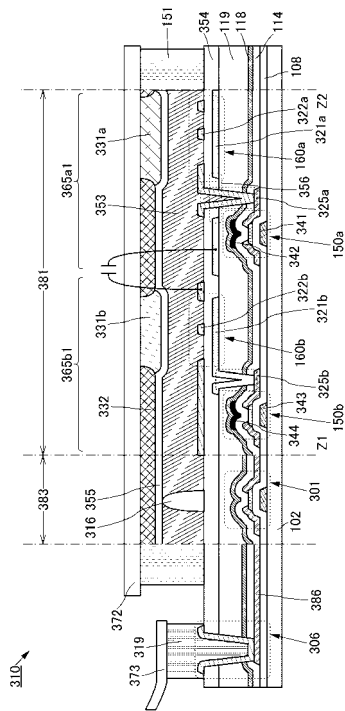
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 厚さの薄い表示装置を提供する。

【解決手段】 第1の画素と、第2の画素と、第1の基板と、第2の基板と、を備える表示装置であって、第1の画素および第2の画素は第1の基板上に設けられ、第1の画素は、第1の画素電極と、第1の導電膜と、第1のトランジスタとを有し、第1の画素電極は第1のトランジスタと電氣的に接続され、第1の導電膜は共通電極として機能する領域を有し、第2の画素は、第2の画素電極と、第2の導電膜と、第2のトランジスタとを有し、第2の画素電極は第2のトランジスタと電氣的に接続され、第2の導電膜は共通電極として機能する領域を有し、第1の導電膜及び第2の画素電極は同一面上に設けられ、第1の絶縁膜は、第1の導電膜及び第2の画素電極上に設けられ、第1の画素電極及び第2の導電膜は、第1の絶縁膜上に設けられる表示装置とする。

【選択図】 図42



【特許請求の範囲】

【請求項 1】

第 1 の画素と、第 2 の画素と、第 1 の基板と、第 2 の基板と、を備える表示装置であって、

前記第 1 の画素および前記第 2 の画素は、前記第 1 の基板上に設けられ、

前記第 1 の画素は、

第 1 の画素電極と、

第 1 の導電膜と、

第 1 のトランジスタと、を有し、

前記第 1 の画素電極は前記第 1 のトランジスタと電氣的に接続され、

10

前記第 1 の導電膜はコモン電極として機能する領域を有し、

前記第 2 の画素は、

第 2 の画素電極と、

第 2 の導電膜と、

第 2 のトランジスタと、を有し、

前記第 2 の画素電極は前記第 2 のトランジスタと電氣的に接続され、

前記第 2 の導電膜はコモン電極として機能する領域を有し、

前記第 1 の導電膜及び前記第 2 の画素電極は同一面上に設けられ、

第 1 の絶縁膜は、前記第 1 の導電膜及び前記第 2 の画素電極上に設けられ、

前記第 1 の画素電極及び前記第 2 の導電膜は、前記第 1 の絶縁膜上に設けられ、

20

前記第 2 の基板上に、第 3 の導電膜および第 4 の導電膜が設けられる、

表示装置。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、チャンネルが形成される半導体層に多結晶シリコンを含む、

表示装置。

【請求項 3】

請求項 1 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、チャンネルが形成される半導体層に酸化物半導体を含む、

30

表示装置。

【請求項 4】

請求項 1 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、

ゲート電極と、

前記ゲート電極上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上の前記ゲート電極と重畳する位置に設けられた第 1 の酸化物半導体膜と、

前記第 1 の酸化物半導体膜に電氣的に接続されたソース電極及びドレイン電極と、

40

前記第 1 の酸化物半導体膜、前記ソース電極、及び前記ドレイン電極上に設けられた第 2 の絶縁膜と、

前記第 2 の絶縁膜上に、前記第 1 の酸化物半導体膜と重畳する位置に設けられた第 2 の酸化物半導体膜と、

を有し、

前記第 1 の絶縁膜は、前記第 2 の酸化物半導体膜が前記第 1 の絶縁膜と前記第 2 の絶縁膜とによって挟持されるように、前記第 2 の酸化物半導体膜上に設けられ、

前記第 1 の導電膜及び前記第 2 の画素電極は、前記第 2 の酸化物半導体膜を含む、

表示装置。

【請求項 5】

50

請求項 4 において、

前記第 1 の酸化物半導体膜及び前記第 2 の酸化物半導体膜は、I n と、Z n と、酸素と、を有し、

前記第 1 の酸化物半導体膜及び前記第 2 の酸化物半導体膜は、A l 、T i 、G a 、Y 、Z r 、L a 、C e 、N d 、S n 、またはH f を有する、
表示装置。

【請求項 6】

請求項 4 または請求項 5 において、
前記第 2 の絶縁膜は、酸素を含み、
前記第 1 の絶縁膜は、水素を含む、
表示装置。

10

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、
前記第 1 の導電膜は、タッチセンサの第 1 の電極としての機能を有し、
前記第 2 の導電膜は、タッチセンサの第 2 の電極としての機能を有し、
前記第 1 の導電膜および前記第 2 の導電膜は、互いに交差する領域を有する、
表示装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一に記載の表示装置と、
スイッチ、スピーカ、または筐体と、
を有する電子機器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、表示装置に関する。または、本発明の一態様は、タッチパネルに関する。または、本発明の一態様は、半導体装置に関する。または、本発明の一態様は、入出力装置に関する。または、本発明の一態様は、入力装置に関する。または、本発明の一態様は、タッチセンサ内蔵型表示装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、又は、製造方法に関する。本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関する。そのため、より具体的に本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又は、それらの製造方法、を一例として挙げることができる。

30

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、入力装置、入出力装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

40

【背景技術】

【0004】

近年、位置入力手段としてタッチセンサを搭載した表示装置（または表示モジュール）が実用化されている。タッチセンサを搭載した表示装置（または表示モジュール）は、タッチパネル、またはタッチスクリーンなどと呼ばれている場合がある（以下、これを単に「タッチパネル」とも呼ぶ場合がある）。なお、表示装置を有しておらず、タッチセンサのみで構成されている部材に対して、そのような部材のことをタッチパネルと呼ぶ場合もある。または、タッチセンサを搭載した表示装置は、タッチセンサ付表示装置、タッチセンサ内蔵型表示装置、表示装置付タッチパネル、または、表示モジュール、などとも呼ば

50

れる場合がある。または、タッチセンサを搭載した表示装置は、単に、表示装置と呼ばれる場合もある。また、表示装置の内部にタッチセンサが組み込まれている場合には、インセル型タッチセンサ、インセル型タッチパネル（またはインセル型タッチセンサ付表示装置）、オンセル型タッチセンサ、または、オンセル型タッチパネル（またはオンセル型タッチセンサ付表示装置）などとも呼ばれる場合がある。または、表示装置の内部にタッチセンサが組み込まれている表示装置は、単に、表示装置と呼ばれる場合もある。インセル型タッチセンサは、例えば、液晶素子で用いられる電極をタッチセンサ用の電極としても用いているものである。一方、オンセル型タッチセンサは、例えば、対向基板の上側（表示素子が設けられていない面側）に、タッチセンサ用の電極が形成されているものである。例えば、これらのタッチパネルなどを備える携帯情報端末としては、スマートフォン、タブレット端末などがある。 10

【0005】

表示装置の一つとして、液晶素子を備える液晶表示装置がある。例えば、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてトランジスタを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0006】

例えば、画素電極の各々に接続するスイッチング素子として、金属酸化物をチャネル形成領域とするトランジスタを用いるアクティブマトリクス型液晶表示装置が知られている（特許文献1及び特許文献2）。

【0007】

また特許文献3乃至7には、液晶素子が適用されたタッチパネルが記載されている。 20

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【特許文献3】特開2011-197685号公報

【特許文献4】特開2014-44537号公報

【特許文献5】特開2014-178847号公報

【特許文献6】米国特許第7920129号明細書 30

【特許文献7】米国特許出願公開第2013/0328812号明細書

【発明の概要】

【発明が解決しようとする課題】

【0009】

表示パネル（表示装置、または、表示モジュール）に、ユーザーインターフェースとして画面に指やスタイラス等で触れることで入力する機能を付加したタッチパネルが望まれている。

【0010】

また、タッチパネルが適用された電子機器の薄型化、軽量化が求められている。そのため、タッチパネル自体の薄型化、軽量化が求められている。 40

【0011】

例えば、タッチパネルは、表示パネルの視認側（表示面側）、つまり、人の指やペンが触る側にタッチセンサを設ける構成とすることができる。

【0012】

例えばタッチパネル（または表示モジュール）の構成として、表示パネルの表示面側にタッチセンサを有する基板を貼り付ける構成とすることができる。つまり、タッチパネル（または表示モジュール）の構成として、表示パネルとタッチセンサとが別々の部品として構成されており、表示パネルとタッチセンサと貼り合わせるような構成とすることができる。しかしながら、このような構成の場合、表示パネル用の基板とは別に、タッチセンサ用の基板が必要であるため、タッチパネル（または表示モジュール）の厚さを薄くでき 50

ない、部品点数が多くなる、などの問題があった。

【0013】

本発明の一態様は、厚さの薄いタッチパネル（またはタッチセンサ付表示装置）などを提供することを課題の一とする。または、構成が簡素化したタッチパネル（またはタッチセンサ付表示装置）などを提供することを課題の一とする。または、電子機器に組み込みやすいタッチパネル（またはタッチセンサ付表示装置）などを提供することを課題の一とする。または、部品点数の少ないタッチパネル（またはタッチセンサ付表示装置）などを提供することを課題の一とする。または、軽量のタッチパネル（またはタッチセンサ付表示装置）などを提供することを課題の一とする。

【0014】

または、新規な入力装置を提供することを課題の一とする。または、新規な入出力装置を提供することを課題の一とする。または、新規な表示装置を提供することを課題の一とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0015】

本発明の一態様は、第1の画素と、第2の画素と、第1の基板と、第2の基板と、を備える表示装置であって、第1の画素および第2の画素は第1の基板上に設けられ、第1の画素は、第1の画素電極と、第1の導電膜と、第1のトランジスタとを有し、第1の画素電極は第1のトランジスタと電氣的に接続され、第1の導電膜はコモン電極として機能する領域を有し、第2の画素は、第2の画素電極と、第2の導電膜と、第2のトランジスタとを有し、第2の画素電極は第2のトランジスタと電氣的に接続され、第2の導電膜はコモン電極として機能する領域を有し、第1の導電膜及び第2の画素電極は同一面上に設けられ、第1の絶縁膜は、第1の導電膜及び第2の画素電極上に設けられ、第1の画素電極及び第2の導電膜は、第1の絶縁膜上に設けられる表示装置である。

【0016】

前述の表示装置において、第1のトランジスタおよび第2のトランジスタは、チャンネルが形成される半導体層に多結晶シリコンを含むことが好ましい。

【0017】

また、前述の表示装置において、第1のトランジスタおよび第2のトランジスタは、チャンネルが形成される半導体層に酸化物半導体を含むことが好ましい。

【0018】

第1のトランジスタ及び第2のトランジスタは、ゲート電極と、ゲート電極上に設けられたゲート絶縁膜と、ゲート絶縁膜上のゲート電極と重畳する位置に設けられた第1の酸化物半導体膜と、第1の酸化物半導体膜に電氣的に接続されたソース電極及びドレイン電極と、第1の酸化物半導体膜、ソース電極、及びドレイン電極上に設けられた第2の絶縁膜と、第2の絶縁膜上に、第1の酸化物半導体膜と重畳する位置に設けられた第2の酸化物半導体膜と、を有し、第1の絶縁膜は、第2の酸化物半導体膜が第1の絶縁膜と第2の絶縁膜とによって挟持されるように、第2の酸化物半導体膜上に設けられ、第1の導電膜及び第2の画素電極は、第2の酸化物半導体膜を含む前述の表示装置も、本発明の一態様である。

【0019】

前述の表示装置において、第1の酸化物半導体膜及び第2の酸化物半導体膜は、Inと、Znと、酸素と、を有し、また第1の酸化物半導体膜及び第2の酸化物半導体膜は、Al、Ti、Ga、Y、Zr、La、Ce、Nd、Sn、またはHfを有することが好ましい。

【0020】

前述の表示装置において、第2の絶縁膜は酸素を含み、第1の絶縁膜は水素を含んでい

10

20

30

40

50

てもよい。

【0021】

また、第1の導電膜は、タッチセンサの第1の電極としての機能を有し、第2の導電膜は、タッチセンサの第2の電極としての機能を有する前述の表示装置も、本発明の一態様である。

【0022】

また、前述の表示装置と、スイッチ、スピーカ、または筐体と、を有する電子機器も、本発明の一態様である。

【発明の効果】

【0023】

本発明の一態様によれば、厚さの薄い表示装置（またはタッチセンサ付表示装置）などを提供できる。または、構成が簡素化した表示装置（またはタッチセンサ付表示装置）などを提供できる。または、電子機器に組み込みやすい表示装置（またはタッチセンサ付表示装置）などを提供できる。または、部品点数の少ない表示装置（またはタッチセンサ付表示装置）などを提供できる。または、軽量の表示装置（またはタッチセンサ付表示装置）などを提供できる。

【0024】

または、新規な入力装置を提供できる。または、新規な入出力装置を提供できる。または、新規なタッチパネルを提供できる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0025】

【図1】実施の形態に係る、タッチセンサのブロック図及びタイミングチャート図。

【図2】実施の形態に係る、タッチセンサを備える画素を説明する図。

【図3】実施の形態に係る、タッチセンサ及び画素の動作を説明する図。

【図4】実施の形態に係る、タッチパネルの方式を示す断面概略図。

【図5】実施の形態に係る、タッチパネルの方式を示す断面概略図。

【図6】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図7】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図8】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図9】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図10】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図11】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図12】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図13】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図14】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図15】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図16】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図17】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図18】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図19】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図20】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図21】実施の形態に係る、タッチセンサの電極などの配置を示す上面図。

【図22】実施の形態に係る、表示装置の一例を示す上面図。

【図23】実施の形態に係る、表示装置の一例を示す上面図。

【図24】実施の形態に係る、表示装置の一例を示す上面図。

【図25】実施の形態に係る、表示装置の一例を示す上面図。

10

20

30

40

50

- 【図 2 6】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 2 7】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 2 8】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 2 9】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 3 0】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 3 1】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 3 2】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 3 3】実施の形態に係る、表示装置の画素構造に関する計算結果。
- 【図 3 4】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 3 5】実施の形態に係る、表示装置の一例を示す上面図。 10
- 【図 3 6】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 3 7】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 3 8】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 3 9】実施の形態に係る、画素レイアウトの一例を示す上面図。
- 【図 4 0】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 4 1】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 4 2】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 4 3】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 4 4】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 4 5】実施の形態に係る、表示装置の一例を示す断面図。 20
- 【図 4 6】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 4 7】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 4 8】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 4 9】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 5 0】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 5 1】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 5 2】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 5 3】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 5 4】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 5 5】実施の形態に係る、表示装置の一例を示す断面図。 30
- 【図 5 6】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 5 7】実施の形態に係る、表示装置の一例を示す上面図。
- 【図 5 8】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 5 9】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 6 0】実施の形態に係る、表示装置の一例を示す断面図。
- 【図 6 1】C A A C - O S および単結晶酸化物半導体の X R D による構造解析を説明する図、ならびに C A A C - O S の制限視野電子回折パターンを示す図。
- 【図 6 2】C A A C - O S の断面 T E M 像、ならびに平面 T E M 像およびその画像解析像。
- 【図 6 3】n c - O S の電子回折パターンを示す図、および n c - O S の断面 T E M 像。 40
- 【図 6 4】a - l i k e O S の断面 T E M 像。
- 【図 6 5】I n - G a - Z n 酸化物の電子照射による結晶部の変化を示す図。
- 【図 6 6】C A A C - O S の成膜方法を説明する図。
- 【図 6 7】I n M Z n O ₄ の結晶を説明する図。
- 【図 6 8】C A A C - O S の成膜方法を説明する図。
- 【図 6 9】トランジスタの一形態を説明する断面図。
- 【図 7 0】トランジスタの一形態を説明する断面図。
- 【図 7 1】トランジスタの一形態を説明する断面図。
- 【図 7 2】トランジスタの一形態を説明する平面図および断面図。
- 【図 7 3】トランジスタの一形態を説明する平面図および断面図。 50

【図 7 4】トランジスタの一形態を説明する平面図および断面図。

【図 7 5】トランジスタの一形態を説明する平面図および断面図。

【図 7 6】トランジスタの一形態を説明する平面図および断面図。

【図 7 7】トランジスタの一形態を説明する断面図。

【図 7 8】バンド構造を説明する図。

【図 7 9】実施の形態に係る、タッチパネルモジュールのブロック図。

【図 8 0】実施の形態に係る、タッチパネルモジュールの構成例。

【図 8 1】実施の形態に係る表示モジュールを説明する図。

【図 8 2】実施の形態に係る電子機器を説明する図。

【図 8 3】実施の形態に係る電子機器を説明する図。

【図 8 4】試料の X R D スペクトルの測定結果を説明する図。

【図 8 5】試料の T E M 像、および電子線回折パターンを説明する図。

【図 8 6】試料の E D X マッピングを説明する図。

【発明を実施するための形態】

【0026】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0027】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0028】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0029】

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0030】

なお、「膜」という言葉と、「層」という言葉とは、互いに入れ替えることが可能である場合がある。例えば、「導電層」という用語を、「導電膜」という用語に変更することや、「絶縁層」という用語を、「絶縁膜」という用語に変更することが可能な場合がある。

【0031】

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に低い場合は、「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」とは境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「絶縁体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「絶縁体」は、「半導体」に言い換えることが可能な場合がある。

【0032】

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に高い場合は、「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」とは境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「導電体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「導電体」は、「半導体」に言い換えることが可能な場合がある。

【0033】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わること

10

20

30

40

50

がある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0034】

(実施の形態1)

本実施の形態では、本発明の一態様のタッチセンサまたはタッチパネルの駆動方法、モード、構成例、及び本発明の一態様の半導体装置の構成例について図面を参照して説明する。

【0035】

[センサの検出方法の例]

図1(A)は、相互容量方式のタッチセンサの構成を示すブロック図である。図1(A)では、パルス電圧出力回路601、電流検出回路602を示している。なお図1(A)では、一例として、パルス電圧が与えられる電極621をX1-X6の6本の配線、電流の変化を検出する電極622をY1-Y6の6本の配線として示している。なお、電極の数は、これに限定されない。また図1(A)は、電極621および電極622が重畳すること、または、電極621および電極622が近接して配置されることで形成される容量603を図示している。なお、電極621と電極622とはその機能を互いに置き換えてもよい。または、パルス電圧出力回路601と電流検出回路602とは、互いに置き換えてもよい。

【0036】

パルス電圧出力回路601は、一例としては、X1-X6の配線に順にパルス電圧を印加するための回路である。X1-X6の配線にパルス電圧が印加されることで、容量603を形成する電極621および電極622の間の電界に、変化が生じる。そしてパルス電圧によって容量603に電流が流れる。このとき、指やペンなどが近傍に存在するかどうかに応じて、この電極間に生じる電界が、指やペンなどのタッチによる遮蔽等により変化する。つまり、指やペンなどのタッチなどにより、容量603の容量値が変化する。その結果、パルス電圧によって容量603に流れる電流の大きさが変化する。このように、指やペンなどのタッチなどにより、容量値に変化を生じさせることを利用して、被検知体の近接、または接触を検出することができる。

【0037】

電流検出回路602は、容量603での容量値の変化による、Y1-Y6の配線での電流の変化を検出するための回路である。Y1-Y6の配線では、被検知体の近接、または接触がないと検出される電流値に変化はないが、検出する被検知体の近接、または接触により容量値が減少する場合には電流値が減少する変化を検出する。なお電流の検出は、電流量の総和を検出してもよい。その場合には、積分回路等を用いて検出を行えばよい。または、電流のピーク値を検出してもよい。その場合には、電流を電圧に変換して、電圧値のピーク値を検出してもよい。

【0038】

次いで図1(B)には、図1(A)で示す相互容量方式のタッチセンサにおける入出力波形のタイミングチャートを示す。図1(B)では、1フレーム期間で各行列での被検知体の検出を行うものとする。また図1(B)では、被検知体を検出しない場合(非タッチ)と被検知体を検出する場合(タッチ)との2つの場合について示している。なおY1-Y6の配線については、検出される電流値に対応する電圧値とした波形を示している。なお、表示パネルにおいても、表示動作が行われている。この表示パネルの表示動作のタイミングと、タッチセンサの検出動作のタイミングとは、同期させて動作することが望ましい。なお、図1(B)では、表示動作とは同期させていない場合の例を示す。

【0039】

X1-X6の配線には、順にパルス電圧が与えられ、該パルス電圧にしたがってY1-Y6の配線での波形が変化する。被検知体の近接または接触がない場合には、X1-X6の配線の電圧の変化に応じてY1-Y6の波形が一様に変化する。一方、被検知体が近接または接触する箇所では、電流値が減少するため、これに対応する電圧値の波形も変化する

る。

【0040】

このように、容量値の変化を検出することにより、被検知体の近接または接触を検出することができる。なお、指やペンなどの被検知体は、タッチセンサやタッチパネルに接触せず、近接した場合でも、信号が検出される場合がある。

【0041】

なお、図1（B）において、X1－X6の配線には、順にパルス電圧が与えられた場合の例を示したが、本発明の一態様は、これに限定されない。例えば、複数の配線に同時にパルス電圧を与えてもよい。例えば、まず、X1乃至X3の配線にパルス電圧を与える。次に、X2乃至X4の配線にパルス電圧を与える。その次に、X3乃至X5の配線にパルス電圧を与える。このように、複数の配線に同時にパルス電圧を与えてもよい。そして、読み取った信号を演算処理することにより、センサの感度を高めることができる。

【0042】

またパルス電圧出力回路601及び電流検出回路602は、一例としては、1つのICの中に形成されていることが好ましい。該ICは、例えばタッチパネルに実装されることが好ましい。若しくは電子機器の筐体内の基板に実装されることが好ましい。また可撓性を有するタッチパネルとする場合には、曲げた部分では寄生容量が増大し、ノイズの影響が大きくなってしまう恐れがあるため、ノイズの影響を受けにくい駆動方法が適用されたICを用いることが好ましい。例えばシグナル－ノイズ比（S/N比）を高める駆動方法が適用されたICを用いることが好ましい。

【0043】

なお、インセル型タッチセンサの場合には、表示部を駆動するための回路が設けられている。例えば、その回路は、ゲート線駆動回路、ソース線駆動回路などである。これらの回路も、ICの中に形成されている場合がある。よって、パルス電圧出力回路601または電流検出回路602の少なくとも一つと、ゲート線駆動回路またはソース線駆動回路の少なくとも一つとが、1つのICの中に形成されていてもよい。例えば、ソース線駆動回路は、駆動周波数が高いため、ICの中に形成される場合が多い。また、電流検出回路602は、オペアンプなどが必要となる場合があるため、ICの中に形成される場合が多い。したがって、ソース線駆動回路と電流検出回路602とが、1つのICの中に形成されていてもよい。この場合には、ゲート線駆動回路およびパルス電圧出力回路601は、画素が形成されている基板上に形成されていてもよい。または、ソース線駆動回路と電流検出回路602とパルス電圧出力回路601とが、1つのICの中に形成されていてもよい。

【0044】

また、図1（A）ではタッチセンサとして配線の交差部に容量603のみを設けるパッシブマトリクス型のタッチセンサの構成を示したが、トランジスタと容量とを備えたアクティブマトリクス型のタッチセンサとしてもよい。

【0045】

なお、図1においては、相互容量方式の場合の駆動方法について述べたが、本発明の一態様は、これに限定されない。例えば、自己容量方式を用いてもよい。その場合には、パルス電圧出力回路601は、電流を検出する機能も有することとなる。同様に、電流検出回路602も、パルス電圧を出力する機能を有することとなる。または、状況に応じて、相互容量方式と自己容量方式とを切り替えて動作させてもよい。

【0046】

〔インセル型のタッチパネルの構成例〕

ここでは、表示素子やトランジスタ等が設けられる基板（以下、素子基板とも記す）上に、タッチセンサを構成する一対の電極のうちの少なくとも一つを配置する例について説明する。

【0047】

以下では、複数の画素を有する表示部にタッチセンサを組み込んだタッチパネル（いわ

ゆるインセル型)の構成例について説明する。ここでは、画素に設けられる表示素子として、液晶素子を適用した例を示す。ただし、本発明の一態様は、これに限定されず、様々な表示素子を適用することができる。

【0048】

図2は、本構成例で例示するタッチパネルの表示部に設けられる画素回路の一部における等価回路図である。

【0049】

一つの画素は少なくともトランジスタ63と液晶素子64を有する。なお、画素はこれに加えて保持容量を有する場合もある。またトランジスタ63のゲートに配線61が、ソースまたはドレインの一方には配線62が、それぞれ電氣的に接続されている。

10

【0050】

Y方向に隣接する複数の画素が有する液晶素子64のコモン電極が電氣的に接続され、一つのブロックを形成する。図2に示す電極71_1、71_2はY方向に延在して設けられ、液晶素子64が構成される領域(画素電極およびコモン電極が発生させる電界が液晶の配向を制御する領域)においてコモン電極として機能する。電極71_1、71_2によってコモン電極を共有する複数の画素を含むブロックをそれぞれブロック65_1、65_2とする。

【0051】

また、ブロック65_1、65_2をまたいでX方向に隣接する複数の画素が有する液晶素子64のコモン電極が電氣的に接続され、一つのブロックを形成する。図2に示す電極72_1乃至72_4はX方向に延在して設けられ、液晶素子64が構成される領域においてコモン電極として機能する。電極72_1乃至72_4によってコモン電極を共有する複数の画素を含むブロックをそれぞれブロック67_1乃至ブロック67_4とする。図2では画素回路の一部のみを示しているが、実際にはこれらのブロックがX方向及びY方向に繰り返し配置される。

20

【0052】

このような構成とすることで、タッチセンサを構成する一对の電極と、画素回路が有する液晶素子のコモン電極とを兼ねることができる。すなわち図2では、電極71_1、71_2は、液晶素子64のコモン電極と、タッチセンサの一方の電極とを兼ねている。また電極72_1乃至72_4は、液晶素子64のコモン電極と、タッチセンサの他方の電極とを兼ねている。よって、タッチパネルの構成を簡略化できる。

30

【0053】

なお、一つの画素が有する液晶素子64のコモン電極は、タッチセンサを構成する一方の電極または他方の電極のいずれか一方を兼ねることができる。換言すると、表示部が有する画素は、コモン電極がタッチセンサの一方の電極と兼ねる画素(第1の画素ともいう)と、コモン電極がタッチセンサの他方の電極と兼ねる画素(第2の画素ともいう)とを含む。よって、本構成例で示すタッチパネルの表示部において、第1の画素および第2の画素の配置に応じて、タッチセンサを構成する一方の電極および他方の電極の上面形状を任意の形状とすることができる。

【0054】

図3(A)は、X方向に延在する複数の電極72と、Y方向に延在する複数の電極71の接続構成を示した等価回路図である。なお、一例として、タッチセンサが、投影型であり、相互容量方式である場合を示している。Y方向に延在する電極71の各々には、入力電圧(または、選択電圧)または共通電位(または、接地電位、もしくは、基準となる電位)を入力することができる。また、X方向に延在する電極72の各々には接地電位(または、基準となる電位)を入力する、または電極72と検出回路と電氣的に接続することができる。なお、電極71と電極72とは入れ替えることが可能である。つまり、電極71と検出回路とを接続してもよい。

40

【0055】

以下、図3(B)、(C)を用いて、上述したタッチパネルの動作について説明する。

50

【0056】

ここでは一例として、1フレーム期間を、書き込み期間と検出期間とに分ける。書き込み期間は画素への画像データの書き込みを行う期間であり、電極72（ゲート線、または走査線ともいう）が順次選択される。一方、検出期間は、タッチセンサによるセンシングを行う期間であり、Y方向に延在する電極71が順次選択され、入力電圧が入力される。

【0057】

図3（B）は、書き込み期間における等価回路図である。書き込み期間では、X方向に延在する電極72と、Y方向に延在する電極71の両方に、共通電位が入力される。

【0058】

図3（C）は、検出期間のある時点における等価回路図である。検出期間では、X方向に延在する電極72のうち、選択されたものは検出回路と導通し、それ以外のものには共通電位が入力される。また、Y方向に延在する電極71の各々には入力電圧が入力される。

10

【0059】

このように、画像の書き込み期間とタッチセンサによるセンシングを行う期間とを、独立して設けることが好ましい。例えば、表示の帰線期間にセンシングを行うことが好ましい。これにより、画素の書き込み時のノイズに起因するタッチセンサの感度の低下を抑制することができる。

【0060】

なお、ここでは、1フレーム期間を、書き込み期間と検出期間とに分ける場合の例を示したが、本発明の一態様は、これに限定されない。例えば、1水平期間（1ゲート選択期間とも言う）を、書き込み期間と検出期間とに分けて動作させてもよい。

20

【0061】

なお、電極71には、順にパルス電圧が与えられた場合の例を示したが、本発明の一態様は、これに限定されない。例えば、複数の電極71に同時にパルス電圧を与えてもよい。例えば、まず、1個目乃至3個目の電極71にパルス電圧を与える。次に、2個目乃至4個目の電極71にパルス電圧を与える。その次に、3個目乃至5個目の電極71にパルス電圧を与える。このように、複数の電極71に同時にパルス電圧を与えてもよい。そして、読み取った信号を演算処理することにより、センサの感度を高めることができる。

【0062】

なお、図3においては、相互容量方式の場合の駆動方法について述べたが、本発明の一態様は、これに限定されない。例えば、自己容量方式を用いてもよい。その場合には、パルス電圧を出力する回路は、電流を検出する機能も有することとなる。同様に、検出回路も、パルス電圧を出力する機能を有することとなる。または、状況に応じて、相互容量方式と自己容量方式とを切り替えて動作させてもよい。

30

【0063】

〔タッチパネルの方式について〕

以下では、本発明の一態様のタッチパネルに適用可能ないくつかの方式について説明する。

【0064】

なお、本明細書等において、タッチパネルは表示面に画像等を表示（出力）する機能と、表示面に指やスタイラスなどの被検知体が触れる、または近接することを検出するタッチセンサとしての機能と、を有する。したがってタッチパネルは入出力装置の一態様である。よって、タッチパネルは、タッチセンサ内蔵型表示装置である、とも言える。

40

【0065】

また、本明細書等では、タッチパネルの基板に、例えばFPC（Flexible Printed Circuit）もしくはTCP（Tape Carrier Package）などのコネクタが取り付けられたもの、または基板にCOG（Chip On Glass）方式によりIC（集積回路）が実装されたものを、タッチパネルモジュール、表示モジュール、または単にタッチパネルと呼ぶ場合がある。

50

【0066】

本発明の一態様に適用できる静電容量方式のタッチセンサは、一对の導電膜を備える。一对の導電膜間には容量が形成されている。一对の導電膜に被検知体が触れる、または近接することにより一对の導電膜間の容量の大きさが変化することを利用して、検出を行うことができる。

【0067】

静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。投影型静電容量方式としては、主に駆動方式の違いから、自己容量方式、相互容量方式などがある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。ただし、本発明の一態様は、これに限定されない。

10

【0068】

また、本発明の一態様のタッチパネルが有する表示素子としては、液晶素子（縦電界方式、または、横電界方式）、MEMS（Micro Electro Mechanical Systems）を利用した光学素子、有機EL（Electro Luminescence）素子や発光ダイオード（LED：Light Emitting Diode）等の発光素子、電気泳動素子など、様々な表示素子を用いることができる。

【0069】

ここで、表示装置には表示素子として横電界方式が適用された液晶素子を用いることが好ましい。なお、画素電極、および、コモン電極において、透明導電膜を用いる場合には、透過型の表示装置として使用することができる。一方、画素電極、または、コモン電極において、反射電極を用いる場合には、反射型の表示装置として使用することができる。なお、画素電極およびコモン電極の両方を反射電極としてもよい。または、画素電極およびコモン電極とは別に、反射電極を設けることによって、反射型の表示装置としてもよい。なお、反射型の表示装置において、バックライトの光が透過できる領域を設けることによって、半透過型の表示装置としてもよい。例えば、画素電極またはコモン電極の一部を透過電極とし、別の一部を反射電極としてもよい。なお、画素電極、または、コモン電極において、反射電極を用いる場合であっても、液晶の動作モードによっては、透過型の表示装置として使用する場合もある。

20

【0070】

本発明の一態様の表示装置は、一对の基板の一方にタッチセンサを構成する一对の電極（導電膜または配線ともいう）の少なくとも一つを有することにより、表示パネルとタッチセンサとが一体となった構成を有する。そのため、表示装置の厚さが低減され、軽量な表示装置を実現できる。

30

【0071】

図4（A）乃至図4（C）は、本発明の一態様の表示装置10のモードを説明する断面概略図である。

【0072】

表示装置10は、基板11、基板12、FPC13、導電膜14、画素40a、画素40b、液晶素子20a、20b、着色膜31等を有する。

【0073】

画素40aは液晶素子20aを備え、画素40bは液晶素子20bを備える。液晶素子20aは、コモン電極21a、画素電極22a及び液晶23により構成される。また、液晶素子20bは、画素電極21b、コモン電極22b及び液晶23により構成される。図4（A）では液晶素子20a、20bとしてFFS（Fringe Field Switching）モードが適用された液晶素子を用いた場合の例を示している。

40

【0074】

コモン電極21aおよび画素電極21bは同一面上に設けられている。または、コモン電極21aおよび画素電極21bは、同時に形成されている。または、コモン電極21aおよび画素電極21bは、同じ膜をエッチングすることによって、形成されている。または、コモン電極21aおよび画素電極21bは、同一の導電膜により形成されている。ま

50

たは、コモン電極 2 1 a および画素電極 2 1 b は、同じ材質を有している。コモン電極 2 1 a および画素電極 2 1 b 上には絶縁膜 2 4 が設けられている。画素電極 2 2 a およびコモン電極 2 2 b は同一面上、具体的には絶縁膜 2 4 上に設けられている。または、画素電極 2 2 a およびコモン電極 2 2 b は、同時に形成されている。または、画素電極 2 2 a およびコモン電極 2 2 b は、同じ膜をエッチングすることによって、形成されている。または、画素電極 2 2 a およびコモン電極 2 2 b は、同一の導電膜により形成されている。または、画素電極 2 2 a およびコモン電極 2 2 b は、同じ材質を有している。画素電極 2 2 a およびコモン電極 2 2 b は一例として楕歯状の上面形状、またはスリット状の開口が 1 つ以上設けられた上面形状（平面形状ともいう）を有する。

【0075】

タッチセンサは、画素 4 0 a が有するコモン電極 2 1 a と、画素 4 0 b が有するコモン電極 2 2 b との間に形成される容量を利用して被検知体を検出することができる。このような構成とすることで、液晶素子が有するコモン電極（2 1 a、2 2 b）を、タッチセンサとして機能する一対の電極と兼ねることができる。よって、工程を簡略化することができるため歩留りが向上でき、また製造コストを低減することができる。なお、コモン電極 2 1 a、コモン電極 2 2 b は、導電膜 1 4 を介して基板 1 1 側に取り付けられた F P C 1 3 と電氣的に接続される。または、コモン電極 2 1 a、もしくは、コモン電極 2 2 b の少なくとも一つは、パルス電圧を出力することが出来る機能を有する回路と接続されている。また、画素電極 2 2 a、2 1 b は、それぞれトランジスタ（図示しない）と電氣的に接続される。そして、該トランジスタは、駆動回路（ゲート線駆動回路、または、ソース線駆動回路）、または、F P C 1 3 と電氣的に接続される。

【0076】

なお、図 4（A）では、画素電極 2 2 a とコモン電極 2 1 a（または、画素電極 2 1 b とコモン電極 2 2 b）は、互いに重なる領域を有している。この領域は、容量素子として機能させることが出来る。つまり、この領域は、画素電極の電位を保持するための保持容量として機能させることができる。ただし、本発明の一態様は、これに限定されない。例えば、画素電極 2 2 a とコモン電極 2 1 a（または、画素電極 2 1 b とコモン電極 2 2 b）は、表示に寄与する領域において（いわゆる開口部において）、互いに、重ならないようにしてもよい。また、表示に寄与する領域において（いわゆる開口部において）、電極の端部の位置が、上下で揃うようにしてもよい。

【0077】

例えば、図 4（B）に示すように、表示装置 1 0 が画素電極 2 2 a およびコモン電極 2 2 b に加えて、コモン電極 2 1 a および画素電極 2 1 b も楕歯状の上面形状、またはスリット状の開口が 1 つ以上設けられた上面形状を有していてもよい。なお、図 4（B）における液晶素子 2 0 a、2 0 b の駆動方式は I P S（In-Plane-Switching）モードである。このような構成とすることにより、保持容量の大きさを小さくすることができる。

【0078】

また、画素 4 0 a の画素電極を画素 4 0 a のコモン電極と同一面上に設け、画素 4 0 b の画素電極を画素 4 0 b のコモン電極と同一面上に設ける構成としてもよい。図 4（C）に示す表示装置 1 0 は、画素電極 2 1 a 2 が、コモン電極 2 1 a 1 と同一面上に設けられる。または、画素電極 2 1 a 2 およびコモン電極 2 1 a 1 は、同時に形成されている。または、画素電極 2 1 a 2 およびコモン電極 2 1 a 1 は、同じ膜をエッチングすることによって、形成されている。または、画素電極 2 1 a 2 およびコモン電極 2 1 a 1 は、同一の導電膜により形成されている。または、画素電極 2 1 a 2 およびコモン電極 2 1 a 1 は、同じ材質を有している。同様に、画素電極 2 2 b 2 は、コモン電極 2 2 b 1 と同一面上、具体的には絶縁膜 2 4 上に設けられる。または、画素電極 2 2 b 2 およびコモン電極 2 2 b 1 は、同時に形成されている。または、画素電極 2 2 b 2 およびコモン電極 2 2 b 1 は、同じ膜をエッチングすることによって、形成されている。または、画素電極 2 2 b 2 およびコモン電極 2 2 b 1 は、同一の導電膜により形成されている。または、画素電極 2 2

b 2 および コモン電極 2 2 b 1 は、同じ材質を有している。コモン電極 2 1 a 1、画素電極 2 1 a 2、コモン電極 2 2 b 1 および画素電極 2 2 b 2 を櫛歯状の上面形状とすることで、このような構成が可能となる。図 4 (C) においては、コモン電極 2 1 a 1 とコモン電極 2 2 b 1 の間に形成される容量を利用してタッチセンサが機能できる。なお、図 4 (C) における液晶素子 2 0 a、2 0 b の駆動方式は IPS モードである。

【0079】

なお、図 4 (B) および図 4 (C) においては、コモン電極および画素電極は、例えば、非透明な電極を用いてもよい。例えば、ゲート電極、または、ソース電極およびドレイン電極などにおいて使用される導電材料と同様な材料を用いてもよい。なぜなら、IPS モードでは、電極の上の液晶 2 3 には、電界が加わりにくい。よって、液晶 2 3 の配向を制御しにくい。よって、表示に寄与するような領域とはなりにくい。そのため、バックライトからの光を透過させる必要がない。そのため、透過型表示装置であっても、コモン電極および画素電極は、アルミニウム、モリブデン、チタン、タングステン、銅、銀などを用いて、構成してもよい。なお、これらの電極は、メッシュ状に形成してもよいし、ナノワイヤー状に形成してもよい。また、コモン電極は、タッチセンサ用の電極としても機能する。そのため、出来るだけ、抵抗値が低いことが望ましい。よって、非透明な電極は、インジウム錫酸化物 (ITO とともいう) などの透明電極よりも抵抗値が低いため、望ましい。

【0080】

なお、図 4 (A)、図 4 (B) および図 4 (C) においては、コモン電極および画素電極として、ITO などの透明導電膜を用いてもよい。また、透明導電膜の上に、または、透明導電膜の下に、より抵抗値の低い導電膜を補助配線として設けてもよい。補助配線としては、例えば、ゲート電極、または、ソース電極およびドレイン電極などにおいて使用される導電材料と同様な材料を用いてもよい。具体的には、アルミニウム、モリブデン、チタン、タングステン、銅、銀などを用いて、構成してもよい。

【0081】

なお、透明導電膜の上に補助配線を設ける場合には、ハーフトーンマスク (グレーテーションマスク、位相差マスクとも言う) を用いて、透明導電膜と補助配線とを、1 枚のマスクを用いて、形成してもよい。その場合には、補助配線の下には、必ず、透明導電膜が設けられるような構成となる。ただし、本発明の一態様は、これに限定されない。透明導電膜と補助配線とは、別々のマスクを用いて、別々の工程で形成してもよい。

【0082】

なお、図 4 (A)、図 4 (B) および図 4 (C) においては、コモン電極は、抵抗値の低い補助配線と接続してもよい。例えば、コモン電極と補助配線とは、それらの間に設けられている絶縁膜の開口部を介して、接続されている。例えば、補助配線およびゲート電極 (またはゲート信号線) は、同時に形成してもよい。または、補助配線およびゲート電極 (またはゲート信号線) は、同じ膜をエッチングすることによって、形成されてもよい。または、補助配線およびゲート電極 (またはゲート信号線) は、同一の導電膜により形成されてもよい。または、補助配線およびゲート電極 (またはゲート信号線) は、同じ材質を有していてもよい。同様に、例えば、補助配線およびソースドレイン電極 (またはソース信号線) は、同時に形成してもよい。または、補助配線およびソースドレイン電極 (またはソース信号線) は、同じ膜をエッチングすることによって、形成されてもよい。または、補助配線およびソースドレイン電極 (またはソース信号線) は、同一の導電膜により形成されてもよい。または、補助配線およびソースドレイン電極 (またはソース信号線) は、同じ材質を有していてもよい。

【0083】

このように、図 4 (A)、図 4 (B)、図 4 (C) において、画素 4 0 a および画素 4 0 b は、それぞれ、コモン電極を有しており、そのコモン電極は、タッチセンサの電極としても機能させることができる。また、画素 4 0 a のコモン電極と、画素 4 0 b のコモン電極とは、同一面上には設けられていない。したがって、画素 4 0 a のコモン電極と、画

素 4 0 b のコモン電極とを重ねても、ショートしてしまうことがない。つまり、画素 4 0 a のコモン電極と、画素 4 0 b のコモン電極とを交差して設けることができる。よって、画素 4 0 a のコモン電極と、画素 4 0 b のコモン電極とについて、一方を、図 2 に示す電極 7 1 _ 1 などのように Y 方向に延在して設け、他方を、図 2 に示す電極 7 2 _ 1 などのように X 方向に延在して設けることができる。そのため、複雑な断面構造をとる必要がない。よって、製造しやすく、製造歩留りも高くすることが出来る。また、プロセス工程数も増えないため、安価に製造することができる。

【0084】

なお、例えば、基板 1 2 の上側に、フローティング状態の導電膜を配置してもよい。その場合の例を、図 5 (A)、図 5 (B)、図 5 (C) に示す。このように、導電膜 2 8 a を、画素 4 0 a のコモン電極と重なるように設ける。同様に、導電膜 2 8 b を、画素 4 0 b のコモン電極と重なるように設ける。これにより、容量素子が直列に設けられた状態となる。また、電界分布が適切な状態となるため、タッチセンサの感度を向上させることができる。また、被検知体が、基板 1 2 と近接、または、接触する場合に、被検知体が静電気を帯びている場合がある。そのような場合に、基板 1 2 の上側に、導電膜 2 8 a、および、導電膜 2 8 b などを設けることにより、静電気の影響を低減することが出来る。

【0085】

図 6 乃至図 2 1 は、上面から見た本発明の一態様の表示装置またはタッチパネルの概念図である。したがって、タッチセンサ以外の部分については、大幅に省略して示している。

【0086】

図 6 (A) は、図 4 (A) と対応している。図 6 (A) に示す構成では、タッチセンサはセンサ電極 5 1 a とセンサ電極 5 2 b とを有する。センサ電極 5 1 a は、画素 4 0 a においてコモン電極の機能を有し、画素 4 0 b が有する画素電極 2 1 b と同一の導電膜により形成される。またセンサ電極 5 2 b は、画素 4 0 b においてコモン電極の機能を有し、画素 4 0 a が有する画素電極 2 2 a と同一の導電膜により形成される。センサ電極 5 2 b は、画素 4 0 b においてスリット状の開口 2 6 を 1 つ以上有する。また画素電極 2 2 a は、画素 4 0 a においてスリット状の開口 2 6 を 1 つ以上有する。

【0087】

センサ電極 5 1 a は一方向（例えば X 方向）に延在して設けられ、センサ電極 5 2 b は該一方向と交差する方向（例えば Y 方向）に延在して設けられる。また、センサ電極 5 1 a とセンサ電極 5 2 b は間に絶縁膜（図示しない）を挟んでいる。このような構成とすることで、一方のセンサ電極が他方のセンサ電極と交差する領域に、絶縁膜等の開口を介して電氣的に接続される導電膜（ブリッジ電極ともいう）を新たに設ける必要がないため、高精細な表示装置を実現することができる。図 6 (A) には、開口 2 5 a、2 5 b を示している。画素電極 2 2 a は、画素電極 2 2 a の下の絶縁膜に設けられた開口 2 5 a を介して、画素 4 0 a が有するトランジスタ（図示しない）と電氣的に接続される。また、画素電極 2 1 b は、画素電極 2 1 b の下の絶縁膜に設けられた開口 2 5 b を介して、画素 4 0 b が有するトランジスタ（図示しない）と電氣的に接続される。なお、画素電極 2 1 b とトランジスタとの間に、絶縁膜が設けられていない場合には、開口 2 5 b は不要となる。

【0088】

なお、図 6 (A) では、センサ電極 5 1 a は X 方向に延在してもうけられており、センサ電極 5 2 b は Y 方向に延在してもうけられているが、本発明の一態様は、これに限定されない。90 度回転させて、センサ電極 5 1 a は Y 方向に延在してもうけられ、センサ電極 5 2 b は X 方向に延在してもうけられるようにしてもよい。なお、図 6 (A) に限らず、他の図面においても、センサ電極が延在している方向を、90 度回転させてもよい。

【0089】

図 6 (A) では Y 方向に延在するセンサ電極 5 2 b が、Y 方向に隣接して設けられる複数の画素 4 0 b のコモン電極を兼ねる構成を示している。換言すると、X 方向に延在する

センサ電極 5 1 a は、画素 4 0 b を挟んで X 方向に並んで設けられる複数の画素 4 0 a のコモン電極を兼ねる構成であるが、これに限られない。図 6 (B) に示すように、X 方向に延在するセンサ電極 5 1 a が、X 方向に隣接して設けられる複数の画素 4 0 a のコモン電極を兼ねる構成としてもよい。換言すると、Y 方向に延在するセンサ電極 5 2 b が、画素 4 0 a を挟んで Y 方向に並んで設けられる複数の画素 4 0 b のコモン電極を兼ねる構成としてもよい。

【0090】

なお、図 6 (B) では、センサ電極 5 1 a は X 方向に延在してもうけられており、センサ電極 5 2 b は Y 方向に延在してもうけられているが、本発明の一態様は、これに限定されない。90 度回転させて、センサ電極 5 1 a は Y 方向に延在してもうけられ、センサ電極 5 2 b は X 方向に延在してもうけられるようにしてもよい。なお、図 6 (B) に限らず、他の図面においても、センサ電極が延在している方向を、90 度回転させてもよい。

【0091】

なお、開口 2 6 は上面図において電極の内側に含まれていてもよく、また開口 2 6 が電極の端部に達していてもよい。図 6 (A) では、画素電極 2 2 a およびセンサ電極 5 2 b が有する 1 つ以上の開口 2 6 はそれぞれの電極の内側に含まれている。図 6 (B) では、画素電極 2 2 a およびセンサ電極 5 2 b が有する 1 つ以上の開口 2 6 が上面図におけるそれぞれの電極の下端に達している。図 6 (B) における画素電極 2 2 a およびセンサ電極 5 2 b を橢歯形状と呼ぶことができる。

【0092】

なお、スリット状の開口や、橢歯形状の電極は、縦方向に細長い形状となっているが、本発明の一態様は、これに限定されない。横方向に細長い形状としてもよい。また、視野角特性を向上させるため、スリット状の開口や橢歯形状の電極を、幅広の V 字形（または、ブーメラン形）に曲げて配置してもよい。

【0093】

なお、センサ電極 5 1 a とセンサ電極 5 2 b とが重なる領域（交差する領域）では、寄生容量が形成されることとなる。この寄生容量により、センサの読み取り信号が小さくなる可能性や、ノイズが入りやすくなる可能性がある。そのため、センサ電極 5 1 a とセンサ電極 5 2 b とが重なる領域（交差する領域）では、一方の電極の幅を小さくしてもよい。例えば、センサ電極 5 2 b の幅を小さくした場合の例を、図 7 (A) に示す。同様に、センサ電極 5 1 a の幅を小さくした場合の例を、図 7 (B) に示す。

【0094】

なお、図 6 (A) のような電極レイアウトと、図 6 (B) のような電極レイアウトとを、組み合わせたような電極レイアウトとしてもよい。その場合の例を、図 8 に示す。図 8 において、画素 4 0 a における画素電極 2 2 a および画素 4 0 b におけるセンサ電極 5 2 b はスリット状の開口 2 6 を 1 つ以上有する。

【0095】

なお、図 6 (A) では、センサ電極 5 1 a は、同じ行の画素と接続されていたが、本発明の一態様は、これに限定されない。例えば、場所によって、異なる行の画素と接続されていてもよい。異なる行の画素と接続することにより、例えば、ノイズなどが平均化され、より表示品位の高い画像を表示すること、またはより感度が高いセンサを実現することを期待できる場合がある。センサ電極のレイアウト例としては、例えば、図 6 (A) については、図 9 (A) のような電極レイアウトとなってもよい。同様に、図 6 (B) では、センサ電極 5 2 b は、同じ列の画素と接続されていたが、本発明の一態様は、これに限定されない。例えば、場所によって、異なる列の画素と接続されていてもよい。例えば、図 9 (B) のような電極レイアウトとなってもよい。

【0096】

また、図 6 (A) にはセンサ電極 5 1 a と画素電極 2 1 b が、画素 4 0 a と画素 4 0 b のそれぞれにおいて開口 2 6 を有さない構成を示したが、これに限られない。センサ電極 5 1 a および画素電極 2 1 b が橢歯状の上面形状、またはスリット状の開口が 1 つ以上設

けられた上面形状を有していてもよい。図 6 と比較して、センサ電極 5 2 b および画素電極 2 2 a が櫛歯形状であり、加えてセンサ電極 5 1 a および画素電極 2 1 b も櫛歯形状である表示装置の上面図を図 1 0 に示す。なお、図 1 0 (A) は、図 6 (A) と対応している。図 1 0 (B) は、図 6 (B) と対応している。なお、図 1 0 は、図 4 (B) と対応している。

【0097】

同一の導電膜を用いて形成されるセンサ電極および画素電極は、互いに電氣的に接続されないように距離をおいて設けられる。例えば、該センサ電極に開口を設け、該開口の内側に島状に画素電極を設けてもよい。図 1 1 (A) に、センサ電極 5 1 a が有する開口 5 5 の内側に、画素電極 2 1 b を設ける構成を示す。なお、センサ電極 5 1 a は画素電極 2 2 a より下層に設けられるため、図 1 1 (A) において、センサ電極 5 1 a は上面図において開口 2 5 a よりも大きい開口 5 6 を有する。図 1 1 (B) に、センサ電極 5 1 a のみの上面図を示す。このように、センサ電極に開口を設けることにより、センサ電極の面積を大きくすることができる。その結果、センサ電極の配線抵抗を小さくすることができる。そのため、センサの感度を高めることができる。

【0098】

なお、図 1 1 では、図 6 (A) の一部を変更した場合の例を示したが、図 6 (B) の場合にも、同様に変更することができる。その場合の例を、図 1 2 に示す。

【0099】

なお、図 6 から図 1 1 までにおいて、行毎または列毎にセンサ電極が設けられている場合の例を示したが、本発明の一態様は、これに限定されない。複数行毎または複数列毎に、センサ電極が設けられていてもよい。例えば、図 1 1 (A) において、2 行毎または 2 列毎にセンサ電極が分かれている場合の例を、図 1 3 に示す。同様に、図 1 2 において、2 行毎または 2 列毎にセンサ電極が分かれている場合の例を、図 1 4 に示す。

【0100】

なお、2 行毎または 2 列毎にセンサ電極が分かれている場合、電極の交差部において、コモン電極と画素電極の配置を場所によって変更してもよい。図 1 3 の場合を図 1 5 に、図 1 4 の場合を図 1 6 に示す。

【0101】

また、図 1 0 (A) において、2 行毎または 2 列毎にセンサ電極が分かれている場合の例を、図 1 7 に示す。同様に、図 1 0 (B) において、2 行毎または 2 列毎にセンサ電極が分かれている場合の例を、図 1 8 に示す。

【0102】

なお、センサ電極が別の配線（例えば、ゲート信号線と同一の導電膜により形成された配線や、ソース信号線と同一の導電膜により形成された配線など）と電氣的に接続される構成としてもよい。または、センサ電極の一方または両方を島状に設け、島状に設けたそれぞれのセンサ電極同士が別の配線（例えば、ゲート信号線と同一の導電膜により形成された配線や、ソース信号線と同一の導電膜により形成された配線など）によって電氣的に接続される構成としてもよい。図 1 9 (A) に、センサ電極 5 1 a を画素 4 0 a のコモン電極として機能する大きさに画素ごとに島状に設け、X 方向に延在して設けられる配線 5 3 と複数のセンサ電極 5 1 a とが電氣的に接続される例を示す。また図 1 9 (B) には、センサ電極 5 2 b を画素 4 0 b のコモン電極として機能する大きさに画素ごとに島状に設け、Y 方向に延在して設けられる配線 5 4 と複数のセンサ電極 5 2 b とが電氣的に接続される例を示す。島状に設ける一のセンサ電極が、一の画素のコモン電極でなく、複数の画素のコモン電極として機能するように設けてもよい。

【0103】

なお、一例としては、配線 5 3 は、ソース信号線と平行に設けられる場合には、ソース信号線と同一の導電膜により形成されることが望ましい。同様に、配線 5 3 は、ゲート信号線と平行に設けられる場合には、ゲート信号線と同一の導電膜により形成されることが望ましい。このようにすることにより、配線 5 3 は、ソース信号線またはゲート信号線と

交差せずに設けることができるため、好適である。なお、配線 5 3 だけでなく、配線 5 4 の場合も同様である。

【0104】

図 20 (A)、(B) にはセンサ電極 5 1 a およびセンサ電極 5 2 b を画素ごとに島状に設け、センサ電極 5 1 a、5 2 b がそれぞれ配線 5 3、5 4 と電氣的に接続される例を示している。図 20 (A) と図 20 (B) とでは、画素 4 0 a および画素 4 0 b の配置が異なる。図 20 (A) では、画素 4 0 a および画素 4 0 b が、それぞれ同じ画素が Y 方向に隣接するように設けられている。一方、図 20 (B) では、画素 4 0 a および画素 4 0 b が、それぞれ同じ画素が X 方向に隣接するように設けられている。

【0105】

図 21 (A) に示す構成では、タッチセンサはセンサ電極 5 1 a 1 とセンサ電極 5 2 b 1 とを有する。図 21 (A) は、図 4 (C) と対応している。センサ電極 5 1 a 1 は、画素 4 0 a においてコモン電極の機能を有し、画素 4 0 a が有する画素電極 2 1 a 2 と同一の導電膜により形成される。またセンサ電極 5 2 b 1 は、画素 4 0 b においてコモン電極の機能を有し、画素 4 0 b が有する画素電極 2 2 b 2 と同一の導電膜により形成される。センサ電極 5 1 a 1 および画素電極 2 1 a 2 は、画素 4 0 a において櫛歯状の上面形状を有する。またセンサ電極 5 2 b 1 および画素電極 2 2 b 2 は、画素 4 0 b において櫛歯状の上面形状を有する。

【0106】

センサ電極 5 1 a 1 は一方向 (例えば X 方向) に延在して設けられ、センサ電極 5 2 b 1 は該一方向と交差する方向 (例えば Y 方向) に延在して設けられる。また、センサ電極 5 1 a 1 とセンサ電極 5 2 b 1 は間に絶縁膜 (図示しない) を挟んでいる。このような構成とすることで、一方のセンサ電極が他方のセンサ電極と交差する領域に、絶縁膜等の開口を介して電氣的に接続される導電膜 (ブリッジ電極ともいう) を新たに設ける必要がないため、高精細な表示装置を実現することができる。

【0107】

なお、図 21 (A) では、センサ電極 5 1 a 1 は X 方向に延在してもうけられており、センサ電極 5 2 b 1 は Y 方向に延在してもうけられているが、本発明の一態様は、これに限定されない。90 度回転させて、センサ電極 5 1 a 1 は Y 方向に延在してもうけられ、センサ電極 5 2 b 1 は X 方向に延在してもうけられるようにしてもよい。

【0108】

なお、図 21 (A) においても、複数行毎または複数列毎に、センサ電極が設けられていてもよい。例えば、図 21 (A) において、2 行毎または 2 列毎にセンサ電極が分かれている場合の例を、図 21 (B) に示す。

【0109】

なお、センサ電極などに関して、様々な変形例を示したが、これらの変形例に限定されない。これらで説明した内容または図面については、互いに組み合わせること、または、互いに適用することが可能である。したがって、例えば、ある図面において、一部を変形した場合、別の図面においても、同様に變形することが可能である。さらに、別の図面を變形した構成についても、さらに、一部を變形することも可能である。

【0110】

以上がタッチパネルの方式についての説明である。

【0111】

[構成例 1]

以下では、表示装置またはタッチパネルのより具体的な構成例について説明する。したがって、以下に示す構成例と、これまでに述べた構成例とを、互いに組み合わせること、または、互いに適用することが可能である。したがって、例えば、以下に述べる構成例において、その一部を、これまでに述べた構成例に変形することが可能である。

【0112】

図 22 (A) は、本発明の一態様の表示装置 3 1 0 の上面概略図の一例である。なお、

10

20

30

40

50

図 2 2 (A) においては素子基板側に設けられた要素のみ図示し、対向基板は省略している。また明瞭化のため、図 2 2 (A) には代表的な構成要素のみを示している。

【0 1 1 3】

表示装置 3 1 0 は、対向して設けられた基板 1 0 2 と基板 3 7 2 (図示しない) とを有する。

【0 1 1 4】

基板 1 0 2 上には、表示部 3 8 1、配線 3 8 2、駆動回路 3 8 3、駆動回路 3 8 4、配線 3 8 6 等が設けられている (図 2 2 (A) 参照)。また表示部 3 8 1 には、導電膜 3 2 1 a および導電膜 3 2 2 b が形成されている。基板 1 0 2 には、配線 3 8 2、3 8 6 と電氣的に接続される F P C 3 7 3 が設けられている。また図 2 2 (A) では、F P C 3 7 3 上に I C 3 7 4 が設けられている例を示している。

10

【0 1 1 5】

複数の導電膜 3 2 1 a はそれぞれ、複数の配線 3 8 6 のいずれかと電氣的に接続される。また複数の導電膜 3 2 2 b はそれぞれ、複数の配線 3 8 2 のいずれかと電氣的に接続される。

【0 1 1 6】

表示部 3 8 1 は、少なくとも複数の画素を有する。画素は、少なくとも一つの表示素子を有する。また、画素は、トランジスタ及び表示素子を備えることが好ましい。表示素子としては、代表的には有機 E L 素子などの発光素子や液晶素子などを用いることができる。本構成例では、表示素子として液晶素子を用いた例を示す。

20

【0 1 1 7】

駆動回路 3 8 3 および駆動回路 3 8 4 はそれぞれ、複数の配線 3 8 6 に含まれる複数の配線と電氣的に接続される。駆動回路 3 8 3 および駆動回路 3 8 4 として、それぞれ信号線駆動回路、走査線駆動回路として機能する回路を用いることができる。つまり、駆動回路 3 8 3 および駆動回路 3 8 4 は、表示用の画素における走査線 (ゲート信号線) や、信号線 (ソース信号線) などを駆動する機能を有する回路として、用いることができる。また、駆動回路 3 8 3 を走査線駆動回路として用い、駆動回路 3 8 4 を信号線駆動回路として用いてもよい。

【0 1 1 8】

なお、駆動回路 3 8 3 または駆動回路 3 8 4 の少なくとも一つは、基板 1 0 2 上に設けられていない場合もある。

30

【0 1 1 9】

配線 3 8 2、3 8 6 は、表示部 3 8 1 や駆動回路 3 8 3、3 8 4 に信号や電力を供給する機能を有する。当該信号や電力は F P C 3 7 3 を介して、外部または I C 3 7 4 から配線 3 8 2、3 8 6 に入力される。

【0 1 2 0】

なお、駆動回路 3 8 3 または駆動回路 3 8 4 は、画素のゲート信号線やソース信号線ではなく、画素のコモン電極 (つまり、センサ電極) を駆動する機能を有していてもよい。または、駆動回路 3 8 3 または駆動回路 3 8 4 は、画素のゲート信号線やソース信号線を駆動する機能と、画素のコモン電極 (つまり、センサ電極) を駆動する機能とを両方を有していてもよい。または、画素のゲート信号線やソース信号線を駆動する機能を有する回路と、画素のコモン電極 (つまり、センサ電極) を駆動する機能を有する回路とは、別々の回路となってもよい。

40

【0 1 2 1】

なお、表示用のゲート線駆動回路、ソース線駆動回路などの回路は、I C の中に形成されている場合がある。よって、センサ用のパルス電圧出力回路または電流検出回路の少なくとも一つと、ゲート線駆動回路またはソース線駆動回路の少なくとも一つとが、1 つの I C の中に形成されていてもよい。例えば、ソース線駆動回路は、駆動周波数が高いため、I C の中に形成される場合が多い。また、電流検出回路は、オペアンプなどが必要となる場合があるため、I C の中に形成される場合が多い。したがって、ソース線駆動回路と

50

電流検出回路とが、１つのＩＣの中に形成されていてもよい。この場合には、ゲート線駆動回路およびパルス電圧出力回路は、画素が形成されている基板上に形成されていてもよい。または、ソース線駆動回路と電流検出回路とパルス電圧出力回路とが、１つのＩＣの中に形成されていてもよい。

【０１２２】

駆動回路３８４は、例えば、導電膜３２２ｂを順次選択する機能を有する。または、導電膜３２２ｂではなく導電膜３２１ａを順次選択することによりタッチセンサを駆動する場合には、駆動回路３８４は、導電膜３２２ｂに固定電位またはセンシングに用いる信号を切り替えて供給する機能を有する。なお、ＩＣ３７４や外部からタッチセンサを駆動する信号が供給される場合には、駆動回路３８４は上記の機能を有さなくてもよい。

10

【０１２３】

また、図２２（Ａ）では、ＦＰＣ３７３上にＣＯＦ（Ｃｈｉｐ　Ｏｎ　Ｆｉｌｍ）方式により実装されたＩＣ３７４が設けられている例を示している。ＩＣ３７４として、例えばタッチセンサを駆動する機能、具体的には導電膜３２１ａに固定電位またはセンシングに用いる信号を切り替えて供給する機能を有するＩＣを適用できる。なお、表示装置３１０が駆動回路３８３または／および駆動回路３８４を有さない場合は、ＩＣ３７４が信号線駆動回路または／および走査線駆動回路として機能する回路を有していてもよい。また、駆動回路３８３が導電膜３２１ａに固定電位またはセンシングに用いる信号を切り替えて供給する機能を有する場合などにおいては、ＩＣ３７４を設けない構成としてもよい。また、ＩＣ３７４を、ＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）方式等により、基板１０２

20

【０１２４】

タッチセンサは、基板１０２に設けられた導電膜３２１ａと、導電膜３２２ｂと、により構成される。導電膜３２１ａと導電膜３２２ｂの間に形成される容量を利用して、被検知体の近接または接触を検出することができる。

【０１２５】

図２２（Ｂ）は、図２２（Ａ）に示す領域３６０を拡大した上面模式図である。図２２（Ｂ）においては、タッチセンサを構成する導電膜３２１ａおよび導電膜３２２ｂの概略図のみ示している。

【０１２６】

導電膜３２１ａおよび導電膜３２２ｂは、表示装置３１０が有する液晶素子を構成するコモン電極としての機能を有する。図２２（Ｂ）に示す一の画素を含む領域３６１ａにおいては、導電膜３２１ａがコモン電極として機能し、別の一の画素を含む領域３６１ｂにおいては、導電膜３２２ｂがコモン電極として機能する。

30

【０１２７】

導電膜３２１ａは、タッチセンサの一方の電極と、液晶素子を構成するコモン電極とを兼ねる。また導電膜３２２ｂは、タッチセンサの他方の電極と、液晶素子を構成するコモン電極とを兼ねる。換言すると、導電膜３２１ａは、タッチセンサの一方の電極として機能する領域と、液晶素子を構成するコモン電極として機能する領域とを有する。また導電膜３２２ｂは、タッチセンサの他方の電極として機能する領域と、液晶素子を構成するコモン電極として機能する領域とを有する。再度換言すると、導電膜３２１ａは、タッチセンサの一方の電極と、液晶素子を構成するコモン電極とを含む。また導電膜３２２ｂは、タッチセンサの他方の電極と、液晶素子を構成するコモン電極とを含む。

40

【０１２８】

導電膜３２１ａは、駆動回路３８３が延在する方向と直交する方向（図２２（Ｂ）に示すＹ方向）に延在して設けられ、導電膜３２２ｂは導電膜３２１ａと直交する方向（Ｘ方向）に延在して設けられる。導電膜３２２ｂは絶縁膜（図示しない）を介して導電膜３２１ａ上に設けられているため、該絶縁膜を介して導電膜３２１ａと導電膜３２２ｂとが交差することができる。交差部３６３は、導電膜３２１ａと導電膜３２２ｂとが交差する領域である。交差部３６３にブリッジ電極を形成する必要がないため、画素においてブリッ

50

ジ電極を構成するための配線コンタクト部を省略できる。よって、本発明の一態様の表示装置を高精細な表示装置とすることができる。

【0129】

なお、図22(B)では、交差部363において、導電膜322bは、その幅は狭くなり、コモン電極としては動作せず、導電膜321aは、その幅は広いままで、コモン電極として動作する。ただし、本発明の一態様は、これに限定されない。例えば、図23に示すように、交差部363において、導電膜322bは、その幅は広いままで、コモン電極として動作し、導電膜321aは、その幅を小さくして、コモン電極としては動作しないようにしてもよい。

【0130】

なお、図22(B)には一の導電膜321aおよび一の導電膜322bが交差する領域において一の交差部363が設けられる構成を示しているが、交差部363を複数設けてもよい。一例として図24(A)には、一の導電膜321aおよび一の導電膜322bが交差する領域において4つの交差部363が設けられる構成を示す。また、図24(B)に示すように、交差部363を含む一の画素の全体に導電膜322bを設けてもよい。その場合、その画素では、表示を行うことができない。しかし、そのような画素があっても、表示全体には、大きな影響を及ぼさないため、大きな問題とはならない。これらの構成とすることで、交差部363における導電膜322bの抵抗の増大を抑制し、タッチセンサの駆動における信号の遅延等を抑制することができる。

【0131】

なお、図22乃至図24では、導電膜321aは、図22(B)に示すY方向に延在して設けられ、導電膜322bはX方向に延在して設けられているが、本発明の一態様は、これに限定されない。90度回転させて、導電膜321aはX方向に延在して設けられ、導電膜322bはY方向に延在して設けられていてもよい。その場合の例を、図25、図26、図27に示す。

【0132】

{画素構成例1}

図28に、表示装置310が有する画素の構成例を示す。図28は図22(B)に示す9つの画素を含む領域362のより詳細な上面模式図の一例である。図28には導電膜321aと同様の材料を用いて同時に形成できる層と、導電膜322bと同様の材料を用いて同時に形成できる層を示している。ここで、導電膜321bは、導電膜321aと同一面上に設けられるため同時に形成できる。また、導電膜322aは、導電膜322bと同一面上に設けられるため同時に形成できる。なお、図29(A)は領域362において導電膜321a、321bのみを示した上面図であり、図29(B)は領域362において導電膜322a、322bのみを示した上面図である。

【0133】

第1の画素365aにおいて、導電膜321aはコモン電極として機能し、導電膜322aは画素電極として機能する。導電膜322aは、導電膜322aより下層の絶縁膜に設けられた開口325aおよび導電膜321aに設けられた開口356を介してトランジスタ(図示しない)と電気的に接続される(図28、図29(A)参照)。第1の画素365aは、隣接する4つの画素のうち少なくとも2つ以上が第1の画素365aとなるように配置される。複数の第1の画素365aを図22(B)に示すY方向に隣接して設けることで、タッチセンサの一方の電極として機能する導電膜321aをY方向に延在して設けることができる。

【0134】

第2の画素365bにおいて、導電膜321bは画素電極として機能し、導電膜322bはコモン電極として機能する。導電膜321bは、導電膜321bより下層の絶縁膜に設けられた開口325bを介してトランジスタ(図示しない)と電気的に接続される。第2の画素365bは、隣接する4つの画素のうち少なくとも1つ以上が第2の画素365bとなるように配置される。

【0135】

第3の画素365cにおいては、第1の画素365aと同様に導電膜321aが共通電極として機能し、導電膜322aが画素電極として機能する。また第3の画素365cには、導電膜322bと導電膜321aとの交差部363が設けられる。複数の第2の画素365bを図22(B)に示すX方向に並んで設け、第3の画素365cを、X方向において2つの第2の画素365bに挟まれるように設けることで、タッチセンサの他方の電極として機能する導電膜322bをX方向に延在して設けることができる。表示装置310が第1の画素365a、第2の画素365bおよび第3の画素365cを有することで、表示部381が有する共通電極（すなわち導電膜321aおよび導電膜322b）を用いてタッチセンサの一对の電極を構成できる。なお、第3の画素365cは交差部363を構成する導電膜322bを有するため、上面図における導電膜322aの大きさは、第1の画素365aが有する導電膜322aよりも小さい。

10

【0136】

なお、図29では、交差部においては、導電膜322bは、細くなる。そして、交差部においては、導電膜322bは、共通電極としては機能していない。一方、交差部においては、導電膜321aは、太いままであり、共通電極として機能している。しかし、本発明の一態様は、これに限定されない。例えば、図30に示すように、交差部においては、導電膜322bは、太いままであり、共通電極として機能する。導電膜321aは、交差部において、細くなり、共通電極としては機能しない、という構成にしてもよい。図30(A)は、図29(A)の変形例である。また図30(B)は、図29(B)の変形例である。

20

【0137】

なお、図29および図30では、導電膜321aは、図22(B)に示すY方向に延在して設けられ、導電膜322bはX方向に延在して設けられているが、本発明の一態様は、これに限定されない。導電膜321aおよび導電膜322bが延在する方向をそれぞれ90度回転させて、導電膜321aはY方向に延在して設けられ、導電膜322bはX方向に延在して設けられていてもよい。その場合の例を、図31、図32などに示す。図31(A)、図32(A)はそれぞれ図29(A)、図30(A)において導電膜321aが延在する方向を90度回転させた例である。また、図31(B)、図32(B)はそれぞれ図29(B)、図30(B)において導電膜322bが延在する方向を90度回転させた例である。

30

【0138】

図28において、第1の画素365aと第2の画素365bとが隣接する境界近傍において、導電膜321aと導電膜322bは空間364を挟んで対向する。換言すると、第1の画素365aが有する導電膜321aと、第2の画素365bが有する導電膜322bとは、上面図において重畳する領域を有さない。このような構成とすることで、導電膜321aと導電膜322bの間に形成される容量を被検知体の近接によって変化させやすくすることができる。

【0139】

また、導電膜322aは、上面図において導電膜321aより内側に設けられることが好ましい。同様に導電膜321bは、上面図において導電膜322bより内側に設けられることが好ましい。このような構成とすることで、導電膜321a、321bより下層に設けられる配線によって発生する電場が液晶の配向に与える影響などを抑制し、液晶の配向不良を低減できる。

40

【0140】

本発明の一態様の表示装置は、画素電極および共通電極の構成が異なる複数の画素を用いて表示部を形成している。具体的には、上記で示した第1の画素365a、第2の画素365b、および第3の画素365cは、それぞれ構成が異なる。表示装置310に透過型液晶表示装置を適用する場合、特に表示部381を構成する主要な画素である第1の画素365aと第2の画素365bにおける、液晶素子の電圧－透過率特性の差を小さく

50

することが好ましい。第1の画素365aと第2の画素365bの電圧－透過率特性が異なると、表示装置310が表示する画像に図22(B)に示すような導電膜321aおよび導電膜322bのパターンが浮き出してしまう場合がある。

【0141】

図33(A)に、第1の画素365a、第2の画素365bのそれぞれの画素構成における電圧－透過率特性の計算結果を示す。図33(A)の黒丸が第1の画素365aの電圧－透過率特性であり、白丸が第2の画素365bの電圧－透過率特性である。

【0142】

図33(A)の横軸はコモン電極を0Vとした場合の画素電極－コモン電極間の電位差である。第1の画素365aでは、導電膜321aを0Vに固定し、導電膜322aを0Vから0.5Vずつ変化させて6Vまで印加している。第2の画素365bでは、導電膜322bを0Vに固定し、導電膜321bを0Vから0.5Vずつ変化させて6Vまで印加している。また図33(A)の縦軸は、光源を100%とした場合の透過光強度比を表している。換言すると、光源の光が第1の画素365aまたは第2の画素365bに含まれる液晶素子を透過する割合を表している。なお、計算において想定した表示装置の仕様は、画素密度が564ppi、開口率が50%、開口部透過率が79%である。ここで開口部透過率は、開口部におけるパラレルニコルの透過率を100%とした場合の液晶の物性や絶縁膜の透過率を考慮した透過率で、着色膜を有さない構成を想定している。また、第1の画素365aおよび第2の画素365bの画素サイズは45μm×45μmである。導電膜322aおよび導電膜322bのスリット形状は等しく、スリット幅d1は3μm、櫛歯部分の電極幅d2は2μmである(図34(A)、(B)参照)。

【0143】

図33(A)の結果より、第1の画素365aと第2の画素365bの画素構成において、電圧－透過率特性に差があることが確認された。そこで、第1の画素365aおよび第2の画素365bの特性の差を小さくするための画素構造の検討を行った。具体的には、画素電極およびコモン電極が発生させる電気力線の分布を考慮して、スリット形状、スリット幅、および画素電極とコモン電極が挟持する絶縁膜の膜厚などの調整を行った。

【0144】

図33(B)に、画素構造を最適化した第1の画素366aおよび第2の画素366bの電圧－透過率特性の計算結果を示す。図34(C)、(D)に第1の画素366a、第2の画素366bの上面レイアウトを示す。導電膜322aは一の副画素において一の開口が端部に達した櫛歯形状であり、該開口の幅d3は4μm、櫛歯部分の画素電極幅d4は3μmである。導電膜322bは一の副画素においてスリット状の2つの開口がそれぞれの端部で連結するコの字状(C字状)の開口を有し、該開口の幅d5は4μm、櫛歯部分のコモン電極幅d6は3μmである。

【0145】

画素構造の最適化を行うことで、第1の画素366aと第2の画素366bの電圧－透過率特性をほぼ一致させることができた(図33(B)参照)。第1の画素366aおよび第2の画素366bを領域362に適用した例を図35に示す。また図36は、図35のうち導電膜322a、322bのみを示した上面図である。図35における、導電膜321a、321bのレイアウトは図29(A)に等しい。表示装置が備える画素電極およびコモン電極を図35に示す構成とすることで、表示画像に図22(B)に示すような導電膜321aおよび導電膜322bのパターンが浮き出ることを抑制し、表示装置310の表示品位を向上させることができる。なお、第3の画素366cは交差部363を構成する導電膜322bを有するため、上面図における導電膜322aの大きさは、第1の画素366aが有する導電膜322aよりも小さい。

【0146】

なお、第1の画素365aおよび第3の画素365cにおいて、コモン電極より上層の画素電極として機能する導電膜322aは複数のスリット状の開口を有する(図28および図29(B)参照)。また第2の画素365bにおいて、画素電極より上層のコモン電

極として機能する導電膜 3 2 2 b は複数のスリット状の開口を有する。よって、図 2 8 に示す複数の画素が有する液晶素子の駆動方式は F F S モードである。ただし、本発明の一態様は、これに限定されない。画素電極およびコモン電極の両方に、スリット状の開口を設ける、または画素電極およびコモン電極の両方を櫛歯状の電極形状とすることにより、I P S モードとしてもよい。つまり、図 4 (A) の電極構造だけでなく、図 4 (B)、図 4 (C) のような電極構造としてもよい。したがって、図 4 (B) に対応した図面の構成や、図 4 (C) に対応した図面の構成も、同様に適用することができる。

【0147】

{画素構成例 2}

図 3 7 に、図 2 8 とは異なる画素の構成例を示す。ここでは、図 2 8 と同じ構成については該構成の説明を図 3 7 に援用できるとし、主に図 2 8 と異なる構成について説明する。図 3 7 は図 2 2 (B) に示す 9 つの画素を含む領域 3 6 2 のより詳細な上面模式図の一例である。

10

【0148】

第 1 の画素 3 6 7 a および第 3 の画素 3 6 7 c において、コモン電極として機能する導電膜 3 2 1 a および画素電極として機能する導電膜 3 2 2 a は櫛歯状の上面形状を有する。また第 2 の画素 3 6 7 b において、画素電極として機能する導電膜 3 2 1 b およびコモン電極として機能する導電膜 3 2 2 b は櫛歯状の上面形状を有する。

【0149】

{画素構成例 3}

図 3 8 に、図 2 8 とは異なる画素の構成例を示す。ここでは、図 2 8 と同じ構成については該構成の説明を図 3 8 に援用できるとし、主に図 2 8 と異なる構成について説明する。

20

【0150】

図 3 8 は図 2 2 (B) に示す 9 つの画素を含む領域 3 6 2 のより詳細な上面模式図の一例である。図 3 8 には導電膜 3 2 1 a 1 と同様の材料を用いて同時に形成できる層と、導電膜 3 2 2 b 1 と同様の材料を用いて同時に形成できる層を示している。ここで、導電膜 3 2 1 a 2 は、導電膜 3 2 1 a 1 と同一面上に設けられるため同時に形成できる。また、導電膜 3 2 2 b 2 は、導電膜 3 2 2 b 1 と同一面上に設けられるため同時に形成できる。図 3 8 では明示化のため、導電膜 3 2 1 a 1 と導電膜 3 2 1 a 2 のハッチング、および導電膜 3 2 2 b 1 と導電膜 3 2 2 b 2 のハッチングを変えて示している。

30

【0151】

第 1 の画素 3 6 8 a および第 3 の画素 3 6 8 c において、コモン電極として機能する導電膜 3 2 1 a 1 および画素電極として機能する導電膜 3 2 1 a 2 は櫛歯状の上面形状を有する。また第 2 の画素 3 6 8 b において、画素電極として機能する導電膜 3 2 2 b 2 およびコモン電極として機能する導電膜 3 2 2 b 1 は櫛歯状の上面形状を有する。よって、図 3 8 に示す複数の画素が有する液晶素子の駆動方式は I P S モードである。なお、図 3 8 に示す例では、第 1 の画素 3 6 8 a および第 2 の画素 3 6 8 b の上面レイアウトは同一である。

【0152】

図 3 8 に示す複数の画素は、上面形状においてコモン電極が画素電極を囲むように設けられている。第 1 の画素 3 6 8 a または第 3 の画素 3 6 8 c と第 2 の画素 3 6 8 b とが隣接する境界近傍において導電膜 3 2 1 a 1 と導電膜 3 2 2 b 1 との間に形成される容量を利用することで、コモン電極はタッチセンサの一对の電極のいずれか一方を兼ねることができる。すなわち、一画素において複数の副画素（本構成例では 3 つの副画素）を囲むコモン電極は、タッチセンサ電極としても機能できる。具体的には、導電膜 3 2 1 a 1 はコモン電極およびタッチセンサの一方の電極として機能し、導電膜 3 2 2 b 1 はコモン電極およびタッチセンサの他方の電極としても機能する。

40

【0153】

ここで、第 1 の画素 3 6 8 a の一画素の上面レイアウトを図 3 9 (A) に示す。導電膜

50

3 2 1 a 1 がコモン電極として機能する領域は、導電膜 3 2 1 a 2 の突出部（楕歯部分）の長辺と対向する領域 3 7 7 である。また、3 つの導電膜 3 2 1 a 2 を囲む領域の導電膜 3 2 1 a 1 のうちタッチセンサ電極として実際に機能するのは、第 1 の画素 3 6 8 a と隣接する第 2 の画素 3 6 8 b が有する導電膜 3 2 2 b 1 と対向する領域である。よって、第 1 の画素 3 6 8 a において、導電膜 3 2 1 a 1 のコモン電極として機能せずタッチセンサ電極としても機能しない領域を画素電極として機能する導電膜 3 2 1 a 2 に割り当てることで、導電膜 3 2 1 a 2 の面積を増大させることができる。ひいては、画素の開口率を向上させることができる。

【0154】

以上の効果を奏する画素レイアウトの例を図 3 9（B）および（C）に示す。図 3 9（B）に示す第 1 の画素 3 6 9 a は、導電膜 3 2 1 a 1 が導電膜 3 2 1 a 2 の上辺以外の 3 辺を囲むように設けられている。一画素において、導電膜 3 2 1 a 2 の上辺と対向する領域に導電膜 3 2 1 a 1 を設けないことで、導電膜 3 2 1 a 2 の突出部の長さを大きくし、画素の開口率を向上させることができる。また、図 3 9（C）に示す第 1 の画素 3 7 0 a は、導電膜 3 2 1 a 2 の上辺および下辺と対向する領域に導電膜 3 2 1 a 1 を設けないため、図 3 9（B）よりもさらに開口率を向上させることができる。以上のことは第 2 の画素 3 6 8 b、第 3 の画素 3 6 8 c についても同様に適用できる。

【0155】

次に、図 3 9（B）に示した画素を表示装置 3 1 0 の表示部 3 8 1 に配置した例を図 4 0 に示す。図 4 0 は図 2 2（B）に示す領域 3 6 2 のより詳細な上面模式図の一例である。

【0156】

図 4 0 では、第 1 の画素 3 6 9 a または第 3 の画素 3 6 9 c と第 2 の画素 3 6 9 b とが隣接する境界近傍において、導電膜 3 2 1 a 1 と導電膜 3 2 2 b 1 とが対向する領域が最大となるように各画素を回転させて配置している。具体的には、図 3 9（B）に示す第 1 の画素 3 6 9 a の向きを基準として、第 1 の画素 3 6 9 a（1）は 1 8 0 ° 回転させて設けられている。また第 2 の画素 3 6 9 b（1）、3 6 9 b（2）は、それぞれ右に 9 0 °、左に 9 0 ° 回転させて設けられている。なお、図 4 0 に示す複数の画素が有する液晶素子が有する液晶層に接して設けられる配向膜の配向処理は、光配向法を用いて、画素の回転に合わせて画素ごとに配向の向きを変えて行うことが好ましい。

【0157】

このような構成とすることで、図 3 8 に示す構成と同程度にタッチセンサ電極の容量を維持しつつ、画素の開口率を向上させることができる。タッチセンサ電極の容量は、導電膜 3 2 1 a 1 と導電膜 3 2 2 b 1 が空間 3 6 4 を挟んで対向する領域の大きさに比例する。なお、表示部 3 8 1 のうち第 1 の画素 3 6 9 a または第 3 の画素 3 6 9 c と第 2 の画素 3 6 9 b とが隣接する領域以外の領域では、各画素を回転させずに設けることができる。

【0158】

また、図 3 9（C）に示した画素を表示装置 3 1 0 の表示部 3 8 1 に配置した例を図 4 1 に示す。図 4 1 は図 2 2（B）に示す領域 3 6 2 のより詳細な上面模式図の一例である。

【0159】

図 4 1 では、第 1 の画素 3 7 0 a または第 3 の画素 3 7 0 c と第 2 の画素 3 7 0 b とが隣接する境界近傍において、導電膜 3 2 1 a 1 と導電膜 3 2 2 b 1 とが対向する領域が最大となるように各画素を回転させて配置している。具体的には、図 3 9（C）に示す第 1 の画素 3 7 0 a の向きを基準として、第 1 の画素 3 7 0 a（1）、3 7 0 a（2）、3 7 0 a（3）は、それぞれ右に 9 0 °、左に 9 0 °、1 8 0 ° 回転させて設けられている。また第 2 の画素 3 7 0 b（1）、3 7 0 b（2）は、それぞれ左に 9 0 °、右に 9 0 ° 回転させて設けられている。

【0160】

このような構成とすることで、図 3 8 に示す構成と比較してタッチセンサ電極の容量は

小さくなるが、画素の開口率をさらに向上させることができる。なお、表示部 381 のうち第 1 の画素 370 a または第 3 の画素 370 c と第 2 の画素 370 b とが隣接する領域を除いた領域においては、各画素は隣接する画素に対して 90° 回転させて設けることができる。なお、図 41 に示す複数の画素が有する液晶素子が有する液晶層に接して設けられる配向膜の配向処理は、光配向法を用いて、画素の回転に合わせて画素ごとに配向の向きを変えて行うことが好ましい。

【0161】

〔断面構成例 1〕

以下では、本発明の一態様の表示装置の断面構成の例について、図面を参照して説明する。

10

【0162】

図 42 は表示装置 310 の断面概略図である。図 42 では、図 22 (A) における FPC 373 を含む領域、駆動回路 383 を含む領域、表示部 381 を含む領域のそれぞれの断面を示している。

【0163】

基板 102 と、基板 372 とは、シール材 151 によって貼り合わされている。また基板 102、基板 372、及びシール材 151 に囲まれた領域に、液晶 353 が封止されている。

【0164】

基板 102 上には、トランジスタ 301、トランジスタ 150 a、トランジスタ 150 b、配線 386、液晶素子 160 a、160 b を構成する導電膜 321 a、321 b、322 a、322 b 等が設けられている。

20

【0165】

基板 102 上には、絶縁膜 108、絶縁膜 114、絶縁膜 118、絶縁膜 119、絶縁膜 354、スペーサ 316 等が設けられている。絶縁膜 108 及び絶縁膜 114 は、その一部が各トランジスタのゲート絶縁層として機能する。絶縁膜 118 は、各トランジスタ等を覆って設けられている。絶縁膜 119 は、平坦化層としての機能を有する。絶縁膜 354 は、導電膜 321 a、321 b を覆って設けられている。絶縁膜 354 は、導電膜 321 a、321 b と、導電膜 322 a、322 b とを電氣的に絶縁する機能を有する。なお、平坦化層として機能する絶縁膜 119 は不要であれば設けなくてもよい。

30

【0166】

図 42 では、表示部 381 の例として、2 つの副画素 365 a 1、365 b 1 の断面を示している。副画素 365 a 1 は第 1 の画素 365 a に含まれ、副画素 365 b 1 は第 2 の画素 365 b に含まれる。例えば、該 2 つの副画素をそれぞれ赤色を呈する副画素、緑色を呈する副画素、青色を呈する副画素のいずれかとする事で、フルカラーの表示を行うことができる。例えば図 42 に示す副画素 365 a 1 は、トランジスタ 150 a と、液晶素子 160 a と、着色膜 331 a と、を有する。また、副画素 365 b 1 は、トランジスタ 150 b と、液晶素子 160 b と、着色膜 331 b と、を有する。

【0167】

また図 42 では、駆動回路 383 の例としてトランジスタ 301 が設けられている例を示している。

40

【0168】

図 42 では、トランジスタ 150 a 及びトランジスタ 150 b の例として、チャネルが形成される半導体層をゲート電極 341 及びゲート電極 342、または、ゲート電極 343 及びゲート電極 344 で挟持する構成を適用した例を示している。このようなトランジスタは、ゲート電極 341 とゲート電極 342 とが電氣的に接続されている場合や、ゲート電極 343 とゲート電極 344 とが電氣的に接続されている場合には、他のトランジスタと比較して電界効果移動度を高めることが可能であり、オン電流を増大させることができる。その結果、高速動作が可能な回路を作製することができる。さらには回路部の占有面積を縮小することが可能となる。オン電流の大きなトランジスタを適用することで、表

50

示装置を大型化、または高精細化したときに配線数が増大したとしても、各配線における信号遅延を低減することが可能であり、表示ムラを抑制することが可能である。なお、ゲート電極 342、344 を、それぞれトランジスタ 150a、150b の第 2 のゲート電極と呼ぶことができる。

【0169】

なお、駆動回路 383 が有するトランジスタと、表示部 381 が有するトランジスタは、同じ構造であってもよい。また駆動回路 383 が有する複数のトランジスタは、全て同じ構造であってもよいし、異なる構造のトランジスタを組み合わせ用いてもよい。また、表示部 381 が有する複数のトランジスタは、全て同じ構造であってもよいし、異なる構造のトランジスタを組み合わせ用いてもよい。図 42 には示していないが、駆動回路 384 が有するトランジスタについても、駆動回路 383 が有するトランジスタと同様である。

10

【0170】

各トランジスタを覆う絶縁膜 114、118 のうち少なくとも一つは、一例としては、水や水素などの不純物が拡散しにくい材料を用いることが好ましい。すなわち、絶縁膜 114 または絶縁膜 118 はバリア膜として機能させることができる。このような構成とすることで、トランジスタに対して外部から不純物が拡散することを効果的に抑制することが可能となり、信頼性の高い表示装置を実現できる。

【0171】

図 42 には、液晶素子 160a、160b に FFS (Fringe Field Switching) モードが適用された液晶素子を用いた場合の例を示している。液晶素子 160a は、導電膜 321a、液晶 353、及び導電膜 322a を有する。液晶素子 160b は、導電膜 321b、液晶 353、及び導電膜 322b を有する。導電膜 321a と導電膜 322a との間、および導電膜 321b と導電膜 322b との間に生じる電界により、液晶 353 の配向を制御することができる。

20

【0172】

絶縁膜 119 上に導電膜 321a、321b が設けられている。また導電膜 321a、321b を覆って絶縁膜 354 が設けられ、絶縁膜 354 上に導電膜 322a、322b が設けられている。導電膜 322a は絶縁膜 354、119、118、114 に設けられた開口 325a および導電膜 321a に設けられた開口 356 を介してトランジスタ 150a のソース又はドレインの一方と電氣的に接続されている。導電膜 321b は絶縁膜 119、118、114 に設けられた開口 325b を介してトランジスタ 150b のソース又はドレインの一方と電氣的に接続されている。導電膜 321a、321b、322a、322b として透光性を有する導電性材料を用いると、表示装置 310 を透過型の液晶表示装置とすることができる。

30

【0173】

導電膜 322a、322b は、楕円状の上面形状、またはスリット状の開口が 1 つ以上設けられた上面形状（平面形状ともいう）を有する。また、導電膜 322a は導電膜 321a と重ねて配置され、導電膜 322b は導電膜 321b と重ねて配置される。また、着色膜 331a と重なる領域において、導電膜 321a 上に導電膜 322a が配置されていない部分を有する。同様に、着色膜 331b と重なる領域において、導電膜 321b 上に導電膜 322b が配置されていない部分を有する。

40

【0174】

副画素 365a1 において、導電膜 322a は画素電極として機能し、導電膜 321a はコモン電極として機能する。また副画素 365b1 においては、導電膜 321b が画素電極として機能し、導電膜 322b がコモン電極として機能する。導電膜 321a および導電膜 321b は同一面上、図 42 においては絶縁膜 119 上に設けられるため、同一の材料を用いて同時に形成することができる。また、導電膜 322a および導電膜 322b は同一面上、図 42 においては絶縁膜 354 上に設けられるため、同一の材料を用いて同時に形成することができる。

50

【0175】

本発明の一態様の表示装置は、導電膜321aおよび導電膜322bを一对のタッチセンサ電極として用いることができる。導電膜321aと導電膜322bの間には容量が形成され、導電膜321aおよび／または導電膜322bに被検知体が近接することにより該容量の大きさが変化することを利用して、検出を行うことができる。なお、導電膜321aおよび導電膜322bには、表示装置310が表示を行う期間は液晶素子160a、160bの駆動に応じたコモン電位が供給され、表示装置310が被検知体の検出を行う期間は固定電位またはセンシングに用いる信号が供給される。

【0176】

基板102の端部に近い領域には、接続部306が設けられている。接続部306は、接続層319を介してFPC373と電氣的に接続されている。図42では、配線386の一部と、導電膜322aと同一の導電膜を加工して形成した導電層とを積層することで接続部306を構成している例を示している。

【0177】

基板372の基板102側の面には、着色膜331a、着色膜331bおよび遮光膜332が設けられている。また着色膜331a、331b、遮光膜332を覆って絶縁膜355が設けられている。

【0178】

なお、遮光膜332は、必ずしも、設けなくてもよい。

【0179】

絶縁膜355は、着色膜331aや遮光膜332等に含まれる不純物が液晶353に拡散することを防ぐオーバーコートとしての機能を有する。

【0180】

スペーサ316は、絶縁膜354上に設けられ、基板102と基板372との距離が一定以上近づくことを防ぐ機能を有する。図42ではスペーサ316と基板372側の構造物（例えば絶縁膜355等）とが接触している例を示すが、これらが接していなくてもよい。またここではスペーサ316が基板102側に設けられている例を示したが、基板372側に設けてもよい。例えば、隣接する2つの副画素の間に配置してもよい。または、スペーサ316として粒状のスペーサを用いてもよい。粒状のスペーサとしては、シリカなどの材料を用いることもできるが、有機樹脂やゴムなどの弾性を有する材料を用いることが好ましい。このとき、粒状のスペーサは上下方向に潰れた形状となる場合がある。

【0181】

なお、導電膜322a、322b、絶縁膜354、絶縁膜355等において、液晶353と接する面には液晶353の配向を制御するための配向膜が設けられていてもよい。

【0182】

また、表示装置310に透過型液晶表示装置を適用する場合、例えば図示しない偏光板を、表示部を挟むように2つ配置する。偏光板よりも外側に配置されたバックライトからの光は偏光板を介して入射される。このとき、導電膜321aと導電膜322aの間および導電膜321bと導電膜322bの間に与える電圧によって液晶353の配向を制御する。すなわち、偏光板を介して射出される光の強度を制御することができる。また入射光は着色膜331a、331b等によって特定の波長領域以外の光が吸収されることにより、射出される光は例えば赤色、青色、または緑色を呈する光となる。

【0183】

また偏光板に加えて、例えば円偏光板を用いることができる。円偏光板としては、例えば直線偏光板と1/4波長位相差板を積層したものをを用いることができる。円偏光板により、視野角依存を低減することができる。

【0184】

なお、ここでは液晶素子160a、160bとしてFFSモードが適用された素子を用いたが、これに限られず様々なモードが適用された液晶素子を用いることができる。例えばVA（Vertical Alignment）モード、TN（Twisted Ne

10

20

30

40

50

matic) モード、IPS モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード等が適用された液晶素子を用いることができる。

【0185】

また、表示装置 310 にノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置を適用してもよい。垂直配向モードとしては、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV モードなどを用いることができる。

10

【0186】

なお、液晶素子は、液晶の光学変調作用によって光の透過または非透過を制御する素子である。なお、液晶の光学変調作用は、液晶にかかる電界 (横方向の電界、縦方向の電界又は斜め方向の電界を含む) によって制御される。なお、液晶素子に用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

20

【0187】

また、液晶材料としては、ポジ型の液晶、またはネガ型の液晶のいずれを用いてもよく、適用するモードや設計に応じて最適な液晶材料を用いればよい。

【0188】

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性である。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の表示装置の不良や破損を軽減することができる。

30

【0189】

本構成例において、導電膜 321a と、導電膜 322b の間に形成される容量を利用して、タッチ動作等を検出することができる。すなわち導電膜 321a は、液晶素子 160a の一対の電極の一方と、タッチセンサの一対の電極の一方とを兼ねる。また導電膜 322b は、液晶素子 160b の一対の電極の一方と、タッチセンサの一対の電極の他方とを兼ねる。

【0190】

ここで、導電膜 321a、321b として、可視光を透過する導電性材料を用いることが好ましい。例えば金属酸化物を含む導電性材料を含んで構成される。例えば、後述する透光性を有する導電性材料のうち、金属酸化物を用いることができる。

40

【0191】

また、導電膜 321a、321b としては、例えば、他の導電層や半導体層と同一の金属元素を含む金属酸化物を用いることが好ましい。特に、表示装置 310 が有するトランジスタの半導体層に酸化物半導体を用いた場合、これに含まれる金属元素を含む導電性酸化物を適用することが好ましい。特に、絶縁膜 354 において、水素を含む窒化珪素膜を用いてもよい。その場合には、導電膜 321a、321b として、酸化物半導体を用いる場合、絶縁膜 354 から供給される水素によって、導電率を向上させることができる。つ

50

まり、酸化物半導体がN+化された状態とすることができる。

【0192】

ここで、基板372よりも上部に、指またはスタイラスなどの被検知体が直接触れる基板を設けてもよい。またこのとき、基板372と当該基板との間に偏光板または円偏光板を設けることが好ましい。その場合、当該基板上に保護層（セラミックコート等）を設けることが好ましい。保護層は、例えば酸化シリコン、酸化アルミニウム、酸化イットリウム、イットリア安定化ジルコニア（YSZ）などの無機絶縁材料を用いることができる。また、当該基板に強化ガラスを用いてもよい。強化ガラスは、イオン交換法や風冷強化法等により物理的、または化学的な処理が施され、その表面に圧縮応力を加えたものを用いることができる。

10

【0193】

〔各構成要素について〕

以下では、上記に示す各構成要素について説明する。

【0194】

{基板}

表示装置が有する基板には、平坦面を有する材料を用いることができる。表示素子からの光を取り出す側の基板には、該光を透過する材料を用いる。例えば、ガラス、石英、セラミック、サファイヤ、有機樹脂などの材料を用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板として用いてもよい。

20

【0195】

なお、基板として、ガラス基板を用いる場合、第6世代（1500mm×1850mm）、第7世代（1870mm×2200mm）、第8世代（2200mm×2400mm）、第9世代（2400mm×2800mm）、第10世代（2950mm×3400mm）等の大面積基板を用いることで、大型の表示装置を作製することができる。また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタや容量素子等を形成してもよい。

【0196】

厚さの薄い基板を用いることで、表示装置の軽量化、薄型化を図ることができる。さらに、可撓性を有する程度の厚さの基板を用いることで、可撓性を有する表示装置を実現できる。

30

【0197】

ガラスとしては、例えば、無アルカリガラス、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等を用いることができる。

【0198】

可撓性及び可視光に対する透過性を有する材料としては、例えば、可撓性を有する程度の厚さのガラスや、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）等のポリエステル樹脂、ポリアクリロニトリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート（PC）樹脂、ポリエーテルスルホン（PES）樹脂、ポリアミド樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリ塩化ビニル樹脂、ポリテトラフルオロエチレン（PTFE）樹脂等が挙げられる。特に、熱膨張係数の低い材料を用いることが好ましく、例えば、ポリアミドイミド樹脂、ポリイミド樹脂、PET等を好適に用いることができる。また、ガラス繊維に有機樹脂を含浸した基板や、無機フィラーを有機樹脂に混ぜて熱膨張係数を下げた基板を使用することもできる。このような材料を用いた基板は、重量が軽いため、該基板を用いた表示装置も軽量にすることができる。

40

【0199】

また、発光を取り出さない側の基板は、透光性を有していなくてもよいため、上記に挙げた基板の他に、金属材料や合金材料を用いた金属基板、セラミック基板、または半導体

50

基板等を用いることもできる。金属材料や合金材料は熱伝導性が高く、封止基板全体に熱を容易に伝導できるため、表示装置の局所的な温度上昇を抑制することができ、好ましい。可撓性や曲げ性を得るためには、金属基板の厚さは、 $10\text{ }\mu\text{m}$ 以上 $200\text{ }\mu\text{m}$ 以下が好ましく、 $20\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下であることがより好ましい。

【0200】

金属基板を構成する材料としては、特に限定はないが、例えば、アルミニウム、銅、ニッケル、又はアルミニウム合金もしくはステンレス等の合金などを好適に用いることができる。

【0201】

また、導電性の基板の表面を酸化する、又は表面に絶縁膜を形成するなどにより、絶縁処理が施された基板を用いてもよい。例えば、スピンコート法やディップ法などの塗布法、電着法、蒸着法、又はスパッタリング法などを用いて絶縁膜を形成してもよいし、酸素雰囲気中で放置する又は加熱するほか、陽極酸化法などによって、基板の表面に酸化膜を形成してもよい。

【0202】

可撓性を有する基板としては、上記材料を用いた層が、表示装置の表面を傷などから保護するハードコート層（例えば、窒化シリコン層など）や、押圧を分散可能な材質の層（例えば、アラミド樹脂層など）等と積層されて構成されていてもよい。また、水分等による表示素子の寿命の低下等を抑制するために、窒化シリコン膜、酸化窒化シリコン膜等の窒素と珪素を含む膜や、窒化アルミニウム膜等の窒素とアルミニウムを含む膜等の透水性の低い絶縁膜を有していてもよい。

【0203】

基板は、複数の層を積層して用いることもできる。特に、ガラス層を有する構成とすると、水や酸素に対するバリア性を向上させ、信頼性の高い表示装置とすることができる。

【0204】

例えば、表示素子に近い側からガラス層、接着層、及び有機樹脂層を積層した基板を用いることができる。当該ガラス層の厚さとしては $20\text{ }\mu\text{m}$ 以上 $200\text{ }\mu\text{m}$ 以下、好ましくは $25\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$ 以下とする。このような厚さのガラス層は、水や酸素に対する高いバリア性と可撓性を同時に実現できる。また、有機樹脂層の厚さとしては、 $10\text{ }\mu\text{m}$ 以上 $200\text{ }\mu\text{m}$ 以下、好ましくは $20\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下とする。このような有機樹脂層を設けることにより、ガラス層の割れやクラックを抑制し、機械的強度を向上させることができる。このようなガラス材料と有機樹脂の複合材料を基板に適用することにより、極めて信頼性が高いフレキシブルな表示装置とすることができる。なお、接着層としては、熱硬化樹脂や光硬化樹脂、2液混合型の硬化性樹脂などの硬化性樹脂を用いることができる。例えば、アクリル、ウレタン、エポキシ、またはシリコーンなどのシロキサン結合を有する樹脂などの樹脂を用いることができる。

【0205】

{トランジスタ}

トランジスタは、ゲート電極として機能する導電層と、半導体層と、ソース電極として機能する導電層と、ドレイン電極として機能する導電層と、ゲート絶縁層として機能する絶縁層と、を有する。上記では、ボトムゲート構造のトランジスタを適用した場合を示している。

【0206】

なお、本発明の一態様の表示装置が有するトランジスタの構造は特に限定されない。例えば、プレーナ型のトランジスタとしてもよいし、スタガ型のトランジスタとしてもよいし、逆スタガ型のトランジスタとしてもよい。また、トップゲート型又はボトムゲート型のいずれのトランジスタ構造としてもよい。または、チャンネルの上下にゲート電極が設けられていてもよい。トランジスタに用いる半導体材料は特に限定されず、例えば、酸化物半導体、シリコン、ゲルマニウム等が挙げられる。

【0207】

トランジスタに用いる半導体材料の結晶性についても特に限定されず、非晶質半導体、結晶性を有する半導体（微結晶半導体、多結晶半導体、単結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

【0208】

また、トランジスタに用いる半導体材料としては、例えば、第14族の元素、化合物半導体又は酸化物半導体を半導体層に用いることができる。代表的には、シリコンを含む半導体、ガリウムヒ素を含む半導体又はインジウムを含む酸化物半導体などを適用できる。

【0209】

特に、トランジスタのチャネルが形成される半導体に、酸化物半導体を適用することが好ましい。特にシリコンよりもバンドギャップの大きな酸化物半導体を適用することが好ましい。シリコンよりもバンドギャップが広く、且つキャリア密度の小さい半導体材料を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。

【0210】

例えば、上記酸化物半導体として、少なくともインジウム（In）もしくは亜鉛（Zn）を含むことが好ましい。より好ましくは、上記酸化物半導体はインジウム、亜鉛に加えて、Al、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf等の金属を含む。

【0211】

特に、半導体層として、複数の結晶部を有し、当該結晶部はc軸が半導体層の被形成面、または半導体層の上面に対し概略垂直に配向し、且つ隣接する結晶部間には粒界を有さない酸化物半導体膜を用いることが好ましい。

【0212】

このような酸化物半導体は、結晶粒界を有さないために表示パネルを湾曲させたときの応力によって酸化物半導体膜にクラックが生じてしまうことが抑制される。したがって、可撓性を有し、湾曲させて用いる表示装置などに、このような酸化物半導体を好適に用いることができる。

【0213】

また半導体層としてこのような酸化物半導体を用いることで、電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0214】

また、その低いオフ電流により、トランジスタを介して容量に蓄積した電荷を長期間に亘って保持することが可能である。このようなトランジスタを画素に適用することで、各表示領域に表示した画像の階調を維持しつつ、駆動回路を停止することも可能となる。その結果、極めて消費電力の低減された表示装置を実現できる。

【0215】

半導体層は、例えば少なくともインジウム（In）、亜鉛（Zn）及びM（Al、Ti、Ga、Y、Zr、La、Ce、SnまたはHf等の金属）を含むことが好ましい。または、半導体層は、少なくともインジウム（In）、亜鉛（Zn）及びM（Al、Ti、Ga、Y、Zr、La、Ce、SnまたはHf等の金属）を含むIn-M-Zn酸化物で表記される膜を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0216】

スタビライザーとしては、上記Mで記載の金属を含め、例えば、ガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、アルミニウム（Al）、またはジルコニウム（Zr）等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）等がある。

【0217】

10

20

30

40

50

半導体層を構成する酸化物半導体として、例えば、In-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

10

【0218】

なお、ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0219】

また、半導体層と、導電層は、上記酸化物のうち、同一の金属元素を有していてもよい。半導体層と、導電層を同一の金属元素とすることで、製造コストを低減させることができる。例えば、同一の金属組成の金属酸化物ターゲットを用いることで製造コストを低減させることができる。また同一の金属組成の金属酸化物ターゲットを用いることによって、酸化物半導体膜を加工する際のエッチングガスまたはエッチング液を導電層を加工する際にも共通して用いることができる。ただし、半導体層と、導電層は、同一の金属元素を有していても、組成が異なる場合がある。例えば、トランジスタ及び容量素子の作製工程中に、膜中の金属元素が脱離し、異なる金属組成となる場合がある。

20

【0220】

なお、半導体層がIn-M-Zn酸化物であるとき、ZnおよびOを除いてのInとMの原子数比率は、InおよびMの和を100 atomic %としたとき、好ましくはInが25 atomic %より高く、Mが75 atomic %未満、さらに好ましくはInが34 atomic %より高く、Mが66 atomic %未満とする。

【0221】

半導体層は、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

30

【0222】

半導体層の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下、さらに好ましくは3 nm以上50 nm以下とする。

【0223】

半導体層がIn-M-Zn酸化物（MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf）の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $In \geq M$ 、 $Zn \geq M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=3:1:2$ 、 $4:2:3$ が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、誤差として上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

40

【0224】

半導体層としては、キャリア密度の低い酸化物半導体膜を用いる。例えば、半導体層は、キャリア密度が 1×10^{17} 個/cm³以下、好ましくは 1×10^{15} 個/cm³以下、さらに好ましくは 1×10^{13} 個/cm³以下、より好ましくは 1×10^{11} 個/cm³以下の酸化物半導体膜を用いる。

【0225】

50

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0226】

半導体層において、第14族元素の一つであるシリコンや炭素が含まれると、半導体層において酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

10

【0227】

また、半導体層において、二次イオン質量分析法により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

【0228】

また、半導体層に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、当該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、二次イオン質量分析法により得られる窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

20

【0229】

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、後述するCAAC-OS (C Axis Aligned-Crystalline Oxide Semiconductor)、多結晶構造、後述する微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

30

【0230】

半導体層は、例えば非晶質構造でもよい。非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

【0231】

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域の二種以上を有する混合膜であってもよい。また、混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のいずれか二種以上の領域の積層構造を有する場合がある。

40

【0232】

または、トランジスタのチャネルが形成される半導体に、シリコンを用いることが好ましい。シリコンとしてアモルファスシリコンを用いてもよいが、特に結晶性を有するシリコンを用いることが好ましい。例えば、微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることが好ましい。特に、多結晶シリコンは、単結晶シリコンに比べて低温で形成でき、且つアモルファスシリコンに比べて高い電界効果移動度と高い信頼性を備える。このような多結晶半導体を画素に適用することで画素の開口率を向上させることができる。また極めて密に画素を有する場合であっても、選択線駆動回路と走査線駆動回路を画素と同一基板上に形成することが可能となり、電子機器を構成する部品数を低減することができる。

50

【0233】

{導電層}

トランジスタのゲート電極、ソース電極およびドレイン電極のほか、表示装置を構成する各種配線および電極などの導電層に用いることのできる材料としては、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。また、マンガンを含む銅を用いると、エッチングによる形状の制御性が高まるため好ましい。

10

【0234】

また、透光性を有する導電性材料としては、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物またはグラフェンを用いることができる。または、金、銀、白金、マグネシウム、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、またはチタンなどの金属材料や、該金属材料を含む合金材料を用いることができる。または、該金属材料の窒化物（例えば、窒化チタン）などを用いてもよい。なお、金属材料、合金材料（またはそれらの窒化物）を用いる場合には、透光性を有する程度に薄くすればよい。また、上記材料の積層膜を導電層として用いることができる。例えば、銀とマグネシウムの合金とインジウムスズ酸化物の積層膜などを用いると、導電性を高めることができるため好ましい。これらは、表示装置を構成する各種配線および電極などの導電層や、表示素子が有する電極（画素電極および共通電極など）にも用いることができる。

20

【0235】

または、導電層として、半導体層と同様の酸化物半導体を用いることが好ましい。このとき導電層が、半導体層のチャンネルが形成される領域よりも低い電気抵抗を呈するように、形成されていることが好ましい。

30

【0236】

例えばこのような導電層を、トランジスタの第2のゲート電極として機能する導電層に適用することができる。または、透光性を有する他の導電層にも適用することができる。

【0237】

{酸化物半導体の抵抗率の制御方法}

半導体層及び導電層に用いることのできる酸化物半導体膜は、膜中の酸素欠損及び／又は膜中の水素、水等の不純物濃度によって、抵抗率を制御することができる半導体材料である。そのため、半導体層及び導電層へ酸素欠損及び／又は不純物濃度が増加する処理、または酸素欠損及び／又は不純物濃度が低減する処理を選択することによって、それぞれの酸化物半導体膜の抵抗率を制御することができる。

40

【0238】

具体的には、導電層に用いる酸化物半導体膜にプラズマ処理を行い、該酸化物半導体の膜中の酸素欠損を増加させる、および／または酸化物半導体の膜中の水素、水等の不純物を増加させることによって、キャリア密度が高く、抵抗率が低い酸化物半導体膜とすることができる。また、酸化物半導体膜に水素を含む絶縁膜を接して形成し、該水素を含む絶縁膜から酸化物半導体膜に水素を拡散させることによって、キャリア密度が高く、抵抗率が低い酸化物半導体膜とすることができる。

50

【0239】

一方、トランジスタのチャネル領域として機能する半導体層は、水素を含む絶縁膜と接しない構成とする。半導体層と接する絶縁膜の少なくとも一つに酸素を含む絶縁膜、別言すると、酸素を放出することが可能な絶縁膜を適用することで、半導体層に酸素を供給することができる。酸素が供給された半導体層は、膜中または界面の酸素欠損が補填され抵抗率が高い酸化物半導体膜となる。なお、酸素を放出することが可能な絶縁膜としては、例えば、酸化シリコン膜、または酸化窒化シリコン膜を用いることができる。

【0240】

また、抵抗率が低い酸化物半導体膜を得るために、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて、水素、ボロン、リン、または窒素を酸化物半導体膜に注入してもよい。

10

【0241】

また、抵抗率が低い酸化物半導体膜を得るために、該酸化物半導体膜にプラズマ処理を行ってもよい。例えば、該プラズマ処理としては、代表的には、希ガス（He、Ne、Ar、Kr、Xe）、水素、及び窒素の中から選ばれた一種以上を含むガスを用いたプラズマ処理が挙げられる。より具体的には、Ar雰囲気下でのプラズマ処理、Arと水素の混合ガス雰囲気下でのプラズマ処理、アンモニア雰囲気下でのプラズマ処理、Arとアンモニアの混合ガス雰囲気下でのプラズマ処理、または窒素雰囲気下でのプラズマ処理などが挙げられる。

20

【0242】

上記プラズマ処理によって、酸化物半導体膜は、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損は、キャリアを発生する要因になる場合がある。また、酸化物半導体膜の近傍、より具体的には、酸化物半導体膜の下側または上側に接する絶縁膜から水素が供給されると、上記酸素欠損と水素が結合することで、キャリアである電子を生成する場合がある。

【0243】

一方、酸素欠損が補填され、水素濃度が低減された酸化物半導体膜は、高純度真性化、又は実質的に高純度真性化された酸化物半導体膜といえる。ここで、実質的に真性とは、酸化物半導体膜のキャリア密度が、 8×10^{11} 個/cm³ 未満、好ましくは 1×10^{11} 個/cm³ 未満、さらに好ましくは 1×10^{10} 個/cm³ 未満であることを指す。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度を低減することができる。

30

【0244】

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち 1×10^{-13} A 以下という特性を得ることができる。したがって、上述した高純度真性または実質的に高純度真性である酸化物半導体膜を用いる半導体層をチャネル領域に用いるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

40

【0245】

導電層として用いる酸化物半導体膜と接する絶縁膜として、例えば、水素を含む絶縁膜、別言すると水素を放出することが可能な絶縁膜、代表的には窒化シリコン膜を用いることで、導電層に水素を供給することができる。水素を放出することが可能な絶縁膜としては、膜中の含有水素濃度が 1×10^{22} atoms/cm³ 以上であると好ましい。このような絶縁膜を導電層に接して形成することで、導電層に効果的に水素を含有させることができる。このように、半導体層及び導電層に接する絶縁膜の構成を変えることによって、酸化物半導体膜の抵抗率を制御することができる。

50

【0246】

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合することで、キャリアである電子を生成する場合がある。したがって、水素が含まれている絶縁膜と接して設けられた導電層は、半導体層よりもキャリア密度の高い酸化物半導体膜となる。

【0247】

トランジスタのチャネル領域が形成される半導体層は、水素ができる限り低減されていることが好ましい。具体的には、半導体層において、二次イオン質量分析法により得られる水素濃度を、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とする。

【0248】

一方、導電層は、半導体層よりも水素濃度及び／又は酸素欠損量が多く、抵抗率が低い酸化物半導体膜である。導電層に含まれる水素濃度は、 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、より好ましくは $5 \times 10^{20} \text{ atoms/cm}^3$ 以上である。また、半導体層と比較して、導電層に含まれる水素濃度は2倍以上、好ましくは10倍以上である。また、導電層の抵抗率が、半導体層の抵抗率の 1×10^{-8} 倍以上 1×10^{-1} 倍未満であることが好ましく、代表的には $1 \times 10^{-3} \Omega \text{ cm}$ 以上 $1 \times 10^4 \Omega \text{ cm}$ 未満、さらに好ましくは、抵抗率が $1 \times 10^{-3} \Omega \text{ cm}$ 以上 $1 \times 10^{-1} \Omega \text{ cm}$ 未満であるとよい。

【0249】

{絶縁膜}

トランジスタ150a、150bのゲート絶縁膜として機能する絶縁膜108としては、プラズマCVD（CVD：Chemical Vapor Deposition）法、スパッタリング法等により、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁膜を、それぞれ用いることができる。なお、絶縁膜108を単層構造とせず、上述の材料から選択された複数の膜を積層してもよい。

【0250】

絶縁膜108は、酸素の透過を抑制するブロッキング膜としての機能を有していてもよい。例えば、図42のトランジスタ150a、150bの半導体層として酸化物半導体層を用いる場合、絶縁膜114及び／または該酸化物半導体層中に過剰の酸素を供給する際に、絶縁膜108は酸素の透過を抑制することができる。

【0251】

なお、絶縁膜108は、酸化物絶縁膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有することがより好ましい。別言すると、絶縁膜108は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜108に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁膜108を形成すればよい。または、成膜後の絶縁膜108に酸素を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョニオン注入法、プラズマ処理等を用いることができる。

【0252】

また、絶縁膜108として、酸化ハフニウムを用いる場合、以下の効果を奏する。酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、

酸化シリコンを用いた場合と比べて、絶縁膜 108 の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。すなわち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

【0253】

{保護絶縁膜}

トランジスタ 150 a、150 b の保護絶縁膜として機能する絶縁膜 114、118 としては、プラズマ CVD 法、スパッタリング法等により、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁膜を、それぞれ用いることができる。

【0254】

また、例えば図 42 のトランジスタ 150 a、150 b の半導体層として酸化物半導体層を用いる場合、絶縁膜 114 は、酸化物絶縁膜であることが好ましく、酸素を放出することが可能な絶縁膜を用いる。別言すると、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有する絶縁膜である。なお、絶縁膜 114 に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁膜 114 を形成すればよい。または、成膜後の絶縁膜 114 に酸素を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理等を用いることができる。

【0255】

絶縁膜 114 として、酸素を放出することが可能な絶縁膜を用いることで、トランジスタ 150 a、150 b のチャネル領域として機能する酸化物半導体膜に酸素を移動させ、酸素欠損量を低減することが可能となる。例えば、昇温脱離ガス分析（以下、TDS 分析とする。）によって測定される、膜の表面温度が 100℃以上 700℃以下、または 100℃以上 500℃以下の範囲における酸素分子の放出量が、 1.0×10^{-18} 分子/cm³ 以上ある絶縁膜を用いることで、該酸化物半導体膜に含まれる酸素欠損量を低減することができる。

【0256】

また、絶縁膜 114 は、欠陥量が少ないことが好ましく、代表的には、ESR 測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が 3×10^{-17} spins/cm³ 以下であることが好ましい。これは、絶縁膜 114 に含まれる欠陥密度が多いと、当該欠陥に酸素が結合してしまい、絶縁膜 114 における酸素の透過量が減少してしまうためである。また、絶縁膜 114 と該酸化物半導体膜との界面における欠陥量が少ないことが好ましく、代表的には、ESR 測定により、該酸化物半導体膜の欠陥に由来する g 値が 1.89 以上 1.96 以下に現れる信号のスピン密度が 1×10^{-17} spins/cm³ 以下、さらには検出下限以下であることが好ましい。

【0257】

また、絶縁膜 114 は、窒素酸化物の準位密度が低い酸化物絶縁膜を用いて形成することができる。なお、当該窒素酸化物に起因する準位密度は、酸化物半導体膜の価電子帯の上端のエネルギー ($E_{v_{os}}$) と、酸化物半導体膜の伝導帯下端のエネルギー ($E_{c_{os}}$) との間に形成され得る場合がある。上記酸化物絶縁膜として、窒素酸化物の放出量が少ない酸化窒化シリコン膜、または窒素酸化物の放出量が少ない酸化窒化アルミニウム膜等を用いることができる。

【0258】

絶縁膜 118 としては、窒化物絶縁膜であることが好ましい。絶縁膜 118 は、ゲート

電極 3 4 2、3 4 4 として酸化物半導体膜を用いる場合に、該酸化物半導体膜の抵抗率を低下させる機能も有する。

【0 2 5 9】

また、絶縁膜 1 1 8 は、酸素、水素、水、アルカリ金属、アルカリ土類金属等をブロッキングできる機能を有する。トランジスタ 1 5 0 a、1 5 0 b の半導体層として酸化物半導体膜を用いる場合、絶縁膜 1 1 8 を設けることで、該酸化物半導体膜からの酸素の外部への拡散と、絶縁膜 1 1 4 に含まれる酸素の外部への拡散と、外部から該酸化物半導体膜への水素、水等の入り込みを防ぐことができる。なお、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有する窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

10

【0 2 6 0】

平坦膜、オーバーコート、スペーサ等に用いることのできる絶縁材料としては、例えば、アクリル、エポキシなどの樹脂、シリコンなどのシロキサン結合を有する樹脂の他、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウムなどの無機絶縁材料を用いることができる。

【0 2 6 1】

{シール材}

シール材は、表示素子やトランジスタに対して不純物となる物質（水など）が、外部から侵入することを防止又は抑制する機能を少なくとも有する。なお、シール材に別の機能を付加してもよい。例えば、構造を強化する機能、接着性を強化する機能、耐衝撃性を強化する機能などをシール材が有していてもよい。

20

【0 2 6 2】

シール材としては、硬化前に液晶層と接した場合でも液晶層に溶解しない材料を用いることが好ましい。シール材としては、例えばエポキシ樹脂、アクリル樹脂などを適用できる。なお、上記樹脂材料は、熱硬化型、光硬化型のいずれでもよい。また、シール材として、アクリル系樹脂とエポキシ系樹脂を混ぜた樹脂を用いてもよい。このとき、UV 開始剤、熱硬化剤、カップリング剤などを混ぜてもよい。また、フィラーを含んでもよい。

30

【0 2 6 3】

また、シール材として、上述した接着層と同様の材料を用いてもよい。

【0 2 6 4】

{接続層}

接続層としては、異方性導電フィルム（ACF: Anisotropic Conductive Film）や、異方性導電ペースト（ACP: Anisotropic Conductive Paste）などを用いることができる。

【0 2 6 5】

{着色膜}

着色膜に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。

40

【0 2 6 6】

以上が各構成要素についての説明である。

【0 2 6 7】

以下より、上記構成例とは一部の構成の異なる表示装置の断面構成例について示す。なお、上記と重複する部分については説明を省略し、相違点について説明する。

【0 2 6 8】

[断面構成例 2]

図 4 3 に、導電膜 3 2 1 a、3 2 1 b を、絶縁膜 1 1 4 上に設けられるトランジスタの第 2 のゲート電極（ゲート電極 3 4 2、3 4 4）と同一の材料を用いて形成する構成を示

50

す。導電膜 3 2 1 a、3 2 1 b は、絶縁膜 1 1 4 上に設けられる。また導電膜 3 2 2 a、3 2 2 b は、導電膜 3 2 1 a、3 2 1 b 上に設けられた絶縁膜 1 1 8 上に設けられる。絶縁膜 1 1 9 および絶縁膜 3 5 4 を設けない点が図 4 2 と異なる。また、図 4 3 に示す表示装置 3 1 0 では、スペーサ 3 1 6 が基板 3 7 2 の基板 1 0 2 側に、具体的には絶縁膜 3 5 5 上に設けられている。このような構成とすることで、表示装置 3 1 0 の作製に要するフォトリソマスク枚数を削減し、また作製工程を短縮することができる。

【0 2 6 9】

導電膜 3 2 1 a、3 2 1 b として特に、酸化物半導体を用いることが好ましい。この場合、絶縁膜 1 1 8 として、水素を含む窒化珪素膜を用いることで、絶縁膜 1 1 8 から供給される水素によって、導電膜 3 2 1 a、3 2 1 b の導電率を向上させることができる。導電膜 3 2 1 a、3 2 1 b として酸化物半導体膜を用いることで、導電膜 3 2 1 a、3 2 1 b となる導電層の成膜時または成膜後の加熱処理時にトランジスタ 1 5 0 a、1 5 0 b の半導体膜に酸素を供給することができる。トランジスタ 1 5 0 a、1 5 0 b の半導体膜が酸化物半導体膜である場合、酸素が供給されることで、該半導体膜の膜中または界面の酸素欠損が補填され、抵抗率が高い半導体膜となる。これにより、トランジスタ 1 5 0 a、1 5 0 b のオフ状態における電流値（オフ電流値）を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

【0 2 7 0】

トランジスタ 1 5 0 a は、ゲート電極 3 4 1 と、ゲート電極 3 4 1 上に設けられた絶縁膜 1 0 8 と、絶縁膜 1 0 8 上のゲート電極 3 4 1 と重畳する位置に設けられたチャネル層として機能する酸化物半導体膜と、該酸化物半導体膜に電氣的に接続されたソース電極およびドレイン電極と、該酸化物半導体膜、ソース電極およびドレイン電極上に設けられた絶縁膜 1 1 4 と、絶縁膜 1 1 4 上の該酸化物半導体膜と重畳する位置に設けられたゲート電極 3 4 2 と、を有する。またトランジスタ 1 5 0 b は、ゲート電極 3 4 3 と、ゲート電極 3 4 3 上に設けられた絶縁膜 1 0 8 と、絶縁膜 1 0 8 上のゲート電極 3 4 3 と重畳する位置に設けられたチャネル層として機能する酸化物半導体膜と、該酸化物半導体膜に電氣的に接続されたソース電極およびドレイン電極と、該酸化物半導体膜、ソース電極およびドレイン電極上に設けられた絶縁膜 1 1 4 と、絶縁膜 1 1 4 上の該酸化物半導体膜と重畳する位置に設けられたゲート電極 3 4 4 と、を有する。

【0 2 7 1】

絶縁膜 1 1 8 は、ゲート電極 3 4 2、ゲート電極 3 4 4、導電膜 3 2 1 a および導電膜 3 2 1 b が、絶縁膜 1 1 4 と絶縁膜 1 1 8 とによって挟持されるように設けられる。絶縁膜 1 1 4 は、酸素を含むことが好ましい。また、ゲート電極 3 4 2、ゲート電極 3 4 4、導電膜 3 2 1 a および導電膜 3 2 1 b として酸化物半導体膜を用いる場合、絶縁膜 1 1 8 は水素を含むことが好ましい。

【0 2 7 2】

なお、副画素 3 6 5 a 1 のコモン電極として機能する導電膜 3 2 1 a は、トランジスタ 1 5 0 a のゲート電極 3 4 2 と同様に絶縁膜 1 1 4 上に設けられる。そのため、例えば副画素 3 6 5 a 1 に設けられる導電膜 3 2 1 a は、ゲート電極 3 4 2 を島状に分離するための開口を有することが好ましい。

【0 2 7 3】

なお、図 5 (A) と同様に、基板 3 7 2 の上に、導電膜 3 2 8 a および導電膜 3 2 8 b を配置してもよい。その場合の例を図 4 4 に示す。

【0 2 7 4】

〔断面構成例 3〕

図 4 5 に、トランジスタ 1 5 0 a、1 5 0 b の第 2 のゲート電極であるゲート電極 3 4 2、3 4 4 を、導電膜 3 2 1 a、3 2 1 b と同一の材料を用いて形成する構成を示す。ゲート電極 3 4 2、3 4 4 は、絶縁膜 1 1 9 上に設けられる。このような構成とすることで

、表示装置 310 の作製に要するフォトマスク枚数を削減し、また作製工程を短縮することができる。

【0275】

なお、副画素 365a1 のコモン電極として機能する導電膜 321a は、トランジスタ 150a のゲート電極 342 と同様に絶縁膜 119 上に設けられる。そのため、例えば副画素 365a1 に設けられる導電膜 321a は、ゲート電極 342 を島状に分離するための開口を有することが好ましい。

【0276】

なお、図 5 (A) と同様に、基板 372 の上に、導電膜 328a および導電膜 328b を配置してもよい。その場合の例を図 46 に示す。

【0277】

〔断面構成例 4〕

図 47 では、図 42 におけるトランジスタ 150a、150b 及びトランジスタ 301 に、トップゲート型のトランジスタを適用した場合の例を示している。

【0278】

各トランジスタは半導体層を有し、半導体層上に絶縁膜 108 を介してゲート電極が設けられている。また半導体層は低抵抗化された領域を有していてもよい。当該領域は、ソースまたはドレインとして機能する。

【0279】

トランジスタのソース電極及びドレイン電極は、絶縁膜 118 上に設けられ、絶縁膜 118、絶縁膜 114、絶縁膜 108 に設けられた開口を介して、半導体層の低抵抗化された領域と電氣的に接続している。

【0280】

半導体層の低抵抗化された領域は、例えばトランジスタのチャネルが形成される領域よりも不純物を多く含む領域、キャリア濃度の高い領域、または結晶性が低い領域、などとすることができる。導電性を高める効果を奏する不純物は、半導体層に適用される半導体によって異なるが、代表的にはリンなどの n 型の導電性を付与しうる元素、ホウ素などの p 型の導電性を付与しうる元素、ヘリウム、ネオン、アルゴンなどの希ガスの他、水素、リチウム、ナトリウム、マグネシウム、アルミニウム、窒素、フッ素、カリウム、カルシウムなどが挙げられる。そのほかチタン、鉄、ニッケル、銅、亜鉛、銀、インジウム、スズなども、半導体の導電性に影響する不純物として機能する。例えば図 47 に示すトランジスタ 150a において、領域 347 や領域 348 は、トランジスタのチャネルが形成される領域よりも上記不純物を多く含む。

【0281】

なお、図 5 (A) と同様に、基板 372 の上に、導電膜 328a および導電膜 328b を配置してもよい。その場合の例を図 48 に示す。

【0282】

〔断面構成例 5〕

図 49 では、導電膜 321a および導電膜 322b に補助電極を設けた構成を示している。表示装置 310 を透過型液晶表示装置として駆動させる場合には、導電膜 321a および導電膜 322b として透明導電膜を用いる。該透明導電膜に接して抵抗の低い導電膜を設けることで、タッチセンサの駆動における信号の遅延等を抑制することができる。図 49 では、導電膜 321a、322b 上にそれぞれ補助電極として機能する導電膜 389a、389b が設けられている。導電膜 389a および導電膜 389b としては、たとえばトランジスタ 150a のゲート電極やソース電極およびドレイン電極に用いる材料と同様の材料を用いることができる。

【0283】

補助電極として可視光を透過しない材料を用いる場合、導電膜 389a、389b は遮光膜 332 と重なる位置に設けることが好ましい (図 49 参照)。また図 49 では導電膜 389a と導電膜 389b とが異なる材料である例を示しているが、これらを同じ材料を

10

20

30

40

50

用いて形成してもよい。

【0284】

なお、図51には第1の画素365a、第2の画素365bおよび第3の画素365cに導電膜389a、389bを設けた領域362の上面模式図の一例を示している。図49の表示部381は、図51の一点鎖線Z3-Z4に対応している。

【0285】

なお、図5(A)と同様に、基板372の上に、導電膜328aおよび導電膜328bを配置してもよい。その場合の例を図50に示す。

【0286】

〔断面構成例6〕

図52では、導電膜321a、導電膜322a、導電膜321bおよび導電膜322bが楕円状の上面形状を有する構成を示している。図52では、表示部381の例として、2つの副画素367a1、367b1の断面を示している。副画素367a1は第1の画素367aに含まれ、副画素367b1は第2の画素367bに含まれる。なお、図52における表示部381は、図37の一点鎖線Z5-Z6に対応している。

【0287】

なお、図5(B)と同様に、基板372の上に、導電膜328aおよび導電膜328bを配置してもよい。その場合の例を図53に示す。

【0288】

〔断面構成例7〕

図54では、第1の画素の画素電極が第1の画素のコモン電極と同一面上に設けられ、第2の画素の画素電極が第2の画素のコモン電極と同一面上に設けられる構成を示している。図54では、表示部381の例として、2つの副画素368a1、368b1の断面を示している。副画素368a1は第1の画素368aに含まれ、副画素368b1は第2の画素368bに含まれる。なお、図54における表示部381は、図38の一点鎖線Z7-Z8に対応している。

【0289】

副画素368a1においてコモン電極として機能する導電膜321a1および画素電極として機能する導電膜321a2は、絶縁膜119上に設けられる。また副画素368b1においてコモン電極として機能する導電膜322b1および画素電極として機能する導電膜322b2は、絶縁膜354上に設けられる。導電膜321a1と導電膜321a2、および導電膜322b1と導電膜322b2はそれぞれ同様の材料を用いて同時に形成することが好ましい。

【0290】

導電膜321a1および導電膜322b1はそれぞれ、タッチセンサの一方の電極および他方の電極として機能する。導電膜321a1と導電膜322b1の間に形成される容量を利用して、被検知体の近接または接触を検出することができる。

【0291】

なお、絶縁膜354は画素の開口部、たとえば着色膜331a、331bと重畳する領域には設けないことが好ましい。特に、液晶素子160aを構成する導電膜321a1および導電膜321a2上に絶縁膜354を設けないことで、第1の画素368aおよび第2の画素368bの電圧-透過率特性の差を小さくすることができる。また、絶縁膜354は少なくとも導電膜321a1と導電膜322b1を離間するように設ければよい。図56には、絶縁膜354が少なくとも導電膜321a1および導電膜322b1が重畳する領域に設けられた例を示している。なお、図56における表示部381は、図57の一点鎖線Z9-Z10に対応している。なお、図56の場合、導電膜322b1や導電膜322b2などをパターン形成するときに、導電膜321a1や導電膜321a2の上には、絶縁膜が設けられていない領域がある。したがって、導電膜322b1や導電膜322b2などを形成するために、導電膜の一部をエッチングされたときに、導電膜321a1や導電膜321a2も一緒にエッチングされてしまう危険性がある。そのため、図56で

10

20

30

40

50

は、例えば、導電膜 3 2 2 b 1 や導電膜 3 2 2 b 2 などと、導電膜 3 2 1 a 1 や導電膜 3 2 1 a 2 などとは、互いに材質が異なっていることが望ましい。これにより、導電膜 3 2 1 a 1 や導電膜 3 2 1 a 2 の上には、絶縁膜が設けられていなくても、導電膜 3 2 2 b 1 や導電膜 3 2 2 b 2 など形成するときに、導電膜 3 2 1 a 1 や導電膜 3 2 1 a 2 が、一緒にエッチングされてしまうことを防ぐことができる。

【0292】

なお、図 5 4 および図 5 6 において、図 5 (B) と同様に、基板 3 7 2 の上に、導電膜 3 2 8 a および導電膜 3 2 8 b を配置してもよい。その場合の例をそれぞれ図 5 5、図 5 8 に示す。

【0293】

なお、本実施の形態で示した表示装置 3 1 0 の断面図において、着色膜 3 3 1 a、着色膜 3 3 1 b、または、遮光膜 3 3 2 の少なくとも一つは、基板 3 7 2 側に設けられている場合の例を示した。ただし、本発明の一態様は、これに限定されない。例えば、着色膜 3 3 1 a、着色膜 3 3 1 b、または、遮光膜 3 3 2 の少なくとも一つは、基板 1 0 2 側に設けられていてもよい。一例として、図 4 2 の場合を図 5 9 に、図 4 7 の場合を図 6 0 に示す。他の断面図においても、同様な構成とすることができる。

【0294】

〔他の構成例〕

なお本発明の一態様は上記で例示した構成に限られず、様々な構成をとることができる。

【0295】

〈周辺回路〉

周辺回路は、一体形成しない構成とすることができる。すなわち、タッチセンサを駆動する回路と、画素を駆動する回路とを、それぞれ別に形成することができる。なお、これらの機能を一つの回路で実現してもよい。

【0296】

またタッチセンサを駆動する回路は、画素を駆動するゲートドライバ側、またはソースドライバ側のいずれに配置してもよい。

【0297】

また、タッチセンサの X 方向の導電膜または Y 方向の導電膜（電極）と電気的に接続する 2 つの回路のうち、検出する機能を有する回路としては I C を用いることが好ましい。このとき、当該導電膜は F P C を介して当該 I C で制御することが好ましい。

【0298】

〈タッチセンサの導電膜（電極）や液晶素子の導電膜（電極）〉

上部に配置されるスリットを有する導電膜（電極）を画素電極として用い、下部に配置され、複数の画素にわたって設けられる導電膜（電極）をコモン電極（共通電極ともいう）として用いることができる。

【0299】

または、上部に配置され、複数の画素にわたって設けられるスリットを有する導電膜（電極）をコモン電極として用い、下部に配置される導電膜（電極）を画素電極として用いることができる。

【0300】

タッチセンサの X 方向の導電膜を、画素電極として機能する導電膜、またはコモン電極として機能する導電膜と兼ねる構成とすることができる。または、タッチセンサの Y 方向の導電膜を、画素電極として機能する導電膜、またはコモン電極として機能する導電膜と兼ねる構成とすることができる。

【0301】

また、タッチセンサの X 方向の導電膜をパルス電圧が与えられる導電膜または電流の検出を行う導電膜のいずれとしてもよい。またこのとき、タッチセンサの Y 方向の導電膜は他方にすればよい。

10

20

30

40

50

【0302】

また、コモン電極として機能する導電膜は、複数の画素にわたって設けられる構成としてもよいし、例えばトランジスタのゲート電極と同一面上の導電膜により形成された共通配線と電氣的に接続されていてもよい。このとき、1つのコモン電極として機能する導電膜は島状の形状を有していてもよい。

【0303】

〈駆動方法〉

タッチセンサの駆動方法としては、例えば画素の駆動における1水平期間（1ゲート選択期間）の隙間で、対応する行のセンシング（走査）をする方法を用いることができる。または、1フレーム期間を2つに分け、前半で全画素の書き込みを行い、後半でセンシングしてもよい。

10

【0304】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0305】

（実施の形態2）

本実施の形態では、本発明の一態様の表示装置のトランジスタ及び容量素子に適用可能な酸化物半導体の一例について説明する。

【0306】

以下では、酸化物半導体の構造について説明する。

20

【0307】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0308】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

30

【0309】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

【0310】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

40

【0311】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【0312】

即ち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-l

50

like OSは、等方的でないが、鬆（ボイドともいう。）を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

【0313】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0314】

CAAC-OSは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一種である。

【0315】

CAAC-OSをX線回折（XRD：X-Ray Diffraction）によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図61（A）に示すように回折角（2θ）が31°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面（被形成面ともいう。）、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

【0316】

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の（110）面に帰属される。そして、2θを56°近傍に固定し、試料面の法線ベクトルを軸（φ軸）として試料を回転させながら分析（φスキャン）を行っても、図61（B）に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56°近傍に固定してφスキャンした場合、図61（C）に示すように（110）面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

【0317】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図61（D）に示すような回折パターン（制限視野電子回折パターンともいう。）が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の（009）面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図61（E）に示す。図61（E）より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図61（E）における第1リングは、InGaZnO₄の結晶の（010）面および（100）面などに起因すると考えられる。また、図61（E）における第2リングは（110）面などに起因すると考えられる。

【0318】

また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界（グレインバ

10

20

30

40

50

ウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-O Sは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0319】

図62(A)に、試料面と略平行な方向から観察したCAAC-O Sの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0320】

10

図62(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc:nanocrystal)と呼ぶこともできる。また、CAAC-O Sを、CAN C(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-O Sの被形成面または上面の凹凸を反映しており、CAAC-O Sの被形成面または上面と平行となる。

【0321】

20

また、図62(B)および図62(C)に、試料面と略垂直な方向から観察したCAAC-O Sの平面のCs補正高分解能TEM像を示す。図62(D)および図62(E)は、それぞれ図62(B)および図62(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図62(B)を高速フーリエ変換(FFT:Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT:Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

【0322】

30

図62(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

【0323】

40

図62(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-O Sが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0324】

以上に示すように、CAAC-O Sは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-O Sを、CAAC crystal(c-axis-aligned a-b-plane-anchored crystal)を有する酸化物半導体と称することもできる。

【0325】

CAAC-O Sは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の

50

混入や欠陥の生成などによって低下する場合があるため、逆の見方をすると C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【0326】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0327】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0328】

不純物および酸素欠損の少ない C A A C - O S は、キャリア密度の低い酸化物半導体である。具体的には、 8×10^{11} 個/cm³ 未満、好ましくは 1×10^{11} /cm³ 未満、さらに好ましくは 1×10^{10} 個/cm³ 未満であり、 1×10^{-9} 個/cm³ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0329】

< n c - O S >

次に、n c - O S について説明する。

【0330】

n c - O S を X R D によって解析した場合について説明する。例えば、n c - O S に対し、o u t - o f - p l a n e 法による構造解析を行うと、配向性を示すピークが現れない。即ち、n c - O S の結晶は配向性を有さない。

【0331】

また、例えば、I n G a Z n O ₄ の結晶を有する n c - O S を薄片化し、厚さが 3 4 n m の領域に対し、被形成面に平行にプローブ径が 5 0 n m の電子線を入射させると、図 6 3 (A) に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が 1 n m の電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図 6 3 (B) に示す。図 6 3 (B) より、リング状の領域内に複数のスポットが観測される。したがって、n c - O S は、プローブ径が 5 0 n m の電子線を入射させることでは秩序性が確認されないが、プローブ径が 1 n m の電子線を入射させることでは秩序性が確認される。

【0332】

また、厚さが 1 0 n m 未満の領域に対し、プローブ径が 1 n m の電子線を入射させると、図 6 3 (C) に示すように、スポットが略正六角状に配置された電子回折パターンが観測される場合がある。したがって、厚さが 1 0 n m 未満の範囲において、n c - O S が秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

【0333】

図 6 3 (D) に、被形成面と略平行な方向から観察した n c - O S の断面の C s 補正高分解能 T E M 像を示す。n c - O S は、高分解能 T E M 像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。n c - O S に含まれる結晶部は、1 n m 以上 1 0 n m 以下の大きさであり、特に 1 n m 以上 3 n m 以下の大きさであることが多い。なお、結晶部の大きさが 1 0 n m より大きく 1 0 0 n m 以下である酸化物半導体を微結晶酸化物半導体（m i c r

10

20

30

40

50

ocrystalline oxide semiconductor) と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

【0334】

このように、nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

10

【0335】

なお、ペレット（ナノ結晶）間で結晶方位が規則性を有さないことから、nc-OSを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

【0336】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

20

【0337】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0338】

図64に、a-like OSの高分解能断面TEM像を示す。ここで、図64(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図64(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図64(A)および図64(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

30

【0339】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0340】

試料として、a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もInGaZn酸化物である。

【0341】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

40

【0342】

なお、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、以下では、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なした。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

50

【0343】

図65は、各試料の結晶部（22箇所から30箇所）の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図65より、a-like OSは、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図65より、TEMによる観察初期においては1.2nm程度の大きさだった結晶部（初期核ともいう。）が、電子（ e^- ）の累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては1.9nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図65より、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.3nm程度および1.8nm程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300kV、電流密度を $6.7 \times 10^5 e^- / (nm^2 \cdot s)$ 、照射領域の直径を230nmとした。

10

【0344】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られない。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

20

【0345】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

【0346】

例えば、 $In:Ga:Zn=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 $InGaZnO_4$ の密度は $6.357 g/cm^3$ である。よって、例えば、 $In:Ga:Zn=1:1:1$ [原子数比] を満たす酸化物半導体において、a-like OSの密度は $5.0 g/cm^3$ 以上 $5.9 g/cm^3$ 未満である。また、例えば、 $In:Ga:Zn=1:1:1$ [原子数比] を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は $5.9 g/cm^3$ 以上 $6.3 g/cm^3$ 未満である。

30

【0347】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0348】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

40

【0349】

<CAAC-OSの成膜方法>

以下では、CAAC-OSの成膜方法の一例について説明する。

【0350】

図66は、成膜室内の模式図である。CAAC-OSは、スパッタリング法により成膜することができる。

【0351】

50

図66に示すように、基板5220とターゲット5230とは向かい合うように配置している。基板5220とターゲット5230との間にはプラズマ5240がある。また、基板5220の下部には加熱機構5260が設けられている。図示しないが、ターゲット5230は、バックングプレートに接着されている。バックングプレートを介してターゲット5230と向かい合う位置には、複数のマグネットが配置される。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

【0352】

基板5220とターゲット5230との距離 d （ターゲットー基板間距離（T-S間距離）ともいう。）は0.01m以上1m以下、好ましくは0.02m以上0.5m以下とする。成膜室内は、ほとんどが成膜ガス（例えば、酸素、アルゴン、または酸素を5体積%以上の割合で含む混合ガス）で満たされ、0.01Pa以上100Pa以下、好ましくは0.1Pa以上10Pa以下に制御される。ここで、ターゲット5230に一定以上の電圧を印加することで、放電が始まり、プラズマ5240が確認される。なお、ターゲット5230の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5201が生じる。イオン5201は、例えば、酸素の陽イオン（ O^+ ）やアルゴンの陽イオン（ Ar^+ ）などである。

【0353】

ターゲット5230は、複数の結晶粒を有する多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。一例として、図67に、ターゲット5230に含まれる $InMZO_4$ （元素Mは、例えばAl、Ga、YまたはSn）の結晶構造を示す。なお、図67（A）は、b軸に平行な方向から観察した場合の $InMZO_4$ の結晶構造である。 $InMZO_4$ の結晶では、酸素原子が負の電荷を有することにより、近接する二つのM-Zn-O層の間に斥力が生じている。そのため、 $InMZO_4$ の結晶は、近接する二つのM-Zn-O層の間に劈開面を有する。

【0354】

高密度プラズマ領域で生じたイオン5201は、電界によってターゲット5230側に加速され、やがてターゲット5230と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5200が剥離する（図66参照）。ペレット5200は、図67（A）に示す二つの劈開面に挟まれた部分である。よって、ペレット5200のみ抜き出すと、その断面は図67（B）のようになり、上面は図67（C）のようになることがわかる。なお、ペレット5200は、イオン5201の衝突の衝撃によって、構造に歪みが生じる場合がある。

【0355】

ペレット5200は、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。または、ペレット5200は、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。ただし、ペレット5200の形状は、三角形、六角形に限定されない、例えば、三角形が複数個合わさった形状となる場合がある。例えば、三角形（例えば、正三角形）が2個合わさった四角形（例えば、ひし形）となる場合もある。

【0356】

ペレット5200は、成膜ガスの種類などに応じて厚さが決定する。例えば、ペレット5200は、厚さを0.4nm以上1nm以下、好ましくは0.6nm以上0.8nm以下とする。また、例えば、ペレット5200は、幅を1nm以上100nm以下、好ましくは2nm以上50nm以下、さらに好ましくは3nm以上30nm以下とする。例えば、 $In-M-Zn$ 酸化物を有するターゲット5230にイオン5201を衝突させる。そうすると、M-Zn-O層、In-O層およびM-Zn-O層の3層を有するペレット5200が剥離する。なお、ペレット5200の剥離に伴い、ターゲット5230から粒子5203も弾き出される。粒子5203は、原子1個または原子数個の集合体を有する。そのため、粒子5203を原子状粒子（atomic particles）と呼ぶこと

10

20

30

40

50

もできる。

【0357】

ペレット5200は、プラズマ5240を通過する際に、表面が負または正に帯電する場合がある。例えば、ペレット5200がプラズマ5240中にある O^{2-} から負の電荷を受け取る場合がある。その結果、ペレット5200の表面の酸素原子が負に帯電する場合がある。また、ペレット5200は、プラズマ5240を通過する際に、プラズマ5240中のインジウム、元素M、亜鉛または酸素などと結合することで成長する場合がある。

【0358】

プラズマ5240を通過したペレット5200および粒子5203は、基板5220の表面に達する。なお、粒子5203の一部は、質量が小さいため真空ポンプなどによって外部に排出される場合がある。

【0359】

次に、基板5220の表面におけるペレット5200および粒子5203の堆積について図68を用いて説明する。

【0360】

まず、一つ目のペレット5200が基板5220に堆積する。ペレット5200は平板状であるため、平面側を基板5220の表面に向けて堆積する。このとき、ペレット5200の基板5220側の表面の電荷が、基板5220を介して抜ける。

【0361】

次に、二つ目のペレット5200が、基板5220に達する。このとき、既に堆積しているペレット5200の表面、および二つ目のペレット5200の表面が電荷を帯びているため、互いに反発し合う力が生じる。その結果、二つ目のペレット5200は、既に堆積しているペレット5200上を避け、基板5220の表面の少し離れた場所に平面側を基板5220の表面に向けて堆積する。これを繰り返すことで、基板5220の表面には、無数のペレット5200が一層分の厚みだけ堆積する。また、ペレット5200間には、ペレット5200の堆積していない領域が生じる（図68（A）参照）。

【0362】

次に、プラズマからエネルギーを受け取った粒子5203が基板5220の表面に達する。粒子5203は、ペレット5200の表面などの活性な領域には堆積することができない。そのため、粒子5203は、ペレット5200の堆積していない領域へ動き、ペレット5200の側面に付着する。粒子5203は、プラズマから受け取ったエネルギーにより結合手が活性状態となることで、ペレット5200と化学的に連結して横成長部5202を形成する（図68（B）参照）。

【0363】

さらに、横成長部5202が横方向に成長（ラテラル成長ともいう。）することで、ペレット5200間を連結させる（図68（C）参照）。このように、ペレット5200の堆積していない領域を埋めるまで横成長部5202が形成される。このメカニズムは、原子層堆積（ALD：Atomic Layer Deposition）法の堆積メカニズムに類似する。

【0364】

したがって、ペレット5200がそれぞれ異なる方向に向けて堆積する場合でも、ペレット5200間を粒子5203がラテラル成長しながら埋めるため、明確な結晶粒界が形成されることがない。また、ペレット5200間を、粒子5203が滑らかに結びつけるため、単結晶とも多結晶とも異なる結晶構造が形成される。言い換えると、微小な結晶領域（ペレット5200）間に歪みを有する結晶構造が形成される。このように、結晶領域間を埋める領域は、歪んだ結晶領域であるため、該領域を指して非晶質構造と呼ぶのは適切ではないと考えられる。

【0365】

次に、新たなペレット5200が、平面側を基板5220の表面に向けて堆積する（図

10

20

30

40

50

68 (D) 参照)。そして、粒子5203が、ペレット5200の堆積していない領域を埋めるように堆積することで横成長部5202を形成する(図68 (E) 参照)。こうして、粒子5203がペレット5200の側面に付着し、横成長部5202がラテラル成長することで、二層目のペレット5200間を連結させる(図68 (F) 参照)。m層目(mは二以上の整数。)が形成されるまで成膜は続き、積層体を有する薄膜構造となる。

【0366】

なお、ペレット5200の堆積の仕方は、基板5220の表面温度などによっても変化する。例えば、基板5220の表面温度が高いと、ペレット5200が基板5220の表面でマイグレーションを起こす。その結果、ペレット5200間が、粒子5203を介さずに連結する割合が増加するため、より配向性の高いCAAC-Osとなる。CAAC-Osを成膜する際の基板5220の表面温度は、室温以上340℃未満、好ましくは室温以上300℃以下、より好ましくは100℃以上250℃以下、さらに好ましくは100℃以上200℃以下である。したがって、基板5220として第8世代以上の大面積基板を用いた場合でも、CAAC-Osの成膜に起因した反りなどはほとんど生じないことがわかる。

【0367】

一方、基板5220の表面温度が低いと、ペレット5200が基板5220の表面でマイグレーションを起こしにくくなる。その結果、ペレット5200同士が積み重なることで配向性の低いnc-Osなどとなる。nc-Osでは、ペレット5200が負に帯電していることにより、ペレット5200は一定間隔を空けて堆積する可能性がある。したがって、配向性は低いものの、僅かに規則性を有することにより、非晶質酸化物半導体と比べて緻密な構造となる。

【0368】

また、CAAC-Osにおいて、ペレット同士の隙間が極めて小さくなることで、一つの大きなペレットが形成される場合がある。一つの大きなペレットの内部は単結晶構造を有する。例えば、ペレットの大きさが、上面から見て10nm以上200nm以下、15nm以上100nm以下、または20nm以上50nm以下となる場合がある。

【0369】

以上のような成膜モデルにより、ペレットが基板の表面に堆積していくと考えられる。被形成面が結晶構造を有さない場合においても、CAAC-Osの成膜が可能であることから、エピタキシャル成長とは異なる成長機構である上述した成膜モデルの妥当性が高いことがわかる。また、上述した成膜モデルであるため、CAAC-Osおよびnc-Osは、大面積のガラス基板などであっても均一な成膜が可能であることがわかる。例えば、基板の表面(被形成面)の構造が非晶質構造(例えば非晶質酸化シリコン)であっても、CAAC-Osを成膜することは可能である。

【0370】

また、被形成面である基板の表面に凹凸がある場合でも、その形状に沿ってペレットが配列することがわかる。

【0371】

また、上述した成膜モデルより、結晶性の高いCAAC-Osを成膜するためには以下のようにすればよいことがわかる。まず、平均自由行程を長くするために、より高真空状態で成膜する。次に、基板近傍における損傷を低減するために、プラズマのエネルギーを弱くする。次に、被形成面に熱エネルギーを加え、プラズマによる損傷を成膜するたびに治癒する。

【0372】

また、上述した成膜モデルは、ターゲットが複数の結晶粒を有するIn-M-Zn酸化物のような複合酸化物の多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる場合に限定されない。例えば、酸化インジウム、元素Mの酸化物および酸化亜鉛を有する混合物のターゲットを用いた場合にも適用することができる。

【0373】

混合物のターゲットは劈開面を有さないため、スパッタされるとターゲットからは原子状粒子が剥離する。成膜時には、ターゲット近傍にプラズマの強電界領域が形成されている。そのため、ターゲットから剥離した原子状粒子は、プラズマの強電界領域の作用で連結して横成長する。例えば、まず原子状粒子であるインジウムが連結して横成長してIn-O層からなるナノ結晶となる。次に、それを補完するように上下にM-Zn-O層が結合する。このように、混合物のターゲットを用いた場合でも、ペレットが形成される可能性がある。そのため、混合物のターゲットを用いた場合でも、上述した成膜モデルを適用することができる。

【0374】

ただし、ターゲット近傍にプラズマの強電界領域が形成されていない場合、ターゲットから剥離した原子状粒子のみが基板表面に堆積することになる。その場合も、基板表面において原子状粒子が横成長する場合がある。ただし、原子状粒子の向きが一樣でないため、得られる薄膜における結晶の配向性も一樣にはならない。即ち、nc-OSなどとなる。

【0375】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0376】

(実施の形態3)

<CACの構成>

以下では、本発明の一態様に用いることができるCAC(Cloud Aligned Complementary)-OSの構成について説明する。

【0377】

CACとは、例えば、酸化物半導体を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0378】

例えば、In-Ga-Zn酸化物(以下、IGZOともいう。)におけるCAC-IGZOとは、インジウム酸化物(以下、 InO_{X1} ($X1$ は0よりも大きい実数)とする。)、またはインジウム亜鉛酸化物(以下、 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ ($X2$ 、 $Y2$ 、および $Z2$ は0よりも大きい実数)とする。)と、ガリウム酸化物(以下、 GaO_{X3} ($X3$ は0よりも大きい実数)とする。)、またはガリウム亜鉛酸化物(以下、 $\text{Ga}_{X4}\text{Zn}_{Y4}\text{O}_{Z4}$ ($X4$ 、 $Y4$ 、および $Z4$ は0よりも大きい実数)とする。)などと、に材料が分離することでモザイク状となり、モザイク状の InO_{X1} 、または $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ が、膜中に均一に分布した構成(以下、クラウド状ともいう。)である。

【0379】

つまり、CAC-IGZOは、 GaO_{X3} が主成分である領域と、 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 、または InO_{X1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

【0380】

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ は自然数)、または $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$ 、 $m0$ は任意数)で表される結晶性の化合物が挙げられる。

【0381】

10

20

30

40

50

上記結晶性の化合物は、単結晶構造、多結晶構造、またはC A A C構造を有する。なお、C A A C構造とは、複数のI G Z Oナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

【0382】

一方、C A Cは、材料構成に関する。C A Cとは、I n、G a、Z n、およびOを含む材料構成において、一部にG aを主成分とするナノ粒子状に観察される領域と、一部にI nを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。従って、C A Cにおいて、結晶構造は副次的な要素である。

【0383】

なお、C A Cは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、I nを主成分とする膜と、G aを主成分とする膜との2層からなる構造は、含まない。

【0384】

なお、G a O_{x3}が主成分である領域と、I n_{x2} Z n_{y2} O_{z2}、またはI n O_{x1}が主成分である領域とは、明確な境界が観察できない場合がある。

【0385】

<C A C-I G Z Oの解析>

続いて、各種測定方法を用い、基板上に成膜した酸化物半導体について測定を行った結果について説明する。

【0386】

《試料の構成と作製方法》

以下では、本発明の一態様に係る9個の試料について説明する。各試料は、それぞれ、酸化物半導体を成膜する際の基板温度、および酸素ガス流量比を異なる条件で作製する。なお、試料は、基板と、基板上の酸化物半導体と、を有する構造である。

【0387】

各試料の作製方法について、説明する。

【0388】

まず、基板として、ガラス基板を用いる。続いて、スパッタリング装置を用いて、ガラス基板上に酸化物半導体として、厚さ100nmのI n-G a-Z n酸化物を形成する。成膜条件は、チャンバー内の圧力を0.6Paとし、ターゲットには、酸化物ターゲット(I n:G a:Z n=4:2:4.1[原子数比])を用いる。また、スパッタリング装置内に設置された酸化物ターゲットに2500WのA C電力を供給する。

【0389】

なお、酸化物を成膜する際の条件として、基板温度を、意図的に加熱しない温度(以下、R. T.ともいう。)、130℃、または170℃とした。また、A rと酸素の混合ガスに対する酸素ガスの流量比(以下、酸素ガス流量比ともいう。)を、10%、30%、または100%とすることで、9個の試料を作製する。

【0390】

《X線回折による解析》

本項目では、9個の試料に対し、X線回折(X R D:X-ray diffraction)測定を行った結果について説明する。なお、X R D装置として、B r u k e r社製D 8 A D V A N C Eを用いた。また、条件は、O u t-o f-p l a n e法による $\theta/2\theta$ スキャンにて、走査範囲を15deg.乃至50deg.、ステップ幅を0.02deg.、走査速度を3.0deg./分とした。

【0391】

図84にO u t-o f-p l a n e法を用いてX R Dスペクトルを測定した結果を示す。なお、図84において、上段には成膜時の基板温度条件が170℃の試料における測定結果、中段には成膜時の基板温度条件が130℃の試料における測定結果、下段には成膜時の基板温度条件がR. T.の試料における測定結果を示す。また、左側の列には酸素ガス流量比の条件が10%の試料における測定結果、中央の列には酸素ガス流量比の条件が30%の試料における測定結果、右側の列には酸素ガス流量比の条件が100%の試料にお

10

20

30

40

50

ける測定結果を示す。

【0392】

図84に示すXRDスペクトルは、成膜時の基板温度を高くする、または、成膜時の酸素ガス流量比の割合を大きくすることで、 $2\theta = 31^\circ$ 付近のピーク強度が高くなる。なお、 $2\theta = 31^\circ$ 付近のピークは、被形成面または上面に略垂直方向に対してc軸に配向した結晶性IGZO化合物(CAAC(c-axis aligned crystalline)-IGZOともいう。)であることに由来することが分かっている。

【0393】

また、図84に示すXRDスペクトルは、成膜時の基板温度が低い、または、酸素ガス流量比が小さいほど、明確なピークが現れなかった。従って、成膜時の基板温度が低い、または、酸素ガス流量比が小さい試料は、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

10

【0394】

《電子顕微鏡による解析》

本項目では、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料を、HAADF(High-Angle Annular Dark Field)-STEM(Scanning Transmission Electron Microscope)によって観察、および解析した結果について説明する(以下、HAADF-STEMによって取得した像は、TEM像ともいう。)

【0395】

HAADF-STEMによって取得した平面像(以下、平面TEM像ともいう。)、および断面像(以下、断面TEM像ともいう。)の画像解析を行った結果について説明する。なお、TEM像は、球面収差補正機能を用いて観察した。なお、HAADF-STEM像の撮影には、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fを用いて、加速電圧200kV、ビーム径約0.1nmφの電子線を照射して行った。

20

【0396】

図85(A)は、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の平面TEM像である。図85(B)は、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の断面TEM像である。

【0397】

《電子線回折パターンの解析》

本項目では、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料に、プローブ径が1nmの電子線(ナノビーム電子線ともいう。)を照射することで、電子線回折パターンを取得した結果について説明する。

30

【0398】

図85(A)に示す、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の平面TEM像において、黒点a1、黒点a2、黒点a3、黒点a4、および黒点a5で示す電子線回折パターンを観察する。なお、電子線回折パターンの観察は、電子線を照射しながら0秒の位置から35秒の位置まで一定の速度で移動させながら行う。黒点a1の結果を図85(C)、黒点a2の結果を図85(D)、黒点a3の結果を図85(E)、黒点a4の結果を図85(F)、および黒点a5の結果を図85(G)に示す。

40

【0399】

図85(C)、図85(D)、図85(E)、図85(F)、および図85(G)より、円を描くように(リング状に)輝度の高い領域が観測できる。また、リング状の領域に複数のスポットが観測できる。

【0400】

また、図85(B)に示す、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の断面TEM像において、黒点b1、黒点b2、黒点b3、黒点b4、および黒点b5で示す電子線回折パターンを観察する。黒点b1の結果を図85(H)、黒点b2の結果を図85(I)、黒点b3の結果を図85(J)、黒点b4の結果を図85(K)、黒点b5の結果を図85(L)に示す。

50

K)、および黒点b5の結果を図85(L)に示す。

【0401】

図85(H)、図85(I)、図85(J)、図85(K)、および図85(L)より、リング状に輝度の高い領域が観測できる。また、リング状の領域に複数のスポットが観測できる。

【0402】

ここで、例えば、 InGaZnO_4 の結晶を有するCAAC-OSに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、 InGaZnO_4 の結晶の(009)面に起因するスポットが含まれる回折パターンが見られる。つまり、CAAC-OSは、c軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させると、リング状の回折パターンが確認される。つまり、CAAC-OSは、a軸およびb軸は配向性を有さないことがわかる。

10

【0403】

また、微結晶を有する酸化物半導体(nano crystalline oxide semiconductor。以下、nc-OSという。)に対し、大きいプローブ径(例えば50nm以上)の電子線を用いる電子線回折を行うと、ハローパターンのような回折パターンが観測される。また、nc-OSに対し、小さいプローブ径の電子線(例えば50nm未満)を用いるナノビーム電子線回折を行うと、輝点(スポット)が観測される。また、nc-OSに対しナノビーム電子線回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。さらに、リング状の領域に複数の輝点が観測される場合がある。

20

【0404】

成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の電子線回折パターンは、リング状に輝度の高い領域と、該リング領域に複数の輝点を有する。従って、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料は、電子線回折パターンが、nc-OSになり、平面方向、および断面方向において、配向性は有さない。

【0405】

以上より、成膜時の基板温度が低い、または、酸素ガス流量比が小さい酸化物半導体は、アモルファス構造の酸化物半導体膜とも、単結晶構造の酸化物半導体膜とも明確に異なる性質を有すると推定できる。

30

【0406】

《元素分析》

本項目では、エネルギー分散型X線分光法(EDX:Energy Dispersive X-ray spectroscopy)を用い、EDXマッピングを取得し、評価することによって、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の元素分析を行った結果について説明する。なお、EDX測定には、元素分析装置として日本電子株式会社製エネルギー分散型X線分析装置JED-2300Tを用いる。なお、試料から放出されたX線の検出にはSiドリフト検出器を用いる。

40

【0407】

EDX測定では、試料の分析対象領域の各点に電子線照射を行い、これにより発生する試料の特性X線のエネルギーと発生回数を測定し、各点に対応するEDXスペクトルを得る。本実施の形態では、各点のEDXスペクトルのピークを、In原子のL殻への電子遷移、Ga原子のK殻への電子遷移、Zn原子のK殻への電子遷移及びO原子のK殻への電子遷移に帰属させ、各点におけるそれぞれの原子の比率を算出する。これを試料の分析対象領域について行うことにより、各原子の比率の分布が示されたEDXマッピングを得ることができる。

【0408】

図86には、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の

50

断面におけるEDXマッピングを示す。図86(A)は、Ga原子のEDXマッピング(全原子に対するGa原子の比率は1.18乃至18.64[at om i c %]の範囲とする。)である。図86(B)は、In原子のEDXマッピング(全原子に対するIn原子の比率は9.28乃至33.74[at om i c %]の範囲とする。)である。図86(C)は、Zn原子のEDXマッピング(全原子に対するZn原子の比率は6.69乃至24.99[at om i c %]の範囲とする。)である。また、図86(A)、図86(B)、および図86(C)は、成膜時の基板温度R. T.、および酸素ガス流量比10%で作製した試料の断面において、同範囲の領域を示している。なお、EDXマッピングは、範囲における、測定元素が多いほど明るくなり、測定元素が少ないほど暗くなるように、明暗で元素の割合を示している。また、図86に示すEDXマッピングの倍率は720万倍である。

10

【0409】

図86(A)、図86(B)、および図86(C)に示すEDXマッピングでは、画像に相対的な明暗の分布が見られ、成膜時の基板温度R. T.、および酸素ガス流量比10%で作製した試料において、各原子が分布を持って存在している様子が確認できる。ここで、図86(A)、図86(B)、および図86(C)に示す実線で囲む範囲と破線で囲む範囲に注目する。

【0410】

図86(A)では、実線で囲む範囲は、相対的に暗い領域を多く含み、破線で囲む範囲は、相対的に明るい領域を多く含む。また、図86(B)では実線で囲む範囲は、相対的に明るい領域を多く含み、破線で囲む範囲は、相対的に暗い領域を多く含む。

20

【0411】

つまり、実線で囲む範囲はIn原子が相対的に多い領域であり、破線で囲む範囲はIn原子が相対的に少ない領域である。ここで、図86(C)では、実線で囲む範囲において、右側は相対的に明るい領域であり、左側は相対的に暗い領域である。従って、実線で囲む範囲は、 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 、または $\text{InO}_{\text{X}1}$ などが主成分である領域である。

【0412】

また、実線で囲む範囲はGa原子が相対的に少ない領域であり、破線で囲む範囲はGa原子が相対的に多い領域である。図86(C)では、破線で囲む範囲において、左上の領域は、相対的に明るい領域であり、右下側の領域は、相対的に暗い領域である。従って、破線で囲む範囲は、 $\text{GaO}_{\text{X}3}$ 、または $\text{Ga}_{\text{X}4}\text{Zn}_{\text{Y}4}\text{O}_{\text{Z}4}$ などが主成分である領域である。

30

【0413】

また、図86(A)、図86(B)、および図86(C)より、In原子の分布は、Ga原子よりも、比較的、均一に分布しており、 $\text{InO}_{\text{X}1}$ が主成分である領域は、 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ が主成分となる領域を介して、互いに繋がって形成されているように見える。このように、 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 、または $\text{InO}_{\text{X}1}$ が主成分である領域は、クラウド状に広がって形成されている。

【0414】

このように、 $\text{GaO}_{\text{X}3}$ が主成分である領域と、 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 、または $\text{InO}_{\text{X}1}$ が主成分である領域とが、偏在し、混合している構造を有するIn-Ga-Zn酸化物を、CAC-IGZOと呼称することができる。

40

【0415】

また、CACにおける結晶構造は、nc構造を有する。CACが有するnc構造は、電子線回折像において、単結晶、多結晶、またはCAC構造を含むIGZOに起因する輝点(スポット)以外にも、数か所以上の輝点(スポット)を有する。または、数か所以上の輝点(スポット)に加え、リング状に輝度の高い領域が現れるとして結晶構造が定義される。

【0416】

また、図86(A)、図86(B)、および図86(C)より、 $\text{GaO}_{\text{X}3}$ が主成分であ

50

る領域、及び $\text{In}_{\text{x}2}\text{Zn}_{\text{y}2}\text{O}_{\text{z}2}$ 、または $\text{InO}_{\text{x}1}$ が主成分である領域のサイズは、 0.5 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下で観察される。なお、好ましくは、EDXマッピングにおいて、各金属元素が主成分である領域の径は、 1 nm 以上 2 nm 以下とする。

【0417】

以上より、CAC-IGZOは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-IGZOは、 $\text{GaO}_{\text{x}3}$ などが主成分である領域と、 $\text{In}_{\text{x}2}\text{Zn}_{\text{y}2}\text{O}_{\text{z}2}$ 、または $\text{InO}_{\text{x}1}$ が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。従って、CAC-IGZOを半導体素子に用いた場合、 $\text{GaO}_{\text{x}3}$ などに起因する性質と、 $\text{In}_{\text{x}2}\text{Zn}_{\text{y}2}\text{O}_{\text{z}2}$ 、または $\text{InO}_{\text{x}1}$ に起因する性質とが、相補的に作用することにより、高いオン電流 (I_{on})、および高い電界効果移動度 (μ) を実現することができる。

10

【0418】

また、CAC-IGZOを用いた半導体素子は、信頼性が高い。従って、CAC-IGZOは、ディスプレイをはじめとするさまざまな半導体装置に最適である。

【0419】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0420】

20

(実施の形態4)

本実施の形態では、上記実施の形態に示したトランジスタ150a、150bに置き換えて用いることができるトランジスタの一例について、図面を用いて説明する。なお、本実施の形態に開示するトランジスタは、トランジスタ301などにも用いることができる。

【0421】

本発明の一態様の表示装置310は、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

30

【0422】

〔ボトムゲート型トランジスタ〕

図69(A1)は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ810の断面図である。図69(A1)において、トランジスタ810は基板771上に形成されている。また、トランジスタ810は、基板771上に絶縁層772を介して電極746を有する。また、電極746上に絶縁層726を介して半導体層742を有する。電極746はゲート電極として機能できる。絶縁層726はゲート絶縁層として機能できる。

【0423】

また、半導体層742のチャネル形成領域上に絶縁層741を有する。また、半導体層742の一部と接して、絶縁層726上に電極744aおよび電極744bを有する。電極744aは、ソース電極またはドレイン電極の一方として機能できる。電極744bは、ソース電極またはドレイン電極の他方として機能できる。電極744aの一部、および電極744bの一部は、絶縁層741上に形成される。

40

【0424】

絶縁層741は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層741を設けることで、電極744aおよび電極744bの形成時に生じる半導体層742の露出を防ぐことができる。よって、電極744aおよび電極744bの形成時に、半導体層742のチャネル形成領域がエッチングされることを防ぐことができる。従って、電気特性の良好なトランジスタを実現することができる。

50

【0425】

また、トランジスタ810は、電極744a、電極744bおよび絶縁層741上に絶縁層728を有し、絶縁層728の上に絶縁層729を有する。

【0426】

本実施の形態で開示するトランジスタを構成する電極、半導体層、絶縁層などは、他の実施の形態に開示した材料および方法を用いて形成することができる。

【0427】

半導体層742に酸化物半導体を用いる場合、電極744aおよび電極744bの、少なくとも半導体層742と接する部分に、半導体層742の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層742中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域はn型化し、n型領域(n⁺層)となる。したがって、当該領域はソース領域またはドレイン領域として機能することができる。半導体層742に酸化物半導体を用いる場合、半導体層742から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

10

【0428】

半導体層742にソース領域およびドレイン領域が形成されることにより、電極744aおよび電極744bと半導体層742の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとすることができる。

20

【0429】

半導体層742にシリコンなどの半導体を用いる場合は、半導体層742と電極744aの間、および半導体層742と電極744bの間に、n型半導体またはp型半導体として機能する層を設けることが好ましい。n型半導体またはp型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

【0430】

絶縁層729は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層729を省略することもできる。

【0431】

なお、半導体層742に酸化物半導体を用いる場合、絶縁層729の形成前または形成後、もしくは絶縁層729の形成前後に加熱処理を行ってもよい。加熱処理を行うことで、絶縁層729や他の絶縁層中に含まれる酸素を半導体層742中に拡散させ、半導体層742中の酸素欠損を補填することができる。または、絶縁層729を加熱しながら成膜することで、半導体層742中の酸素欠損を補填することができる。

30

【0432】

なお、一般に、CVD法は、プラズマを利用するプラズマCVD(PECVD: Plasma Enhanced CVD)法、熱を利用する熱CVD(TCVD: Thermal CVD)法などに分類できる。さらに用いる原料ガスによって金属CVD(MCVD: Metal CVD)法、有機金属CVD(MOCVD: Metal Organic CVD)法などに分類できる。

40

【0433】

また、一般に、蒸着法は、抵抗加熱蒸着法、電子線蒸着法、MBE(Molecular Beam Epitaxy)法、PLD(Pulsed Laser Deposition)法、IAD(Ion beam Assisted Deposition)法、ALD(Atomic Layer Deposition)法などに分類できる。

【0434】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、MOCVD法や蒸着法などの、成膜時にプラズマを用いない成膜方法を用いると、被形成面にダメージが生じにくく、また、欠陥の少ない膜が得られる。

50

【0435】

また、一般に、スパッタリング法は、DCスパッタリング法、マグネトロンスパッタリング法、RFスパッタリング法、イオンビームスパッタリング法、ECR (Electron Cyclotron Resonance) スパッタリング法、対向ターゲットスパッタリング法などに分類できる。

【0436】

対向ターゲットスパッタリング法では、プラズマがターゲット間に閉じこめられるため、基板へのプラズマダメージを低減することができる。また、ターゲットの傾きによっては、スパッタリング粒子の基板への入射角度を浅くすることができるため、段差被覆性を高めることができる。

10

【0437】

図69(A2)に示すトランジスタ811は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ810と異なる。電極723は、電極746と同様の材料および方法で形成することができる。

【0438】

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位(GND電位)や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極の電位と独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

20

【0439】

電極746および電極723は、どちらもゲート電極として機能することができる。よって、絶縁層726、絶縁層728、および絶縁層729は、それぞれがゲート絶縁層として機能することができる。なお、電極723は、絶縁層728と絶縁層729の間に設けてもよい。

【0440】

なお、電極746または電極723の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ811において、電極723を「ゲート電極」と言う場合、電極746を「バックゲート電極」と言う。また、電極723を「ゲート電極」として用いる場合は、トランジスタ811をトップゲート型のトランジスタの一種と考えることができる。また、電極746および電極723のどちらか一方を、「第1のゲート電極」といい、他方を「第2のゲート電極」という場合がある。

30

【0441】

半導体層742を挟んで電極746および電極723を設けることで、更には、電極746および電極723を同電位とすることで、半導体層742においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ811のオン電流が大きくなると共に、電界効果移動度が高くなる。

【0442】

したがって、トランジスタ811は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ811の占有面積を小さくすることができる。よって、集積度の高い半導体装置を実現することができる。

40

【0443】

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャネルが形成される半導体層に作用しないようにする機能(特に静電気などに対する電界遮蔽機能)を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

【0444】

また、電極746および電極723は、それぞれが外部からの電界を遮蔽する機能を有

50

するため、絶縁層 772 側もしくは電極 723 上方に生じる荷電粒子等の電荷が半導体層 742 のチャンネル形成領域に影響しない。この結果、ストレス試験（例えば、ゲートに負の電荷を印加する－GBT（Gate Bias-Temperature）ストレス試験）による劣化が抑制される。また、ドレイン電圧の大きさにより、オン電流が流れ始めるゲート電圧（立ち上がり電圧）が変化する現象を軽減することができる。なお、この効果は、電極 746 および電極 723 が、同電位、または異なる電位の場合において生じる。

【0445】

なお、BT ストレス試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化（経年変化）を短時間で評価することができる。特に、BT ストレス試験前後におけるトランジスタのしきい値電圧の変動量は、信頼性を調べるための重要な指標となる。しきい値電圧の変動量が少ないほど、信頼性が高いトランジスタであるといえる。

10

【0446】

また、電極 746 および電極 723 を有し、且つ電極 746 および電極 723 を同電位とすることで、しきい値電圧の変動量が低減される。このため、複数のトランジスタにおける電気特性のばらつきも同時に低減される。

【0447】

また、バックゲート電極を有するトランジスタは、ゲートに正の電荷を印加する＋GBT ストレス試験前後におけるしきい値電圧の変動も、バックゲート電極を有さないトランジスタより小さい。

20

【0448】

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

【0449】

図 69（B1）に、ボトムゲート型のトランジスタの 1 つであるチャンネル保護型のトランジスタ 820 の断面図を示す。トランジスタ 820 は、トランジスタ 810 とほぼ同様の構造を有しているが、絶縁層 741 が半導体層 742 を覆っている点異なる。また、半導体層 742 と重なる絶縁層 741 の一部を選択的に除去して形成した開口部において、半導体層 742 と電極 744a が電気的に接続している。また、半導体層 742 と重なる絶縁層 741 の一部を選択的に除去して形成した他の開口部において、半導体層 742 と電極 744b が電気的に接続している。絶縁層 741 の、チャンネル形成領域と重なる領域は、チャンネル保護層として機能できる。

30

【0450】

図 69（B2）に示すトランジスタ 821 は、絶縁層 729 上にバックゲート電極として機能できる電極 723 を有する点が、トランジスタ 820 と異なる。

【0451】

絶縁層 741 を設けることで、電極 744a および電極 744b の形成時に生じる半導体層 742 の露出を防ぐことができる。よって、電極 744a および電極 744b の形成時に半導体層 742 の薄膜化を防ぐことができる。

40

【0452】

また、トランジスタ 820 およびトランジスタ 821 は、トランジスタ 810 およびトランジスタ 811 よりも、電極 744a と電極 746 の間の距離と、電極 744b と電極 746 の間の距離が長くなる。よって、電極 744a と電極 746 の間に生じる寄生容量を小さくすることができる。また、電極 744b と電極 746 の間に生じる寄生容量を小さくすることができる。よって、電気特性の良好なトランジスタを実現できる。

【0453】

図 69（C1）に示すトランジスタ 825 は、ボトムゲート型のトランジスタの 1 つで

50

あるチャネルエッチング型のトランジスタである。トランジスタ 825 は、絶縁層 741 を用いずに電極 744a および電極 744b を形成する。このため、電極 744a および電極 744b の形成時に露出する半導体層 742 の一部がエッチングされる場合がある。一方、絶縁層 741 を設けないため、トランジスタの生産性を高めることができる。

【0454】

図 69 (C2) に示すトランジスタ 826 は、絶縁層 729 上にバックゲート電極として機能できる電極 723 を有する点が、トランジスタ 825 と異なる。

【0455】

〔トップゲート型トランジスタ〕

図 70 (A1) に、トップゲート型のトランジスタの一種であるトランジスタ 830 の断面図を示す。トランジスタ 830 は、絶縁層 772 の上に半導体層 742 を有し、半導体層 742 および絶縁層 772 上に、半導体層 742 の一部に接する電極 744a、および半導体層 742 の一部に接する電極 744b を有し、半導体層 742、電極 744a、および電極 744b 上に絶縁層 726 を有し、絶縁層 726 上に電極 746 を有する。

【0456】

トランジスタ 830 は、電極 746 および電極 744a、並びに、電極 746 および電極 744b が重ならないため、電極 746 および電極 744a の間に生じる寄生容量、並びに、電極 746 および電極 744b の間に生じる寄生容量を小さくすることができる。また、電極 746 を形成した後に、電極 746 をマスクとして用いて不純物 755 を半導体層 742 に導入することで、半導体層 742 中に自己整合（セルフアライメント）的に不純物領域を形成することができる（図 70 (A3) 参照）。よって、電気特性の良好なトランジスタを実現することができる。

【0457】

なお、不純物 755 の導入は、イオン注入装置、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。

【0458】

不純物 755 としては、例えば、第 13 族元素または第 15 族元素のうち、少なくとも一種の元素を用いることができる。また、半導体層 742 に酸化物半導体を用いる場合は、不純物 755 として、希ガス、水素、および窒素のうち、少なくとも一種の元素を用いることも可能である。

【0459】

図 70 (A2) に示すトランジスタ 831 は、電極 723 および絶縁層 727 を有する点がトランジスタ 830 と異なる。トランジスタ 831 は、絶縁層 772 の上に形成された電極 723 を有し、電極 723 上に形成された絶縁層 727 を有する。電極 723 は、バックゲート電極として機能することができる。よって、絶縁層 727 は、ゲート絶縁層として機能することができる。絶縁層 727 は、絶縁層 726 と同様の材料および方法により形成することができる。

【0460】

トランジスタ 811 と同様に、トランジスタ 831 は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ 831 の占有面積を小さくすることができる。よって、集積度の高い半導体装置を実現することができる。

【0461】

図 70 (B1) に例示するトランジスタ 840 は、トップゲート型のトランジスタの 1 つである。トランジスタ 840 は、電極 744a および電極 744b を形成した後に半導体層 742 を形成する点が、トランジスタ 830 と異なる。また、図 70 (B2) に例示するトランジスタ 841 は、電極 723 および絶縁層 727 を有する点が、トランジスタ 840 と異なる。トランジスタ 840 およびトランジスタ 841 において、半導体層 742 の一部は電極 744a 上に形成され、半導体層 742 の他の一部は電極 744b 上に形成される。

【0462】

トランジスタ811と同様に、トランジスタ841は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ841の占有面積を小さくすることができる。よって、集積度の高い半導体装置を実現することができる。

【0463】

図71(A1)に例示するトランジスタ842は、トップゲート型のトランジスタの1つである。トランジスタ842は、絶縁層729を形成した後に電極744aおよび電極744bを形成する点がトランジスタ830やトランジスタ840と異なる。電極744aおよび電極744bは、絶縁層728および絶縁層729に形成した開口部において半導体層742と電氣的に接続する。

10

【0464】

また、電極746と重ならない絶縁層726の一部を除去し、電極746と残りの絶縁層726をマスクとして用いて不純物755を半導体層742に導入することで、半導体層742中に自己整合（セルフアライメント）的に不純物領域を形成することができる（図71(A3)参照）。トランジスタ842の上面形状において、絶縁層726の端部が電極746の端部より外側に位置する領域を有する。不純物755を半導体層742に導入する際に、半導体層742の絶縁層726を介して不純物755が導入された領域の不純物濃度は、絶縁層726を介さずに不純物755が導入された領域よりも小さくなる。よって、半導体層742中の、電極746と重なる部分に隣接する領域にLDD（Lightly Doped Drain）領域が形成される。

20

【0465】

図71(A2)に示すトランジスタ843は、電極723を有する点がトランジスタ842と異なる。トランジスタ843は、基板771の上に形成された電極723を有し、絶縁層772を介して半導体層742と重なる。電極723は、バックゲート電極として機能することができる。

【0466】

また、図71(B1)に示すトランジスタ844および図71(B2)に示すトランジスタ845のように、電極746と重ならない領域の絶縁層726を全て除去してもよい。また、図71(C1)に示すトランジスタ846および図71(C2)に示すトランジスタ847のように、絶縁層726を残してもよい。

30

【0467】

トランジスタ842乃至トランジスタ847も、電極746を形成した後に、電極746をマスクとして用いて不純物755を半導体層742に導入することで、半導体層742中に自己整合的に不純物領域を形成することができる。

【0468】

〔s-channel型トランジスタ〕

図72に、半導体層742として酸化物半導体を用いたトランジスタ構造の一例を示す。図72に例示するトランジスタ850は、半導体層742aの上に半導体層742bが形成され、半導体層742bの上面並びに半導体層742b及び半導体層742aの側面が半導体層742cに覆われた構造を有する。図72(A)はトランジスタ850の上面図である。図72(B)は、図72(A)中のX1-X2の一点鎖線で示した部位の断面図（チャンネル長方向の断面図）である。図72(C)は、図72(A)中のY1-Y2の一点鎖線で示した部位の断面図（チャンネル幅方向の断面図）である。

40

【0469】

また、トランジスタ850は、ゲート電極として機能する電極743を有する。電極743は、電極746と同様の材料および方法で形成することができる。本実施の形態では、電極743を2層の導電層の積層としている。

【0470】

半導体層742a、半導体層742b、および半導体層742cは、InもしくはGa

50

の一方、または両方を含む材料で形成する。代表的には、In-Ga酸化物（InとGaを含む酸化物）、In-Zn酸化物（InとZnを含む酸化物）、In-M-Zn酸化物（Inと、元素Mと、Znを含む酸化物。元素Mは、Al、Ti、Ga、Y、Zr、La、Ce、NdまたはHfから選ばれた1種類以上の元素で、Inよりも酸素との結合力が強い金属元素である。）がある。

【0471】

半導体層742aおよび半導体層742cは、半導体層742bを構成する金属元素のうち、1種類以上の同じ金属元素を含む材料により形成されることが好ましい。このような材料を用いると、半導体層742aおよび半導体層742bとの界面、ならびに半導体層742cおよび半導体層742bとの界面に界面準位を生じにくくすることができる。よって、界面におけるキャリアの散乱や捕獲が生じにくく、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧のばらつきを低減することが可能となる。よって、良好な電気特性を有する半導体装置を実現することが可能となる。

【0472】

半導体層742aおよび半導体層742cの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、半導体層742bの厚さは、3nm以上700nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

【0473】

また、半導体層742bがIn-M-Zn酸化物であり、半導体層742aおよび半導体層742cもIn-M-Zn酸化物であるとき、半導体層742aおよび半導体層742cを $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ [原子数比]、半導体層742bを $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ [原子数比] とすると、 y_1/x_1 が y_2/x_2 よりも大きくなるように半導体層742a、半導体層742c、および半導体層742bを選択することができる。好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上大きくなるように半導体層742a、半導体層742c、および半導体層742bを選択する。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きくなるように半導体層742a、半導体層742c、および半導体層742bを選択する。より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きくなるように半導体層742a、半導体層742cおよび半導体層742bを選択する。 y_1 が x_1 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_1 が x_1 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_1 は x_1 の3倍未満であると好ましい。半導体層742aおよび半導体層742cを上記構成とすることにより、半導体層742aおよび半導体層742cを、半導体層742bよりも酸素欠損が生じにくい層とすることができる。

【0474】

なお、半導体層742aおよび半導体層742cがIn-M-Zn酸化物であるとき、Inと元素Mの含有率は、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、元素Mが50atomic%以上、さらに好ましくはInが25atomic%未満、元素Mが75atomic%以上とする。また、半導体層742bがIn-M-Zn酸化物であるとき、Inと元素Mの含有率は、InおよびMの和を100atomic%としたとき、好ましくはInが25atomic%以上、元素Mが75atomic%未満、さらに好ましくはInが34atomic%以上、元素Mが66atomic%未満とする。

【0475】

例えば、InまたはGaを含む半導体層742a、およびInまたはGaを含む半導体層742cとして $\text{In}:\text{Ga}:\text{Zn} = 1:3:2$ 、 $1:3:4$ 、 $1:3:6$ 、 $1:6:4$ 、または $1:9:6$ などの原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物や、 $\text{In}:\text{Ga} = 1:9$ などの原子数比のターゲットを用いて形成したIn-Ga酸化物や、酸化ガリウムなどを用いることができる。また、半導体層742bとしてIn:G

a : Zn = 3 : 1 : 2、1 : 1 : 1、5 : 5 : 6、または 4 : 2 : 4、1 などの原子数比のターゲットを用いて形成した In-Ga-Zn 酸化物を用いることができる。なお、半導体層 742a、半導体層 742b、および半導体層 742c の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 20% の変動を含む。

【0476】

半導体層 742b を用いたトランジスタに安定した電気特性を付与するためには、半導体層 742b 中の不純物および酸素欠損を低減して高純度真性化し、半導体層 742b を真性または実質的に真性と見なせる酸化物半導体層とすることが好ましい。また、少なくとも半導体層 742b 中のチャネル形成領域が真性または実質的に真性と見なせる半導体層とすることが好ましい。

【0477】

なお、実質的に真性と見なせる酸化物半導体層とは、酸化物半導体層中のキャリア密度が、 8×10^{11} 個/cm³ 未満、好ましくは 1×10^{11} 個/cm³ 未満、さらに好ましくは 1×10^{10} 個/cm³ 未満であり、 1×10^{-9} 個/cm³ 以上である酸化物半導体層をいう。

【0478】

図 73 に、半導体層 742 として酸化物半導体を用いたトランジスタ構造の一例を示す。図 73 に例示するトランジスタ 822 は、半導体層 742a の上に半導体層 742b が形成されている。トランジスタ 822 は、バックゲート電極を有するボトムゲート型のトランジスタの一種である。図 73 (A) はトランジスタ 822 の上面図である。図 73 (B) は、図 73 (A) 中の X1-X2 の一点鎖線で示した部位の断面図（チャネル長方向の断面図）である。図 73 (C) は、図 73 (A) 中の Y1-Y2 の一点鎖線で示した部位の断面図（チャネル幅方向の断面図）である。

【0479】

絶縁層 729 上に設けられた電極 723 は、絶縁層 726、絶縁層 728、および絶縁層 729 に設けられた開口 747a および開口 747b において、電極 746 と電氣的に接続されている。よって、電極 723 と電極 746 には、同じ電位が供給される。また、開口 747a および開口 747b は、どちらか一方を設けなくてもよい。また、開口 747a および開口 747b の両方を設けなくてもよい。開口 747a および開口 747b の両方を設けない場合は、電極 723 と電極 746 に異なる電位を供給することができる。

【0480】

ここで、半導体層 742a、半導体層 742b、および半導体層 742c の積層により構成される半導体層 742 の機能およびその効果について、図 72 に示すトランジスタ 850 が有する絶縁層 772、半導体層 742 および絶縁層 726 におけるエネルギーバンド構造を用いて説明する。

【0481】

真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ（例えば、HORIBA JOBIN YVON 社 UT-300）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS: Ultra violet Photoelectron Spectroscopy）装置（例えば、PHI 社 VersaProbe）を用いて測定できる。

【0482】

なお、原子数比が In : Ga : Zn = 1 : 3 : 2 のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.5 eV、電子親和力は約 4.5 eV である。また、原子数比が In : Ga : Zn = 1 : 3 : 4 のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.4 eV、電子親和力は約 4.5 eV である。また、原子数比が In : Ga : Zn = 1 : 3 : 6 のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.3 eV、電子親和力は約 4.5 eV

である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 2$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.9 eV 、電子親和力は約 4.3 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 8$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.5 eV 、電子親和力は約 4.4 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 10$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.5 eV 、電子親和力は約 4.5 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.2 eV 、電子親和力は約 4.7 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ のターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 2.8 eV 、電子親和力は約 5.0 eV である。

10

【0483】

絶縁層 772 と絶縁層 726 は絶縁物であるため、絶縁層 772、726 の伝導帯下端のエネルギーは、半導体層 742a、742b、742c の伝導帯下端のエネルギーよりも真空準位に近い（電子親和力が小さい）。

【0484】

また、半導体層 742a の伝導帯下端のエネルギーは、半導体層 742b の伝導帯下端のエネルギーよりも真空準位に近い。具体的には、 0.05 eV 以上、 0.07 eV 以上、 0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、 1 eV 以下、 0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

20

【0485】

また、半導体層 742c の伝導帯下端のエネルギーは、半導体層 742b の伝導帯下端のエネルギーよりも真空準位に近い。具体的には、 0.05 eV 以上、 0.07 eV 以上、 0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、 1 eV 以下、 0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

【0486】

また、半導体層 742a と半導体層 742b との界面近傍、および、半導体層 742b と半導体層 742c との界面近傍では、混合領域が形成されるため、伝導帯下端のエネルギーは連続的に変化する。即ち、これらの界面において、準位は存在しないか、ほとんどない。

30

【0487】

従って、当該エネルギーバンド構造を有する積層構造において、電子は半導体層 742b を主として移動することになる。そのため、半導体層 742a と絶縁層 772 との界面、または、半導体層 742c と絶縁層 726 との界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。また、半導体層 742a と半導体層 742b との界面、および半導体層 742c と半導体層 742b との界面に準位が存在しないか、ほとんどないため、当該領域において電子の移動を阻害することもない。従って、上記酸化物半導体の積層構造を有するトランジスタは、高い電界効果移動度を実現することができる。

【0488】

なお、半導体層 742a と絶縁層 772 の界面、および半導体層 742c と絶縁層 726 の界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得るものの、半導体層 742a、および半導体層 742c があることにより、半導体層 742b と当該トラップ準位とを遠ざけることができる。

40

【0489】

特に、本実施の形態に例示するトランジスタは、半導体層 742b の上面と側面が半導体層 742c と接し、半導体層 742b の下面が半導体層 742a と接して形成されている。このように、半導体層 742b を半導体層 742a と半導体層 742c で覆う構成とすることで、上記トラップ準位の影響をさらに低減することができる。

【0490】

50

ただし、半導体層 742a または半導体層 742c の伝導帯下端のエネルギーと、半導体層 742b の伝導帯下端のエネルギーとの差が小さい場合、半導体層 742b の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁層の界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【0491】

従って、半導体層 742a または半導体層 742c の伝導帯下端のエネルギーと、半導体層 742b の伝導帯下端のエネルギーとの差を、それぞれ 0.1 eV 以上、好ましくは 0.15 eV 以上とすると、トランジスタのしきい値電圧の変動が低減され、トランジスタの電気特性を良好なものとすることができるため、好ましい。

10

【0492】

また、半導体層 742a、および半導体層 742c のバンドギャップは、半導体層 742b のバンドギャップよりも広いほうが好ましい。

【0493】

また、酸化物半導体は、エネルギーギャップが 3.0 eV 以上と大きく、可視光に対する透過率が大きい。また、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては、オフ電流を使用時の温度条件下（例えば、25℃）において、100 zA (1×10^{-19} A) 以下、もしくは 10 zA (1×10^{-20} A) 以下、さらには 1 zA (1×10^{-21} A) 以下とすることができる。このため、消費電力の少ない半導体装置を提供することができる。

20

【0494】

図 72 に示すトランジスタ 850 の説明にもどる。絶縁層 772 に設けた凸部上に半導体層 742b を設けることによって、半導体層 742b の側面も電極 743 で覆うことができる。すなわち、トランジスタ 850 は、電極 743 の電界によって、半導体層 742b を電気的に取り囲むことができる構造を有している。このように、導電膜の電界によって、チャンネルが形成される半導体層を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。また、s-channel 構造を有するトランジスタを、「s-channel 型トランジスタ」もしくは「s-channel トランジスタ」ともいう。

【0495】

s-channel 構造では、半導体層 742b の全体（バルク）にチャンネルを形成することもできる。s-channel 構造では、トランジスタのドレイン電流を大きくすることができる、さらに大きいオン電流を得ることができる。また、電極 743 の電界によって、半導体層 742b に形成されるチャンネル形成領域の全領域を空乏化することができる。したがって、s-channel 構造では、トランジスタのオフ電流をさらに小さくすることができる。

30

【0496】

なお、絶縁層 772 の凸部を高くし、また、チャンネル幅を小さくすることで、s-channel 構造によるオン電流の増大効果、オフ電流の低減効果などをより高めることができる。また、半導体層 742b の形成時に、露出する半導体層 742a を除去してもよい。この場合、半導体層 742a と半導体層 742b の側面が揃う場合がある。

40

【0497】

また、図 74 に示すトランジスタ 851 のように、半導体層 742 の下方に、絶縁層を介して電極 723 を設けてもよい。図 74 (A) はトランジスタ 851 の上面図である。図 74 (B) は、図 74 (A) 中の X1-X2 の一点鎖線で示した部位の断面図である。図 74 (C) は、図 74 (A) 中の Y1-Y2 の一点鎖線で示した部位の断面図である。

【0498】

また、図 75 に示すトランジスタ 852 のように、電極 743 の上方に絶縁層 775 を設け、絶縁層 775 上に層 725 を設けてもよい。図 75 (A) はトランジスタ 852 の上面図である。図 75 (B) は、図 75 (A) 中の X1-X2 の一点鎖線で示した部位の

50

断面図である。図 7 5 (C) は、図 7 5 (A) 中の Y 1 - Y 2 の一点鎖線で示した部位の断面図である。

【0499】

なお、図 7 5 では、層 7 2 5 を絶縁層 7 7 5 上に設けているが、絶縁層 7 2 8 上、または絶縁層 7 2 9 上に設けてもよい。層 7 2 5 を、遮光性を有する材料で形成することで、光照射によるトランジスタの特性変動や、信頼性の低下などを防ぐことができる。なお、層 7 2 5 を少なくとも半導体層 7 4 2 b よりも大きく形成し、層 7 2 5 で半導体層 7 4 2 b を覆うことで、上記の効果を高めることができる。層 7 2 5 は、有機物材料、無機物材料、又は金属材料を用いて作製することができる。また、層 7 2 5 を導電性材料で作製した場合、層 7 2 5 に電圧を供給してもよいし、電氣的に浮遊した（フローティング）状態としてもよい。

10

【0500】

図 7 6 に、s - c h a n n e l 構造を有するトランジスタの一例を示す。図 7 6 に例示するトランジスタ 8 4 8 は、前述したトランジスタ 8 4 7 とほぼ同様の構成を有する。トランジスタ 8 4 8 は、絶縁層 7 7 2 に設けた凸部上に半導体層 7 4 2 が形成されている。トランジスタ 8 4 8 はバックゲート電極を有するトップゲート型のトランジスタの一種である。図 7 6 (A) はトランジスタ 8 4 8 の上面図である。図 7 6 (B) は、図 7 6 (A) 中の X 1 - X 2 の一点鎖線で示した部位の断面図である。図 7 6 (C) は、図 7 6 (A) 中の Y 1 - Y 2 の一点鎖線で示した部位の断面図である。

20

【0501】

絶縁層 7 2 9 上に設けられた電極 7 4 4 a は、絶縁層 7 2 6、絶縁層 7 2 8、および絶縁層 7 2 9 に設けられた開口 7 4 7 c において、半導体層 7 4 2 と電氣的に接続されている。また、絶縁層 7 2 9 上に設けられた電極 7 4 4 b は、絶縁層 7 2 6、絶縁層 7 2 8、および絶縁層 7 2 9 に設けられた開口 7 4 7 d において、半導体層 7 4 2 と電氣的に接続されている。

【0502】

絶縁層 7 2 6 上に設けられた電極 7 4 3 は、絶縁層 7 2 6、および絶縁層 7 7 2 に設けられた開口 7 4 7 a および開口 7 4 7 b において、電極 7 2 3 と電氣的に接続されている。よって、電極 7 4 3 と電極 7 2 3 には、同じ電位が供給される。また、開口 7 4 7 a および開口 7 4 7 b は、どちらか一方を設けなくてもよい。また、開口 7 4 7 a および開口 7 4 7 b の両方を設けなくてもよい。開口 7 4 7 a および開口 7 4 7 b の両方を設けない場合は、電極 7 2 3 と電極 7 4 3 に異なる電位を供給することができる。

30

【0503】

なお、s - c h a n n e l 構造を有するトランジスタに用いる半導体層は、酸化物半導体に限定されるものではない。

【0504】

[酸化物半導体のエネルギーバンド構造]

以下では、酸化物半導体を用いたトランジスタのバンド図について説明する。

【0505】

図 7 7 (A) はトランジスタのチャネル長方向の断面図であり、図 7 7 (B) はトランジスタのチャネル幅方向の断面図である。なお、図 7 7 (B) は、図 7 7 (A) における 0 n m の位置の断面図である。

40

【0506】

図 7 7 (A) および図 7 7 (B) に示すトランジスタは、絶縁膜 5 4 0 2 と、酸化物半導体膜 5 4 0 6 a と、酸化物半導体膜 5 4 0 6 b と、酸化物半導体膜 5 4 0 6 c と、導電膜 5 4 1 6 a と、導電膜 5 4 1 6 b と、絶縁膜 5 4 1 2 と、導電膜 5 4 0 4 と、を有する。

【0507】

酸化物半導体膜 5 4 0 6 a は絶縁膜 5 4 0 2 上に配置され、酸化物半導体膜 5 4 0 6 b は酸化物半導体膜 5 4 0 6 a 上に配置され、導電膜 5 4 1 6 a および導電膜 5 4 1 6 b は

50

酸化物半導体膜 5406b 上に配置され、酸化物半導体膜 5406c は酸化物半導体膜 5406b 上、導電膜 5416a 上および導電膜 5416b 上に配置され、絶縁膜 5412 は酸化物半導体膜 5406c 上に配置され、導電膜 5404 は絶縁膜 5412 上に配置される。

【0508】

したがって、図 77 (A) および図 77 (B) に示すトランジスタにおいて、導電膜 5416a および導電膜 5416b は、それぞれソース電極およびドレイン電極としての機能を有し、導電膜 5404 はゲート電極としての機能を有し、絶縁膜 5412 はゲート絶縁体としての機能を有する。

【0509】

また、図 77 (B) に示すように、導電膜 5404 によって酸化物半導体膜 5406b が電氣的に取り囲まれた s-channel 構造を有する。即ち、図 72 に示したトランジスタと同様の構造を有する。そのため、図 77 (A) および図 77 (B) に示すトランジスタの各構成要素については、図 72 に示したトランジスタの説明を参酌することができる。

【0510】

図 78 (A)、図 78 (B) および図 78 (C) は、図 77 (A) に示した一点鎖線 K1-K2 におけるバンド図である。ここでは、導電膜 5416a と導電膜 5416b との間にドレイン電圧 (例えば 1V) を印加している。なお、図 78 (A) はゲート電圧として導電膜 5404 と導電膜 5416a 間にマイナスの電圧 (例えば -3V) を印加した場合を示し、図 78 (B) はゲート電圧として電圧を印加しなかった場合を示し、図 78 (C) はゲート電圧としてプラスの電圧 (例えば 3V) を印加した場合を示す。なお、図中の E_C で示す実線は伝導帯下端のエネルギーを示し、 E_V で示す実線は価電子帯上端のエネルギーを示し、 E_{Fn} で示す破線は電子の擬フェルミ準位のエネルギーを示す。

【0511】

図 78 (D)、図 78 (E) および図 78 (F) は、図 77 (B) に示した一点鎖線 K3-K4 におけるバンド図である。ここでは、導電膜 5416a と導電膜 5416b との間にドレイン電圧 (例えば 1V) を印加している。なお、図 78 (D) はゲート電圧としてマイナスの電圧 (例えば -3V) を印加した場合を示し、図 78 (E) はゲート電圧として電圧を印加しなかった場合を示し、図 78 (F) はゲート電圧としてプラスの電圧 (例えば 3V) を印加した場合を示す。

【0512】

図 78 (A) に示すように、マイナスのゲート電圧を印加すると、ソースとドレインとの間にポテンシャルの障壁が形成され、ドレイン電流が流れにくい。また、図 78 (B) に示すように、ゲート電圧を印加しないと、ソースとドレインとの間のポテンシャルの障壁が小さくなり、ドレイン電流が流れ始める。また、図 78 (C) に示すように、プラスのゲート電圧を印加すると、ソースとドレインとの間にポテンシャルの障壁がなくなり、ドレイン電流が流れる。

【0513】

図 78 (D)、図 78 (E) および図 78 (F) に示すように、酸化物半導体膜 5406b は、ゲート電圧によってバンドの曲りがほとんど生じない。即ち、印加されたゲート電圧によって、伝導帯下端のエネルギーおよび価電子帯上端のエネルギーが、一定の値、変動するのみである。

【0514】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0515】

(実施の形態 5)

本実施の形態では、本発明の一態様のタッチパネルと、IC と、を有するタッチパネルモジュールの構成例について、図面を参照して説明する。

10

20

30

40

50

【0516】

図79に、タッチパネルモジュール6500のブロック図を示す。タッチパネルモジュール6500は、タッチパネル6510と、IC6520を有する。

【0517】

タッチパネル6510は、表示部6511と、入力部6512と、走査線駆動回路6513を有する。表示部6511は、複数の画素、複数の信号線、複数の走査線を有し、画像を表示する機能を有する。入力部6512は、被検知体のタッチパネル6510への接触、または近接を検出する複数のセンサ素子を有し、タッチセンサとしての機能を有する。走査線駆動回路6513は、表示部6511が有する走査線に、走査信号を出力する機能を有する。

10

【0518】

ここでは説明を容易にするため、タッチパネル6510の構成として、表示部6511と入力部6512を分けて明示しているが、画像を表示する機能と、タッチセンサとしての機能の両方の機能を有する、いわゆるインセル型のタッチパネルとすることが好ましい。

【0519】

入力部6512として用いることのできるタッチセンサの方式としては、例えば静電容量方式を適用できる。静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

20

【0520】

なおこれに限られず、指やスタイラスなどの被検知体の近接、または接触を検出することのできる様々な方式のセンサを入力部6512に適用することもできる。例えばセンサの方式としては、静電容量方式以外にも、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式など様々な方式を用いることができる。

【0521】

インセル型のタッチパネルとしては、代表的にはハイブリッドインセル型と、フルインセル型とがある。ハイブリッドインセル型は、表示素子を支持する基板と対向基板の両方に、タッチセンサを構成する電極等が設けられた構成を指す。一方フルインセル型は、表示素子を支持する基板に、タッチセンサを構成する電極等を設けた構成を指す。フルインセル型のタッチパネルとすることで、対向基板の構成を簡略化できるため好ましい。特にフルインセル型として、表示素子を構成する電極が、タッチセンサを構成する電極を兼ねる構成とすると、作製工程を簡略化でき、作製コストを低減できるため好ましい。

30

【0522】

表示部6511は、HD（画素数1280×720）、FHD（画素数1920×1080）、WQHD（画素数2560×1440）、WQXGA（画素数2560×1600）、4K（画素数3840×2160）、8K（画素数7680×4320）といった極めて高い解像度を有していることが好ましい。特に4K、8K、またはそれ以上の解像度とすることが好ましい。また、表示部6511に設けられる画素の画素密度（精細度）が、300ppi以上、好ましくは500ppi以上、より好ましくは800ppi以上、より好ましくは1000ppi以上、より好ましくは1200ppi以上であることが好ましい。このように高い解像度で且つ高い精細度を有する表示部6511により、携帯型や家庭用途などのパーソナルユースにおいては、より臨場感や奥行き感などを高めることが可能となる。

40

【0523】

IC6520は、回路ユニット6501、信号線駆動回路6502、センサ駆動回路6503、及び検出回路6504を有する。回路ユニット6501は、タイミングコントローラ6505と、画像処理回路6506等を有する。

【0524】

信号線駆動回路6502は、表示部6511が有する信号線に、アナログ信号である映

50

像信号（ビデオ信号ともいう）を出力する機能を有する。例えば信号線駆動回路6502は、シフトレジスタ回路とバッファ回路を組み合わせた構成を有することができる。また、タッチパネル6510は、信号線に接続するデマルチプレクサ回路を有していてもよい。

【0525】

センサ駆動回路6503は、入力部6512が有するセンサ素子を駆動する信号を出力する機能を有する。センサ駆動回路6503としては、例えばシフトレジスタ回路とバッファ回路を組み合わせた構成を用いることができる。

【0526】

検出回路6504は、入力部6512が有するセンサ素子からの出力信号を回路ユニット6501に出力する機能を有する。例えば検出回路6504として、増幅回路と、アナログデジタル変換回路（ADC：Analog-Digital Converter）を有する構成を用いることができる。このとき検出回路6504は、入力部6512から出力されるアナログ信号を、デジタル信号に変換して回路ユニット6501に出力する。

【0527】

回路ユニット6501が有する画像処理回路6506は、タッチパネル6510の表示部6511を駆動する信号を生成して出力する機能と、入力部6512を駆動する信号を生成して出力する機能と、入力部6512から出力された信号を解析して、CPU6540に出力する機能と、を有する。

【0528】

より具体的な例としては、画像処理回路6506は、CPU6540からの命令に従い、映像信号を生成する機能を有する。また画像処理回路6506は、表示部6511の仕様に合わせて該映像信号に信号処理を施し、アナログ映像信号に変換し、信号線駆動回路6502に供給する機能を有する。また画像処理回路6506は、CPU6540からの命令に従い、センサ駆動回路6503に出力する駆動信号を生成する機能を有する。また、画像処理回路6506は、検出回路6504から入力された信号を解析し、位置情報としてCPU6540に出力する機能を有する。

【0529】

またタイミングコントローラ6505は、画像処理回路6506が処理を施した映像信号等に含まれる同期信号を基に、走査線駆動回路6513及びセンサ駆動回路6503に出力する信号（クロック信号、スタートパルス信号などの信号）を生成し、出力する機能を有する。またタイミングコントローラ6505は、検出回路6504が信号を出力するタイミングを規定する信号を生成し、出力する機能を有していてもよい。ここで、タイミングコントローラ6505は、走査線駆動回路6513に出力する信号と、センサ駆動回路6503に出力する信号とに、それぞれ同期させた信号を出力することが好ましい。特に、表示部6511の画素のデータを書き換える期間と、入力部6512でセンシングする期間を、それぞれ分けることが好ましい。例えば、1フレーム期間を、画素のデータを書き換える期間と、センシングする期間とに分けてタッチパネル6510を駆動することができる。また、例えば1フレーム期間中に2以上のセンシングの期間を設けることで、検出感度及び検出精度を高めることができる。

【0530】

画像処理回路6506としては、例えばプロセッサを有する構成とすることができる。例えばDSP（Digital Signal Processor）、GPU（Graphics Processing Unit）等の他のマイクロプロセッサを用いることができる。またこれらマイクロプロセッサをFPGA（Field Programmable Gate Array）やFPAA（Field Programmable Analog Array）といったPLD（Programmable Logic Device）によって実現した構成としてもよい。プロセッサにより種々のプログラムからの命令を解釈し実行することで、各種のデータ処理やプログラム制御を行う。プロセッサにより実行しうるプログラムは、プロセッサが有するメモリ領域に格納されていて

もよいし、別途設けられる記憶装置に格納されていてもよい。

【0531】

なお、タッチパネル6510が有する表示部6511、走査線駆動回路6513や、IC6520が有する回路ユニット6501、信号線駆動回路6502、センサ駆動回路6503、検出回路6504、または外部に設けられるCPU6540等に、チャンネル形成領域に酸化物半導体を用い、極めて低いオフ電流が実現されたトランジスタを利用することもできる。当該トランジスタは、オフ電流が極めて低いため、当該トランジスタを記憶素子として機能する容量素子に流入した電荷（データ）を保持するためのスイッチとして用いることで、データの保持期間を長期にわたり確保することができる。例えばこの特性を画像処理回路6506のレジスタやキャッシュメモリに用いることで、必要なときだけ画像処理回路6506を動作させ、他の場合には直前の処理の情報を当該記憶素子に保持させることにより、ノーマリーオフコンピューティングが可能となり、タッチパネルモジュール6500、及びこれが実装される電子機器の低消費電力化を図ることができる。

10

【0532】

なお、ここでは回路ユニット6501がタイミングコントローラ6505と画像処理回路6506を有する構成としたが、画像処理回路6506自体、または画像処理回路6506の一部の機能を有する回路を、外部に設けてもよい。または、画像処理回路6506の機能、または一部の機能をCPU6540が担ってもよい。例えば回路ユニット6501が信号線駆動回路6502、センサ駆動回路6503、検出回路6504、及びタイミングコントローラ6505を有する構成とすることもできる。

20

【0533】

なお、ここではIC6520が回路ユニット6501を含む例を示したが、回路ユニット6501はIC6520に含まれない構成とすることもできる。この時、IC6520は信号線駆動回路6502、センサ駆動回路6503、及び検出回路6504を有する構成とすることができる。例えばタッチパネルモジュール6500にICを複数実装する場合には、回路ユニット6501を別途設け、回路ユニット6501を有さないIC6520を複数配置することもできるし、IC6520と、信号線駆動回路6502のみを有するICを組み合わせて配置することもできる。

【0534】

このように、タッチパネル6510の表示部6511を駆動する機能と、入力部6512を駆動する機能と、を1つのICに組み込んだ構成とすることで、タッチパネルモジュール6500に実装するICの数を減らすことができるため、コストを低減することができる。

30

【0535】

図80(A)、(B)、(C)は、IC6520を実装したタッチパネルモジュール6500の概略図である。

【0536】

図80(A)では、タッチパネルモジュール6500は、基板6531、対向基板6532、複数のFPC6533、IC6520、IC6530等を有する。また基板6531と対向基板6532との間に表示部6511、入力部6512、及び走査線駆動回路6513を有している。IC6520及びIC6530は、COG(Chip On Glass)方式などの実装方法により基板6531に実装されている。

40

【0537】

IC6530は、上述したIC6520において、信号線駆動回路6502のみ、または信号線駆動回路6502及び回路ユニット6501を有するICである。IC6520やIC6530には、FPC6533を介して外部から信号が供給される。またFPC6533を介してIC6520やIC6530から外部に信号を出力することができる。

【0538】

図80(A)では表示部6511を挟むように走査線駆動回路6513を2つ設ける構成の例を示している。またIC6520に加えてIC6530を有する構成を示している

50

。このような構成は、表示部 6 5 1 1 が極めて高解像度である場合に、好適に用いることができる。

【0 5 3 9】

図 8 0 (B) は、1 つの I C 6 5 2 0 と 1 つの F P C 6 5 3 3 を実装した例を示している。このように、機能を 1 つの I C 6 5 2 0 に集約させることで、部品点数を減らすことができるため好ましい。また図 8 0 (B) では、走査線駆動回路 6 5 1 3 を表示部 6 5 1 1 の 2 つの短辺のうち、F P C 6 5 3 3 に近い側の辺に沿って配置した例を示している。

【0 5 4 0】

図 8 0 (C) は、画像処理回路 6 5 0 6 等が実装された P C B (P r i n t e d C i r c u i t B o a r d) 6 5 3 4 を有する構成の例を示している。基板 6 5 3 1 上の I C 6 5 2 0 及び I C 6 5 3 0 と、P C B 6 5 3 4 とは、F P C 6 5 3 3 によって電氣的に接続されている。ここで、I C 6 5 2 0 には、上述の画像処理回路 6 5 0 6 を有さない構成を適用することができる。

10

【0 5 4 1】

なお図 8 0 の各図において、I C 6 5 2 0 や I C 6 5 3 0 は、基板 6 5 3 1 ではなく F P C 6 5 3 3 に実装されていてもよい。例えば I C 6 5 2 0 や I C 6 5 3 0 を C O F (C h i p O n F i l m) 方式や T A B (T a p e A u t o m a t e d B o n d i n g) 方式などの実装方法により F P C 6 5 3 3 に実装すればよい。

【0 5 4 2】

図 8 0 (A)、(B) に示すように、表示部 6 5 1 1 の短辺側に F P C 6 5 3 3 や I C 6 5 2 0 (及び I C 6 5 3 0) 等を配置する構成は狭額縁化が可能であるため、例えばスマートフォン、携帯電話、またはタブレット端末などの電子機器に好適に用いることができる。また、図 8 0 (C) に示すような P C B 6 5 3 4 を用いる構成は、例えばテレビジョン装置やモニタ装置、タブレット端末、またはノート型のパーソナルコンピュータなどに好適に用いることができる。

20

【0 5 4 3】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0 5 4 4】

(実施の形態 6)

30

本実施の形態では、本発明の一態様の表示装置を有する表示モジュール及び電子機器について、図 8 1 乃至図 8 3 を用いて説明を行う。

【0 5 4 5】

図 8 1 に示す表示モジュール 8 0 0 0 は、上部カバー 8 0 0 1 と下部カバー 8 0 0 2 との間に、F P C 8 0 0 5 に接続された表示パネル 8 0 0 6、バックライト 8 0 0 7、フレーム 8 0 0 9、プリント基板 8 0 1 0、バッテリー 8 0 1 1 を有する。

【0 5 4 6】

本発明の一態様の表示装置は、例えば、表示パネル 8 0 0 6 に用いることができる。

【0 5 4 7】

上部カバー 8 0 0 1 及び下部カバー 8 0 0 2 は、表示パネル 8 0 0 6 のサイズに合わせて、形状や寸法を適宜変更することができる。

40

【0 5 4 8】

表示パネル 8 0 0 6 は、静電容量方式のタッチセンサを有する。

【0 5 4 9】

バックライト 8 0 0 7 は、光源 8 0 0 8 を有する。

【0 5 5 0】

なお、図 8 1 において、バックライト 8 0 0 7 上に光源 8 0 0 8 を配置する構成について例示したが、これに限定さない。例えば、バックライト 8 0 0 7 の端部に光源 8 0 0 8 を配置し、さらに光拡散板を用いる構成としてもよい。

【0 5 5 1】

50

なお、有機EL素子等の自発光型の発光素子を用いる場合、または反射型パネル等の場合においては、バックライト8007を設けない構成としてもよい。

【0552】

フレーム8009は、表示パネル8006の保護機能の他、プリント基板8010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム8009は、放熱板としての機能を有していてもよい。

【0553】

プリント基板8010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー8011による電源であってもよい。バッテリー8011は、商用電源を用いる場合には、省略可能である。

【0554】

また、表示モジュール8000は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【0555】

図82(A)乃至(H)及び図83は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005(電源スイッチ、又は操作スイッチを含む)、接続端子5006、センサ5007(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン5008、等を有することができる。

【0556】

図82(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図82(B)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図82(C)はテレビジョン装置であり、上述したものの他に、スタンド5012等を有することができる。また、テレビジョン装置の操作は、筐体5000が備える操作スイッチや、別体のリモコン操作機5013により行うことができる。リモコン操作機5013が備える操作キーにより、チャンネルや音量の操作を行うことができ、表示部5001に表示される映像を操作することができる。また、リモコン操作機5013に、当該リモコン操作機5013から出力する情報を表示する表示部を設ける構成としてもよい。図82(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図82(E)はテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ5014、シャッターボタン5015、受像部5016、等を有することができる。図82(F)は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図82(G)は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。図82(H)は腕時計型情報端末であり、上述したもののほかに、バンド5018、留め金5019、等を有することができる。ベゼル部分を兼ねる筐体5000に搭載された表示部5001は、非矩形状の表示領域を有している。表示部5001は、時刻を表すアイコン5020、その他のアイコン5021等を表示することができる。図83(A)はデジタルサイネージ(Digital Signage: 電子看板)である。図83(B)は円柱状の柱に取り付けられたデジタルサイネージである。

【0557】

図82(A)乃至(H)及び図83に示す電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々

なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、又は、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動又は手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図 8 2（A）乃至（H）及び図 8 3 に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

10

【0558】

本実施の形態の電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。該表示部に、本発明の一態様の表示装置を適用することができる。

【0559】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【0560】

10	表示装置	20
11	基板	
12	基板	
13	FPC	
14	導電膜	
20a	液晶素子	
20b	液晶素子	
21a	コモン電極	
21a1	コモン電極	
21a2	画素電極	
21b	画素電極	30
22a	画素電極	
22b	コモン電極	
22b1	コモン電極	
22b2	画素電極	
23	液晶	
24	絶縁膜	
25a	開口	
25b	開口	
26	開口	
28a	導電膜	40
28b	導電膜	
31	着色膜	
40a	画素	
40b	画素	
51a	センサ電極	
51a1	センサ電極	
52b	センサ電極	
52b1	センサ電極	
53	配線	
54	配線	50

5 5	開口	
5 6	開口	
6 1	配線	
6 2	配線	
6 3	トランジスタ	
6 4	液晶素子	
6 5 _ 1	ブロック	
6 5 _ 2	ブロック	
6 7 _ 1	ブロック	
6 7 _ 4	ブロック	10
7 1	電極	
7 1 _ 1	電極	
7 1 _ 2	電極	
7 2	電極	
7 2 _ 1	電極	
7 2 _ 4	電極	
1 0 2	基板	
1 0 8	絶縁膜	
1 1 4	絶縁膜	
1 1 8	絶縁膜	20
1 1 9	絶縁膜	
1 5 0 a	トランジスタ	
1 5 0 b	トランジスタ	
1 5 1	シール材	
1 6 0 a	液晶素子	
1 6 0 b	液晶素子	
3 0 1	トランジスタ	
3 0 6	接続部	
3 1 0	表示装置	
3 1 6	スペーサ	30
3 1 9	接続層	
3 2 1 a	導電膜	
3 2 1 a 1	導電膜	
3 2 1 a 2	導電膜	
3 2 1 b	導電膜	
3 2 2 a	導電膜	
3 2 2 b	導電膜	
3 2 2 b 1	導電膜	
3 2 2 b 2	導電膜	
3 2 5 a	開口	40
3 2 5 b	開口	
3 2 8 a	導電膜	
3 2 8 b	導電膜	
3 3 1 a	着色膜	
3 3 1 b	着色膜	
3 3 2	遮光膜	
3 4 1	ゲート電極	
3 4 2	ゲート電極	
3 4 3	ゲート電極	
3 4 4	ゲート電極	50

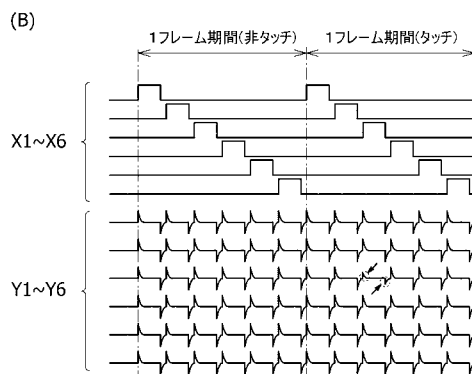
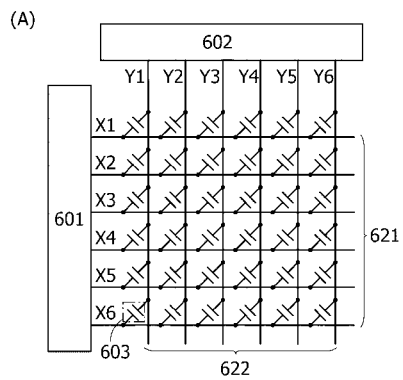
3 4 7	領域	
3 4 8	領域	
3 5 3	液晶	
3 5 4	絶縁膜	
3 5 5	絶縁膜	
3 5 6	開口	
3 6 0	領域	
3 6 1 a	領域	
3 6 1 b	領域	
3 6 2	領域	10
3 6 3	交差部	
3 6 4	空間	
3 6 5 a	画素	
3 6 5 a 1	副画素	
3 6 5 b	画素	
3 6 5 b 1	副画素	
3 6 5 c	画素	
3 6 6 a	画素	
3 6 6 b	画素	
3 6 6 c	画素	20
3 6 7 a	画素	
3 6 7 a 1	副画素	
3 6 7 b	画素	
3 6 7 b 1	副画素	
3 6 7 c	画素	
3 6 8 a	画素	
3 6 8 a 1	副画素	
3 6 8 b	画素	
3 6 8 b 1	副画素	
3 6 8 c	画素	30
3 6 9 a	画素	
3 6 9 b	画素	
3 6 9 c	画素	
3 7 0 a	画素	
3 7 0 b	画素	
3 7 0 c	画素	
3 7 2	基板	
3 7 3	F P C	
3 7 4	I C	
3 7 7	領域	40
3 8 1	表示部	
3 8 2	配線	
3 8 3	駆動回路	
3 8 4	駆動回路	
3 8 6	配線	
3 8 9 a	導電膜	
3 8 9 b	導電膜	
6 0 1	パルス電圧出力回路	
6 0 2	電流検出回路	
6 0 3	容量	50

6 2 1	電 極	
6 2 2	電 極	
7 2 3	電 極	
7 2 5	層	
7 2 6	絶 縁 層	
7 2 7	絶 縁 層	
7 2 8	絶 縁 層	
7 2 9	絶 縁 層	
7 4 1	絶 縁 層	
7 4 2	半 導 体 層	10
7 4 2 a	半 導 体 層	
7 4 2 b	半 導 体 層	
7 4 2 c	半 導 体 層	
7 4 3	電 極	
7 4 4 a	電 極	
7 4 4 b	電 極	
7 4 6	電 極	
7 4 7 a	開 口	
7 4 7 b	開 口	
7 4 7 c	開 口	20
7 4 7 d	開 口	
7 5 5	不 純 物	
7 7 1	基 板	
7 7 2	絶 縁 層	
7 7 5	絶 縁 層	
8 1 0	ト ラ ン ジ ス タ	
8 1 1	ト ラ ン ジ ス タ	
8 2 0	ト ラ ン ジ ス タ	
8 2 1	ト ラ ン ジ ス タ	
8 2 2	ト ラ ン ジ ス タ	30
8 2 5	ト ラ ン ジ ス タ	
8 2 6	ト ラ ン ジ ス タ	
8 3 0	ト ラ ン ジ ス タ	
8 3 1	ト ラ ン ジ ス タ	
8 4 0	ト ラ ン ジ ス タ	
8 4 1	ト ラ ン ジ ス タ	
8 4 2	ト ラ ン ジ ス タ	
8 4 3	ト ラ ン ジ ス タ	
8 4 4	ト ラ ン ジ ス タ	
8 4 5	ト ラ ン ジ ス タ	40
8 4 6	ト ラ ン ジ ス タ	
8 4 7	ト ラ ン ジ ス タ	
8 4 8	ト ラ ン ジ ス タ	
8 5 0	ト ラ ン ジ ス タ	
8 5 1	ト ラ ン ジ ス タ	
8 5 2	ト ラ ン ジ ス タ	
5 0 0 0	筐 体	
5 0 0 1	表 示 部	
5 0 0 2	表 示 部	
5 0 0 3	ス ピ ー カ	50

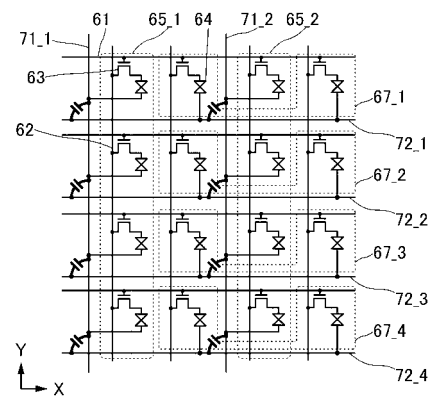
5 0 0 4	L E D ランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	スタンド	
5 0 1 3	リモコン操作機	10
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	バンド	
5 0 1 9	留め金	
5 0 2 0	アイコン	
5 0 2 1	アイコン	
5 2 0 0	ベレット	
5 2 0 1	イオン	20
5 2 0 2	横成長部	
5 2 0 3	粒子	
5 2 2 0	基板	
5 2 3 0	ターゲット	
5 2 4 0	プラズマ	
5 2 6 0	加熱機構	
5 4 0 2	絶縁膜	
5 4 0 4	導電膜	
5 4 0 6 a	酸化物半導体膜	
5 4 0 6 b	酸化物半導体膜	30
5 4 0 6 c	酸化物半導体膜	
5 4 1 2	絶縁膜	
5 4 1 6 a	導電膜	
5 4 1 6 b	導電膜	
6 5 0 0	タッチパネルモジュール	
6 5 0 1	回路ユニット	
6 5 0 2	信号線駆動回路	
6 5 0 3	センサ駆動回路	
6 5 0 4	検出回路	
6 5 0 5	タイミングコントローラ	40
6 5 0 6	画像処理回路	
6 5 1 0	タッチパネル	
6 5 1 1	表示部	
6 5 1 2	入力部	
6 5 1 3	走査線駆動回路	
6 5 2 0	I C	
6 5 3 0	I C	
6 5 3 1	基板	
6 5 3 2	対向基板	
6 5 3 3	F P C	50

6 5 3 4	P C B
6 5 4 0	C P U
8 0 0 0	表示モジュール
8 0 0 1	上部カバー
8 0 0 2	下部カバー
8 0 0 5	F P C
8 0 0 6	表示パネル
8 0 0 7	バックライト
8 0 0 8	光源
8 0 0 9	フレーム
8 0 1 0	プリント基板
8 0 1 1	バッテリー

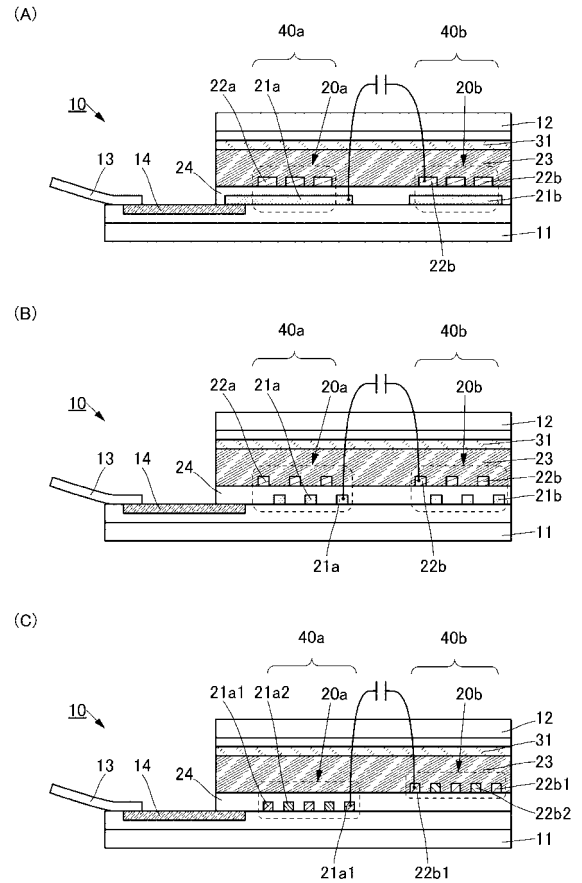
【図 1】



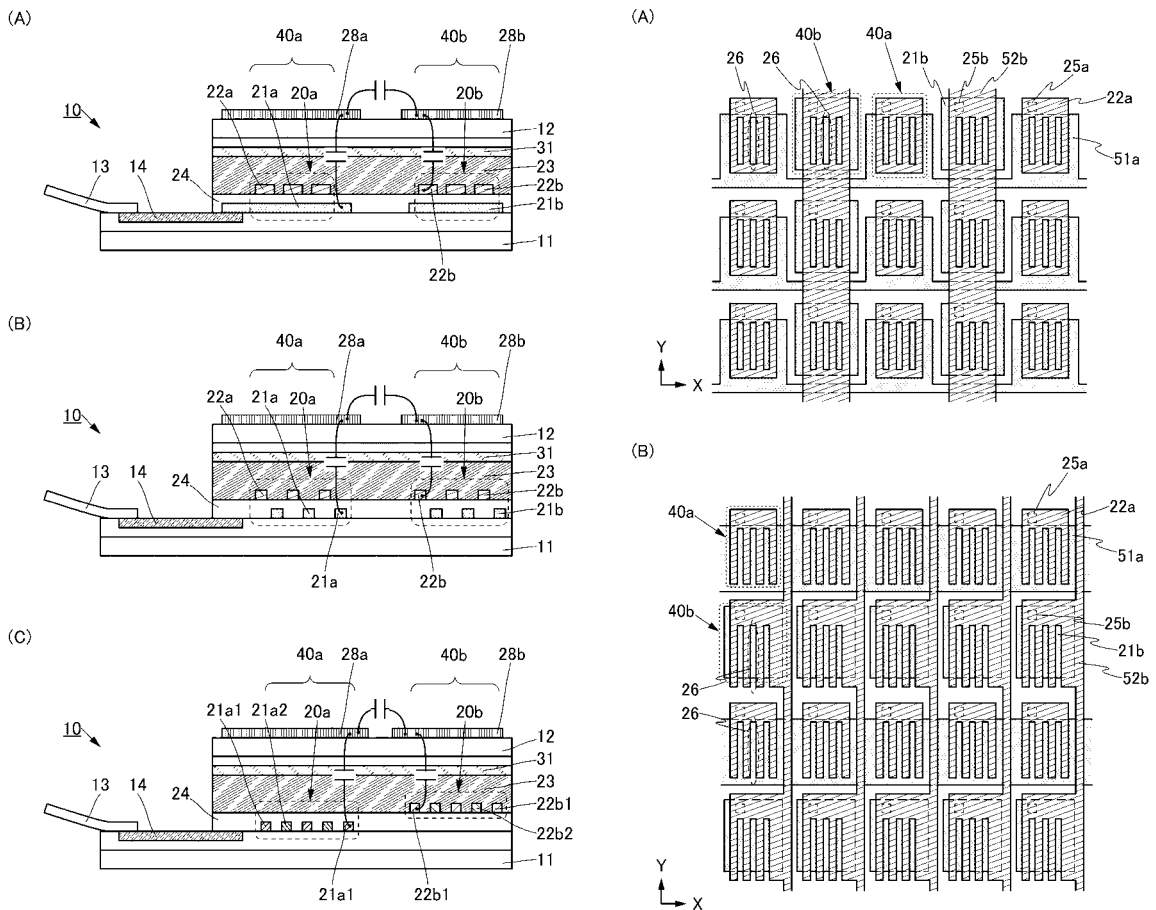
【図 2】



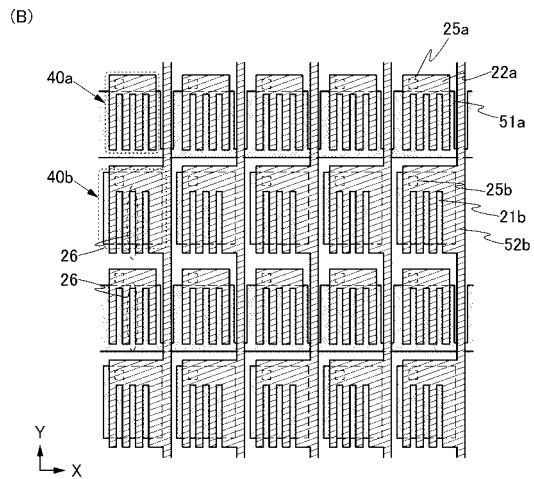
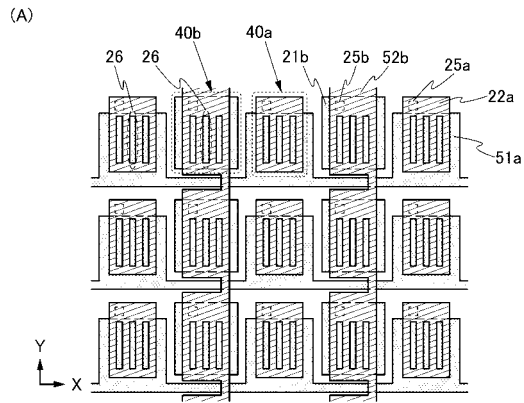
【圖 4】



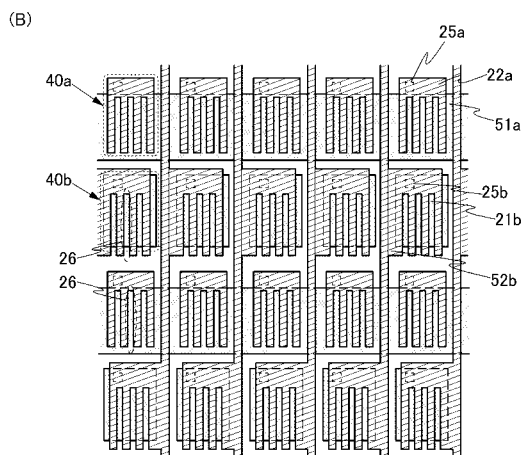
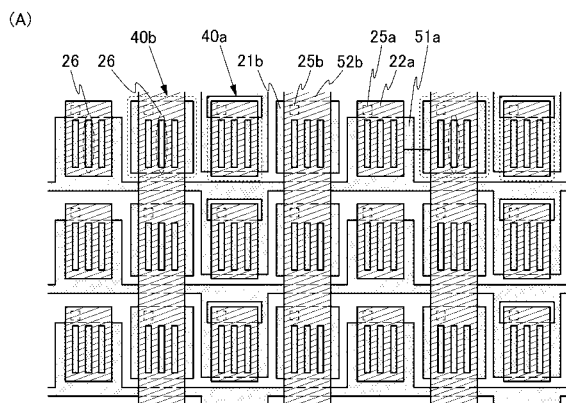
【 図 6 】



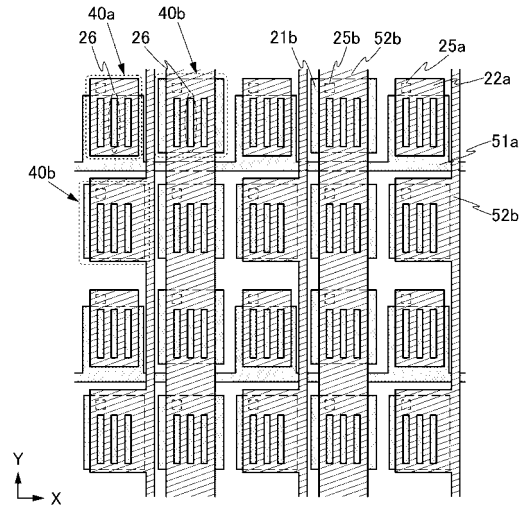
【図 7】



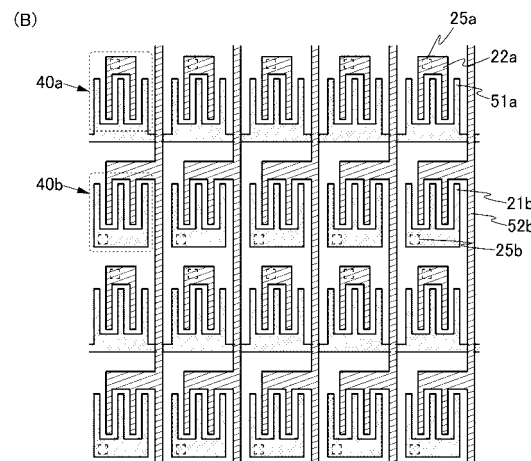
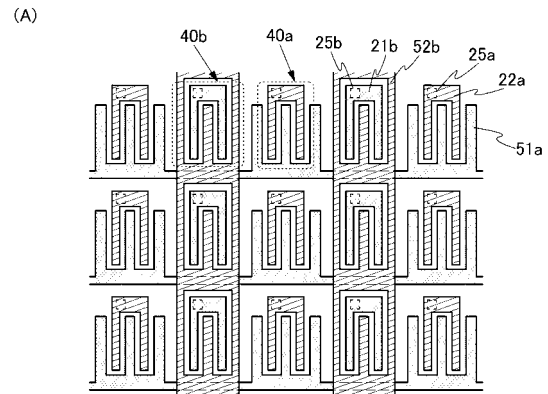
【図 9】



【図 8】

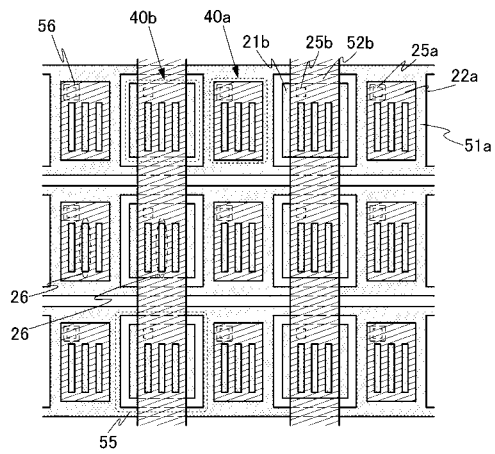


【図 10】

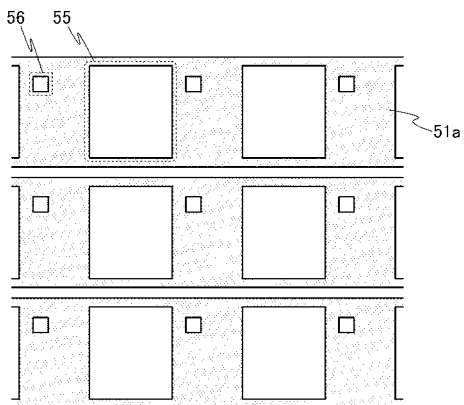


【図 1 1】

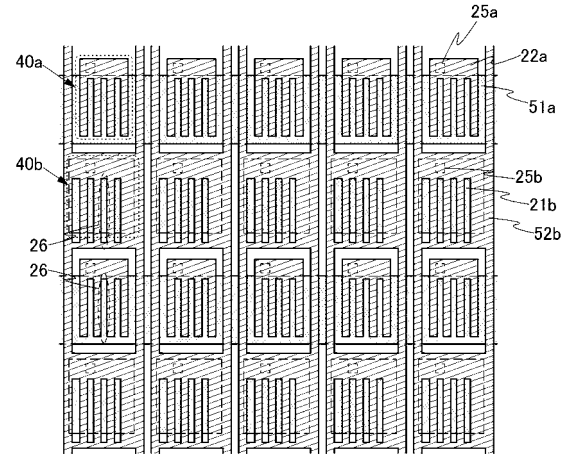
(A)



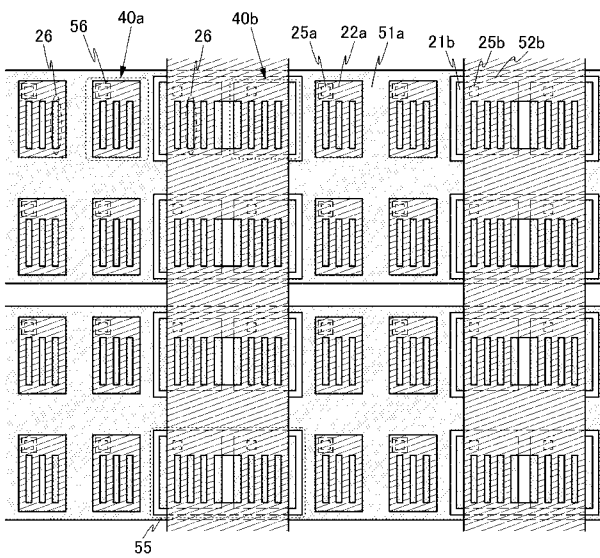
(B)



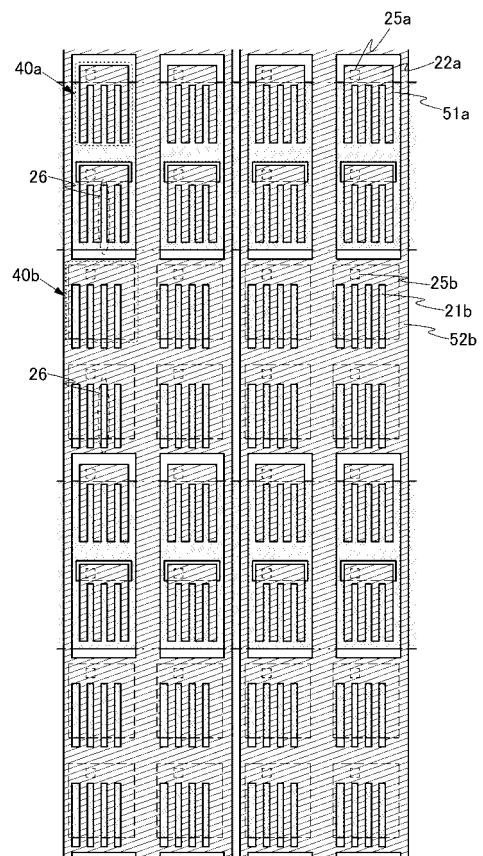
【図 1 2】



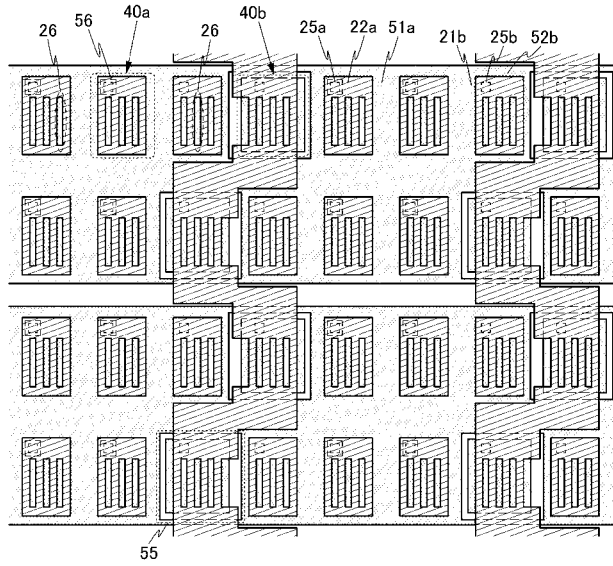
【図 1 3】



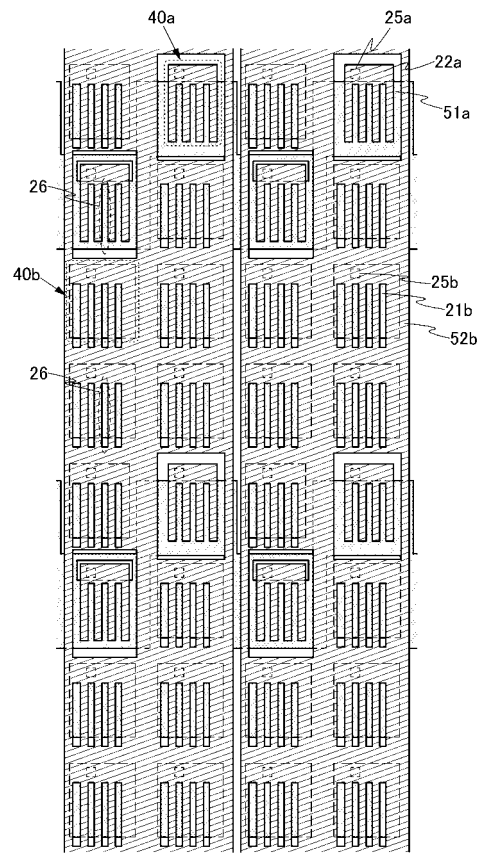
【図 1 4】



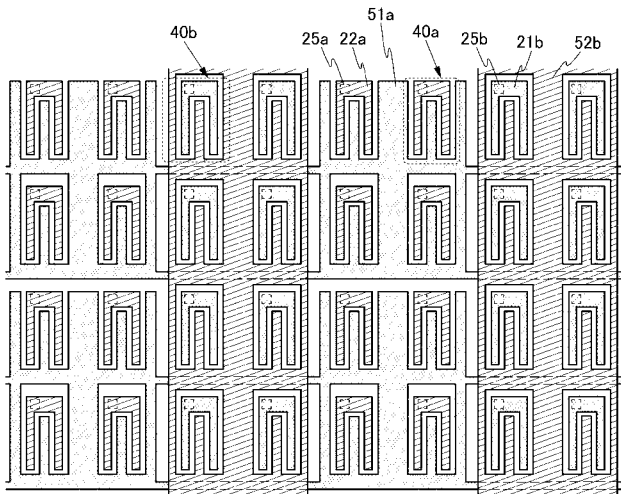
【図 15】



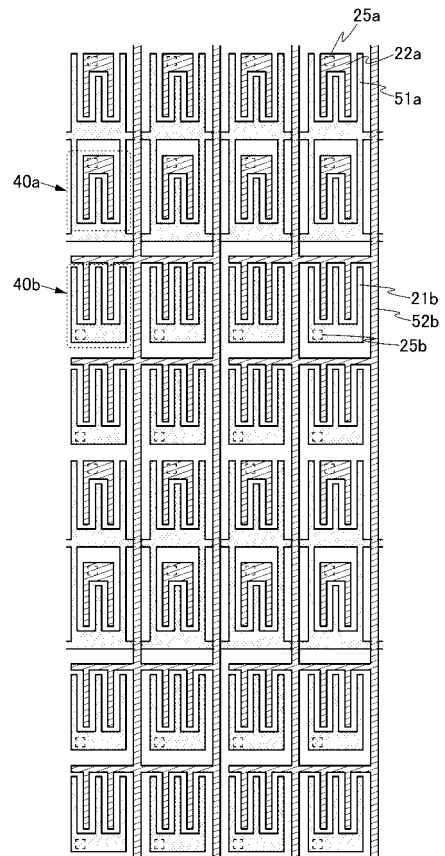
【図 16】



【図 17】

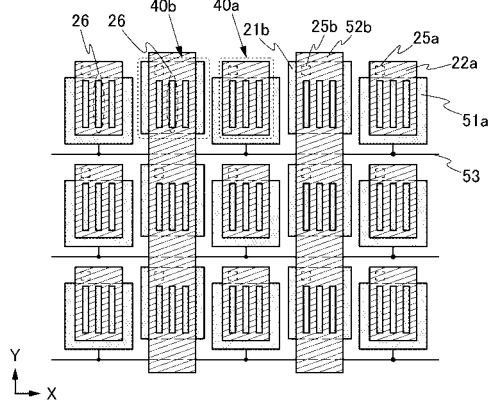


【図 18】

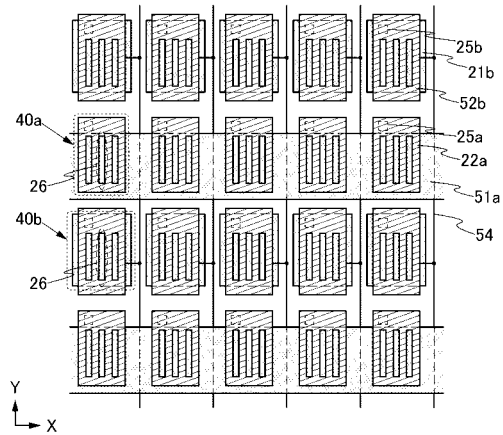


【図 19】

(A)

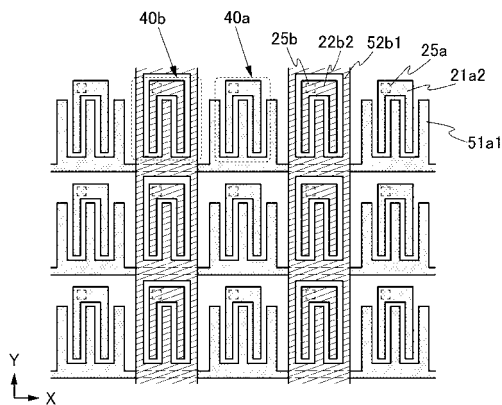


(B)

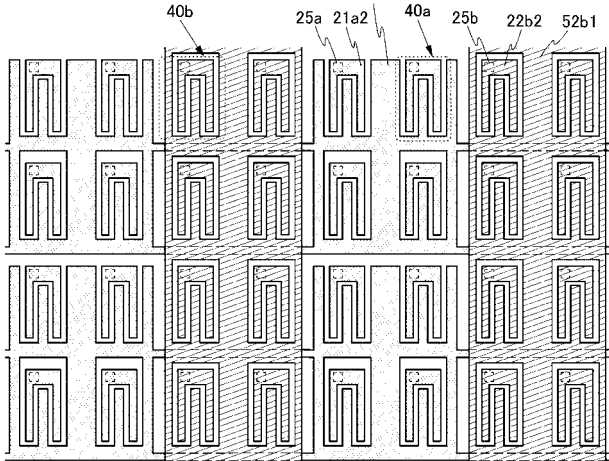


【図 21】

(A)

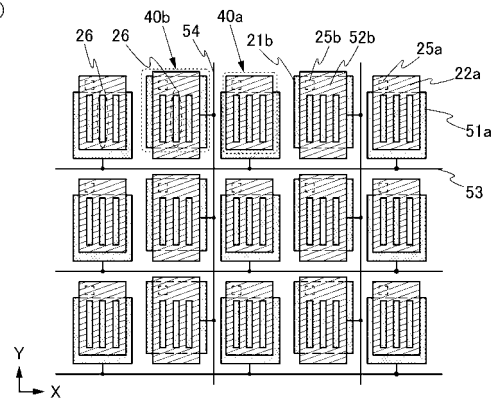


(B)

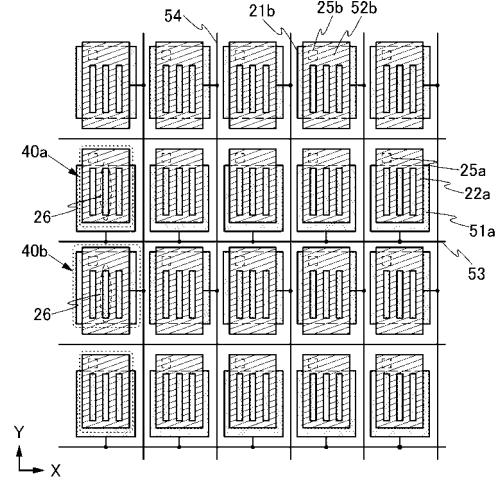


【図 20】

(A)

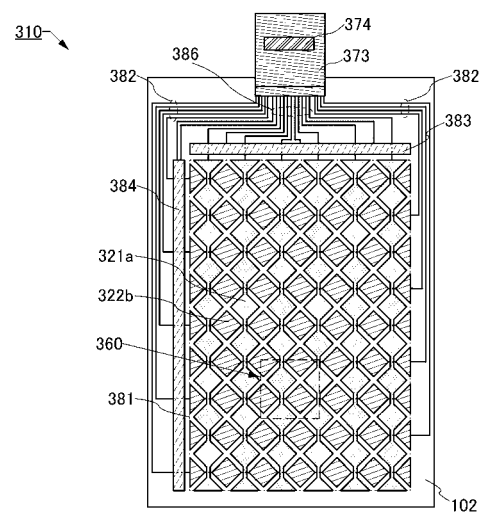


(B)

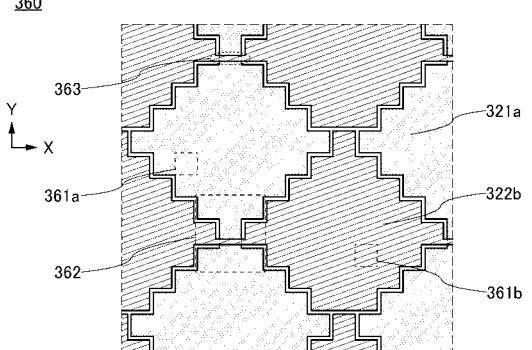


【図 22】

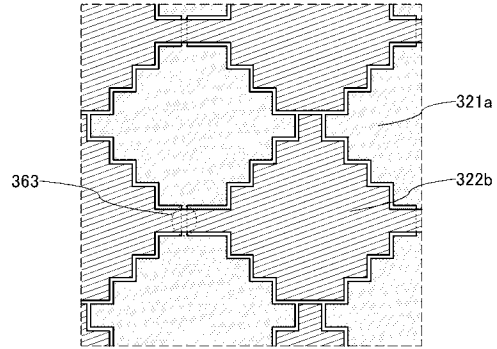
(A)



(B)

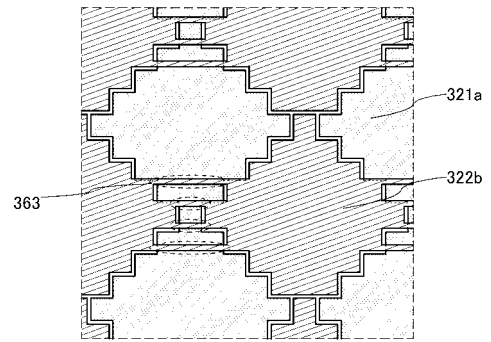


【図 2 3】

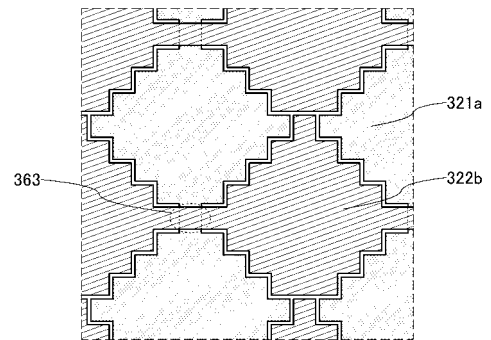


【図 2 4】

(A)

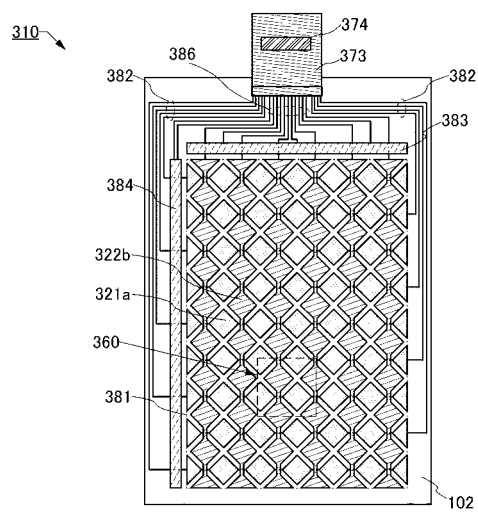


(B)

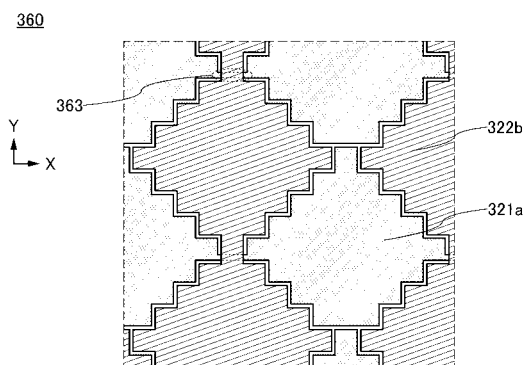


【図 2 5】

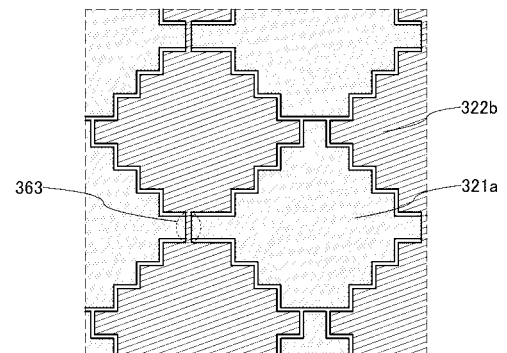
(A)



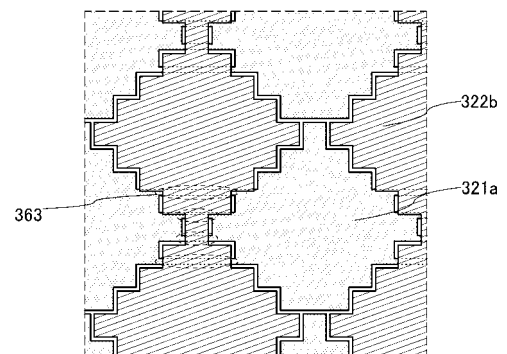
(B)



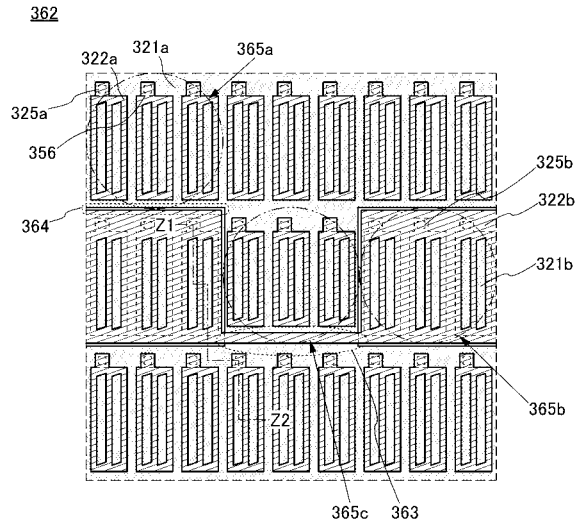
【図 2 6】



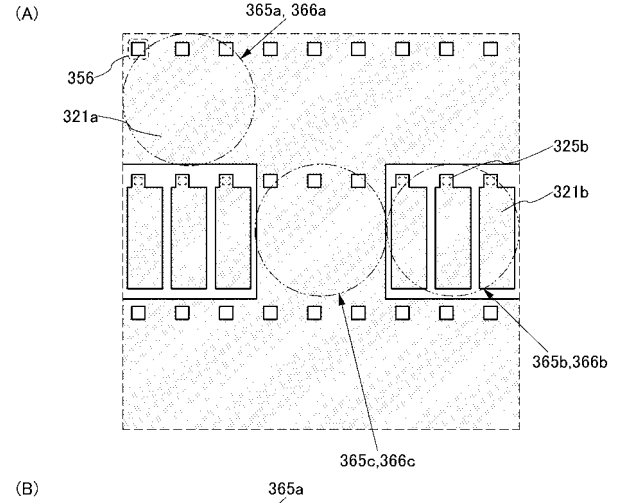
【図 2 7】



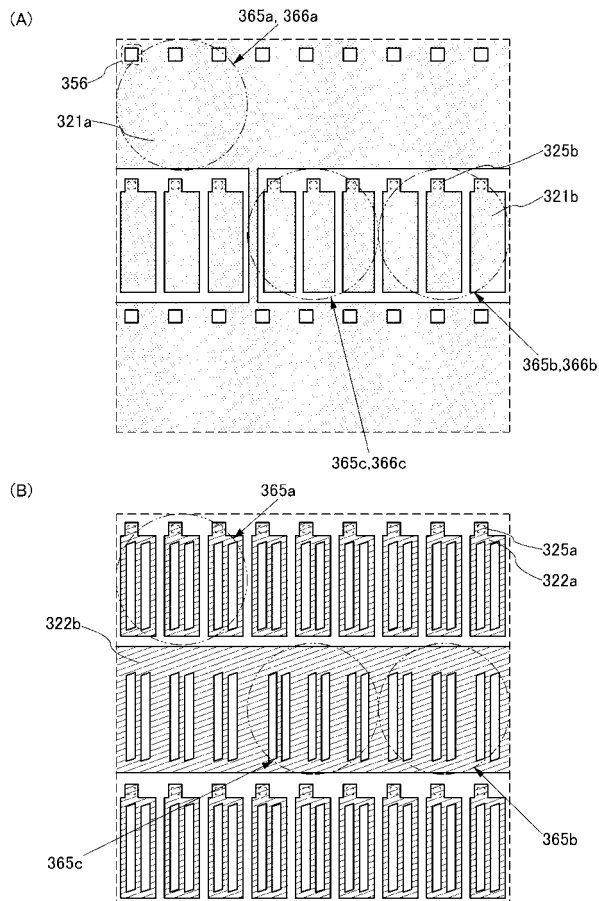
【図 28】



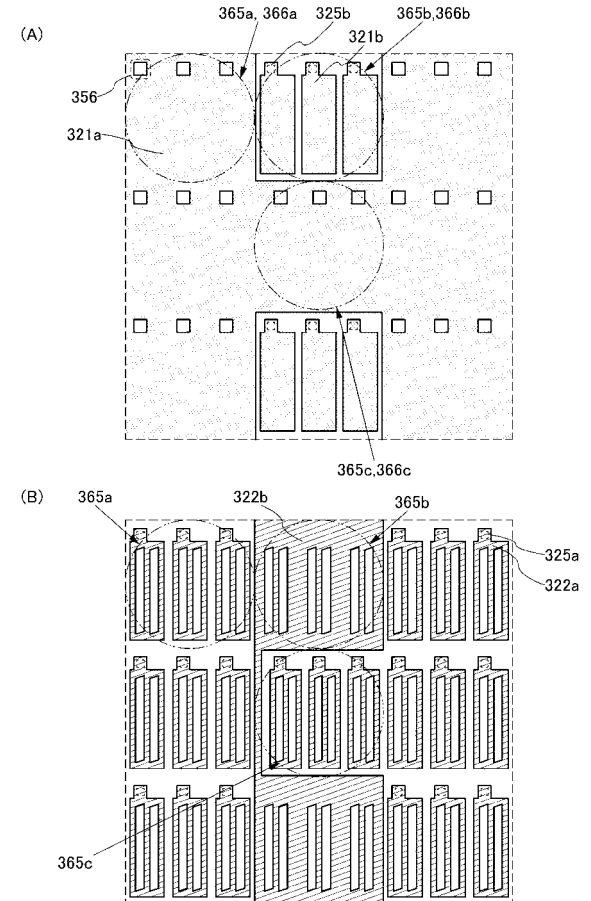
【図 29】



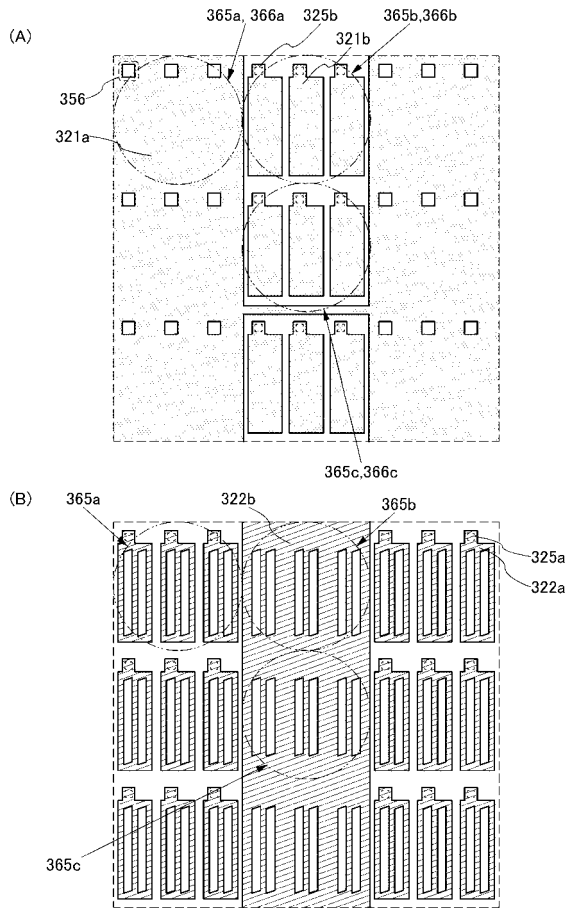
【図 30】



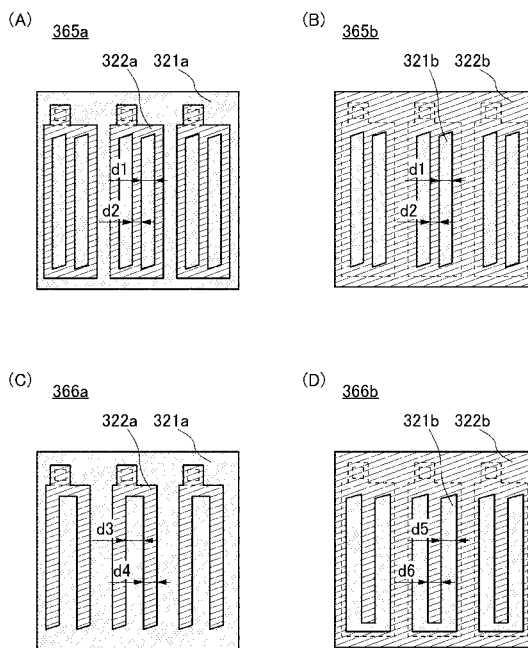
【図 31】



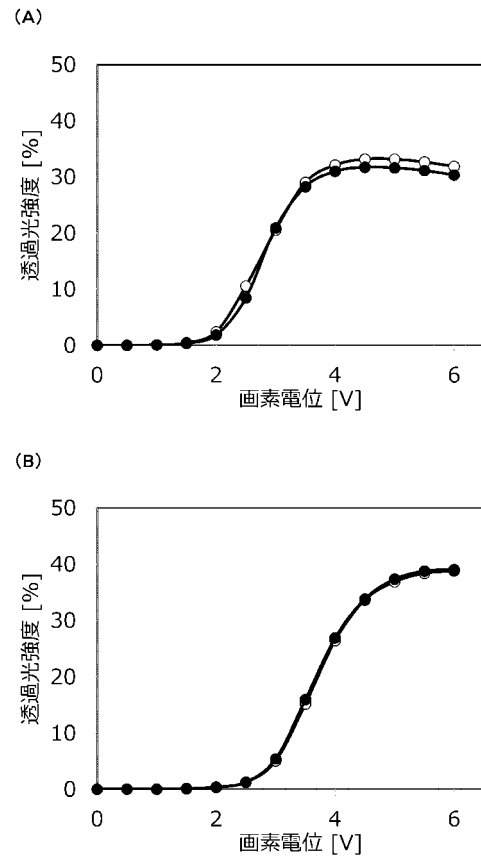
【図 3 2】



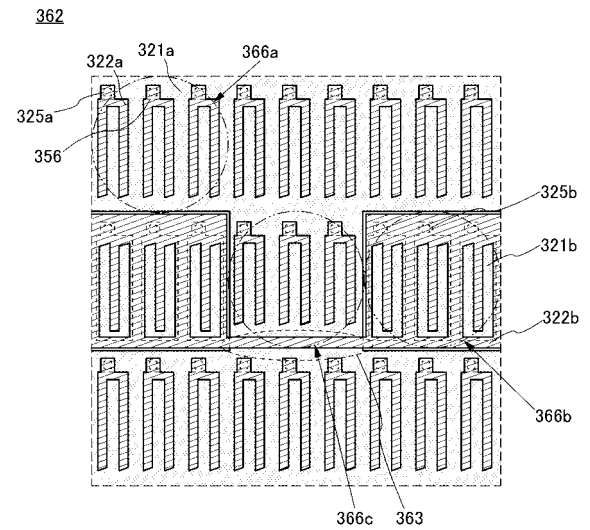
【図 3 4】



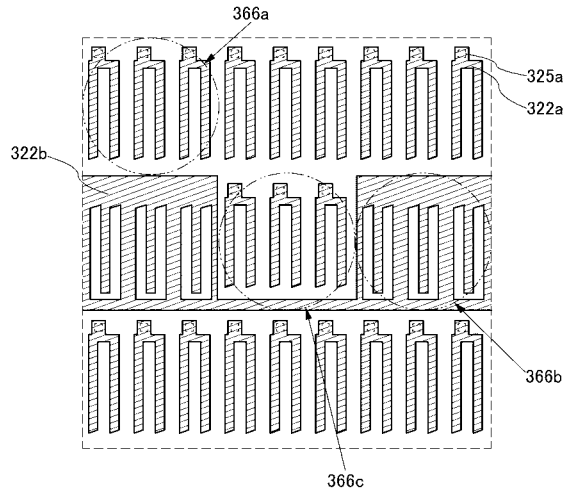
【図 3 3】



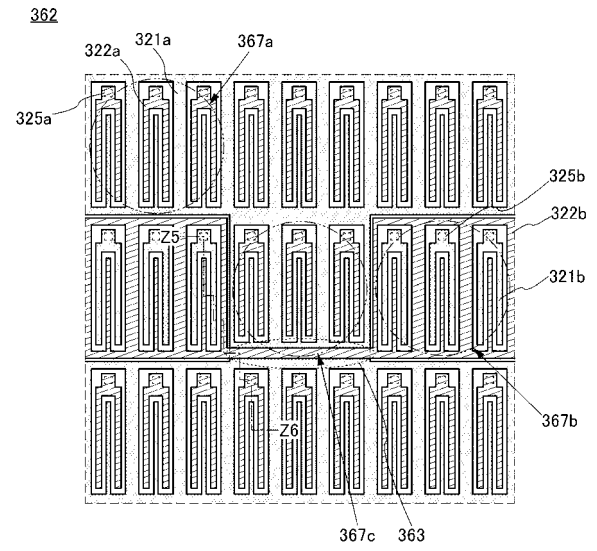
【図 3 5】



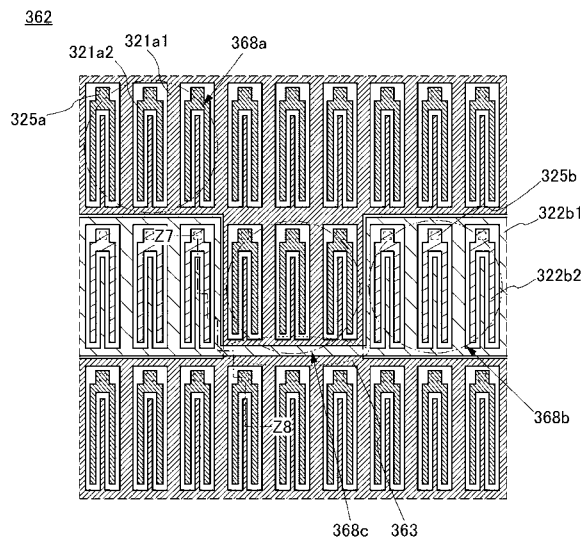
【図 36】



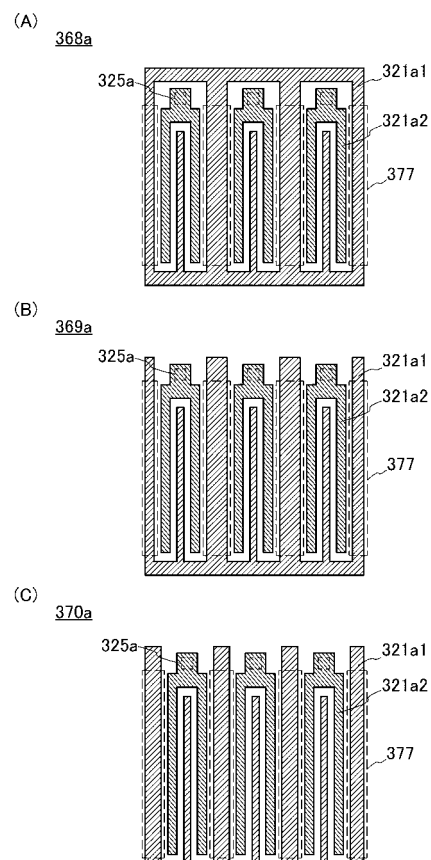
【図 37】



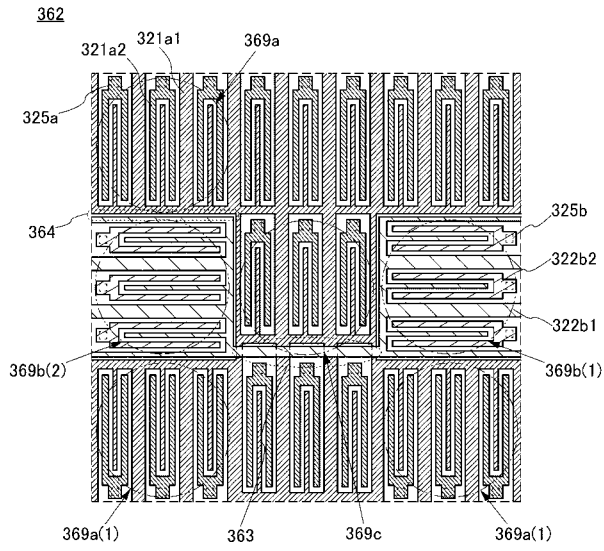
【図 38】



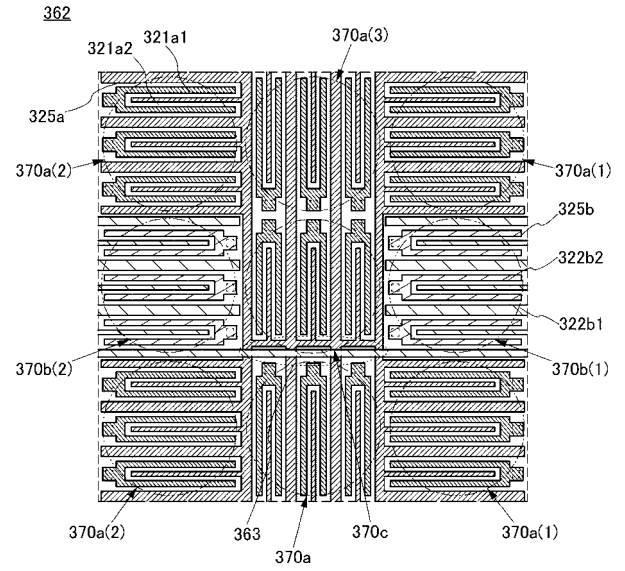
【図 39】



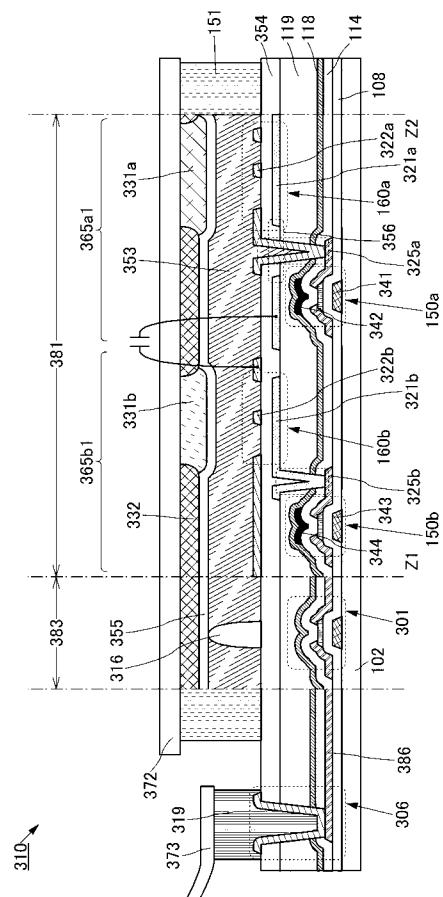
【図 40】



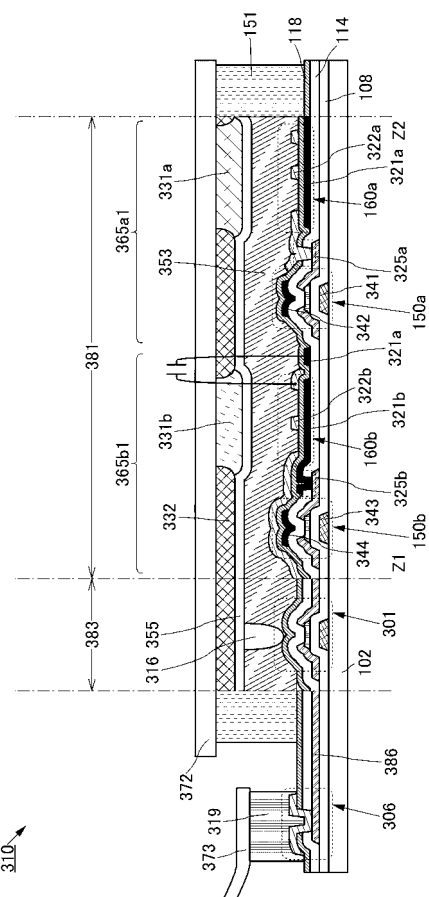
【図 41】



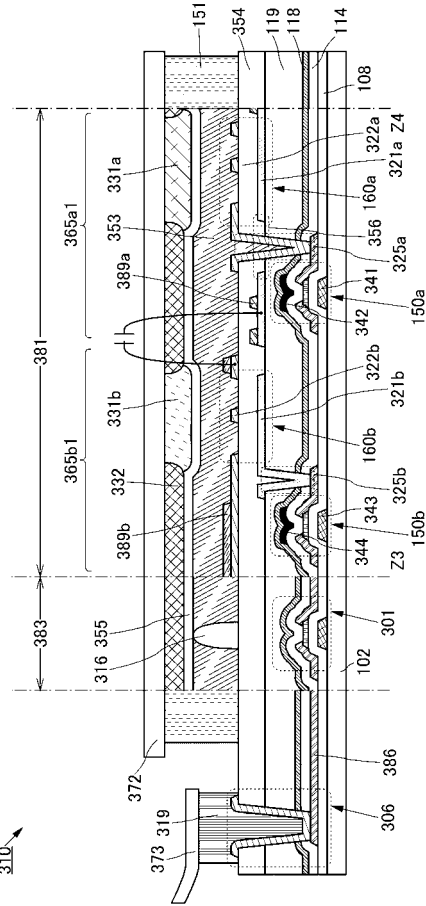
【図 42】



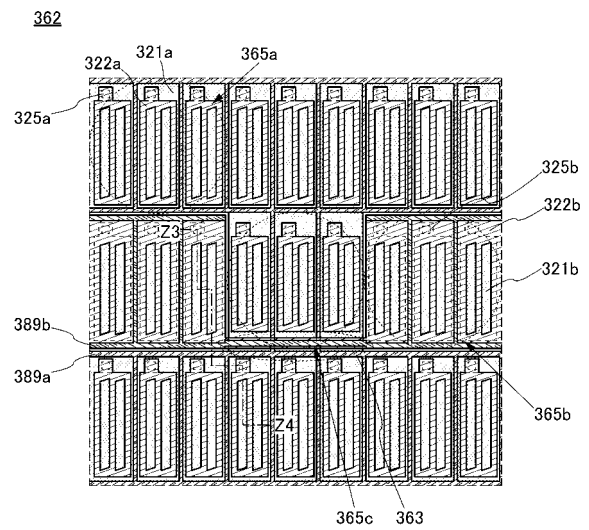
【図 43】



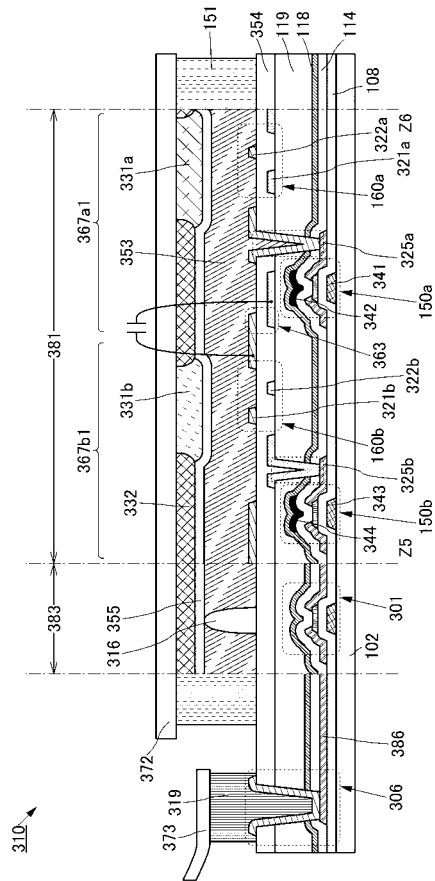
【図 49】



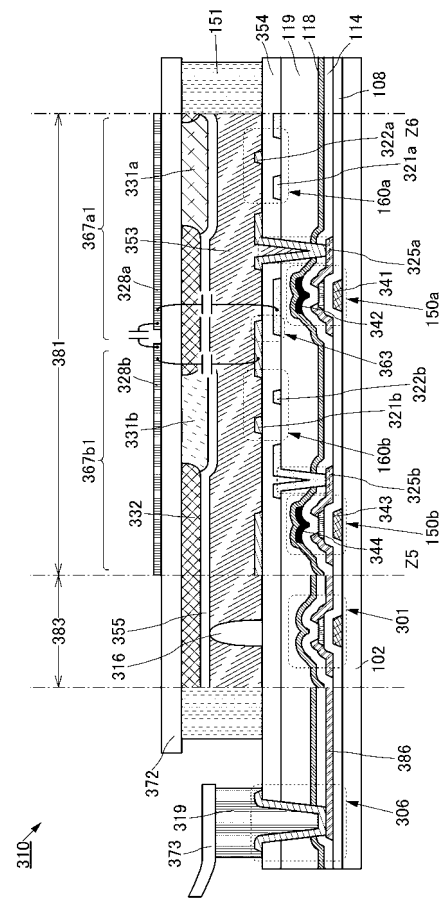
【図 5 1】



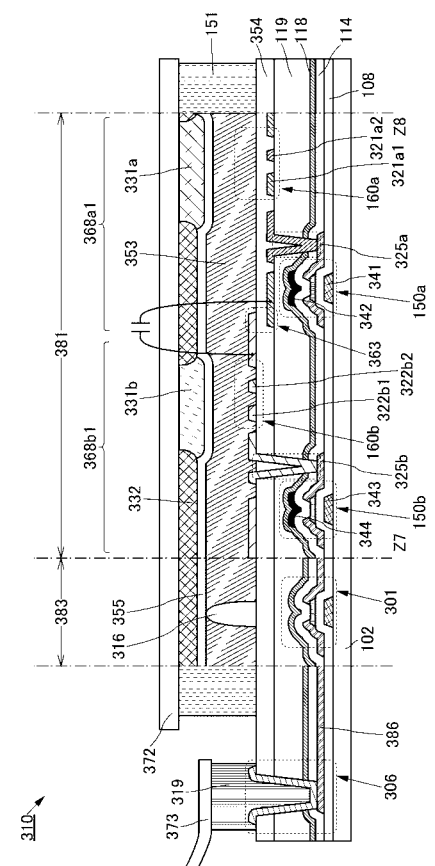
【図 5 2】



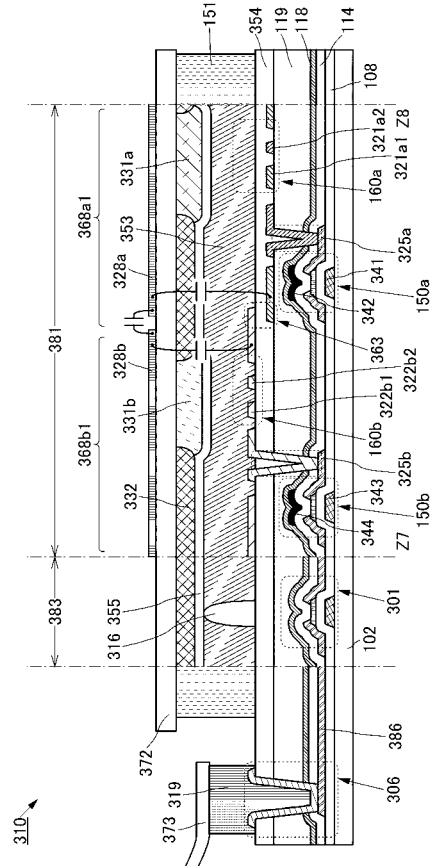
【図 5 3】



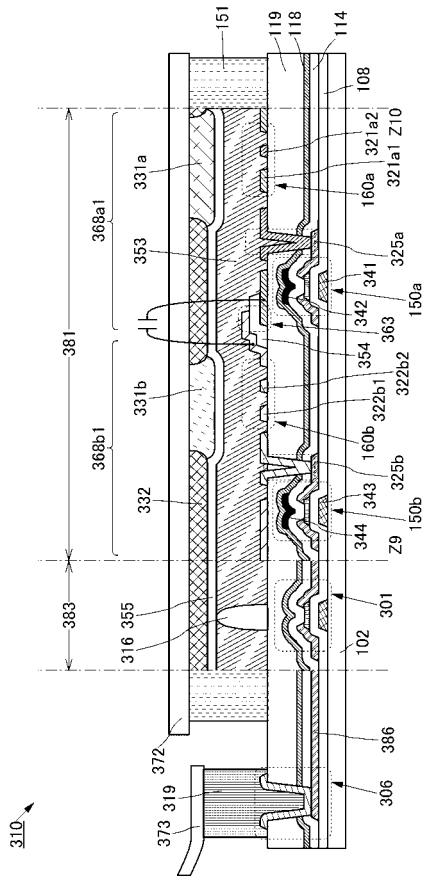
【図 5 4】



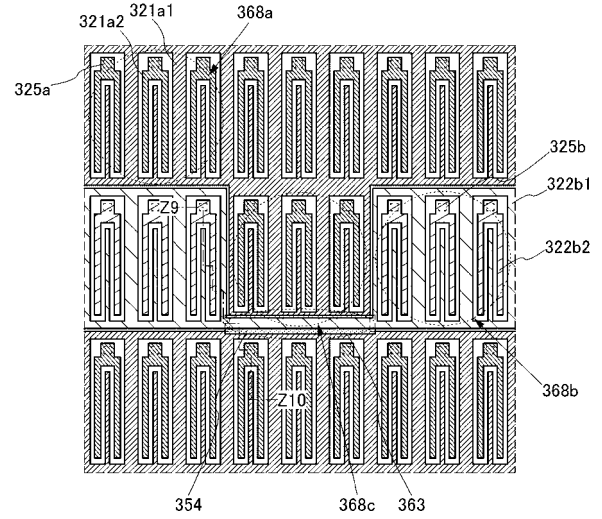
【 図 5 5 】



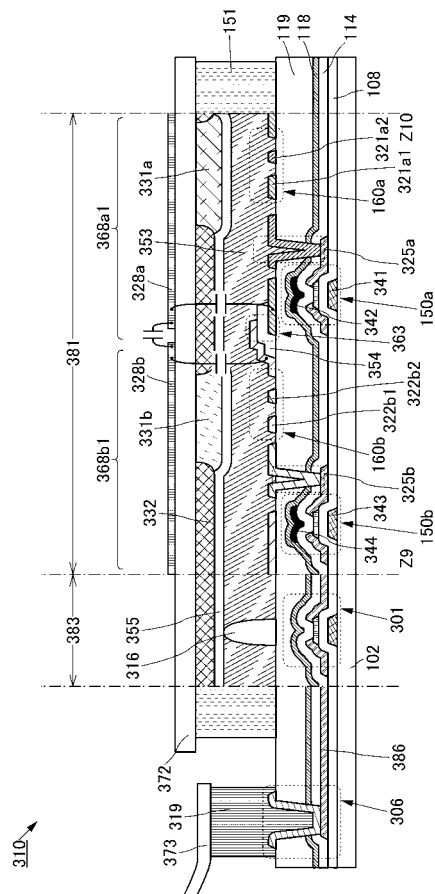
【图 5 6】



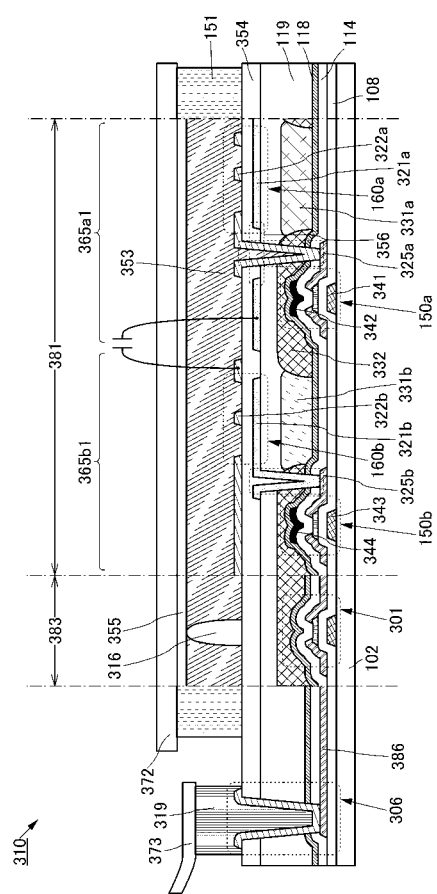
【図 5 7】



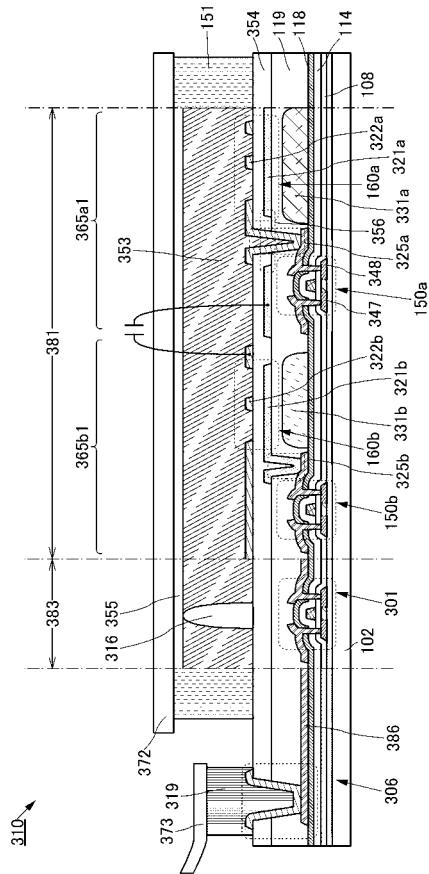
【図 5 8】



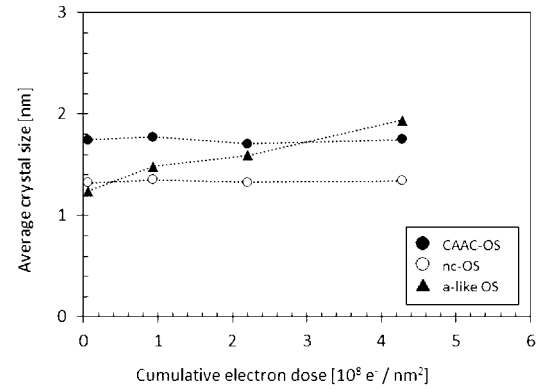
【 図 5 9 】



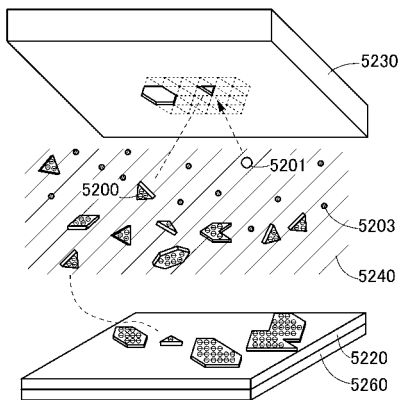
【図 60】



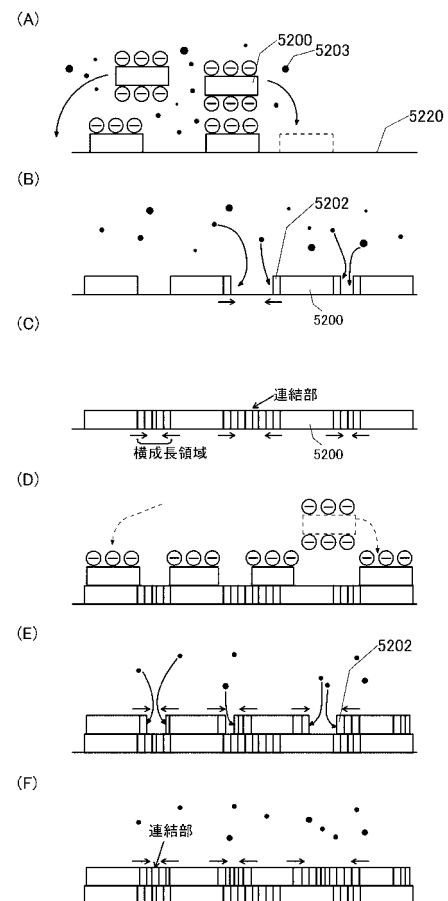
【図 65】



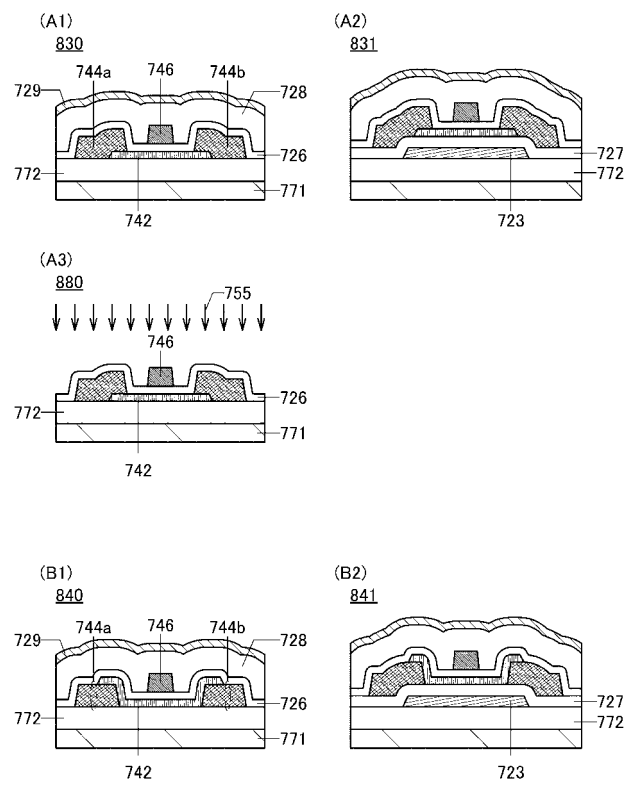
【図 66】



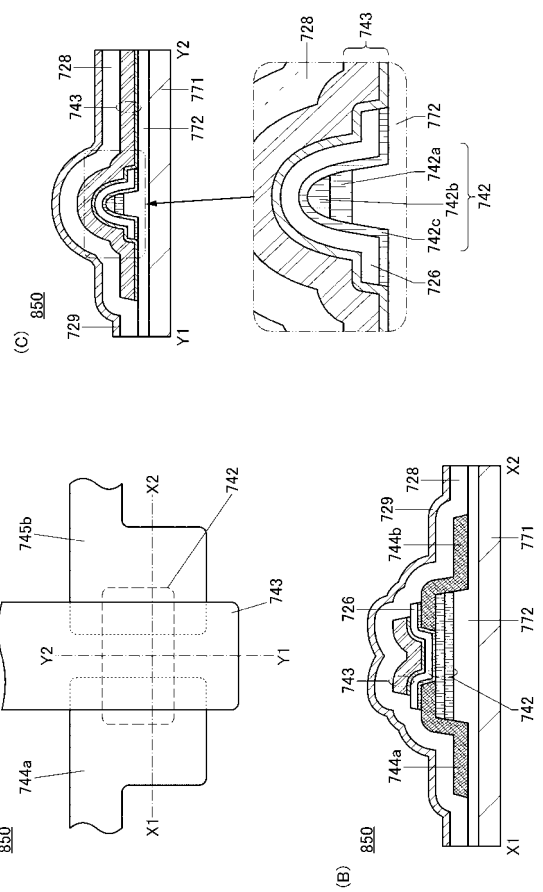
【図 68】



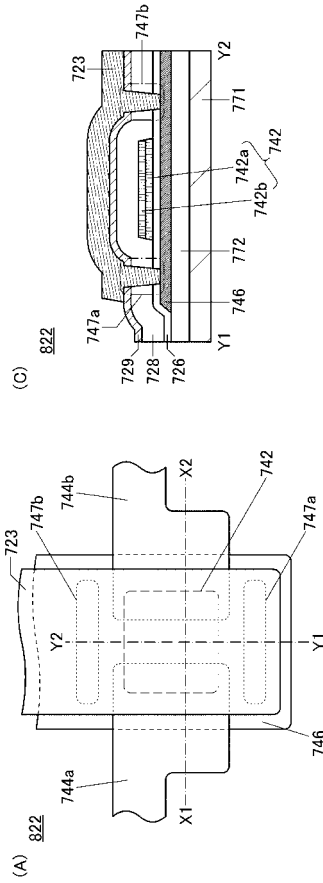
【 凶 7 0 】



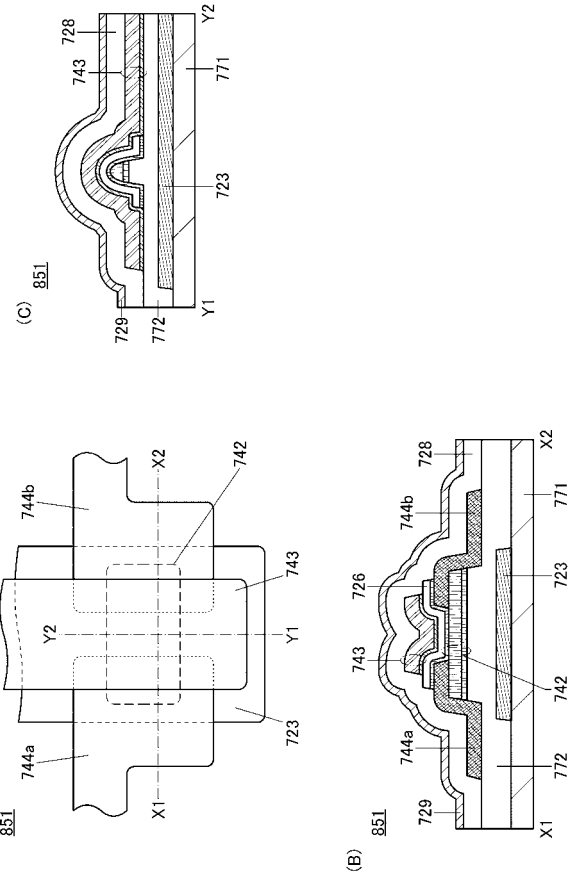
【图 7 2】



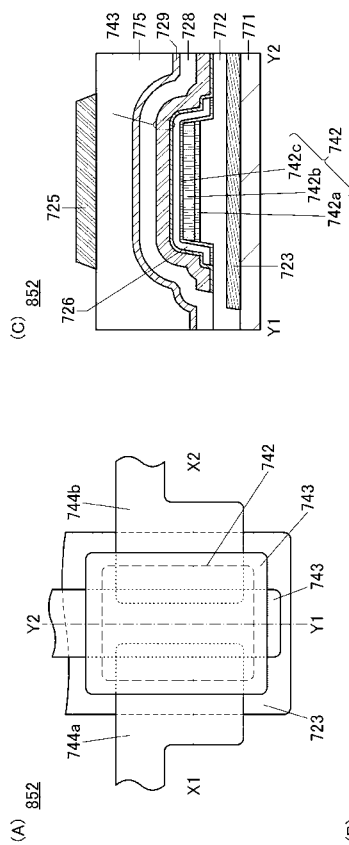
【図 7 3】



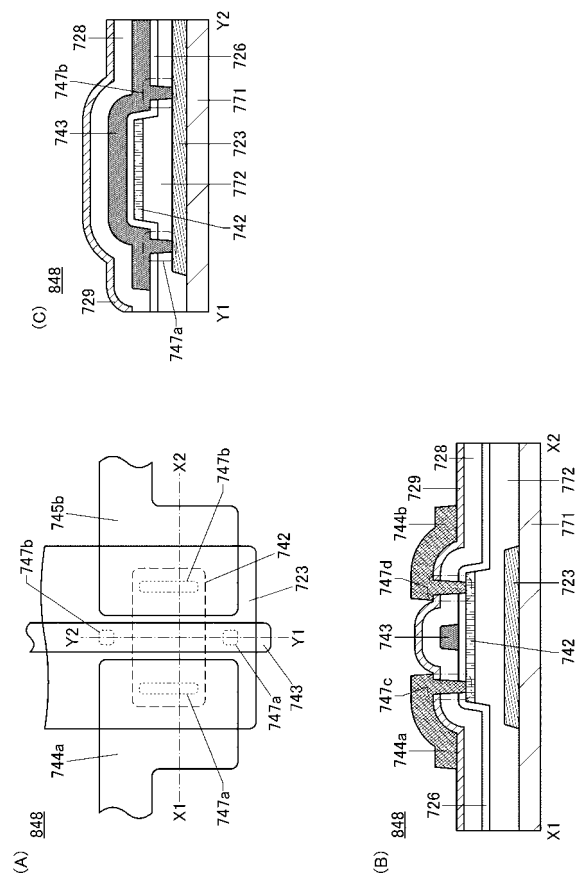
【図 7 4】



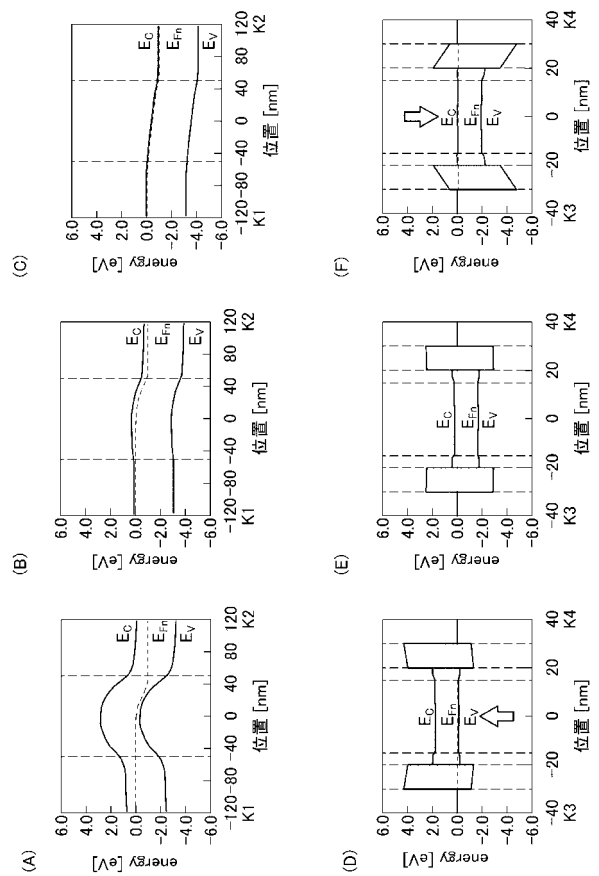
【図 7 5】



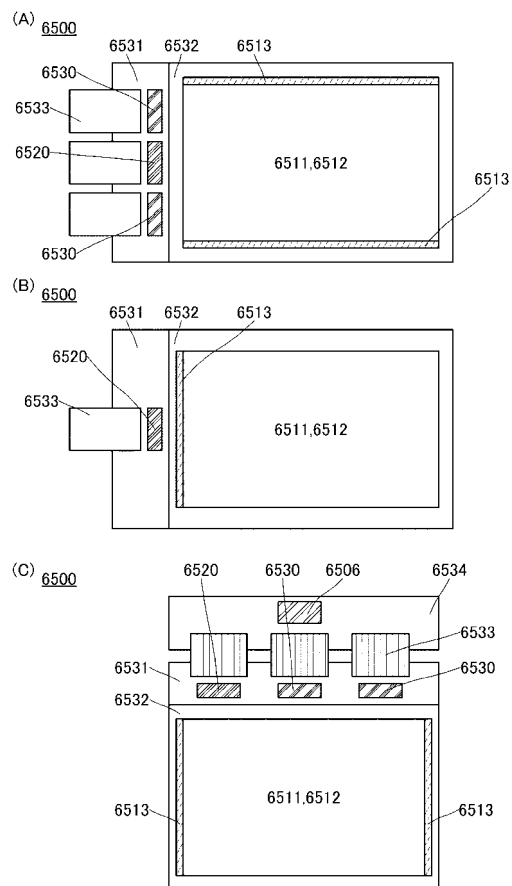
【図 7 6】



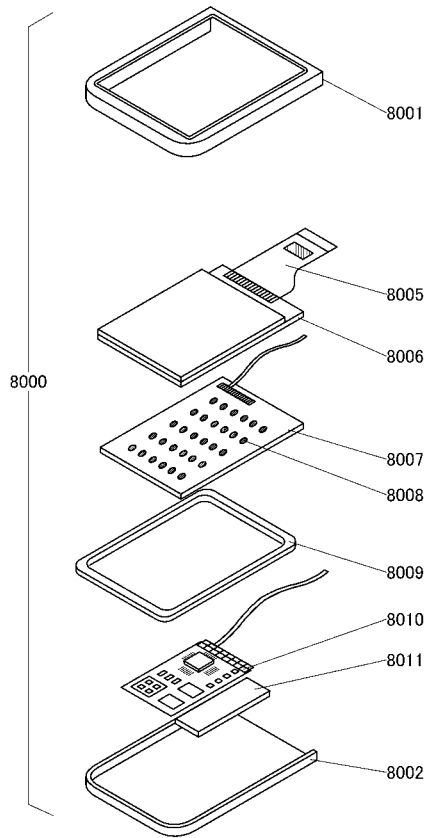
【图 7 8】



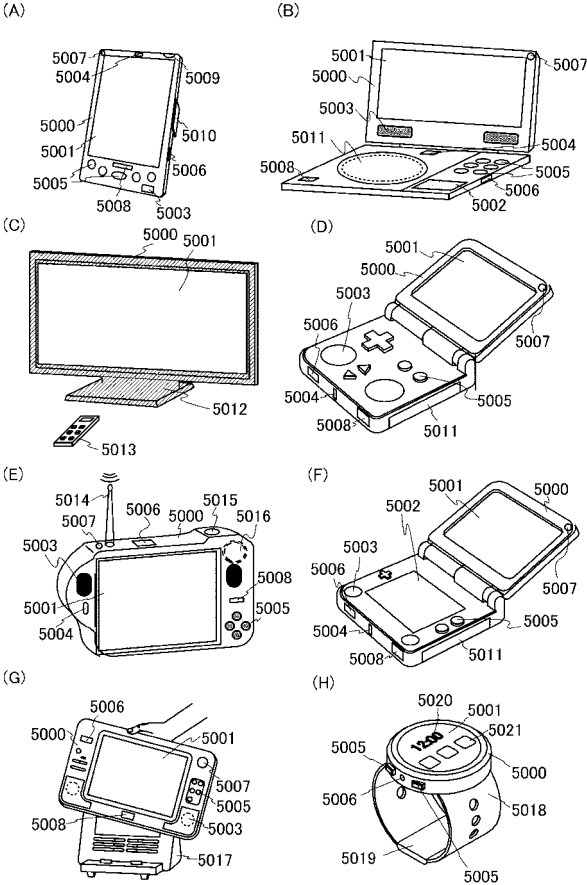
【 図 8 0 】



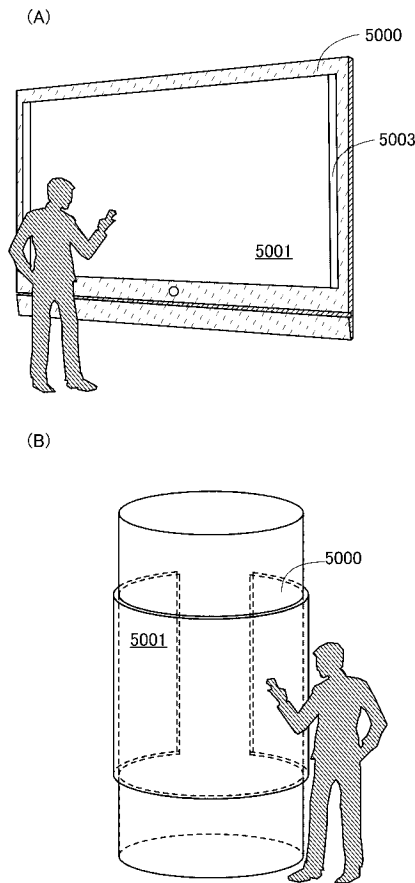
【図 8 1】



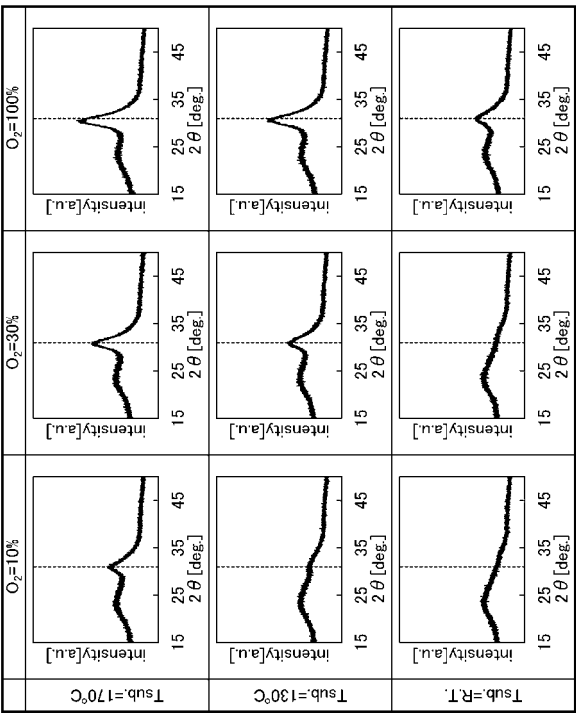
【図 8 2】



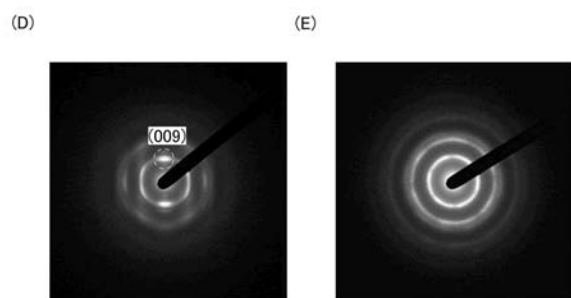
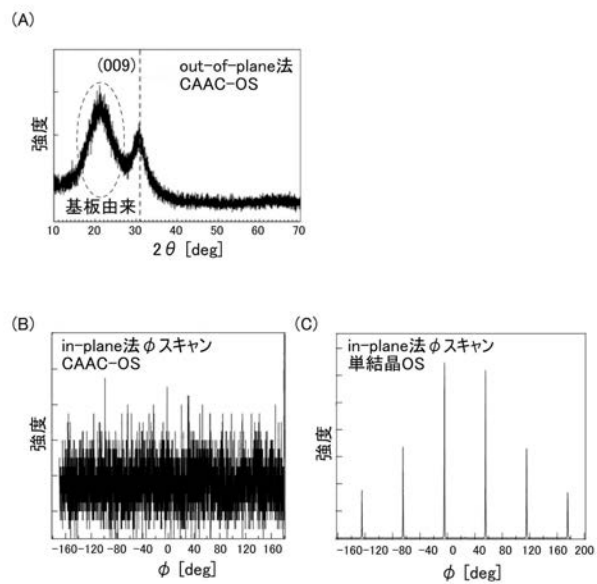
【図 8 3】



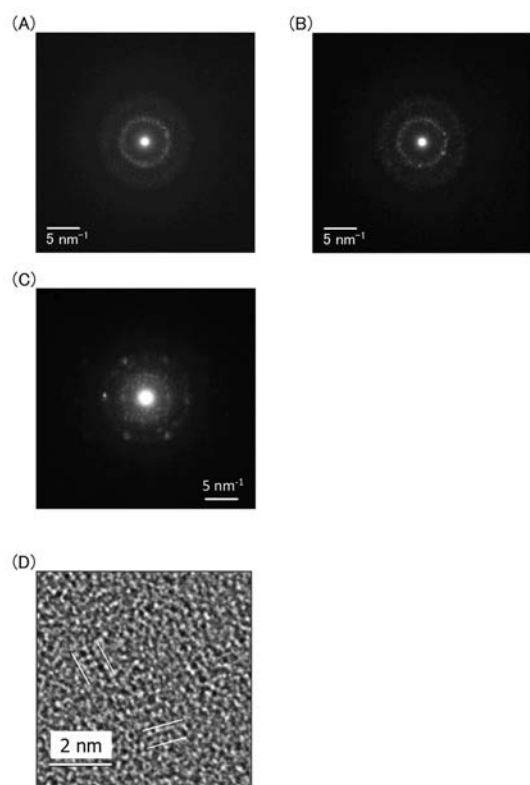
【図 8 4】



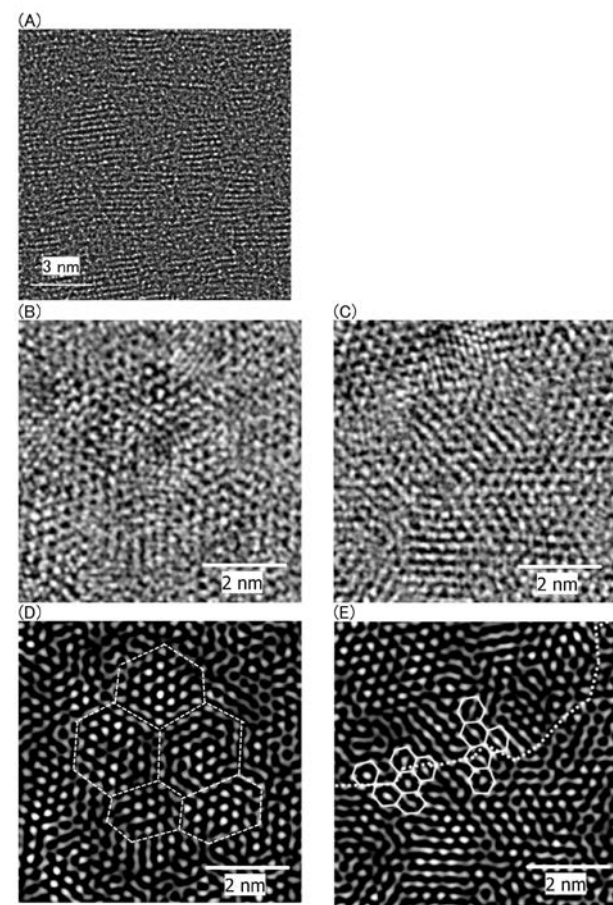
【図 6 1】



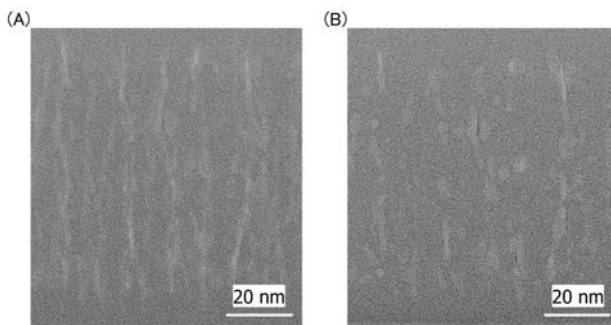
【図 6 3】



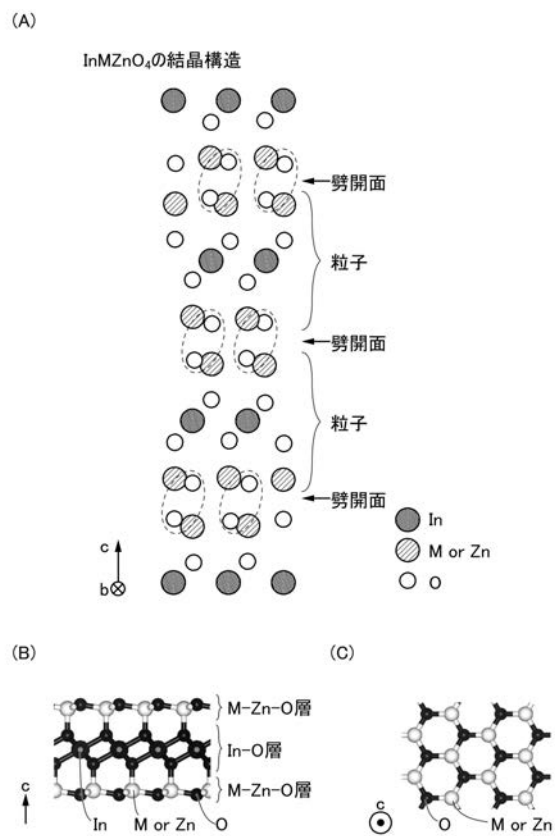
【図 6 2】



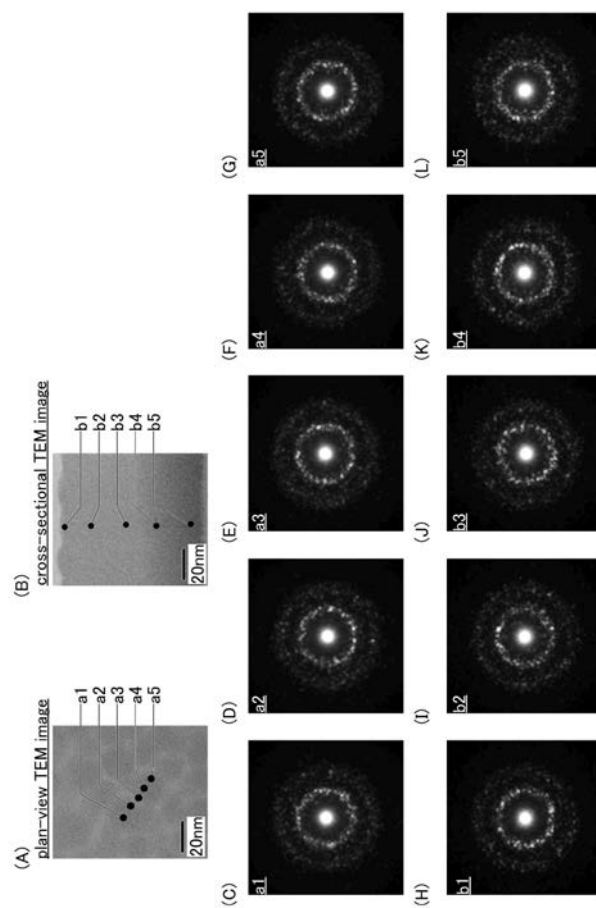
【図 6 4】



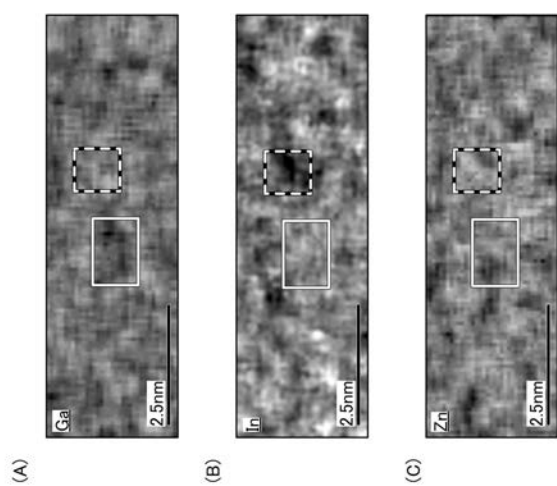
【図 6 7】



【図 8 5】



【図 8 6】



フロントページの続き

(51)Int.Cl.		F I			テーマコード (参考)
G 0 6 F	3/044	(2006.01)	G 0 6 F	3/041	4 1 2
			G 0 6 F	3/041	4 2 2
			G 0 6 F	3/044	1 2 9

Fターム(参考)	2H189	AA14	HA11	JA14	LA10	LA28	LA31				
	2H192	AA24	BB02	BB04	BB12	BB13	BC12	BC24	BC31	CB02	CB05
		CB08	CB34	CB37	CB56	DA32	EA22	EA43	GB33	GB42	JA32
	5F110	BB01	CC01	CC02	CC03	CC05	CC07	DD01	DD02	DD03	DD04
		DD05	DD12	DD13	DD14	DD15	DD17	EE01	EE02	EE03	EE04
		EE06	EE07	EE08	EE14	EE15	EE22	EE30	EE48	FF01	FF02
		FF03	FF04	FF09	FF28	FF30	FF36	GG01	GG02	GG03	GG04
		GG06	GG07	GG12	GG13	GG14	GG15	GG16	GG17	GG19	GG23
		GG24	GG25	GG33	GG34	GG35	GG43	HJ01	HK01	HK02	HK03
		HK04	HK06	HK07	HK08	HK11	HK12	HK42	HL01	HL02	HL03
		HL04	HL06	HL07	HL08	HL11	HL12	HM15	NN03	NN12	NN22
		NN23	NN24	NN27	NN28	NN34	NN35	NN40	NN73	QQ11	