

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710102913.4

[51] Int. Cl.

G11C 11/401 (2006.01)

G11C 11/4063 (2006.01)

G11C 11/4091 (2006.01)

H01L 27/105 (2006.01)

[43] 公开日 2007 年 11 月 14 日

[11] 公开号 CN 101071629A

[22] 申请日 2007.5.11

[21] 申请号 200710102913.4

[30] 优先权

[32] 2006.5.11 [33] JP [31] 2006-132895

[71] 申请人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 森下玄 有本和民

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 浦柏明 刘宗杰

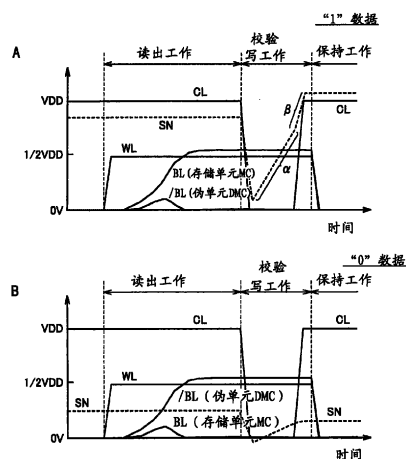
权利要求书 4 页 说明书 23 页 附图 11 页

[54] 发明名称

半导体存储器件

[57] 摘要

在“1”数据被存储到存储单元 MC 内的情况下，如读出工作完成，则位线 BL 被驱动至“H”电平(控制线驱动电位 VBL)，位线/BL 被驱动至“L”电平(基准电位)。如校验写工作开始，则充电线 CL 从“H”电平(电源电位 VDD)被驱动至“L”电平(基准电位)。在暂时释放了空穴后的存储节点 SN 上，借助于来自源极线 SL 的 GIDL 电流，开始空穴的再积累，存储节点 SN 的电位向“H”电平上升(期间 α)。如充电线 CL 从“L”电平被驱动至“H”电平，则存储节点 SN 的电位进一步上升(期间 β)。



1. 一种半导体存储器件，其中，

具备：多个存储单元，被配置成矩阵状；位线，与配置有上述多个存储单元的各列对应地设置；读出放大电路，与由上述位线构成的位线对的各对对应地设置；以及控制电路，

上述各存储单元包括：存储晶体管，具有用于积累与数据对应的电荷量的存储节点；以及存取晶体管，与上述存储晶体管串联连接，

而且，上述各存储单元被构成为连接在对应的上述位线与源极线之间，根据积累于上述存储节点的电荷量，改变流过该位线的电流值，

上述读出放大电路在根据从上述存储单元流到对应的上述位线的电流值而读出该存储单元的数据后，将与读出数据对应的电压值提供给该位线对，

上述控制电路进行控制，使得在读出对象的上述存储单元的上述存储晶体管被激活的状态下，由与该存储单元对应的上述读出放大电路进行读出工作，接着，使得进行该读出数据对该存储单元的再写入。

2. 如权利要求1所述的半导体存储器件，其中，

上述控制电路在进行该读出数据对上述存储单元的再写入的情况下，在将该存储单元的存储晶体管暂时非激活后，使之被再次激活。

3. 如权利要求1所述的半导体存储器件，其中，

上述半导体存储器件还具备：传输门，插入到上述位线对的各对中，能将上述读出放大电路与对应的上述存储单元电连接或电隔离，

上述控制电路进行控制，使得根据上述读出放大电路中的读出工作，使对应的上述传输门成为非导通状态，使对应的上述存储单元与该读出放大电路电隔离。

4. 如权利要求1所述的半导体存储器件，其中，

上述半导体存储器件还具备：伪单元，连接在上述多条位线的各条与参考电位之间，

上述读出放大电路根据流过上述读出对象的存储单元的电流与流过上述伪单元的电流的比较，来读出数据，其中该伪单元连接于在与该存储单元对应的位线之间构成上述位线对的另一条位线上。

5. 如权利要求1所述的半导体存储器件，其中，

上述半导体存储器件还具备：

字线对，与配置有上述多个存储单元的各行对应地设置；

输入输出门，被构成插入到上述位线对的各对中，能将对应的上述读出放大电路与数据输入输出线电连接或电隔离；以及

列选择线，与上述输入输出门的各个对应地设置，

构成上述字线对的字线被对应的上述存储单元之中分别为第偶数列的存储单元和第奇数列的存储单元的存取晶体管所共有，

上述控制电路被构成能任意选择 1 条上述字线和 1 条上述列选择线，以执行从对应的上述存储单元读出数据的随机存取。

6. 如权利要求 5 所述的半导体存储器件，其中，

上述控制电路被构成能分别对与互不相同的位线对对应的至少 2 个以上的上述存储单元，执行逐次进行读出工作的页面存取，

在上述页面存取中，对进行了读出工作的上述至少 2 个以上的存储单元一并执行各读出数据的再写入。

7. 如权利要求 6 所述的半导体存储器件，其中，

上述控制电路被构成能根据控制信号而有选择地执行上述随机存取和上述页面存取。

8. 如权利要求 1 所述的半导体存储器件，其中，

上述存储单元包括：

第 1 沟道形成区，构成上述存储晶体管；

第 1 和第 2 杂质扩散区，夹持上述第 1 沟道形成区而对置；

上述存储晶体管的栅电极，接近上述第 1 沟道形成区而配置；

第 2 沟道形成区，构成上述存取晶体管；

第 3 杂质扩散区，夹持上述第 2 沟道形成区而与上述第 2 杂质扩散区对置；以及

上述存取晶体管的栅电极，接近上述第 2 沟道形成区而配置，

上述存储节点被形成为在配置有上述存储晶体管的栅电极的一侧的相反侧与上述第 1 沟道形成区相接。

9. 如权利要求 1 所述的半导体存储器件，其中，

上述读出放大电路被构成包括第 1～第 4 晶体管，

上述第 1 和第 2 晶体管串联连接，并且其连接节点连接于对应的上述位线对之中的一条位线上，

上述第 3 和第 4 晶体管串联连接，并且其连接节点连接于该位线

对之中的另一条位线上，

该另一条位线还连接于上述第 1 和第 2 晶体管的栅电极上，

该一条位线还连接于上述第 3 和第 4 晶体管的栅电极上，

上述第 2 和第 4 晶体管的每个都被构成为其栅电极与其体区电连接。

10. 一种半导体存储器件，其中，

具备：多个存储单元，被配置成矩阵状；位线，与配置有上述多个存储单元的各列对应地设置；源极线，用于将规定电位提供给上述多个存储单元的每一个；以及控制电路，

上述各存储单元包括：存储晶体管，具有用于积累与数据对应的电荷量的存储节点，

上述存储晶体管包括：沟道形成区；第 1 和第 2 杂质扩散区，夹持上述沟道形成区而对置；以及栅电极，接近上述沟道形成区而配置，

上述存储节点被形成为在配置有上述栅电极的一侧的相反侧与上述沟道形成区相接，

上述源极线与上述第 1 杂质扩散区电连接，

上述控制电路被构成为能执行降低上述存储节点与上述第 1 杂质扩散区的电位差的数据保持模式。

11. 如权利要求 10 所述的半导体存储器件，其中，

上述控制电路通过控制成降低经上述源极线提供给上述存储单元的电位，从而降低上述第 1 杂质扩散区与上述沟道形成区的电位差。

12. 如权利要求 10 所述的半导体存储器件，其中，

上述沟道形成区以及上述第 1 和第 2 杂质扩散区夹持绝缘层而在半导体衬底上形成，

上述控制电路通过控制成将规定电位提供给上述半导体衬底，从而降低上述第 1 杂质扩散区与上述沟道形成区的电位差。

13. 如权利要求 10 所述的半导体存储器件，其中，

上述控制电路被构成为能根据控制信号来有选择地执行上述数据保持模式。

14. 一种半导体存储器件，其具备：

多个存储单元，被配置成矩阵状，其中上述多个存储单元的每个都包括串联连接的存取晶体管和存储晶体管，上述存取晶体管和上述

存储晶体管的每个都具有：形成于以夹持绝缘层的方式在半导体衬底上形成的硅层中的第1和第2杂质区、配置于上述第1和第2杂质区之间的体区、以及形成于上述体区上的栅电极区；

多条位线，与上述多个存储单元的列对应地设置，连接于对应的存储单元的上述存取晶体管的第1杂质区上；

多条源极线，与上述多个存储单元的行对应地设置，连接于对应的存储单元的上述存储晶体管的第2杂质区上；

多条字线，与上述多个存储单元的行对应地设置，连接于对应的存储单元的上述存取晶体管的栅电极区上；

多条充电线，与上述多个存储单元的行对应地设置，连接于对应的存储单元的上述存储晶体管的栅电极区上；

多个读出放大器，与形成上述位线的对的多个位线对相对应地设置，对来自选中的存储单元的读出数据进行检测放大；

数据线对，有选择地与上述多个位线对进行连接；以及

多个输入输出门，设置在上述多个位线对与上述数据线对之间，通过列选择信号的激活而导通，其中，该列选择信号用于从上述多个位线对之中选择与上述数据线对连接的位线对，

在数据读出工作时，在与选中的存储单元相对应的字线的激活期间中，包括：与上述选中的存储单元相对应的列选择信号的激活期间、以及上述列选择信号的激活期间后的充电线的非激活期间。

15. 如权利要求14所述的半导体存储器件，其中，

使上述多个读出放大器激活的读出放大器激活信号，在上述字线的激活后并且在上述列选择信号的激活前被激活，在上述充电线的非激活期间后被非激活。

16. 如权利要求14所述的半导体存储器件，其中，

上述多个存储单元包括：伪单元，在对来自选中的存储单元的读出数据进行检测时，成为比较对象，

在上述数据读出工作时，上述位线对的一条中流过与选中的存储单元的存储数据相对应的电流，而另一条中流过与上述伪单元的存储数据相对应的电流，通过对应的读出放大器来检测出电流差。

半导体存储器件

技术领域

本发明涉及可随机存取的半导体存储器件，更特定地说，涉及使用包括具有存储节点的晶体管而构成的存储单元的技术。

背景技术

作为高密度的半导体存储器件，由堆垛型（stacked）或沟槽型的存储器电容器和开关用的晶体管构成的 DRAM（Dynamic Random Access Memory：动态随机存取存储器）是主流，但由于存储器电容器的微细化困难，所以正迎来按比例缩小的界限。在这种情况下，提出了用晶体管本身作为电容器元件的存储单元来代替包括 DRAM 之类的存储器电容器的结构。

作为这样的新存储单元之中有希望的存储单元，提出了双晶体管 RAM（TTRAM：Twin Transistor Random Access Memory（双晶体管随机存取存储器））。例如，在 T.Gyohten 等人，“A Capacitorless Twin-Transistor Random Access Memory（TTRAM）on SOI”，THE INSTITUTE OF ELECTRONICS，INFORMATION AND COMMUNICATION ENGINEERS，IEICE Technical Report，vol.105，No.349，pp.107-112，October 20，2005 中，公开了将电荷积累在 SOI（Silicon On Insulate：绝缘体上的硅）晶体管的浮置体区（body region）中以存储数据的无电容器双晶体管 RAM。

另外，在特开 2005-302077 号公报中，公开了包括通过将电荷积累到在电浮置状态的浮置体区中或从该区释出从而存储数据的存储单元（FBC：Floating Body Cell（浮置体单元））的半导体存储器件。

在用上述那样的晶体管本身作为电容器元件那样的存储单元中，读出电流流过积累电荷的存储节点附近，并且也发生了经过存储节点跟与之邻接的源极区或漏极区的结面的电流漏泄等。因此，存在存储数据抗来自与存储单元电连接的控制线等的动态噪声的保持性能降低的问题。

发明内容

因此，本发明就是为了解决这一问题而进行的，第1目的在于，提供一种使数据读出时的存储数据的保持性能提高的半导体存储器件。另外，第2目的在于，提供一种使不执行存储器存取期间的存储数据的保持性能提高的半导体存储器件。

本发明第1方面的半导体存储器件具备：多个存储单元，被配置成矩阵状；位线，与配置有多个存储单元的各列对应地设置；读出放大电路（sense amplifier circuit），与由位线构成的位线对的各对对应地设置；以及控制电路。而且，各存储单元包括：存储晶体管（storage transistor），具有用于积累与数据对应的电荷量的存储节点；以及存取晶体管（access transistor），与存储晶体管串联连接，而且，各存储单元被构成为连接在对应的位线与源极线之间，根据积累于存储节点的电荷量，改变流过该位线的电流值。另外，读出放大电路在根据从存储单元流到对应的位线的电流值而读出该存储单元的数据后，将与读出数据对应的电压值提供给该位线对。而且，控制电路进行控制，使得在读出对象的存储单元的存储晶体管被激活的状态下，由与该存储单元对应的读出放大电路进行读出工作，接着，使得进行该读出数据对该存储单元的再写入。

本发明第2方面的半导体存储器件包括：多个存储单元，被配置成矩阵状；位线，与配置有多个存储单元的各列对应地设置；源极线，用于将规定电位提供给多个存储单元的每一个；以及控制电路。而且，各存储单元包括具有用于积累与数据对应的电荷量的存储节点的存储晶体管。另外，存储晶体管包括：沟道形成区；第1和第2杂质扩散区，夹持沟道形成区而对置；以及栅电极，接近沟道形成区而配置，存储节点被形成为在配置有栅电极的一侧的相反侧与沟道形成区相接，源极线与第1杂质扩散区电连接。此外，控制电路被构成为可执行降低存储节点与第1杂质扩散区的电位差的数据保持模式。

按照该第1方面，可实现使数据读出时的存储数据的保持性能提高的半导体存储器件。另外，按照该第2方面，可实现使不执行存储器存取期间的存储数据的保持性能提高的半导体存储器件。

本发明的上述和其它的目的、特征、方面和优点可从结合附图而得到理解的涉及本发明的下面的详细说明中变得清楚。

附图说明

图 1 是本发明的实施方式 1 的半导体存储器件的概略结构图。

图 2 是表示半导体存储器件的存储器阵列和读出放大器的主要部分的概略结构图。

图 3 是表示存储单元的等效电路的图。

图 4 是存储单元的概略剖面图。

图 5A ~ 图 5I 是数据读出的工作时序图。

图 6A、图 6B 是用于更详细地说明校验写 (verify write) 工作的时序图。

图 7 是表示栅 - 体直接耦合型 (gate-body direct-coupled) 晶体管的结构的一例的俯视图。

图 8A、图 8B 是表示栅 - 体直接耦合型晶体管的结构的另一例的俯视图。

图 9A ~ 图 9I 是页面存取 (page access) 中的工作时序图。

图 10A、图 10B 是用于说明存储单元在存储 “0” 数据时所发生的现象的图。

图 11 是用于说明因源极线的电位降低致使存储单元的数据保持性能提高的图。

图 12A、图 12B 是 “常规模式” 和 “数据保持模式” 中的工作时序图。

图 13 是本发明的实施方式 2 的变形例的存储单元的概略剖面图。

具体实施方式

现参照附图详细说明本发明的实施方式。再有，对于图中的相同或相当部分标以相同符号而不重复其说明。

[实施方式 1]

参照图 1，本发明的实施方式 1 的半导体存储器件 1 包括：地址译码器 2、输入输出电路 3、地址缓冲器 4、时钟缓冲器 5、控制信号缓冲器 6、控制电路 7、存储器阵列 8、读出放大器 9 和电源电路 10。

地址译码器 2 被构成为包括行 (row) 地址译码器 (未图示) 和列 (column) 地址译码器 (未图示)。而且，地址译码器 2 遵照根据从

外部给予半导体存储器件 1 的端子的行地址信号 RA 和列地址信号 CA 信号的控制指令，有选择地驱动沿行方向配置存储器阵列 8 的多条字线 WL 和充电线 (charge line) CL、以及沿列方向配置存储器阵列 8 的多条位线 BL 和源极线 SL。

读出放大器 9 被构成为包括读出放大电路，该读出放大电路与邻接的 2 条位线 BL 构成的位线对的各对相对应。

输入输出电路 3 在数据读出时，将被列地址译码器选择的读出放大电路的输出作为输出数据 DOUT，输出到半导体存储器件 1 的外部。另外，输入输出电路 3 在数据写入工作时，在对从半导体存储器件 1 的外部给予的输入数据 DIN 进行了放大后，向被行地址译码器和列地址译码器选择的存储单元写入输入数据 DIN。

地址缓冲器 4、时钟缓冲器 5 和控制信号缓冲器 6 分别将从半导体存储器件 1 的外部给予的地址信号 (行地址信号 RA、列地址信号 CA 信号)、时钟信号 CLK 和控制信号 (读出信号 Read、写入信号 Write、参考信号 Ref、页面存取模式信号 PMOD 等) 传递给控制电路 7。

电源电路 10 生成读出和写入等的半导体存储器件 1 的工作所需的多个电位 (电源电位 VDD、参考电位 Vref 和控制线驱动电位 VBL 等)。

控制电路 7 根据从半导体存储器件 1 的外部给予的控制信号和地址信号等，通过将控制指令给予地址译码器 2，控制半导体存储器件 1 的数据读出和数据写入。

特别是，在本发明的实施方式 1 中，控制电路 7 从包括于存储器阵列 8 中的读出对象的存储单元中由读出放大器 9 进行数据读出，接着，进行该读出数据对该存储单元的再写入 (以下，也称为“校验写工作”)。通过进行这样的校验写工作，可避免伴随读出工作的对存储单元的误写入 (所谓“读出干扰”) 的影响。

参照图 2，存储器阵列 8 包括配置成矩阵状的多个存储单元 MC。而且，与排列有多个存储单元 MC 的各列对应地配置位线 BL0、/BL0、BL1、/BL1、...。多个存储单元 MC 的每个都被构成为包括：存储晶体管 STR，具有用于积累与数据 (例如，“0”或“1”的 2 值) 对应的电荷量的电荷积累节点 (以下，也称为“存储节点”)；以及存取晶体管 ATR，与存储晶体管 STR 串联连接。而且，多个存储单元 MC 的每个都被构成为连接在对应的位线与经源极线 SL 供给的电源电位

VDD 之间，根据积累于存储节点的电荷量，改变流过所连接的位线的电流值。

进而，存储器阵列 8 还包括连接在位线 BL0、/BL0、BL1、/BL1、... 中的各位线与参考电位 Vref 之间的伪单元 (dummy cell) DMC。伪单元 DMC 供给成为从存储单元 MC 流到连接目的地的位线的电流值的比较基准的参考电流。具体地说，伪单元 DMC 包括：伪晶体管 DTR，被形成为生成分别与存储于存储单元 MC 内的 2 值数据 (“0” 或 “1”) 对应地流过位线的电流值的中间值的电流值；以及伪存取晶体管 ATRd，与伪晶体管串联连接。伪晶体管 DTR 例如由体固定晶体管构成，将存储节点的电位固定在电源电位 VDD 的半值 ($1/2VDD$)。

另外，在存储器阵列 8 中，与配置有多个存储单元 MC 的各行对应地设置字线对 WL0、/WL0、字线对 WL1、/WL1、...，在配置有伪单元 DMC 的行方向设置伪字线对 DWL、/DWL。而且，例如，构成字线对 WL0、/WL0 的字线 WL0 和 /WL0 被对应的存储单元 MC 之中分别为第偶数列的存储单元 MC 和第奇数列的存储单元 MC 的存取晶体管 ATR 所共有。即，字线 WL0 分别与配置在对应行上的存储单元 MC 之中与第偶数列的位线 BL0、BL1、... 连接的存储单元 MC 的存取晶体管 ATR 的栅电极连接。另一方面，字线 /WL0 分别与配置在对应行上的存储单元 MC 之中与第奇数列的位线 /BL0、/BL1、... 连接的存储单元 MC 的存取晶体管 ATR 的栅电极连接。另外，伪字线 DWL 和 /DWL 分别被第偶数列的伪单元 DMC 和第奇数列的伪单元 DMC 的伪存取晶体管 ATRd 所共有。

同样地，在存储器阵列 8 中，与配置有多个存储单元 MC 的各行对应地配置充电线对 CL0、/CL0、CL1、/CL1、...。而且，例如，构成充电线对 CL0、/CL0 的充电线 CL0 和 /CL0 被对应的存储单元 MC 之中分别为第偶数列的存储单元 MC 和第奇数列的存储单元 MC 的存储晶体管 STR 所共有。即，充电线 CL0 分别与配置在对应行上的存储单元 MC 之中与第偶数列的位线 BL0、BL1、... 连接的存储单元 MC 的存储晶体管 STR 的栅电极连接。另一方面，充电线 /CL0 分别与配置在对应行上的存储单元 MC 之中与第奇数列的位线 /BL0、/BL1、... 连接的存储单元 MC 的存储晶体管 STR 的栅电极连接。

在以下的说明中，在用总称来分别表现位线对、位线、字线对、

字线、充电线对和充电线的情况下,分别用符号 BL、/BL, BL(或/BL), WL、/WL, WL(或/WL), CL、/CL, CL(或/CL)进行标记。另外,还将信号、控制线和数据等 2 值的高电压状态和低电压状态分别称为“H”电平和“L”电平。

另一方面,在读出放大器 9 中,与由邻接的 2 条位线 BL 和/BL 构成的位线对 BL、/BL 中的各对对应地设置读出放大电路 SA。读出放大电路 SA 在根据从被字线 WL(或/WL)选中的读出对象的存储单元 MC 流到对应的位线 BL(或/BL)的电流值来读出该存储单元 MC 的数据后,将与读出数据对应的电压值提供给对应的位线对 BL、/BL。

具体地说,读出放大电路 SA 由晶体管 30A、30B、31A、31B、32、33 构成,晶体管 30A、30B、31A、31B 构成所谓的触发电路,并且晶体管 32 和 33 构成用于驱动该触发电路的驱动门。即,晶体管 30A 与 31A 串联连接,其连接节点 NA 与位线 BL 连接。另一方面,晶体管 30B 与 31B 串联连接,其连接节点 NB 与位线/BL 连接。而且,位线/BL 分别与晶体管 30A 和 31A 的栅电极连接,位线 BL 分别与晶体管 30B 和 31B 的栅电极连接。此外,串联连接的晶体管 30A、31A 和晶体管 30B、31B 经晶体管 32 和 33,被并联连接在控制线驱动电位 VBL 与基准电位之间。再有,在本发明的实施方式 1 中,控制线驱动电位 VBL 被设计成等于电源电位 VDD 的半值 ($1/2VDD$)。

另外,在读出放大器 9 中,在行方向配置读出放大器驱动线对 /SOP、SON。在各读出放大电路 SA 中,读出放大器驱动线 SON 与配置在基准电位侧的晶体管 33 的栅电极连接,而读出放大器驱动线 /SOP 与配置在控制线驱动电位 VBL 侧的晶体管 32 的栅电极连接。因此,如根据来自控制电路 7(图 1)的控制指令,由地址译码器 2(图 1)来驱动读出放大器驱动线对 /SOP、SON,则所有的读出放大电路 SA 均被激活。

再有,晶体管 30A、30B、32 作为一例,由 P 沟道 MOS 晶体管构成;晶体管 31A、31B、33 作为一例,由 N 沟道 MOS 晶体管构成。进而,后面将要述及,优选各晶体管 31A、31B 由栅电极与其体区被电连接的栅-体直接耦合型晶体管构成。

进而,在读出放大器 9 中,与位线对 BL、/BL 的各对对应地配置预充电电路 PC。预充电电路 PC 在数据读出工作开始前,对对应的位

线对 BL、/BL 供给预充电电位 VPC。

具体地说，预充电电路 PC 由串联连接在位线 BL 与位线/BL 之间的晶体管 34A 和 34B 构成。然后，对其连接节点 NC 供给预充电电位 VPC。

另外，在读出放大器 9 中，在行方向配置位线预充电线 BLP。在各预充电电路 PC 中，位线预充电线 BLP 分别与晶体管 34A、34B 的栅电极连接。因此，根据来自控制电路 7（图 1）的控制指令，由地址译码器 2（图 1）驱动位线预充电线 BLP，从而晶体管 34A 和 34B 被激活，对所有的位线 BL 和/BL 供给预充电电位 VPC。再有，在本发明的实施方式 1 中，采用使预充电电位 VPC 与参考电位一致的所谓地 - 预充电方式。

进而，在读出放大器 9 中配置输入输出门 CSG，该输入输出门 CSG 被构成为：插入到位线对 BL、/BL 的各对中，使对应的读出放大电路 SA 与数据输入输出线对 IO、/IO 可电连接或电隔离。输入输出门 CSG 响应于与各输入输出门 CSG 对应地设置的列选择线 CSL0、CSL1、CSL2、CSL3、...，将从对应的读出放大电路 SA 供给位线对 BL、/BL 的电压值传递给数据输入输出线对 IO、/IO。

具体地说，输入输出门 CSG 由分别插入到位线 BL 和位线/BL 中的 2 个晶体管构成。而且，如果各列选择线 CSL0、CSL1、CSL2、CSL3、... 被驱动至“H”电平，则各晶体管被激活，成为导通状态。再有，在以下的说明中，在用总称来表现列选择线的情况下，用符号 CSL 进行标记。

数据输入输出线对 IO、/IO 将从被列选择线 CSL 选中的输入输出门 CSG 输出的电压信号传递给输入输出电路 3（图 1）。

进而，在读出放大器 9 中配置传输门（transfer gate）TG，该传输门 TG 被构成：插入到位线对 BL、/BL 的各对中，使读出放大电路 SA 与对应的存储单元 MC 可电连接或电隔离。传输门 TG 共有在行方向配置的位隔离线 BLI，如果地址译码器 2（图 1）将位隔离线 BLI 驱动至“H”电平，则传输门 TG 被激活，成为导通状态。具体地说，传输门 TG 由分别插入到位线 BL 和位线/BL 中的 2 个晶体管构成。

参照图 3，存储单元 MC 形成经节点 PN 将具有存储节点 SN 的存储晶体管 STR 与存取晶体管 ATR 串联连接的结构。即，1 个存储单元

MC 被构成包括 1 个存储晶体管 STR 和 1 个存取晶体管 ATR。

而且，与存储晶体管 STR 中的节点 PN 相反一侧的节点与源极线 SL 连接，存储晶体管 STR 的栅电极与充电线 CL 连接。另外，与存取晶体管 ATR 中的节点 PN 相反一侧的节点与位线 BL（或/BL）连接，存取晶体管 ATR 的栅电极与字线 WL（或/WL）连接。

参照图 4，存储单元 MC 作为所谓 SOI（Silicon On Insulation：绝缘体上的硅）晶体管而形成，体内被保持在浮置电位（浮动电位）。具体地说，在作为半导体衬底的硅衬底 11 上，夹持作为绝缘层的埋入氧化层 12，形成硅层 13。而且，存储晶体管 STR 包括：在硅层 13 上形成的沟道形成区 23、n 型杂质扩散区 22 和 24；栅氧化膜 18；以及栅电极 19。杂质扩散区 22 和 24 以从硅层 13 的上表面贯通硅层 13 到达埋入氧化层 12 的方式形成，夹持沟道形成区 23 而对置。再有，杂质扩散区 22 相当于节点 PN（图 3）。

沟道形成区 23 在硅层 13 内，在配置有栅电极 19 的一侧（在图 4 中，为纸面上侧）形成。而且，栅电极 19 隔着栅氧化膜 18，接近沟道形成区 23（在图 4 中，为纸面上侧）而配置。

存储节点 SN 在硅层 13 内，在配置有栅电极 19 的一侧的相反侧（在图 4 中，为纸面下侧），以与沟道形成区 23 相接的方式形成。另外，存储节点 SN 被元件隔离绝缘膜（未图示）电隔离。因此，借助于层叠在硅衬底 11 与硅层 13 之间的埋入氧化层 12 和元件隔离绝缘膜（未图示），存储节点 SN 被保持在浮置电位。

进而，杂质扩散区 24 与源极线 SL 连接，而栅电极 19 与充电线 CL 连接。

另一方面，存取晶体管 ATR 包括：在硅层 13 中形成的沟道形成区 21、n 型杂质扩散区 20 和 22；栅氧化膜 16；以及栅电极 17。杂质扩散区 20 以从硅层 13 的上表面贯通硅层 13 到达埋入氧化层 12 的方式形成。而且，杂质扩散区 20 和 22 夹持沟道形成区 21 而对置。另外，栅电极 17 隔着栅氧化膜 16，接近沟道形成区 21（在图 4 中，为纸面上侧）而配置。进而，杂质扩散区 20 与位线 BL（或/BL）连接，而栅电极 17 与字线 WL（或/WL）连接。

如上所述，存储晶体管 STR 与在被保持于浮置电位的存储节点 SN 上空穴的积累量多的状态（存储晶体管 STR 的阈值电压相对较低的状

态)和在存储节点 SN 上空穴的积累量少的状态(存储晶体管 STR 的阈值电压相对较高的状态)相对应地,存储 2 值数据(“0”或“1”)。根据积累在这样的存储节点 SN 上的电荷量(空穴数),阈值电压改变的现象也称为“体效应”。在以下的说明中,作为一例,说明将空穴的积累量多的状态(阈值电压相对较低的状态)分配为“1”数据,将空穴的积累量少的状态(阈值电压相对较高的状态)分配为“0”数据的情形。

再有,在本发明的实施方式 1 中,沟道形成区 23 相当于“第 1 沟道形成区”,沟道形成区 21 相当于“第 2 沟道形成区”,杂质扩散区 24 相当于“第 1 杂质扩散区”,杂质扩散区 22 相当于“第 2 杂质扩散区”,杂质扩散区 20 相当于“第 3 杂质扩散区”。另外,晶体管 30A 相当于“第 1 晶体管”,晶体管 31A 相当于“第 2 晶体管”,晶体管 30B 相当于“第 3 晶体管”,晶体管 31B 相当于“第 4 晶体管”。

如经源极线 SL 将电源电位 VDD 提供给存储晶体管 STR,则在阈值电压相对较高的情况下,流过存储晶体管 STR 的电流值相对减小,而在阈值电压相对较低的情况下,流过存储晶体管 STR 的电流值相对增大。因此,根据从存储晶体管 STR 流到对应的位线 BL(或/BL)的电流值,可读出存储在存储晶体管 STR 内的数据。

这样,存储晶体管 STR 由于只是使阈值电压变化,所以与现有的 DRAM 中所用的存储器电容器不同,存储晶体管 STR 本身无需对读出放大电路 SA 供给电荷(电流)。因而,对存储晶体管 STR 的数据读出并不是伴随数据读出而使存储数据完全消失的所谓破坏读出。

然而,在数据读出中,从源极线 SL 供给的读出电流从杂质扩散区 24 通过沟道形成区 23 流到杂质扩散区 22。伴随该读出电流,向存储节点 SN 注入了空穴。因此,在存储“0”数据的情况,即空穴的积累量少的情况下,空穴的积累量随该读出电流增大,存在从“0”数据误写入为“1”数据的可能性(读出干扰)。

为了提高存储数据抗这样的读出干扰的保持性能,在本发明的实施方式 1 的半导体存储器件 1 中,将从读出对象的存储单元读出的数据输出到外部,并且将已读出的数据再次写入到该存储单元内。以下,说明本发明的实施方式 1 的半导体存储器件 1 中的数据读出。

图 5A~图 5I 示出了数据读出中的工作时序图。再有,在图 5A~

图 5I 中, 例示了在图 2 所示的存储器阵列 8 中进行对配置在第偶数列的、即与位线 BL 连接的存储单元 MC 的数据读出的情形。

图 5A 示出了字线 WL 和伪字线/DWL 随时间的变化。图 5B 示出了充电线 CL 随时间的变化。图 5C 示出了位隔离线 BLI 随时间的变化。图 5D 示出了位线预充电线 BLP 随时间的变化。图 5E 示出了读出放大器驱动线 SON 随时间的变化。图 5F 示出了读出放大器驱动线/SOP 随时间的变化。图 5G 示出了列选择线 CSL 随时间的变化。图 5H 示出了在将“1”数据存储到存储单元 MC 时的位线 BL 和 /BL 随时间的变化。图 5I 示出了在将“0”数据存储到存储单元 MC 时的位线 BL 和 /BL 随时间的变化。

(i) 读出对象的存储单元的选择

如图 5A 所示, 控制电路 7 (图 1) 根据行地址信号 RA, 使与读出对象的存储单元 MC 对应的字线 WL 驱动至“H”电平。同时, 控制电路 7 使与连接读出对象的存储单元 MC 的位线 BL 的补位线 /BL 上所连接的伪单元 DMC 对应的、伪字线/DWL 驱动至“H”电平。于是, 存储单元 MC 的存取晶体管 ATR 被激活, 存储晶体管 STR 被电连接在源极线 SL 与位线 BL 之间, 而伪单元 DMC 的伪存取晶体管 ATRd 被激活, 伪晶体管 DTR 被电连接在源极线 SL 与位线 /BL 之间。

即, 读出对象的读出放大电路 SA 经位线 BL 与存储晶体管 STR 电连接, 并且经位线 /BL 与伪晶体管 DTR 电连接。再有, 如图 5D 所示, 在时刻 t1 以前, 由于位线预充电线 BLP 被驱动至“H”电平, 所以预充电电路 PC 的晶体管 34A 和 34B 均成为导通状态。因此, 位线 BL 和 /BL 均被维持在预充电电位 (基准电位)。

(ii) 读出工作

如图 5B 所示, 控制电路 7 进行控制, 使得在读出对象的存储单元 MC 的充电线 CL 被驱动至“H”电平、存储晶体管 STR 被激活的状态 (导通状态) 下, 由与该存储单元 MC 对应的读出放大电路 SA 进行读出工作。

首先, 如图 5A 所示, 控制电路 7 使位线预充电线 BLP 驱动至“L”电平 (时刻 t1)。于是, 预充电电路 PC 的晶体管 34A 和 34B 转移到非导通状态, 分别从存储单元 MC 和伪单元 DMC 开始对位线 BL 和 /BL 供给读出电流和参考电流。如图 5H 和图 5I 所示, 随着该读出电流和

参考电流的供给，位线 BL 和 /BL 的电位开始分别上升。再有，位线 BL 和 /BL 的电位上升速度根据所供给的电流值，即每单位时间的电荷量决定。

因此，读出放大电路 SA 根据对流过读出对象的存储单元 MC 的读出电流与流过伪单元 DMC 的电流的比较，从而读出数据，该伪单元 DMC 被连接到与该存储单元 MC 对应的位线对 BL、/BL 中的另一条位线 /BL 上。

如上所述，伪晶体管 DTR 供给与存储到存储单元 MC 内的“1”数据或“0”数据对应的相当于各自的读出电流的中间值的参考电流。因此，如图 5H 所示，在“1”数据被存储到存储单元 MC 内的情况下，与从伪晶体管 DTR 供给位线 /BL 的参考电流相比，从存储单元 MC 供给位线 BL 的读出电流增多。因此，位线 BL 的电位比位线 /BL 的电位增高。

另一方面，如图 5I 所示，在“0”数据被存储到存储单元 MC 内的情况下，与从伪晶体管 DTR 供给位线 /BL 的参考电流相比，从存储单元 MC 提供给位线 BL 的读出电流减少。因此，位线 BL 的电位比位线 /BL 的电位降低。

如图 5H 和图 5I 所示，位线 BL 和 /BL 的电位上升之所以产生规定的时间常数，主要归因于在存储器阵列 8 中存在的寄生电容。因此，为使读出放大电路 SA 的读出工作（放大工作）更加高速化，降低这样的寄生电容是有效的。因此，控制电路 7 进行控制，以便根据读出放大电路 SA 中的读出工作，使对应的传输门 TG 成为非导通状态，使对应的存储单元 MC 与工作中的读出放大电路 SA 电隔离。

具体地说，如图 5C 所示，位线 BL 与位线 /BL 之间的电位差如在读出放大电路 SA 中的读出工作中增大至充分的程度（时刻 t_2 ），则控制电路 7 将位隔离线 BLI 驱动至“L”电平。再次参照图 2，如果位隔离线 BLI 被驱动至“L”电平，则传输门 TG 非激活，存储器阵列 8 与读出放大电路 SA 被电隔离。再有，读出放大电路 SA 中的晶体管 31A 和 31B 的漏极 - 栅极间电压分别与位线 BL 与位线 /BL 之间的电位差一致。因此，所谓对读出工作充分的程度，是指位线 BL 与位线 /BL 之间的电位差为晶体管 31A 和 31B 的阈值电压以上的电位差。

接着，如图 5E 和图 5F 所示，控制电路 7 在时刻 t_3 使读出放大器

驱动线 SON 和/SOP 分别驱动至“H”电平和“L”电平。于是，图 2 所示的读出放大电路 SA 的晶体管 32 和 33 被激活，读出放大电路 SA 被电连接在控制线驱动电位 VBL 与基准电位之间。

在“1”数据被存储到存储单元 MC 内的情况下，由于在时刻 3 以前晶体管 31B 被激活，所以对位线/BL 供给基准电位。于是，控制线驱动电位 VBL 与基准电位的电位差被供给到晶体管 30A 的漏极-栅极间，从而晶体管 30A 被激活。因而，对位线 BL 供给控制线驱动电位 VBL。

另一方面，在“0”数据被存储到存储单元 MC 内的情况下，由于在时刻 3 以前晶体管 31A 被激活，所以对位线 BL 供给参考电位。于是，控制线驱动电位 VBL 与基准电位的电位差被供给到晶体管 30 的漏极-栅极间，从而晶体管 30B 被激活。因而，对位线/BL 供给控制线驱动电位 VBL。

这样，读出放大电路 SA 读出读出对象的存储单元 MC 的数据，将与读出数据对应的电压值供给位线对 BL、/BL。其结果是，如图 5H 和图 5I 所示，在时刻 t3 以后，位线 BL 和/BL 的电位随读出数据变化。

在读出放大电路 SA 将与读出数据对应的电压值供给位线对 BL、/BL 的状态下，如图 5G 所示，控制电路 7 根据列地址信号 CA，使与读出对象的存储单元 MC 对应的列选择线 CSL 驱动至“H”电平（时刻 t4）。于是，对应的输入输出门 CSG 被激活，从读出放大电路 SA 供给位线对 BL、/BL 的电压值被传递给数据输入输出线对 IO、/IO。然后，传递给数据输入输出线对 IO、/IO 的电压值经输入输出电路 3（图 1），作为输出数据 DOUT 被输出到半导体存储器件 1 的外部。

另外，如图 5C 所示，控制电路 7 在位线 BL 和/BL 分别到达控制线驱动电位 VBL 或基准电位中的某一电位后的时刻 t5，将位隔离线 BLI 驱动至“H”电平，为后述的校验写工作做准备。于是，图 2 所示的传输门 TG 被激活，存储器阵列 8 与读出放大电路 SA 再次被电连接。

（iii）校验写工作（读出数据的再写入工作）

如上所述，在由存储晶体管 STR 构成的存储单元 MC 中，能产生读出干扰。因此，控制电路 7 进行控制，以便继读出工作之后，进行将读出数据再写入到读出对象的存储单元 MC 内的校验写工作。

如图 5G 所示, 控制电路 7 在读出数据的输出完成后的时刻 t_6 , 将列选择线 CSL 驱动至“L”电平。于是, 对应的输入输出门 CSG 被非激活, 位线对 BL、/BL 与数据输入输出线对 IO、/IO 被电隔离。

接着, 如图 5B 所示, 在将与读出数据对应的电压值从读出放大电路 SA 供给位线对 BL、/BL 的状态下, 控制电路 7 将与读出对象的存储单元 MC 对应的充电线 CL 驱动至“L”电平(基准电位)。于是, 在存储单元 MC 的存储节点 SN, 再次形成与已读出的数据对应的空穴的积累状态, 即进行读出数据的再写入。然后, 控制电路 7 在再次形成存储单元 MC 的存储节点 SN 上的空穴的积累状态所需的时间经过后, 将充电线 CL 驱动至“H”电平(电源电位 VDD), 使之恢复到原来的状态。

最终, 在校验写工作完成的时刻 t_7 , 控制电路 7 使各控制线恢复到读出工作前的状态。即, 控制电路 7 如图 5A 所示, 使字线 WL 和伪字线/DWL 驱动至“L”电平; 如图 5D 所示, 使位线预充电线 BLP 驱动至“H”电平; 如图 5E 和图 5F 所示, 使读出放大器驱动线 SON 和 /SOP 分别驱动至“L”电平和“H”电平。

(校验写工作)

图 6A、图 6B 示出了用于更详细地说明校验写工作的时序图。

图 6A 示出了“1”数据被存储到存储单元 MC 内的情形。

图 6B 示出了“0”数据被存储到存储单元 MC 内的情形。

参照图 6A, 在读出工作期间和保持工作期间, 与存储晶体管 STR 的栅电极连接的充电线 CL 被驱动至“H”电平。另外, 在“1”数据被存储到存储单元 MC 内的情况下, 存储节点 SN 被保持在积累了众多空穴的状态。此时, 如果读出放大电路 SA 中的读出工作完成, 则位线 BL 被驱动至“H”电平(控制线驱动电位 VBL), 而位线/BL 被驱动至“L”电平(基准电位)。

在此处, 如果校验写工作开始, 则充电线 CL 从“H”电平(电源电位 VDD)被驱动至“L”电平(基准电位)。于是, 存储晶体管 STR 暂时被非激活。伴随该充电线 CL 的电位降低, 通过存储晶体管 STR 的栅电极与体区的电容耦合(以下, 也称为“栅极耦合”), 存储节点 SN 的电位从“H”电平(电源电位 VDD)向“L”电平(基准电位)降低。由此, 在存储节点 SN, 生成空穴的积累量少的状态(空穴的积

累量实质上为零的状态)。

另外, 由于字线 WL 和位线 BL 的电位均为“H”电平(控制线驱动电位 VBL), 所以存储单元 MC 的存取晶体管 ATR (图 3) 被非激活。因此, 节点 PN 成为浮置电位。

因此, 在存储节点 SN 与源极线 SL 之间, 产生相当于电源电位 VDD 的电位差。即, 在图 4 所示的存储节点 SN 与杂质扩散区 24 的结面上, 产生较高的电场。由于对存储晶体管 STR 的栅电极施加“L”电位的电位, 所以存储晶体管 STR 为非激活状态, 但产生从杂质扩散区 24 向存储节点 SN 的漏泄电流(空穴流)。这样的漏泄电流也称为 GIDL (Gate Induced Drain Leakage: 栅极引发漏极泄漏电流) 电流。

因此, 在一次释出了空穴后的存储节点 SN 上, 借助于来自源极线 SL 的 GIDL 电流, 空穴的再积累开始。因此, 存储节点 SN 的电位从“L”电平向“H”电平上升(期间 α)。

在由 GIDL 电流引起的向存储节点 SN 的空穴注入充分地进行了以后, 充电线 CL 从“L”电平被驱动至“H”电平。于是, 存储晶体管 STR 再次被激活。而且, 通过栅耦合的作用, 存储节点 SN 的电位进一步上升(期间 β)。

其后, 字线 WL 和位线对 BL、/BL 被驱动至“L”电平, 校验写工作完成。

另一方面, 参照图 6B, 在“0”数据被存储到存储单元 MC 内的情况下, 存储节点 SN 被保持在空穴的积累量少的状态。此时, 如果读出放大电路 SA 中的读出工作完成, 则位线 BL 被驱动至“L”电平(基准电位), 而位线 /BL 被驱动至“H”电平(控制线驱动电位 VBL)。

在此处, 与图 6A 的情形同样地, 如果校验写工作开始, 则充电线 CL 从“H”电平被驱动至“L”电平。伴随该充电线 CL 的电位降低, 通过栅耦合的作用, 存储节点 SN 的电位从“H”电平(电源电位 VDD) 向“L”电平(基准电位)降低。由此, 在存储节点 SN, 生成空穴的积累量少的状态(空穴的积累量实质上为零的状态)。

另外, 由于字线 WL 被驱动至“H”电平, 而位线 BL 被驱动至“L”电平, 所以存储单元 MC 的存取晶体管 ATR (图 3) 被激活。因此, 节点 PN 的电位成为字线 WL 的电位, 即“L”电平(基准电位)。因此, 不向存储节点 SN 注入空穴, 存储节点 SN 的电位被维持在“L”

电平。

其后，随着充电线 CL 从“L”电平被驱动至“H”电平，存储节点 SN 的电位上升了存储晶体管 STR 的正向的阈值电压部分，但与电源电位 VDD 相比，该上升部分很小，从而不会产生误写入的问题。进而，字线 WL 和位线对 BL、/BL 被驱动至“L”电平，校验写工作完成。

这样，本发明的实施方式 1 的半导体存储器件 1 在进行了对存储单元 MC 的读出工作后，进行该读出数据的再写入。

再有，在图 5A~图 5I 和图 6A、图 6B 的说明中，例示了在图 2 所示的存储器阵列 8 中对配置在第偶数列上的、即与位线 BL 连接的存储单元 MC 进行数据读出的情形，但对配置在第奇数列上的、即与位线 /BL 连接的存储单元 MC 也可同样地进行数据读出。在对配置在第奇数列上的存储单元 MC 进行数据读出的情况下，在上述的说明中，分别用字线 /WL、伪字线 DWL 和充电线 /CL 来代替字线 WL、伪字线 /DWL 和充电线 CL。

（读出放大电路）

如上所述，读出放大电路 SA 对位线 BL 与位线 /BL 之间所生成的电位差进行放大，并读出存储在存储单元 MC 内的数据。在本发明的实施方式 1 的半导体存储器件 1 中，在读出工作前采用对位线对 BL、/BL 供给基准电位的地 - 预充电（ground precharge）方式。因此，如上述的图 5H 和图 5I 所示，在读出工作刚开始后，位线 BL 和 /BL 的电位大致为基准电位。其结果是，在读出放大电路 SA 中会产生主体上进行工作的晶体管 30A 和 30B（图 2）难以激活的问题。

因此，在半导体存储器件 1 中，作为构成读出放大电路 SA 的晶体管 30A 和 30B，最好采用栅电极与其体区进行电连接的栅 - 体直接耦合型晶体管。

图 7 示出了表示栅 - 体直接耦合型晶体管的一例结构的俯视图。

图 7 所示的栅 - 体直接耦合型晶体管包括：在 SOI 衬底上所形成的 n 型杂质扩散区 40 和 42；体区 41；以及形成为 T 形的栅电极 43。杂质扩散区 40 和 42 分别经接触 45 和 46，与位线 BL（或 /BL）或其它晶体管进行电连接。另外，栅电极 43 经接触 44a 与位线 BL（或 /BL）进行电连接，并且也与在体区 41 上所形成的接触 44b 进行电连接。

利用这样的结构,可使栅电极 43 与体区 41 的电位一致。因而,与利用栅耦合使体区的电位改变的晶体管相比,上述晶体管可在较低的电位下激活,所以即使是位线 BL 和 /BL 中产生的电位较低的情形,也可进行稳定的读出工作。

图 8A、8B 示出了栅-体直接耦合型晶体管的另一例结构。

图 8A 示出了俯视图。

图 8B 是图 8A 中的 VIII (b) - VIII (b) 剖面图。

图 8A、8B 所示的栅-体直接耦合型晶体管包括:在 SOI 衬底上所形成的 n 型杂质扩散区 50 和 52;体区 53;以及栅电极 54。杂质扩散区 50 和 52 分别经接触 56 和 57,与位线 BL (或 /BL) 或其它晶体管进行电连接。另外,栅电极 54 经接触 55 与位线 BL (或 /BL) 进行电连接。

如图 8B 所示,在作为半导体衬底的硅衬底 60 上,夹持作为绝缘层的埋入氧化层 59 而形成体区 53。在栅电极 54 与体区 53 之间,形成栅氧化膜 58。在此处,体区 54 在邻接的元件隔离绝缘膜 61 的硅衬底侧 (纸面下部) 也形成其一部分,进而,接触 55 以贯通元件隔离绝缘膜 61 的方式形成,与体区 53 进行电连接。

利用这样的结构,可使栅电极 54 与体区 53 的电位一致。因而,与利用栅耦合使体区的电位改变的晶体管相比,上述晶体管可在较低的电位下激活,所以即使是位线 BL 和 /BL 中产生的电位较低的情形,也可进行稳定的读出工作。

(页面存取工作)

在上述的说明中,说明了任意地选择 1 条字线 WL (或 /WL) 和 1 条列选择线 CSL 来进行对应的存储单元 MC 的数据读出的随机存取 (random access)。然而,在图 2 所示的本发明的实施方式 1 的半导体存储器件 1 中,分别对与互不相同的位线对 BL、/BL 对应的至少 2 个以上的存储单元 MC,也可执行逐次进行数据读出的页面存取。

特别是,这样的页面存取在从与同一行对应地被连续配置的多个存储单元 MC 中逐次读出数据的情况下是有效的。例如,在图形描绘处理等中,在与被显示在画面上的像素配置一致地将各像素数据存储到存储器阵列 8 中等情况下,通过应用这样的页面存取,可实现更高速的数据读出。即,由于被显示在画面上的像素数据遵照规定的规则

和周期被扫描，所以在存储器阵列 8 上，对与同一行对应地被连续配置的多个存储单元 MC 可逐次进行数据读出的页面存取更为有效。

进而，在本发明的实施方式 1 的半导体存储器件 1 中，在读出工作后，执行校验写工作，但在页面存取中，一并执行对进行了读出工作的多个存储单元 MC 的校验写工作（读出数据的再写入）。

再次参照图 2，说明作为页面存取工作的一例的、对与字线 WL0 连接并且分别与位线 BL0、BL1、BL2 和 BL3 连接的 4 个存储单元 MC 进行逐次的数据读出的情形。

图 9A ~ 图 9I 示出了页面存取中的工作时序图。

图 9A 示出了充电线 CL0 随时间的变化。图 9B 示出了字线 WL0 随时间的变化。图 9C 示出了位线 BL0 和 /BL0 随时间的变化。图 9D 示出了位线 BL1 和 /BL1 随时间的变化。图 9E 示出了位线 BL2 和 /BL2 随时间的变化。图 9F 示出了位线 BL3 和 /BL3 随时间的变化。图 9G 示出了列选择线 CSL<3:0>随时间的变化。图 9H 示出了数据输入输出线 IO 和 /IO 随时间的变化。图 9I 示出了输出数据 DOUT 随时间的变化。

参照图 2 和图 9A ~ 图 9I，如图 9A 所示，控制电路 7（图 1）将与配置了读出对象的存储单元 MC 的行对应的字线 WL0 驱动至“H”电平。接着，与图 5D ~ 图 5F 同样地，控制电路 7 将位线预充电线 BLP、读出放大器驱动线对 SON 和 /SOP 分别驱动至“L”电平、“H”电平和“L”电平（未图示）。

于是，包括分别与位线对 BL0、/BL0 ~ 位线对 BL3、/BL3 对应的 4 个读出放大电路 SA 的所有读出放大电路 SA 开始读出工作。即，各读出放大电路 SA 从被配置在存储器阵列 8 的第偶数列上的、位于最左端的存储单元 MC 起进行数据读出。

例如，在“0”数据被存储到与位线 BL0 和 BL2 连接的存储单元 MC 内、“1”数据被存储到与位线 BL1 和 BL3 连接的存储单元 MC 内的情况下，位线对 BL0、/BL0 ~ 位线对 BL3、/BL3 的电位发生分别如图 9C ~ 图 9F 所示的随时间的变化。

如果各读出放大电路 SA 完成读出工作并将与读出数据对应的电压值供给对应的位线对 BL0、/BL0 ~ 位线对 BL3、/BL3，则控制电路 7 开始读出数据的输出工作。即，控制电路 7 使读出数据逐次地输出到数据输入输出线对 IO、/IO。

具体地说,如图 9G 所示,控制电路 7 首先使列选择线 CSL0 驱动至“H”电平(期间 R0)。于是,在位线对 BL0、/BL0 中所产生的电压值被传递到数据输入输出线对 IO、/IO。接着,控制电路 7 使列选择线 CSL1 驱动至“H”电平(期间 R1)。于是,在位线对 BL1、/BL1 中所产生的电压值被传递到数据输入输出线对 IO、/IO。以下同样地,控制电路 7 使列选择线 CSL2 和 CSL3 逐次地驱动至“H”电平(期间 R2 和期间 R3)。

于是,伴随列选择线 CSL0~CSL3 的逐次的选择驱动,图 9H 所示的电压信号出现在数据输入输出线对 IO、/IO 上。进而,输入输出电路 3(图 1)将数据输入输出线对 IO、/IO 的电压信号作为输出数据 DOUT 输出到半导体存储器件 1 的外部。因此,作为输出数据 DOUT,输出图 9I 所示的电压信号。

如果上述那样的数据读出完成,则控制电路 7 在将充电线 CL0 驱动至“L”电平使各个存储单元 MC 的存储晶体管 STR 暂时非激活后,将充电线 CL0 驱动至“H”电平,使该存储晶体管 STR 再次激活。于是,对各读出放大电路 SA 一并执行校验写工作(期间 VW)。即,由于充电线 CL0 被各存储单元 MC 所共有,所以与在对应的位线对 BL、/BL 上所产生的电压值对应的数据被再写入到各存储单元。再有,各存储单元 MC 中的校验写工作的详细说明如上所述,故不再重复。

如果校验写工作完成,则将字线 WL0 驱动至“L”电平,结束数据读出。

再有,根据从半导体存储器件 1 的外部给予的页面存取模式信号 PMOD 等,控制电路 7 被构成为可有选择地执行上述的随机存取和页面存取。

按照本发明的实施方式 1,控制电路 7 进行控制,使得在存储单元 MC 的存储晶体管 STR 被激活的状态下,由读出放大电路 SA 进行读出工作,接着,进行控制,使得在将该存储晶体管 STR 暂时非激活后,使之再次激活,进行读出数据的再写入(校验写工作)。由此,可避免在数据读出时由噪声引起的对存储节点 SN 的误写入(干扰),提高数据读出时的存储数据的保持性能。

另外,按照本发明的实施方式 1,控制电路 7 进行控制,以便根据读出放大电路 SA 中的读出工作,使对应的传输门 TG 成为非导通状

态,使对应的存储单元 MC 与工作中的读出放大电路 SA 电隔离。由此,由于可降低存在于存储器阵列 8 中的寄生电容的影响,所以可使读出放大电路 SA 的读出工作(放大工作)更加高速化。因而,可实现使数据读出更加高速化的半导体存储器件。

另外,按照本发明的实施方式 1,除了以任意选择的 1 个存储单元 MC 为单位进行数据读出的随机存取外,还被构成对与互不相同的位线对 BL、/BL 对应的至少 2 个以上的存储单元 MC,可执行逐次进行数据读出的页面存取。在该页面存取中,一并执行读出数据对各存储单元 MC 的再写入(校验写工作)。由此,再从与同一行对应地被连续配置的多个存储单元 MC 中逐次读出数据等情况(例如,图形描绘处理)下,与以 1 个存储单元 MC 为单位重复读出工作和校验写工作的随机存取相比较,可实现更加高速的数据读出。

另外,按照本发明的实施方式 1,用将栅电极与其体区进行电连接的栅-体直接耦合型晶体管构成读出放大电路 SA。由此,即使是在读出工作前采用将基准电位提供给位线对 BL、/BL 的地-预充电方式的情况,也可避免读出放大电路 SA 的误工作。因而,可实现稳定的数据读出。

[实施方式 2]

本发明的实施方式 2 的半导体存储器件的概略结构图由于与图 1 和图 2 所示的本发明的实施方式 1 的半导体存储器件相同,故不重复其详细的说明。再有,在本发明的实施方式 2 中,由于不管读出放大器的电路结构,故也可采用图 2 所示的读出放大器 9 以外的电路结构。另外,在本发明的实施方式 2 中,沟道形成区 23 相当于“沟道形成区”,杂质扩散区 24 相当于“第 1 杂质扩散区”,杂质扩散区 22 相当于“第 2 杂质扩散区”。

在本发明的实施方式 2 中,说明在存储单元 MC 存储“0”数据的状态、即存储节点 SN 的空穴积累量少的状态下的数据保持工作。

图 10A、10B 是用于说明存储单元 MC 在存储“0”数据时所发生的现象的图。

图 10A 示出了以电源电位 VDD 驱动源极线 SL 的情形。

图 10B 示出了以比电源电位 VDD 低的电位驱动源极线 SL 的情形。

如图 6B 中所示,在存储单元 MC 存储“0”数据的情况下,存储节点 SN 被保持在“L”电平($\approx$ 基准电位)。另一方面,如图 10A 所

示,与存储节点相接的杂质扩散区 24 与源极线 SL 连接,供给电源电位 VDD。因此,在存储节点 SN 与杂质扩散区 24 之间,产生相当于电源电位 VDD 的电位差。其结果是,在存储节点 SN 与杂质扩散区 24 的结面上所产生的较高的电场作用下,从杂质扩散区 24 向存储节点 SN 产生反向偏置的结漏泄电流。

借助于该结漏泄电流,来自杂质扩散区 24 (源极线 SL) 的空穴被注入到存储节点 SN。借助于该空穴注入,存储节点 SN 的空穴积累量增大,接近存储“1”数据的状态。即,意味着在存储单元 MC 内“0”数据的破坏发生了。

因此,在采用图 10A 所示的存储单元 MC 的情况下,“0”数据遭到破坏前必须进行更新工作(存储数据的再写入)。再有,在存储单元 MC 中存储“1”数据的情况下,由于积累了足够的空穴,故难以发生数据破坏的问题。

可是,在更新工作中,由于执行对存储单元 MC 的数据读出和数据写入,所以即使在未进行存储器存取(数据读出和数据写入等)的期间、即保持工作期间,也消耗与更新工作的频度对应的功率。

因此,通过减少存储节点 SN 与杂质扩散区 24 之间的电位差,可延长“0”数据遭到破坏之前的时间、即数据保持时间。通过延长数据保持时间,可减少这样的更新工作的频度。

作为延长这样的数据保持时间的一个方法,如图 10B 所示,通过对源极线 SL 供给比电源电位 VDD 低的电位,可降低存储节点 SN 与杂质扩散区 24 之间的电场强度。再有,在图 10B 中,作为源极线 SL 的电位,例示了使用也被用作控制线驱动电位 VBL 的电源电位 VDD 的半值($1/2VDD$)的情形。

这样,通过降低经源极线 SL 供给杂质扩散区 24 的电位,可降低存储节点 SN 与杂质扩散区 24 之间的电位差,抑制更新工作的频度。

图 11 是用于说明因源极线 SL 的电位降低致使存储单元 MC 的数据保持性能提高的图。图 11 是在图 2 所示的存储器阵列 8 中按照提供给源极线 SL 的不同电位将从存储单元 MC 流到对应的位线 BL 的读出电流值随时间的变化作图而成的曲线图。

参照图 11,在提供给源极线 SL 的电位为电源电位 VDD 的情况下,从存储了“0”数据的存储单元 MC 流到对应的位线 BL 的读出电流在约 0.1[s]

处开始增加。然后,该读出电流值在 0.2 ~ 0.3 [s] 左右变得与来自存储了“1”数据的存储单元 MC 的读出电流值相等。因此,对该存储单元 MC,可以说必须在约 0.1[s]周期以内进行更新工作。

另一方面,在将提供给源极线 SL 的电位降低至 $1/2VDD$ 的情况下,从存储了“0”数据的存储单元 MC 流到位线 BL 的读出电流在约 1[s]的期间不增加,维持该电流值。即,通过将提供给源极线 SL 的电位降低至 $1/2VDD$,可将更新工作的周期从 0.1[s]延长至 1[s]。这意味着可将更新工作的频度抑制到 1/10。

再有,存储了“1”数据的存储单元 MC 的读出电流值不管源极线 SL 的电位如何,都产生大致相等的时间变化。

因此,在本发明的实施方式 2 的半导体存储器件中,除了可执行存储器存取(数据读出和数据写入等)的“常规模式”外,还有停止存储器存取以延长数据的保持时间的“数据保持模式”。再有,“数据保持模式”可根据从半导体存储器件的外部给予的控制信号等有选择地被执行。

图 12A、图 12B 示出了“常规模式”和“数据保持模式”中的工作时序。再有,在图 12A、图 12B 中,例示了在图 2 所示的存储器阵列 8 中对被配置在第偶数列上的、即与位线 BL 连接的存储单元 MC 进行数据读出的情形。

图 12A 示出了“1”数据被存储到存储单元 MC 内的情形。

图 12B 示出了“0”数据被存储到存储单元 MC 内的情形。

参照图 12A、图 12B,在按“常规模式”工作的情况下,分别执行与上述的图 6A、图 6B 同样的工作。

然后,如果从半导体存储器件的外部输入指示“数据保持模式”的控制信号,则控制电路 7(图 2)进行控制,以便将提供给源极线 SL 的电位从电源电位 VDD 降低至 $1/2VDD$ 。

如图 12A 所示,在“1”数据被存储到存储单元 MC 内的情况下,借助于与杂质扩散区 24 的电容耦合,存储节点 SN 的电位稍许降低。然而,如果通过指示“数据保持模式”的控制信号的终结,或者指示“常规模式”的新的控制信号的输入,而使源极线 SL 的电位恢复至电源电位 VDD ,则存储节点 SN 的电位也上升至原来的电位。因此,即使在“数据保持模式”结束后,仍可继续“数据保持模式”开始前的

工作。

另一方面，如图 12B 所示，在“0”数据被存储到存储单元 MC 内的情况下，存储节点 SN 的电位不受影响。因此，如果“数据保持模式”结束，源极线 SL 的电位恢复至电源电位 VDD，则可继续“数据保持模式”开始前的工作。

这样，通过降低提供给源极线 SL 的电位，移至“数据保持模式”；通过返回到原来的电位，可恢复到“常规模式”，从而可比较容易地实现根据控制信号来有选择地执行数据保持模式的结构。

如上所述，在“数据保持模式”中，虽然不能执行存储器存取，，但可抑制更新工作的功耗，从而降低功耗的要求可适用于对存取速度（处理速度）的要求优先那样的用途（例如，移动终端等）。

再有，在上述的说明中，虽然例示了将提供给充电线 CL 的电源电位 VDD 降低至 $1/2VDD$ 的结构，但该电位值不受限制。即，通过将“常规模式”中的充电线 CL 的电位值降低至更低的任意电位值，可延长数据保持时间。

按照本发明的实施方式 2，降低在存储晶体管 STR 的存储节点 SN 与杂质扩散区 24 之间的电位差，抑制从杂质扩散区 24 流向存储节点 SN 的反向偏置的结漏泄电流。由此，可延长存储单元 MC 中的数据保持时间，从而可延长更新周期。因而，可抑制更新工作的频度，降低整个半导体存储器件的功耗。

另外，按照本发明的实施方式 2，通过降低经源极线 SL 供给的电位，可执行数据保持模式。由于源极线 SL 被多个存储单元 MC 所共有，所以即使是由多个存储单元 MC 构成的半导体存储器件，使电位降低的源极线 SL 的数目也比较少。因此，可较为简化用于使提供给源极线 SL 的电位降低的电路，可通过维持电路面积不变而实现数据保持模式。

（变形例）

在本发明的实施方式 2 中，作为降低存储节点 SN 与杂质扩散区 24 之间的电位差的一例，说明降低提供给源极线 SL 的电位的结构。

另一方面，在本发明的实施方式 2 的变形例中，说明通过对形成有存储节点 SN 的 SOI 衬底供给规定电位，以降低存储节点 SN 与杂质扩散区 24 之间的电位差的结构。

参照图 13，本发明的实施方式 2 的变形例的存储单元与在图 4 所

示的本发明的实施方式1的存储单元MC中可对硅衬底11供给衬底电位VSUB而被构成的存储单元等效。再有,一般来说,构成同一存储器阵列的多个存储单元在同一硅衬底上形成。因此,即使是配置有多个存储单元的半导体存储器件,只要仅将衬底电位VSUB的供给源(电源电路)与硅衬底11的至少1个部位进行电连接即可。

按照这样的结构,硅衬底11的电位上升至所供给的衬底电位VSUB。于是,起因于存储节点SN与硅衬底11之间的电容耦合,维持在浮置电位的存储节点SN的电位也上升。另一方面,在杂质扩散区24与硅衬底11之间虽然也存在电容耦合,但由于对杂质扩散区24经源极线SL供给电源电位VDD,所以不发生因与硅衬底11之间的电容耦合而造成的电位上升。

即,存储节点SN的电位上升,而杂质扩散区24的电位却不变,从而可降低存储节点SN与杂质扩散区24之间的电位差。由此,可延长数据保持时间,减少更新工作的频度。

在本发明的实施方式2的变形例中,如果接收到指示“数据保持模式”的控制信号,则将衬底电位VSUB提供给硅衬底11;如果接收到指示“数据保持模式”终结的控制信号,则截断提供给硅衬底11的衬底电位VSUB。由于其它各点与上述本发明的实施方式2相同,故不重复其详细的说明。

按照本发明的实施方式2的变形例,通过将衬底电位VSUB提供给形成有存储单元MC的半导体衬底,从而可执行数据保持模式。一般来说,由于在同一半导体衬底上形成许多存储单元MC,所以即使是由多个存储单元MC构成的半导体存储器件,成为供给衬底电位VSUB的对象的半导体衬底的数目也很少。因此,可较为简化用于将衬底电位VSUB提供给半导体衬底的电路,可通过维持电路面积不变而实现数据保持模式。

虽然详细地说明并揭示了本发明,但这仅仅是例示性的,而非限定性的,可以清楚理解的是,发明的宗旨和范围仅由所附权利要求的范围所限定。

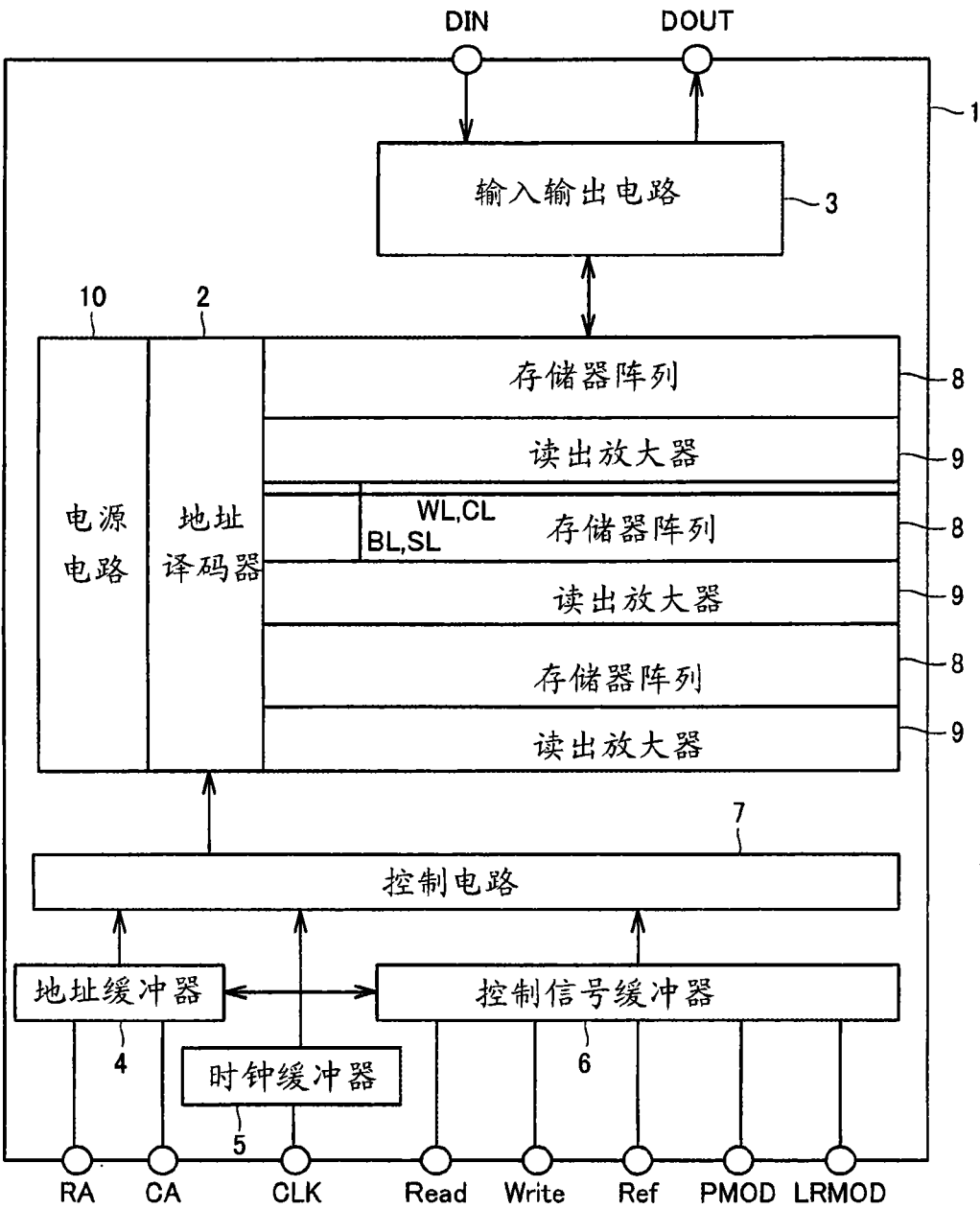


图 1

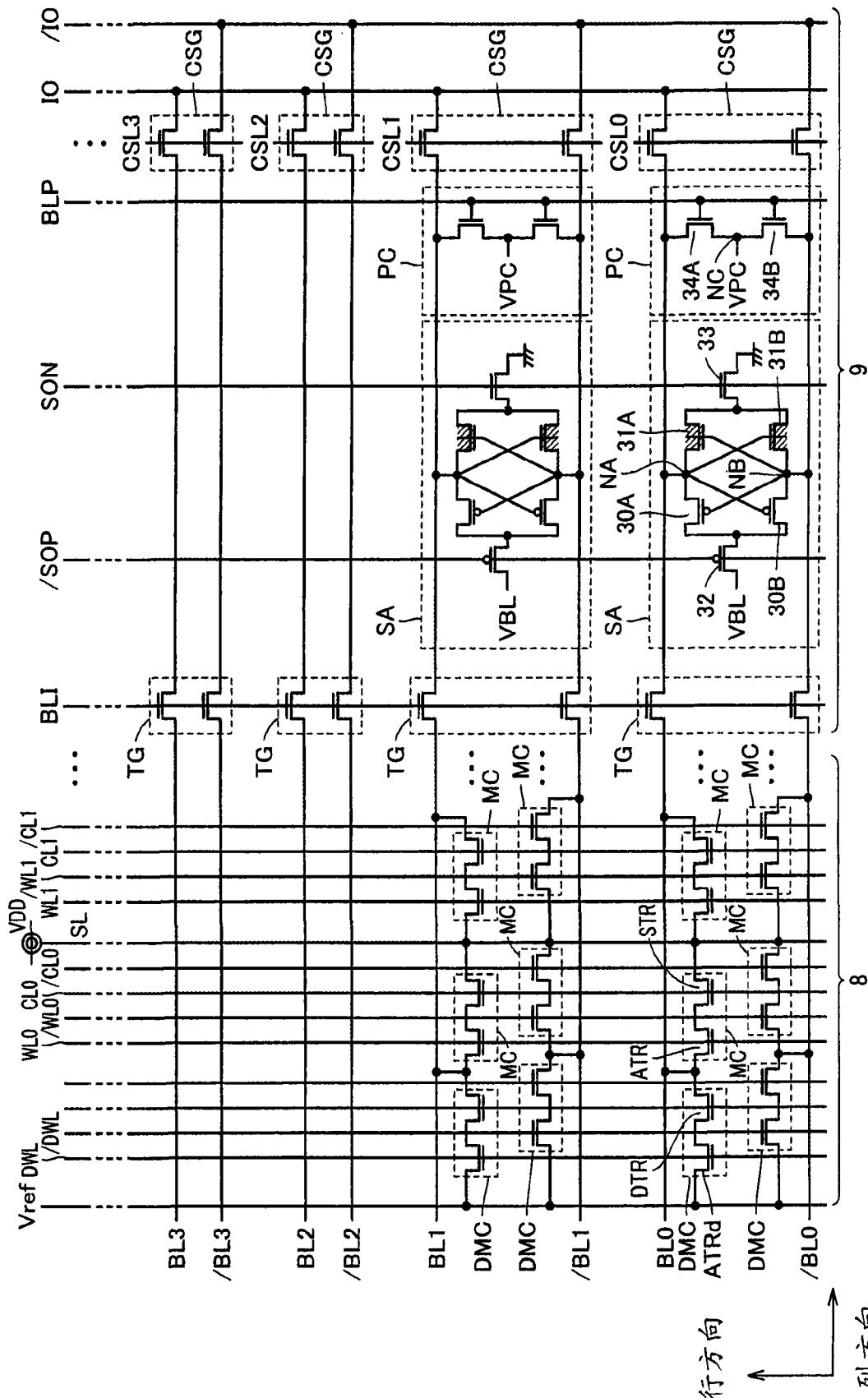


图 2

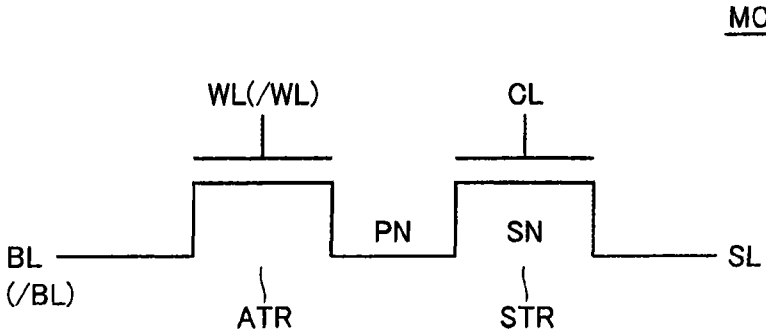


图 3

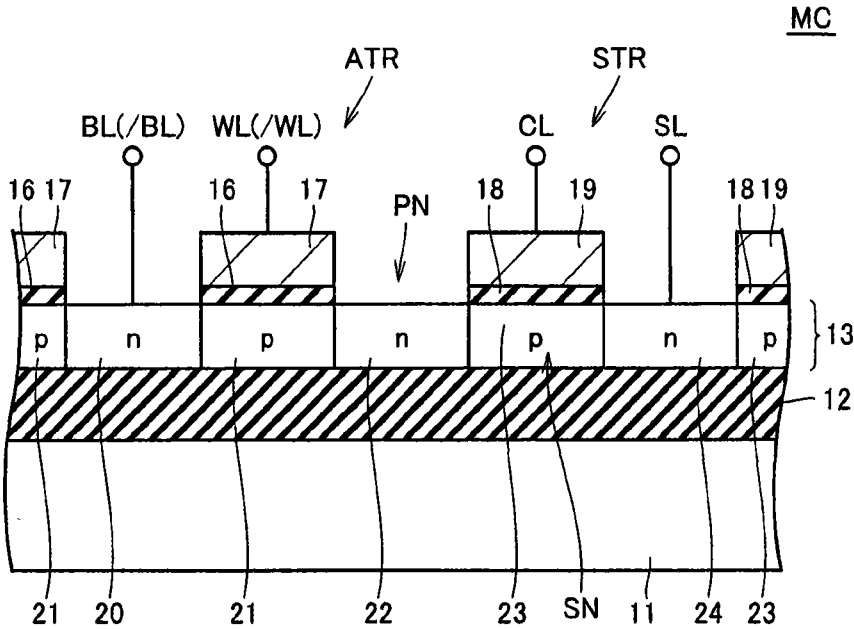
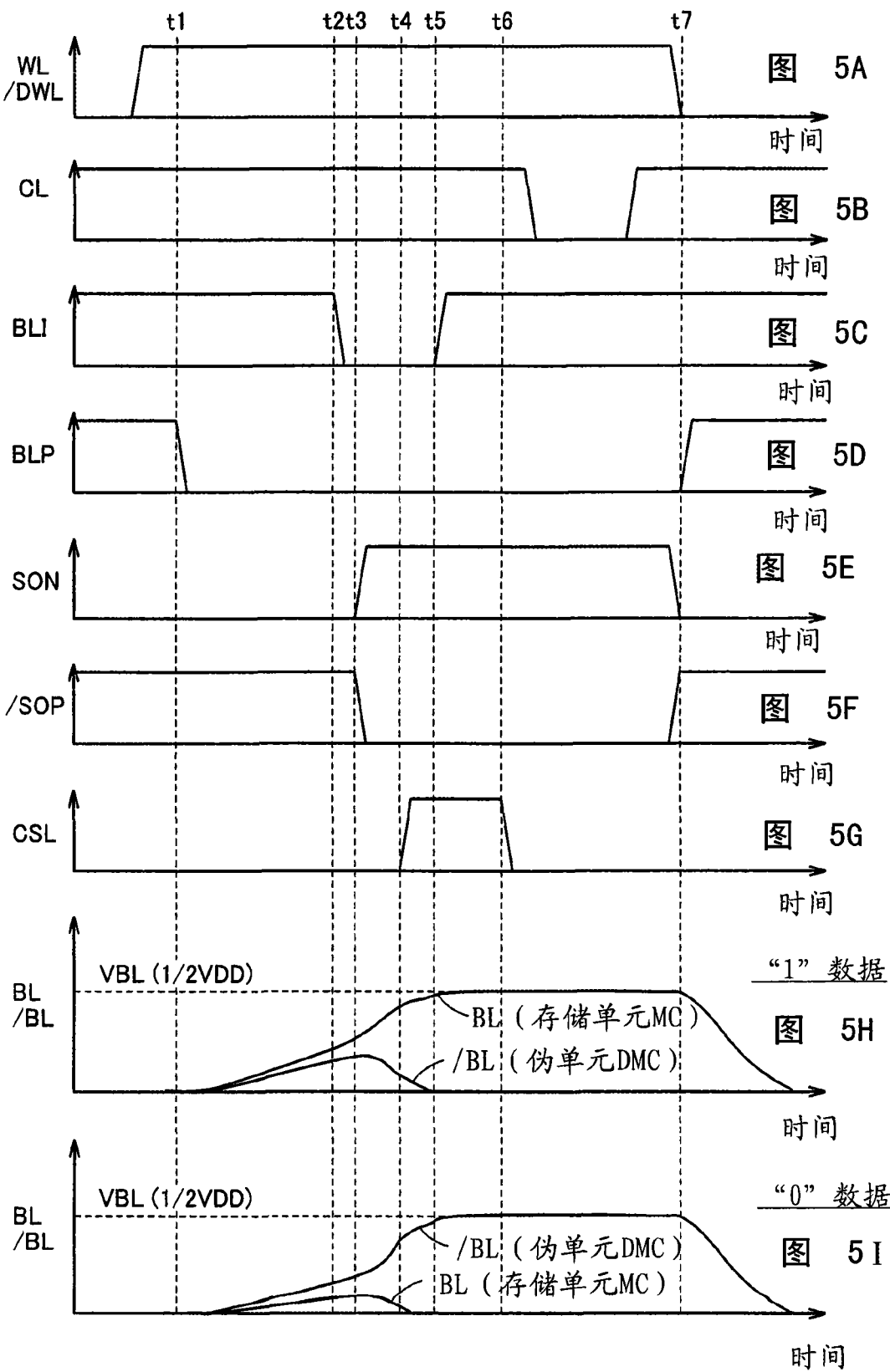
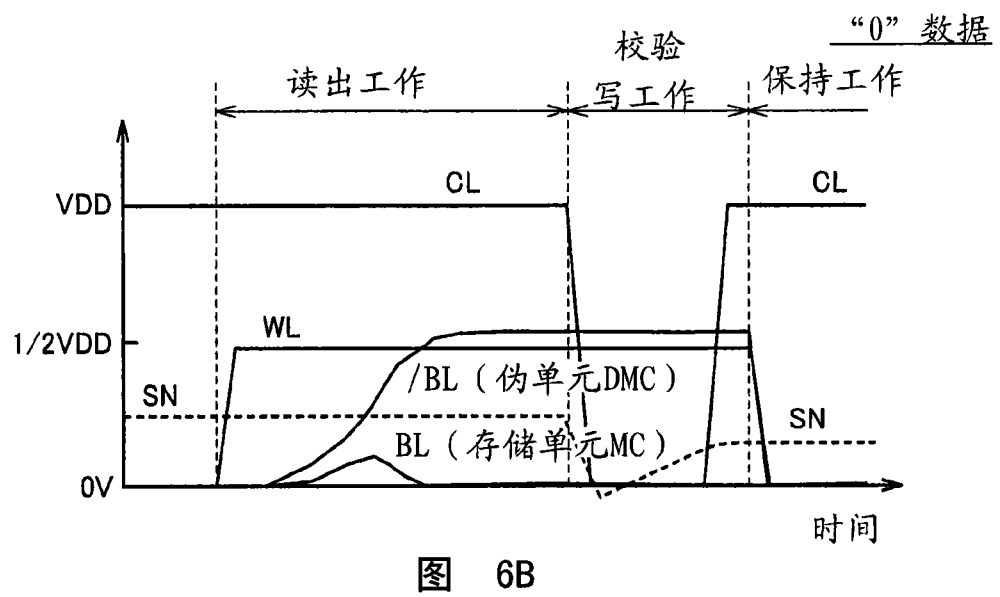
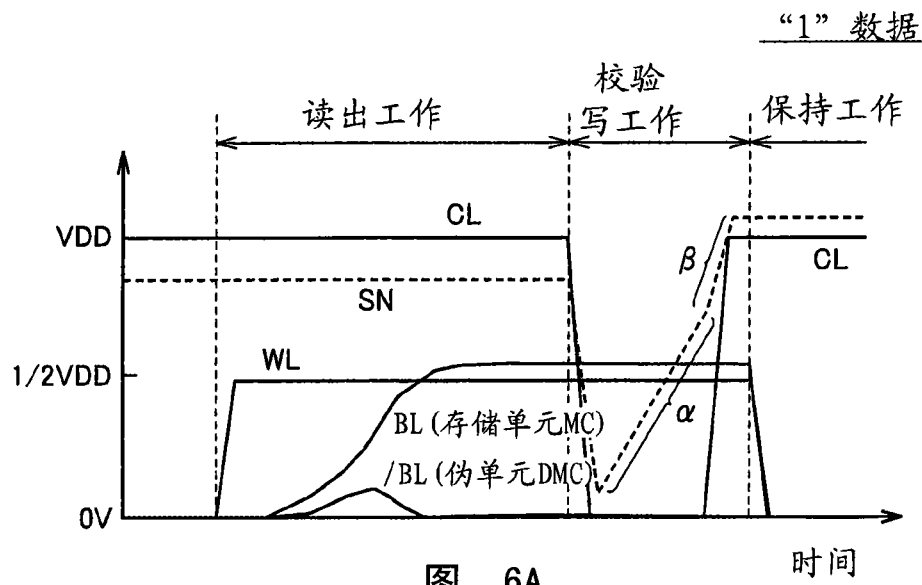


图 4





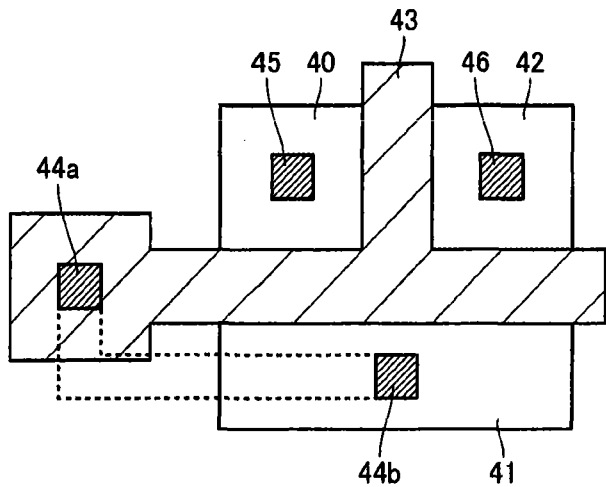


图 7

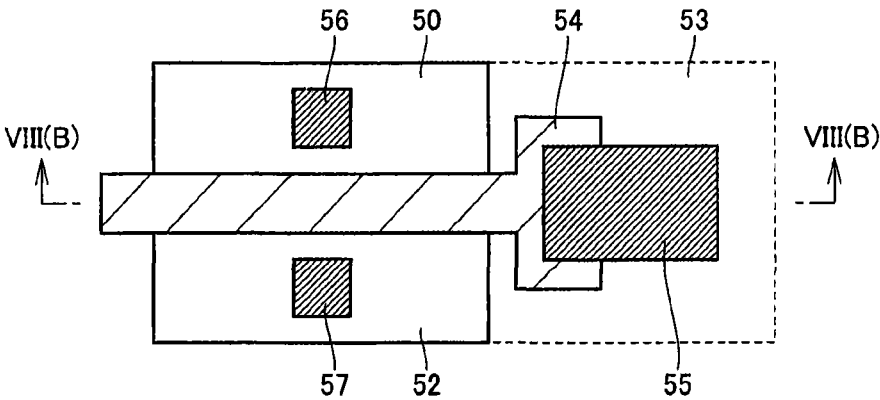


图 8A

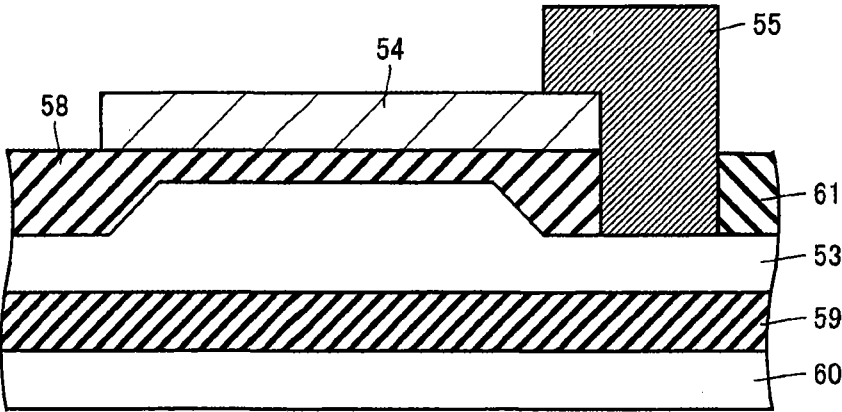


图 8B

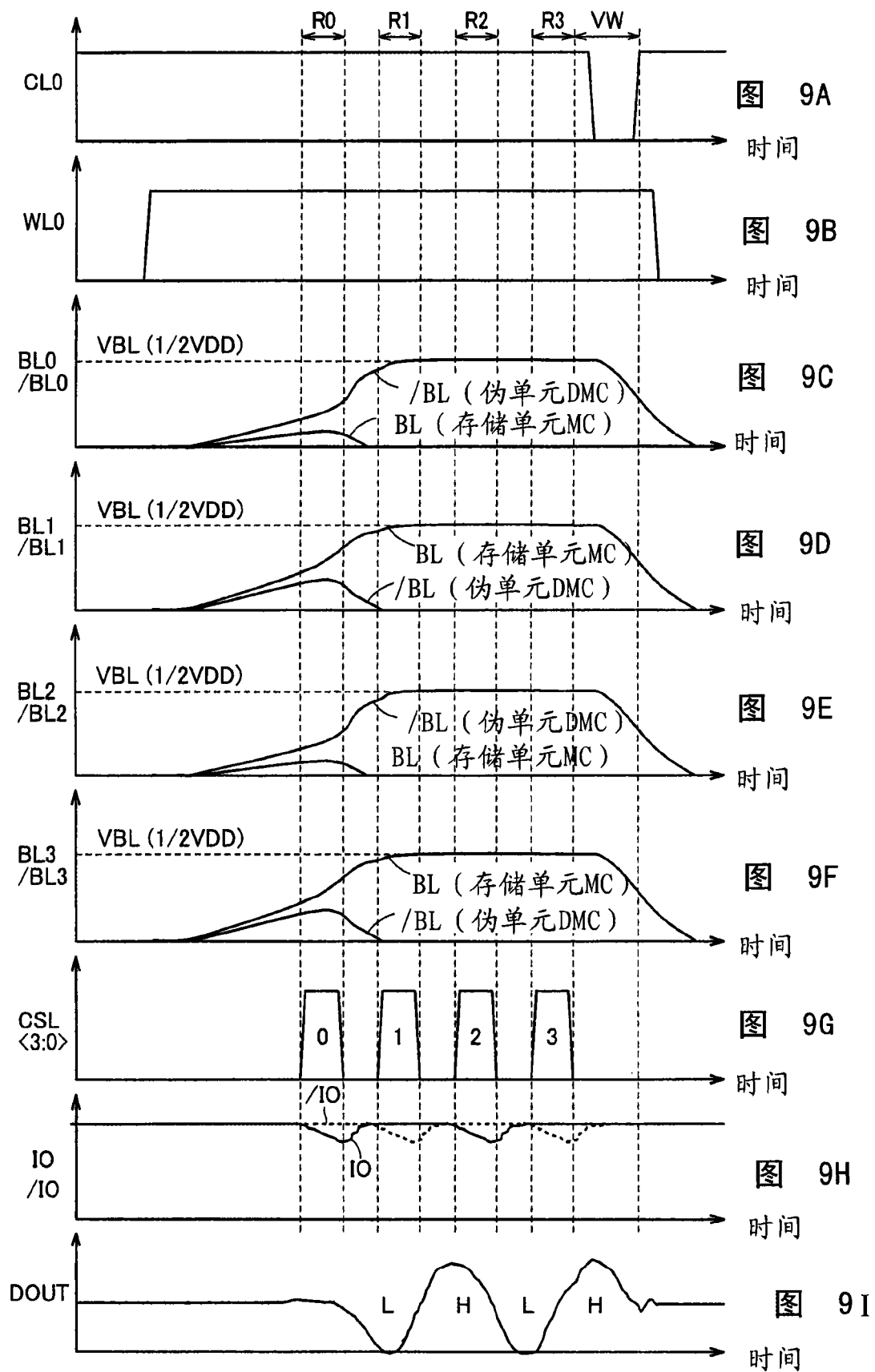


图 9A

图 9B

图 9C

图 9D

图 9E

图 9F

图 9G

图 9H

图 91

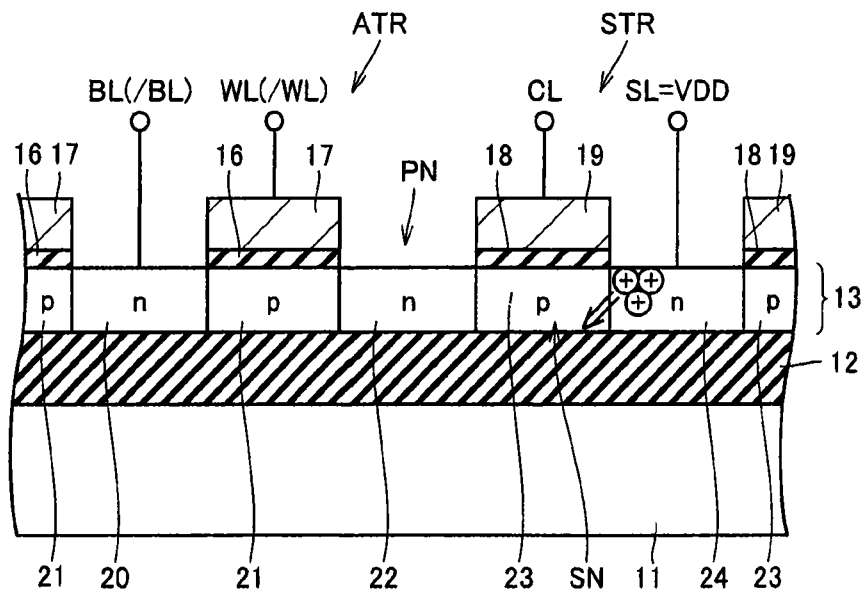


图 10A

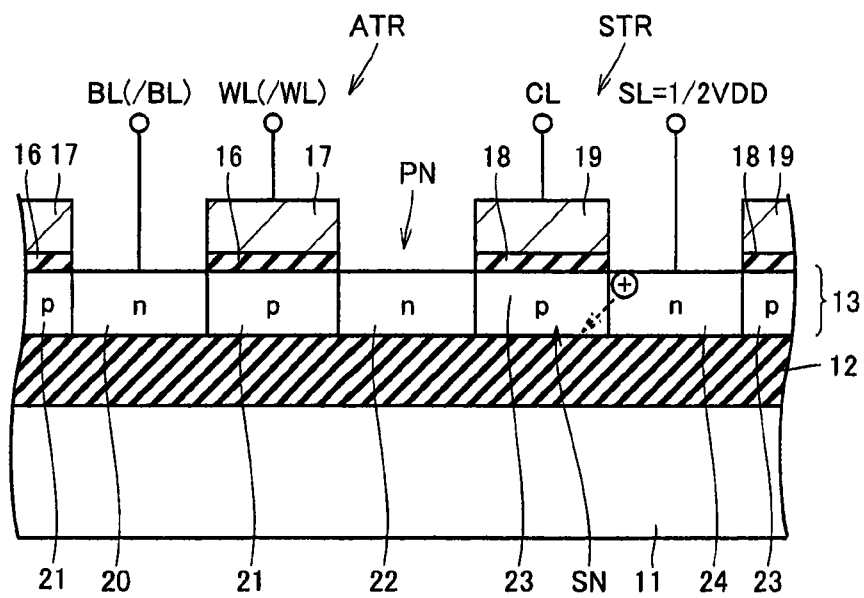


图 10B

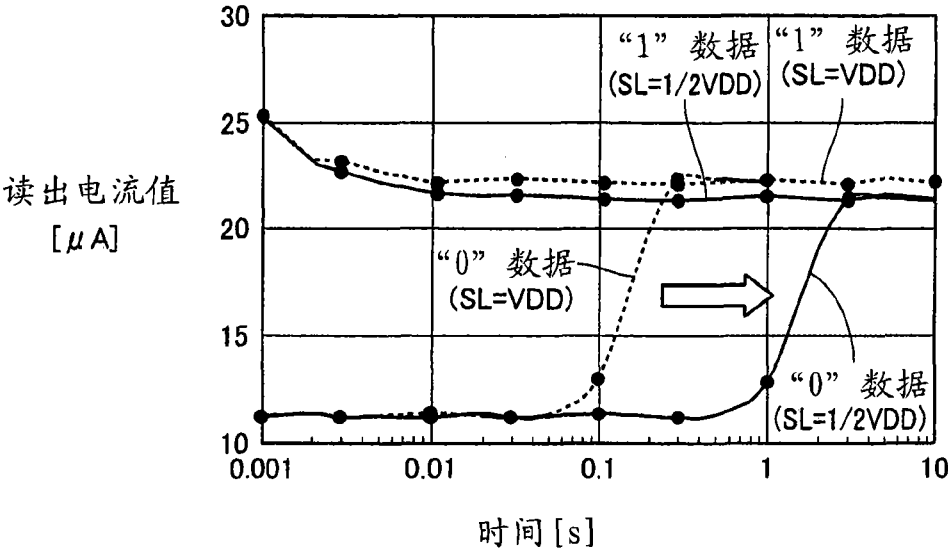


图 11

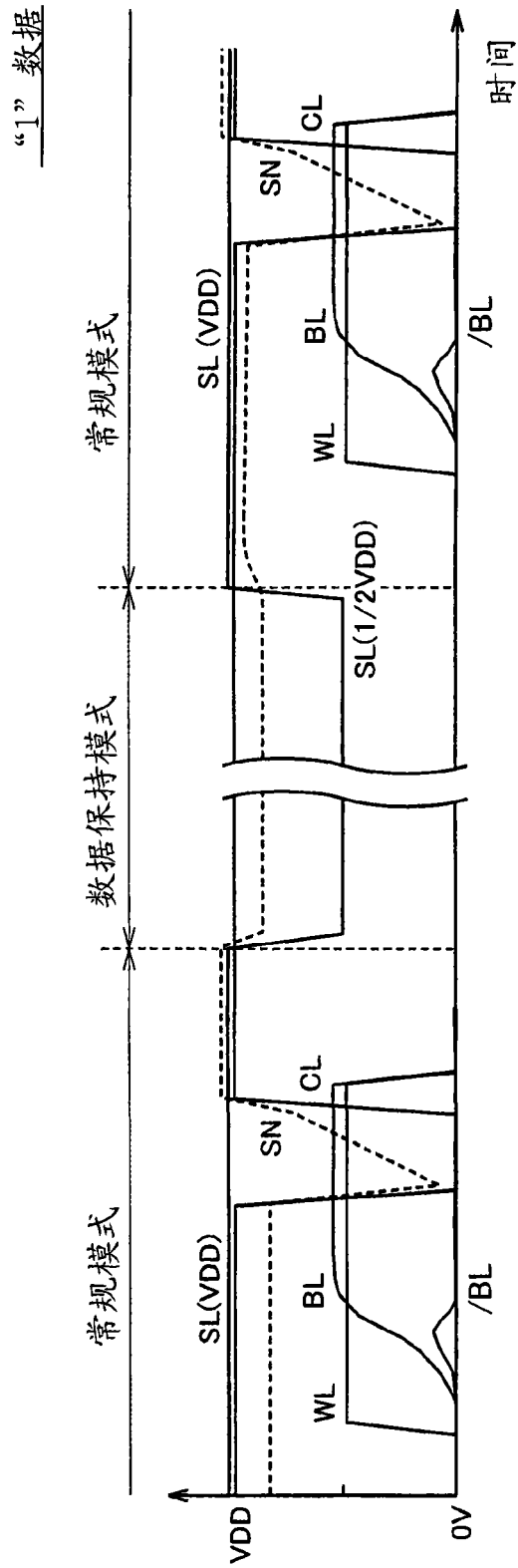


图 12A

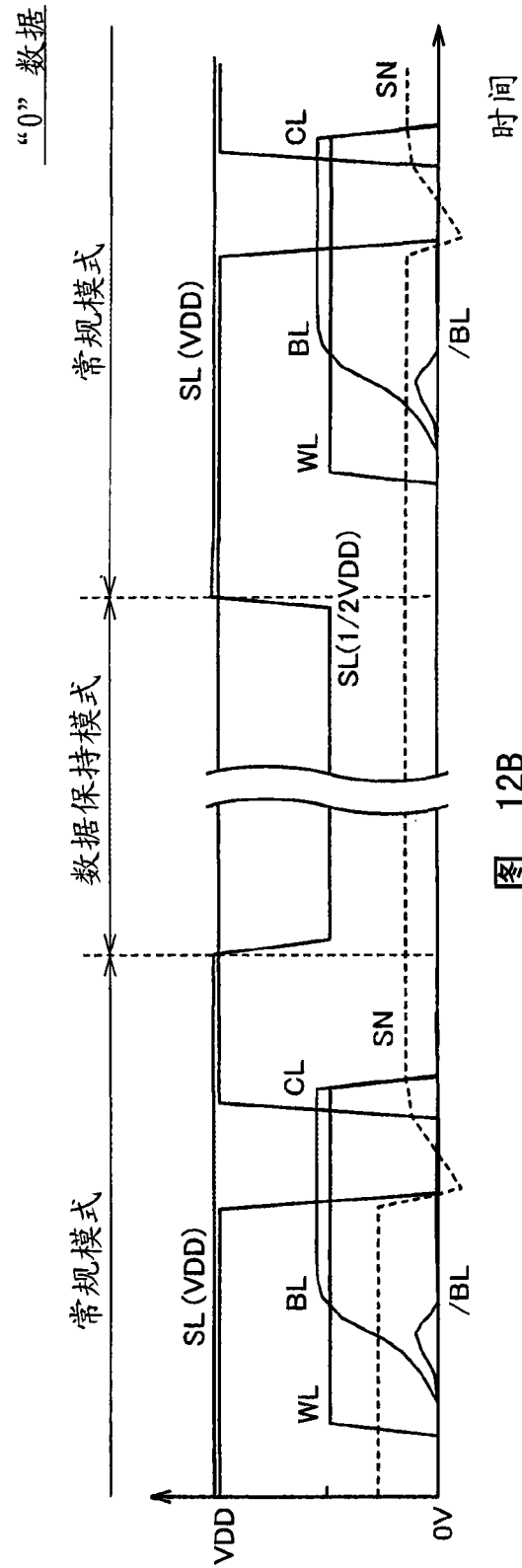


图 12B

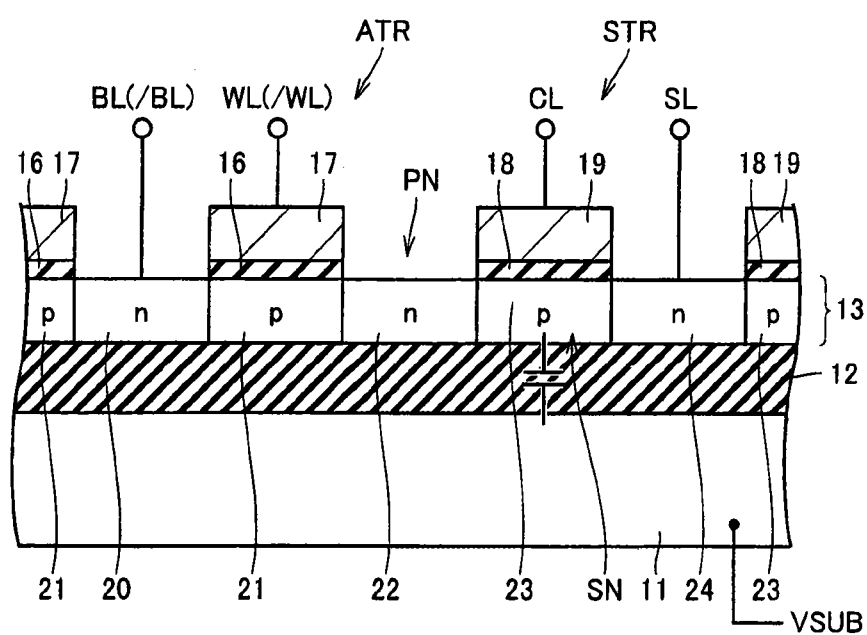


图 13