

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7429686号  
(P7429686)

(45)発行日 令和6年2月8日(2024.2.8)

(24)登録日 令和6年1月31日(2024.1.31)

(51)国際特許分類		F I	
G 1 1 C	7/12 (2006.01)	G 1 1 C	7/12
G 1 1 C	5/02 (2006.01)	G 1 1 C	5/02 1 0 0
G 1 1 C	7/06 (2006.01)	G 1 1 C	7/06 1 3 0
G 1 1 C	11/4091(2006.01)	G 1 1 C	11/4091 1 6 0
H 0 1 L	29/786(2006.01)	H 0 1 L	29/78 6 1 3 B
請求項の数 10 (全71頁) 最終頁に続く			
(21)出願番号	特願2021-510571(P2021-510571)	(73)特許権者	000153878
(86)(22)出願日	令和2年3月16日(2020.3.16)		株式会社半導体エネルギー研究所
(86)国際出願番号	PCT/IB2020/052357		神奈川県厚木市長谷398番地
(87)国際公開番号	WO2020/201865	(72)発明者	齋藤 聖矢
(87)国際公開日	令和2年10月8日(2020.10.8)		神奈川県厚木市長谷398番地 株式会
審査請求日	令和5年2月9日(2023.2.9)		社半導体エネルギー研究所内
(31)優先権主張番号	特願2019-65473(P2019-65473)	(72)発明者	八窪 裕人
(32)優先日	平成31年3月29日(2019.3.29)		神奈川県厚木市長谷398番地 株式会
(33)優先権主張国・地域又は機関			社半導体エネルギー研究所内
	日本国(JP)	(72)発明者	大貫 達也
(31)優先権主張番号	特願2019-65475(P2019-65475)		神奈川県厚木市長谷398番地 株式会
(32)優先日	平成31年3月29日(2019.3.29)		社半導体エネルギー研究所内
(33)優先権主張国・地域又は機関		(72)発明者	長塚 修平
	日本国(JP)		神奈川県厚木市長谷398番地 株式会
(31)優先権主張番号	特願2019-73992(P2019-73992)		社半導体エネルギー研究所内
	最終頁に続く		最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

シリコン基板をチャネルに用いたトランジスタを複数有する駆動回路と、  
金属酸化物をチャネルに用いたトランジスタを複数有する第1トランジスタ層および第2トランジスタ層と、を有し、  
前記第1トランジスタ層および前記第2トランジスタ層は、前記シリコン基板上に設けられ、  
前記第1トランジスタ層は、第1トランジスタおよび第1キャパシタを有する第1メモリセルを有し、  
前記第1トランジスタは、第1ローカルビット線に電氣的に接続され、  
前記第2トランジスタ層は、ゲートが前記第1ローカルビット線に電氣的に接続された第2トランジスタと、前記第2トランジスタに電氣的に接続された第1補正回路と、を有し、  
前記第1補正回路は、第1グローバルビット線に電氣的に接続され、  
前記第1補正回路は、前記第2トランジスタのしきい値電圧に応じた電圧を前記第2トランジスタのゲートに保持させる機能を有する、半導体装置。

【請求項2】

シリコン基板をチャネルに用いたトランジスタを複数有する駆動回路と、  
複数のトランジスタ層が積層して設けられる素子層と、を有し、  
前記素子層は、金属酸化物をチャネルに用いたトランジスタを複数有する第1トランジ

スタ層および第 2 トランジスタ層と、を有し、

前記第 1 トランジスタ層および前記第 2 トランジスタ層は、前記シリコン基板上に設けられ、

前記第 1 トランジスタ層は、第 1 トランジスタおよび第 1 キャパシタを有する第 1 メモリセルを有し、

前記第 1 トランジスタは、第 1 ローカルビット線に電氣的に接続され、

前記第 2 トランジスタ層は、ゲートが前記第 1 ローカルビット線に電氣的に接続された第 2 トランジスタと、前記第 2 トランジスタに電氣的に接続された第 1 補正回路と、を有し、

前記第 1 補正回路は、第 1 グローバルビット線に電氣的に接続され、

前記第 1 補正回路は、前記第 2 トランジスタのしきい値電圧に応じた電圧を前記第 2 トランジスタのゲートに保持させる機能を有する、半導体装置。

【請求項 3】

請求項 1 または 2 において、

前記第 1 ローカルビット線は、前記シリコン基板の表面に対して垂直方向または概略垂直方向に設けられる、半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、

前記第 1 グローバルビット線は、前記第 1 補正回路と前記駆動回路とを電氣的に接続する機能を有する、半導体装置。

【請求項 5】

請求項 4 において、

前記第 1 グローバルビット線は、前記シリコン基板の表面に対して垂直方向または概略垂直方向に設けられる、半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれかーにおいて、

前記金属酸化物は、I n と、G a と、Z n と、を含む、半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれかーにおいて、

前記第 1 補正回路は、第 3 トランジスタ乃至第 5 トランジスタを有し、

前記第 3 トランジスタは、前記第 2 トランジスタのゲートと、前記第 2 トランジスタのソースまたはドレインの一方と、の間の導通状態を制御する機能を有し、

前記第 4 トランジスタは、前記第 2 トランジスタのソースまたはドレインの他方と、前記第 2 トランジスタに電流を流すための電位が与えられた配線と、の間の導通状態を制御する機能を有し、

前記第 5 トランジスタは、前記第 2 トランジスタのソースまたはドレインの一方と、前記第 1 グローバルビット線と、の間の導通状態を制御する機能を有する、半導体装置。

【請求項 8】

請求項 7 において、

前記第 1 トランジスタは、補正動作を行う期間において、非導通状態にされる、半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれかーにおいて、

第 2 メモリセルと、第 2 ローカルビット線と、第 2 補正回路と、第 2 グローバルビット線と、第 6 トランジスタと、第 7 トランジスタと、第 8 トランジスタと、を有し、

前記駆動回路は、ビット線対として機能する第 1 ビット線および第 2 ビット線に電氣的に接続されたセンスアンプを有し、

前記第 2 メモリセルは、前記第 2 ローカルビット線に電氣的に接続され、

前記第 2 ローカルビット線は、前記第 2 補正回路に電氣的に接続され、

前記第 2 補正回路は、前記第 2 グローバルビット線に電氣的に接続され、

10

20

30

40

50

前記第 6 トランジスタは、前記第 1 ビット線と、前記第 1 グローバルビット線と、の間の導通状態を制御する機能を有し、

前記第 7 トランジスタは、前記第 2 ビット線と、前記第 2 グローバルビット線と、の間の導通状態を制御する機能を有し、

前記第 8 トランジスタは、前記第 1 グローバルビット線と、前記第 2 グローバルビット線と、の間の導通状態を制御する機能、を有する半導体装置。

【請求項 10】

請求項 9 において、

前記第 6 トランジスタ乃至前記第 8 トランジスタは、金属酸化物をチャネルに用いたトランジスタである、半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本明細書は、半導体装置等について説明する。

【0002】

本明細書において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置および電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

20

【背景技術】

【0003】

トランジスタに適用可能な半導体として金属酸化物が注目されている。“IGZO”、“イグゾー”などと呼ばれる In - Ga - Zn 酸化物は、多元系金属酸化物の代表的なものである。IGZO に関する研究において、単結晶でも非晶質でもない、CAAC (c - axis aligned crystalline) 構造、および nc (nanocrystalline) 構造が見出された（例えば、非特許文献 1）。

【0004】

チャネル形成領域に金属酸化物半導体を有するトランジスタ（以下、「酸化物半導体トランジスタ」、または「OSTランジスタ」と呼ぶ場合がある。）は、極小オフ電流であることが報告されている（例えば、非特許文献 1、2）。OSTランジスタが用いられた様々な半導体装置が作製されている（例えば、非特許文献 3、4）。

30

【0005】

OSTランジスタの製造プロセスは、従来の Si トランジスタとの CMOS プロセスに組み込むことができ、OSTランジスタは Si トランジスタに積層することが可能である。例えば特許文献 1 では、OSTランジスタを有するメモリセルアレイの層を Si トランジスタが設けられた基板上に複数積層した構成について開示している。

【先行技術文献】

【特許文献】

40

【0006】

【文献】米国特許出願公開第 2012 / 0063208 号明細書

【非特許文献】

【0007】

【文献】S. Yamazaki et al., “Properties of crystalline In - Ga - Zn - oxide semiconductor and its transistor characteristics,” Jpn. J. Appl. Phys., vol. 53, 04ED18 (2014).

【文献】K. Kato et al., “Evaluation of Off - State Current Characteristics of Transistor Usi

50

ng Oxide Semiconductor Material, Indium - Gallium - Zinc Oxide, " Jpn. J. Appl. Phys., vol. 51, 021201 (2012).

【文献】S. Amano et al., "Low Power LC Display Using In - Ga - Zn - Oxide TFTs Based on Variable Frame Frequency, " SID Symp. Dig. Papers, vol. 41, pp. 626 - 629 (2010).

【文献】T. Ishizu et al., "Embedded Oxide Semiconductor Memories: A Key Enabler for Low - Power ULSI, " ECS Tran., vol. 79, pp. 149 - 156 (2017).

10

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0008】

本発明の一形態は、新規な構成の半導体装置等を提供することを課題の一とする。または本発明の一形態は、極小オフ電流を利用した記憶装置として機能する半導体装置において、製造コストの低減を図ることができる、新規な構成の半導体装置等を提供することを課題の一とする。または本発明の一形態は、極小オフ電流を利用した記憶装置として機能する半導体装置において低消費電力に優れた、新規な構成の半導体装置等を提供することを課題の一とする。または本発明の一形態は、極小オフ電流を利用した記憶装置として機能する半導体装置において、装置の小型化を図ることができる、新規な構成の半導体装置等を提供することを課題の一とする。または本発明の一形態は、極小オフ電流を利用した記憶装置として機能する半導体装置において、読みだされるデータの信頼性に優れた、新規な構成の半導体装置等を提供することを課題の一とする。

20

#### 【0009】

複数の課題の記載は、互いの課題の存在を妨げるものではない。本発明の一形態は、例示した全ての課題を解決する必要はない。また、列記した以外の課題が、本明細書の記載から、自ずと明らかとなり、このような課題も、本発明の一形態の課題となり得る。

#### 【課題を解決するための手段】

#### 【0010】

30

本発明の一形態は、シリコン基板をチャンネルに用いたトランジスタを複数有する駆動回路と、金属酸化物をチャンネルに用いたトランジスタを複数有する第1トランジスタ層および第2トランジスタ層と、を有し、第1トランジスタ層および第2トランジスタ層は、シリコン基板上に設けられ第1トランジスタ層は、第1トランジスタおよび第1キャパシタを有する第1メモリセルを有し、第1トランジスタは、第1ローカルビット線に電氣的に接続され、第2トランジスタ層は、ゲートが第1ローカルビット線に電氣的に接続された第2トランジスタと、第2トランジスタに電氣的に接続された第1補正回路と、を有し、第1補正回路は、第1グローバルビット線に電氣的に接続され、第1補正回路は、第2トランジスタのしきい値電圧に応じた電圧を第2トランジスタのゲートに保持させる機能を有する、半導体装置である。

40

#### 【0011】

本発明の一形態は、シリコン基板をチャンネルに用いたトランジスタを複数有する駆動回路と、複数のトランジスタ層が積層して設けられる素子層と、を有し、素子層は、金属酸化物をチャンネルに用いたトランジスタを複数有する第1トランジスタ層および第2トランジスタ層と、を有し、第1トランジスタ層および第2トランジスタ層は、シリコン基板上に設けられ、第1トランジスタ層は、第1トランジスタおよび第1キャパシタを有する第1メモリセルを有し、第1トランジスタは、第1ローカルビット線に電氣的に接続され、第2トランジスタ層は、ゲートが第1ローカルビット線に電氣的に接続された第2トランジスタと、第2トランジスタに電氣的に接続された第1補正回路と、を有し、第1補正回路は、第1グローバルビット線に電氣的に接続され、第1補正回路は、第2トランジスタ

50

のしきい値電圧に応じた電圧を第2トランジスタのゲートに保持させる機能を有する、半導体装置である。

【0012】

本発明の一態様において、第1ローカルビット線は、シリコン基板の表面に対して垂直方向または概略垂直方向に設けられる、半導体装置が好ましい。

【0013】

本発明の一態様において、第1グローバルビット線は、第1補正回路と駆動回路とを電氣的に接続する機能を有する、半導体装置が好ましい。

【0014】

本発明の一態様において、第1グローバルビット線は、シリコン基板の表面に対して垂直方向または概略垂直方向に設けられる、半導体装置が好ましい。

10

【0015】

本発明の一態様において、金属酸化物は、Inと、Gaと、Znと、を含む、半導体装置が好ましい。

【0016】

本発明の一態様において、第1補正回路は、第3トランジスタ乃至第5トランジスタを有し、第3トランジスタは、第2トランジスタのゲートと、第2トランジスタのソースまたはドレインの一方と、の間の導通状態を制御する機能を有し、第4トランジスタは、第2トランジスタのソースまたはドレインの他方と、第2トランジスタに電流を流すための電位が与えられた配線と、の間の導通状態を制御する機能を有し、第5トランジスタは、第2トランジスタのソースまたはドレインの一方と、第1グローバルビット線と、の間の導通状態を制御する機能を有する、半導体装置が好ましい。

20

【0017】

本発明の一態様において、第1トランジスタは、補正動作を行う期間において、非導通状態にされる、半導体装置が好ましい。

【0018】

本発明の一態様において、第2メモリセルと、第2ローカルビット線と、第2補正回路と、第2グローバルビット線と、第5トランジスタと、第6トランジスタと、第7トランジスタと、を有し、駆動回路は、ビット線対として機能する第1ビット線および第2ビット線に電氣的に接続されたセンスアンプを有し、第2メモリセルは、第2ローカルビット線に電氣的に接続され、第2ローカルビット線は、第2補正回路に電氣的に接続され、第2補正回路は、第2グローバルビット線に電氣的に接続され、第5トランジスタは、第1ビット線と、第1グローバルビット線と、の間の導通状態を制御する機能を有し、第6トランジスタは、第2ビット線と、第2グローバルビット線と、の間の導通状態を制御する機能を有し、第7トランジスタは、第1グローバルビット線と、第2グローバルビット線と、の間の導通状態を制御する機能、を有する半導体装置が好ましい。

30

【0019】

本発明の一態様において、第5トランジスタ乃至第7トランジスタは、金属酸化物をチャネルに用いたトランジスタである、半導体装置が好ましい。

【0020】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

40

【発明の効果】

【0021】

本発明の一形態は、新規な構成の半導体装置等を提供することができる。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において、製造コストの低減を図ることができる、新規な構成の半導体装置等を提供することができる。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において低消費電力に優れた、新規な構成の半導体装置等を提供することができる。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において

50

、装置の小型化を図ることができる、新規な構成の半導体装置等を提供することができる。または本発明の一形態は、極小オフ電流を利用した記憶装置として機能する半導体装置において、読みだされるデータの信頼性に優れた、新規な構成の半導体装置等を提供することができる。

【 0 0 2 2 】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

10

【 0 0 2 3 】

図 1 は、半導体装置の構成例を示すブロック図である。

図 2 A、図 2 B は、半導体装置の構成例を示すブロック図および回路図である。

図 3 A、図 3 B、図 3 C は、半導体装置の動作を説明するための図である。

図 4 A、図 4 B は、半導体装置の構成例を示すフロー図および回路図である。

図 5 A、図 5 B は、半導体装置の構成例を示すフロー図および回路図である。

図 6 A、図 6 B は、半導体装置の構成例を示す回路図である。

図 7 は、半導体装置の構成例を示すフロー図である。

図 8 A、図 8 B は、半導体装置の構成例を示すフロー図および回路図である。

図 9 A、図 9 B は、半導体装置の構成例を示すフロー図および回路図である。

20

図 1 0 A、図 1 0 B は、半導体装置の構成例を示す模式図である。

図 1 1 は、半導体装置の構成例を示す模式図である。

図 1 2 A、図 1 2 B は、半導体装置の構成例を示す回路図である。

図 1 3 A、図 1 3 B は、半導体装置の構成例を示すブロック図および回路図である。

図 1 4 A、図 1 4 B は、半導体装置の構成例を示すブロック図である。

図 1 5 A、図 1 5 B、図 1 5 C、図 1 5 D は、半導体装置の構成例を説明するための回路図である。

図 1 6 A、図 1 6 B は、半導体装置の構成例を説明するための回路図である。

図 1 7 は、半導体装置の構成例を説明するための回路図である。

図 1 8 は、半導体装置の構成例を説明するためのタイミングチャートである。

30

図 1 9 A、図 1 9 B、図 1 9 C は、半導体装置の構成例を説明するための回路図およびタイミングチャートである。

図 2 0 は、半導体装置の構成例を説明するためのタイミングチャートである。

図 2 1 は、半導体装置の構成例を示す断面模式図である。

図 2 2 A、図 2 2 B は、半導体装置の構成例を示す断面模式図である。

図 2 3 A、図 2 3 B、図 2 3 C は、半導体装置の構成例を示す断面模式図である。

図 2 4 は、半導体装置の構成例を示す断面模式図である。

図 2 5 は、半導体装置の構成例を示す断面模式図である。

図 2 6 A、図 2 6 B、図 2 6 C は、半導体装置の構成例を示す上面図および断面模式図である。

40

図 2 7 A、図 2 7 B、図 2 7 C、図 2 7 D は、半導体装置の構成例を説明するための上面図である。

図 2 8 A、図 2 8 B、図 2 8 C は、I G Z O の結晶構造の分類を説明する図、石英ガラスの X R D スペクトルを説明する図、結晶性 I G Z O の X R D スペクトルを説明する図である。

図 2 9 は、半導体装置の構成例を説明するブロック図である。

図 3 0 は、半導体装置の構成例を示す概念図である。

図 3 1 A、図 3 1 B は、電子部品の一例を説明する模式図である。

図 3 2 は、電子機器の例を示す図である。

【発明を実施するための形態】

50

## 【 0 0 2 4 】

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

## 【 0 0 2 5 】

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲 10 において「第 2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

## 【 0 0 2 6 】

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

## 【 0 0 2 7 】

本明細書において、例えば、電源電位  $VDD$  を、電位  $VDD$ 、 $VDD$  等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線 20 等）についても同様である。

## 【 0 0 2 8 】

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“\_\_1”、“\_\_2”、“[n]”、“[m,n]”等の識別用の符号を付記して記載する場合がある。例えば、2 番目の配線  $GL$  を配線  $GL[2]$  と記載する。

## 【 0 0 2 9 】

(実施の形態 1)

本発明の一態様である半導体装置の構成例について、図 1 乃至図 18 を参照して説明する。

## 【 0 0 3 0 】

なお半導体装置は半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置である。本実施の形態で説明する半導体装置は、極小オフ電流のトランジスタを利用した記憶装置として機能させることができる。

## 【 0 0 3 1 】

図 1 には、半導体装置 10 の断面構造の模式図を説明するためのブロック図を示す。

## 【 0 0 3 2 】

半導体装置 10 は、シリコン基板 50 上に複数の素子層 20\_\_1 乃至 20\_\_M (M は自然数) を有する。素子層 20\_\_1 乃至 20\_\_M は、それぞれトランジスタ層 30 およびトランジスタ層 40 を有する。トランジスタ層 40 は、複数のトランジスタ層 41\_\_1 乃至 41\_\_k (k は 2 以上の自然数) で構成される。

## 【 0 0 3 3 】

図 1 に示す模式図は、各構成の配置を説明するため、z 軸方向を規定している。z 軸方向は、シリコン基板 50 の面に垂直方向または概略垂直方向のことをいう。なお「概略垂直」とは、85 度以上 95 度以下の角度で配置されている状態をいう。なお理解を容易にするため、z 軸方向を垂直方向と呼ぶ場合がある。なおシリコン基板 50 の面は、z 軸方向に垂直方向または概略垂直方向に規定された x 軸、y 軸で形成される面に対応する。なお理解を容易にするため、x 軸方向を奥行き方向、y 軸方向を水平方向と呼ぶ場合がある。

## 【 0 0 3 4 】

複数のトランジスタ層 41\_\_1 乃至 41\_\_k で構成されるトランジスタ層 40 は、各ト

10

20

30

40

50

ランジスタ層において、複数のメモリセル（図示せず）を有する。各メモリセルは、ランジスタおよびキャパシタを有する。なおキャパシタは、容量素子と呼ぶ場合がある。なお素子層は、キャパシタやランジスタなどの素子が設けられる層をいい、導電体、半導体、絶縁体等の部材を有する層である。

#### 【0035】

なお各ランジスタ層41\_\_1乃至41\_\_kが有するメモリセルは、チャネル形成領域に酸化物半導体を有するランジスタ（以下、OSランジスタという）をメモリに用いたDOSRAM（Dynamic Oxide Semiconductor Random Access Memory）と呼ぶことができる。一つのランジスタ、及び一つの容量で構成することができるため、メモリの高密度化を実現できる。また、OSランジスタを用いることで、データの保持期間を大きくすることができる。

10

#### 【0036】

本発明の一態様の構成では、OSランジスタを有するメモリセルを用いる構成とすることで、オフ時にソースとドレイン間を流れるリーク電流（以下、オフ電流）が極めて低いことを利用して、所望の電圧に応じた電荷をソースまたはドレインの他方にあるキャパシタに保持させることができる。つまり、メモリセルにおいて、一旦書き込んだデータを長時間保持することができる。そのため、データリフレッシュの頻度を下げ、低消費電力化を図ることができる。

#### 【0037】

加えてOSランジスタを用いたメモリセルでは、電荷の充電または放電することによってデータの書き換えおよび読み出しが可能となるため、実質的に無制限回のデータの書き込みおよび読み出しが可能である。OSランジスタを用いたメモリセルは、磁気メモリあるいは抵抗変化型メモリなどのように原子レベルでの構造変化を伴わないため、書き換え耐性に優れている。またOSランジスタを用いたメモリセルは、フラッシュメモリのように繰り返し書き換え動作でも電子捕獲中心の増加による不安定性が認められない。

20

#### 【0038】

またOSランジスタを用いたメモリセルは、チャネル形成領域にシリコンを有するランジスタ（以下、Siランジスタ）を有するシリコン基板上などに自由に配置可能であるため、集積化を容易に行うことができる。またOSランジスタは、Siランジスタと同様の製造装置を用いて作製することが可能であるため、低コストで作製可能である。

30

#### 【0039】

またOSランジスタは、ゲート電極、ソース電極およびドレイン電極に加えて、バックゲート電極を含むと、4端子の半導体素子とすることができる。ゲート電極またはバックゲート電極に与える電圧に応じて、ソースとドレインとの間を流れる信号の入出力が独立制御可能な電気回路網で構成することができる。そのため、LSIと同一思考で回路設計を行うことができる。加えてOSランジスタは、高温環境下において、Siランジスタよりも優れた電気特性を有する。具体的には、125℃以上150℃以下といった高温下においてもオン電流とオフ電流の比が大きいため、良好なスイッチング動作を行うことができる。

#### 【0040】

ランジスタ層30は、ランジスタ層40が有する複数のメモリセルの一つから選択されたメモリセルに対して、データの書き込みおよび読み出しを行うことができる機能を有する。

40

#### 【0041】

ランジスタ層30は、データの読出しを行うための読出し用のランジスタと、データの書き込み、データの読出し、および読み出されるデータを補正する機能を有する補正回路と、を有する。読出し用のランジスタのゲートは、複数のメモリセルの一つに接続されたローカルビット線に接続される。当該構成とすることで、読出し用のランジスタは、データの読み出し時にローカルビット線のわずかな電位差を増幅してグローバルビット線GBLに出力することができる。補正回路は、読出し用のランジスタのゲートに当

50



該トランジスタのしきい値電圧に応じた電位を保持させる構成を有する。当該構成とすることで、読出し用のトランジスタは、メモリセルから読みだされるデータのばらつきを低減することができる。

【 0 0 4 2 】

なおローカルビット線は、メモリセルに直接接続されるビット線である。グローバルビット線 G B L は、複数のローカルビット線のいずれかーを選択することで補正回路を介してメモリセルに電氣的に接続されるビット線である。グローバルビット線 G B L またはローカルビット線に与えられるデータ信号は、メモリセルに書きまれる信号、またはメモリセルから読み出される信号に相当する。データ信号は、データ 1 またはデータ 0 に対応するハイレベルまたはローレベルの電位を有する二値の信号として説明する。なおデータ信号は、3 値以上の多値でもよい。

10

【 0 0 4 3 】

トランジスタ層 4 0 は、図 1 に図示するように、z 軸方向においてトランジスタ層 3 0 と積層して設けられる。各素子層 2 0 \_ 1 乃至 2 0 \_ M が有するトランジスタ層 4 0 は、トランジスタ層 3 0 が有する補正回路で選択される。トランジスタ層 3 0 が有する補正回路は、トランジスタ層 3 0 が有する読出し用のトランジスタに流れる電流量の違いを利用することで、メモリセルに書き込まれたデータ信号をグローバルビット線 G B L の電位の変化に変換してシリコン基板 5 0 が有する駆動回路に出力する機能を有する。またトランジスタ層 3 0 は、シリコン基板 5 0 が有する駆動回路が出力するデータ信号を補正回路で選択されたローカルビット線に与える機能を有する。

20

【 0 0 4 4 】

シリコン基板 5 0 は、トランジスタ層 3 0 で選択されたメモリセルへのデータの書き込みまたは読み出しをグローバルビット線 G B L およびローカルビット線を介して行うための駆動回路を有する。駆動回路は、シリコン基板 5 0 をチャネルに用いた複数の S i トランジスタを有する。

【 0 0 4 5 】

本発明の一形態は、各素子層に設けられるトランジスタとして、オフ電流が極めて低い O S トランジスタを用いる。そのため、メモリセルに保持するデータのリフレッシュ頻度を低減することができ、低消費電力化が図られた半導体装置とすることができる。O S トランジスタは、積層して設けることができ、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一形態は、メモリセルを構成するトランジスタを平面方向でなく、垂直方向に配置してメモリ密度の向上を図ることができ、装置の小型化を図ることができる。また O S トランジスタは、高温環境下においても S i トランジスタと比べて電気特性の変動が小さいため、信頼性に優れた記憶装置として機能する半導体装置とすることができる。加えて本発明の一態様は、データの読出し用のトランジスタのしきい値電圧を補正する構成とすることで、読みだされるデータの信頼性に優れた記憶装置として機能する半導体装置とすることができる。

30

【 0 0 4 6 】

次いで図 2 A には、図 1 の素子層 2 0 \_ 1 乃至 2 0 \_ M のいずれかーに相当する素子層 2 0 のブロック図を示す。

40

【 0 0 4 7 】

図 1 でも図示するように本発明の一態様における素子層 2 0 では、z 軸方向でトランジスタ層 3 0 上に、メモリセルを有する複数のトランジスタ層 4 0 を備える構成とする。当該構成とすることで、トランジスタ層 3 0 とトランジスタ層 4 0 との距離を近くすることができる。ローカルビット線が短くなることで、寄生容量を低減することができる。複数のトランジスタ層 4 1 \_ 1 乃至 4 1 \_ k を垂直方向に繰り返し同じ製造工程を用いて作製することで、製造コストの低減を図ることができる。

【 0 0 4 8 】

図 2 B は、図 2 A に図示する素子層 2 0 における各構成を回路記号で示した図である。

【 0 0 4 9 】

50

トランジスタ層 3 0 は、読出し用のトランジスタ 3 1 と、補正回路 3 5 を有する。補正回路 3 5 は、トランジスタ 3 2、トランジスタ 3 3、およびトランジスタ 3 4 を有する。トランジスタ層 4 1 \_ 1 乃至 4 1 \_ k はそれぞれ、複数のメモリセル 4 2 を有する。メモリセル 4 2 は、トランジスタ 4 3 およびキャパシタ 4 4 を有する。トランジスタ 4 3 は、ゲートに接続されたワード線 W L の制御に応じて、ローカルビット線 L B L とキャパシタ 4 4 との間の導通状態（オン）又は非導通状態（オフ）を切り替えるスイッチとして機能する。ローカルビット線 L B L は、トランジスタ 3 1 のゲートに接続される。ワード線 W L は、ワード線 W L に与えられるワード信号（信号 W L という場合がある）によってトランジスタ 4 3 のオンまたはオフを切り替える。キャパシタ 4 4 は、固定電位を与える配線 C S L が接続される。

10

#### 【 0 0 5 0 】

補正回路 3 5 が有する各トランジスタは、図 2 B に図示するように接続される。具体的には、トランジスタ 3 3 のソースまたはドレインの一方は、トランジスタ 3 1 のゲートに接続される。トランジスタ 3 3 のソースまたはドレインの他方は、トランジスタ 3 4 のソースまたはドレインの一方およびトランジスタ 3 1 のソースまたはドレインの一方に接続される。トランジスタ 3 3 のソースまたはドレインの一方は、トランジスタ 3 1 のソースまたはドレインの他方に接続される。トランジスタ 3 2 のソースまたはドレインの他方は、配線 S L に接続される。トランジスタ 3 4 のソースまたはドレインの他方は、グローバルビット線 G B L に接続される。トランジスタ 3 2、3 3、および 3 4 は、ゲートに接続された信号 R E、W E、および M U X の制御に応じて、ソースとドレインとの間の導通状態又は非導通状態を切り替えるスイッチとして機能する。信号 R E、W E、および M U X は、それぞれスイッチとして機能するトランジスタのオンまたはオフを切り替えるための信号であり、一例としては信号が H レベルでオン、L レベルでオフとすることができる。

20

#### 【 0 0 5 1 】

トランジスタ 4 3 は、上述した O S トランジスタである。またキャパシタ 4 4 は、電極となる導電体の間に絶縁体を挟んだ構成となる。なお電極を構成する導電体としては、金属の他、導電性を付与した半導体層などを用いることができる。またキャパシタ 4 4 の配置については、詳細は後述するが、トランジスタ 4 3 の上方または下方の重なる位置に配置する構成の他、トランジスタ 4 3 を構成する半導体層あるいは電極等の一部をキャパシタ 4 4 の一方の電極として用いることができる。

30

#### 【 0 0 5 2 】

トランジスタ 3 1 は、ローカルビット線 L B L の電位に応じて、トランジスタ 3 1 のソースとドレインとの間に電流を流す機能を有する。トランジスタ 3 1 のゲートの電位がトランジスタ 3 1 のしきい値電圧を超えることで、ソースとドレインとの間に電流を流れる。

#### 【 0 0 5 3 】

補正回路 3 5 は、トランジスタ 3 1 のソースとドレインとの間に流れる電流を、配線 S L とグローバルビット線 G B L との間で流すか否かを制御する機能、あるいはグローバルビット線 G B L の電位をローカルビット線 L B L に伝える機能を有する。あるいは、トランジスタ 3 1 のゲートの電位を、トランジスタ 3 1 のソースとドレインとの間を介して配線 S L に放電する機能を有する。

40

#### 【 0 0 5 4 】

トランジスタ層 3 0 が有するトランジスタ 3 1 乃至 3 4 も、トランジスタ 4 3 と同様に、O S トランジスタで構成されることが好ましい。O S トランジスタを用いた素子層 2 0 を構成するトランジスタ層 3 0 および 4 0 は、S i トランジスタを有するシリコン基板上に積層して配置可能であるため、集積化を容易に行うことができる。

#### 【 0 0 5 5 】

図 3 A では、半導体装置 1 0 の動作を説明するための図である。図 3 A に図示するように、半導体装置 1 0 の動作は、データをメモリセルに書き込むための動作を行う期間 1 1 0、データを読み出すための補正動作を行う期間 1 2 0、データを読み出す動作を行う期間 1 3 0 に大別することができる。

50

## 【 0 0 5 6 】

なお半導体装置 1 0 の動作は、図 3 A に図示する順序に限らない。本発明の一態様では、補正回路 3 5 が有する各トランジスタをオフにすることで、トランジスタ 3 1 のゲートに保持された電位、例えばトランジスタ 3 1 のしきい値電圧に相当する電位を保持し続けることができる。そのため、例えば図 3 B に図示するように、期間 1 2 0 と期間 1 3 0 との間にしきい値電圧を保持したまま動作を停止する期間 1 4 0 を設ける構成とすることができる。または図 3 C に図示するように、例えば期間 1 2 0 を期間 1 2 0 \_ 1 および期間 1 2 0 \_ 2 のように複数回行い、期間 1 4 0 と繰り返し行う動作とすることで、トランジスタ 3 1 のゲートに保持された電位、例えばトランジスタ 3 1 のしきい値電圧に相当する電位のリフレッシュ動作を図ることができる。

10

## 【 0 0 5 7 】

図 4 A、図 4 B は、期間 1 1 0、すなわちデータ書き込み動作を説明するためのフローおよび回路図である。

## 【 0 0 5 8 】

データ書き込み動作では、まず図 4 A に図示するように、信号 W E および信号 M U X を H レベル、信号 W L および信号 R E を L レベルとする（動作 1 1 1）。ローカルビット線 L B L は、グローバルビット線 G B L に電氣的に接続された状態となる。ローカルビット線 L B L は、グローバルビット線 G B L によって充電される。グローバルビット線 G B L は、メモリセル 4 2 に書き込むデータに応じた電圧としておく。

## 【 0 0 5 9 】

次いで図 4 A に図示するように、信号 W L、信号 W E および信号 M U X を H レベル、信号 R E を L レベルとする（動作 1 1 2）。ローカルビット線 L B L は、キャパシタ 4 4 に電氣的に接続された状態となる。キャパシタ 4 4 は、ローカルビット線 L B L によって充電される。ローカルビット線 L B L は、メモリセル 4 2 に書き込むデータに応じた電圧としておく。そしてメモリセル 4 2 にデータが書き込まれる（動作 1 1 3）。動作 1 1 3 の模式的な動作について、図 4 B に図示する。図 4 B 中、破線矢印はメモリセル 4 2 に書き込むデータに応じた電圧 V D A T A を表している。また図 4 B 中、バツ印を付したトランジスタ記号はオフの状態を表し、バツ印を付していないトランジスタ記号はオンの状態を表す。

20

## 【 0 0 6 0 】

次いで図 4 A に図示するように、信号 W E および信号 M U X を H レベル、信号 W L、信号 R E を L レベルとする（動作 1 1 4）。メモリセル 4 2 のキャパシタ 4 4 では、電圧 V D A T A が保持される。次いで、図 4 A に図示するように、信号 W E、信号 M U X、信号 W L、および信号 R E を L レベルとし（動作 1 1 5）、データ書き込み動作が完了する。なお補正動作に移行する場合、動作 1 1 5 を省略することも可能である。

30

## 【 0 0 6 1 】

図 5 A、図 5 B、図 6 A、図 6 B、および図 7 は、期間 1 2 0、すなわち補正動作を説明するためのフローおよび回路図である。

## 【 0 0 6 2 】

補正動作では、まず図 5 A に図示するように、信号 W E および信号 M U X を H レベル、信号 W L および信号 R E を L レベルとする（動作 1 2 1）。ローカルビット線 L B L は、グローバルビット線 G B L に電氣的に接続された状態となる。ローカルビット線 L B L は、グローバルビット線 G B L によって充電される。グローバルビット線 G B L は、ローカルビット線 L B L のプリチャージ電圧 V p r e 1 としておく。そしてグローバルビット線 G B L およびローカルビット線 L B L がプリチャージされる（動作 1 2 2：G B L、L B L プリチャージ動作）。動作 1 2 2 の模式的な動作について、図 5 B に図示する。図 5 B 中、破線矢印はグローバルビット線 G B L およびローカルビット線 L B L に書き込むプリチャージ電圧 V p r e 1 を表している。また図 5 B 中、バツ印を付したトランジスタ記号はオフの状態を表し、バツ印を付していないトランジスタ記号はオンの状態を表す。

40

## 【 0 0 6 3 】

50

次いで図 5 A に図示するように、信号 W E および信号 R E を H レベル、信号 W L および信号 M U X を L レベルとする（動作 1 2 3）。ローカルビット線 L B L は、トランジスタ 3 3、トランジスタ 3 1、およびトランジスタ 3 2 を介して配線 S L に電氣的に接続された状態となる。ローカルビット線 L B L は、トランジスタ 3 3、トランジスタ 3 1、およびトランジスタ 3 2 を介して、プリチャージ電圧  $V_{pre1}$  に応じた電荷が放電される。そしてローカルビット線 L B L の電位が、トランジスタ 3 1 のしきい値電圧 ( $V_{th}$ ) となった時点で放電が止まり、しきい値電圧  $V_{th}$  がトランジスタ 3 1 のゲートに保持される（動作 1 2 4：しきい値補正）。配線 S L の電位は、ローカルビット線 L B L が放電することができる電位とすることが好ましい。動作 1 2 4 の模式的な動作について、図 6 A に図示する。図 6 A 中、破線矢印はローカルビット線 L B L から配線 S L に向けて放電によって流れる電流を表している。また図 6 A 中、バツ印を付したトランジスタ記号はオフの状態を表し、バツ印を付していないトランジスタ記号はオンの状態を表す。

10

#### 【 0 0 6 4 】

次いで図 5 A に図示するように、信号 W E、信号 R E、信号 W L および信号 M U X を L レベルとする（動作 1 2 5）。ローカルビット線 L B L は、配線 S L の電位を  $V_{SL}$ 、トランジスタ 3 1 のしきい値電圧を  $V_{th}$  とするとゲートソース間電圧  $V_{gs}$  が  $V_{th}$  となった状態 ( $V_{gs} = V_{th}$ )、すなわち ( $V_{th} + V_{SL}$ ) を保持した状態となる。動作 1 2 5 の模式的な動作について、図 6 B に図示する。図 6 B 中、バツ印を付したトランジスタ記号はオフの状態を表し、バツ印を付していないトランジスタ記号はオンの状態を表す。

20

#### 【 0 0 6 5 】

なお図 5 A に図示する動作のフローは、別の構成とすることもできる。例えば、図 7 のような動作とすることができ。図 7 に示すフローが図 5 A と異なる点として、配線 S L の電位を動作ごとに切り替える点である。具体的には、動作 1 2 1 に対応する動作 1 2 1 A、および動作 1 2 5 に対応する動作 1 2 5 A では、配線 S L を電位  $V_{SL0}$  としておく。そして動作 1 2 3 に対応する動作 1 2 3 A では、配線 S L を電位  $V_{SL0}$  よりも大きい電位  $V_{SL}$  とする。当該構成とすることで、ローカルビット線 L B L の電位が小さい場合であっても、配線 S L に電流を流すことができる。

#### 【 0 0 6 6 】

図 8 A、図 8 B は、期間 1 3 0、すなわちデータ読出し動作を説明するためのフローおよび回路図である。

30

#### 【 0 0 6 7 】

データ読出し動作では、まず図 8 A に図示するように、信号 W L を H レベル、信号 W E、信号 M U X および信号 R E を L レベルとする（動作 1 3 1）。当該動作によって、ローカルビット線 L B L は、ローカルビット線 L B L の電圧  $V_{SL} + V_{th}$  と、キャパシタ 4 4 の電圧  $V_{DATA}$  と、がチャージシェアリング（動作 1 3 2）、すなわち足しあわされた電荷に応じた電位 ( $V_{DATA} + V_{th} + V_{SL}$ ) となる。

#### 【 0 0 6 8 】

次いで図 8 A に図示するように、信号 W L、信号 R E および信号 M U X を H レベル、信号 W E を L レベルとする（動作 1 3 3）。トランジスタ 3 1 は、ゲートの電位 ( $V_{DATA} + V_{th} + V_{SL}$ ) に応じて電流 ( $I_{data}$ ) が流れる状態となる。グローバルビット線 G B L は、プリチャージ電圧  $V_{pre1}$  を与え、電氣的に浮遊状態（フローティング）としておく。グローバルビット線 G B L の電位は、トランジスタ 3 1 を流れる電流  $I_{data}$  に応じて  $V_{pre1}$  から変動する（動作 1 3 4）。この変動した電圧を読み出し電圧  $V_{read}$  として駆動回路で読み出す（動作 1 3 5）。動作 1 3 4 の模式的な動作について、図 8 B に図示する。図 8 B 中、バツ印を付したトランジスタ記号はオフの状態を表し、バツ印を付していないトランジスタ記号はオンの状態を表す。

40

#### 【 0 0 6 9 】

図 9 A、図 9 B は、期間 1 4 0、すなわち休止動作を説明するためのフローおよび回路図である。

50

## 【 0 0 7 0 】

休止動作では、まず図 9 A に図示するように、信号 W L、信号 W E、信号 M U X および信号 R E を L レベルとする（動作 1 4 1）。当該動作によって、ローカルビット線 L B L の電圧（ $V_{SL} + V_{th}$ ）と、キャパシタ 4 4 の電圧  $V_{DATA}$  と、が保持される（動作 1 4 2）。動作 1 4 2 の模式的な動作について、図 9 B に図示する。図 9 B 中、バツ印を付したトランジスタ記号はオフの状態を表し、バツ印を付していないトランジスタ記号はオン状態を表す。

## 【 0 0 7 1 】

図 1 0 A では、図 1 で図示した、素子層 2 0 \_\_ 1 乃至 2 0 \_\_ M をシリコン基板 5 0 上に配置した半導体装置 1 0 の斜視図を図示する。図 1 0 A では、垂直方向（z 軸方向）に加え、奥行き方向（x 軸方向）、水平方向（y 軸方向）を表している。

## 【 0 0 7 2 】

図 1 0 A では、トランジスタ層 4 1 \_\_ 1、4 1 \_\_ 2 が有するメモリセル 4 2 を点線で図示している。

## 【 0 0 7 3 】

図 1 0 A に図示するように本発明の一態様の半導体装置 1 0 は、O S トランジスタを有するトランジスタ層 3 0、4 0 を積層して設ける。そのため、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一態様の半導体装置 1 0 は、メモリセル 4 2 を有するトランジスタ層 4 0 を平面方向でなく、垂直方向に積層して配置してメモリ密度の向上を図ることができ、装置の小型化を図ることができる。

## 【 0 0 7 4 】

また図 1 0 B では、図 1 0 A に図示する素子層 2 0 \_\_ 1 乃至 2 0 \_\_ M が有する各構成を省略して図示し、シリコン基板 5 0 に設けられる各回路を示す図である。図 1 0 B では、シリコン基板 5 0 において S i トランジスタで構成される、コントロールロジック回路 6 1、行駆動回路 6 2、列駆動回路 6 3 および出力回路 6 4 を図示している。コントロールロジック回路 6 1、行駆動回路 6 2、列駆動回路 6 3 および出力回路 6 4 については、実施の形態 4 で詳述する。

## 【 0 0 7 5 】

また図 1 1 では、図 1 0 A に図示する半導体装置 1 0 のトランジスタ層 3 0、4 1 \_\_ 1、4 1 \_\_ 2 を抜き出して図示した図に相当する。図 1 1 では、トランジスタ層 4 1 \_\_ 1、4 1 \_\_ 2 におけるメモリセルが有するトランジスタ 4 3 およびキャパシタ 4 4、ローカルビット線 L B L、並びにワード線 W L を図示している。図 1 1 においてローカルビット線 L B L は、視認性を高めるため、破線で図示している。また図 1 1 では、z 軸方向において、各トランジスタ層を貫通して設けられるグローバルビット線 G B L を図示している。上述したようにグローバルビット線 G B L は、視認性を高めるため、他の線と比べて太線で図示している。

## 【 0 0 7 6 】

図 1 1 に図示するように半導体装置 1 0 において、メモリセルが有するトランジスタ 4 3 に接続されるローカルビット線 L B L、トランジスタ層 3 0 の補正回路およびシリコン基板 5 0 に接続されるグローバルビット線 G B L は、z 軸方向つまりシリコン基板 5 0 に垂直方向に設けられる。当該構成とすることで各メモリセルに接続されるローカルビット線 L B L を短くすることができる。そのため、ローカルビット線 L B L の寄生容量を大幅に削減できるため、メモリセルに保持するデータ信号を多値化しても電位を読み出すことができる。また本発明の一態様は、メモリセルに保持されたデータを電流として読み出すことができるため、多値化してもデータの読み出しを容易に行うことができる。

## 【 0 0 7 7 】

図 1 2 A、図 1 2 B では、図 2 B で図示するトランジスタ 3 1 および補正回路 3 5 の変形例を説明するための回路図を示す。図 2 B において、各トランジスタは、バックゲート電極がないトップゲート構造またはボトムゲート構造のトランジスタとして図示したが、

10

20

30

40

50

トランジスタの構造はこれに限らない。例えば、図 1 2 A に図示するように、バックゲート電極線 B G L に接続されたバックゲート電極を有するトランジスタ層 3 0 A としてもよい。図 1 2 A の構成とすることで、各トランジスタのしきい値電圧などの電気特性を外部より制御しやすくすることができる。

【 0 0 7 8 】

あるいは図 1 2 B に図示するように、ゲート電極に接続されたバックゲート電極を有するトランジスタ層 3 0 B としてもよい。図 1 2 B の構成とすることで、各トランジスタを流れる電流量を増やすことができる。

【 0 0 7 9 】

図 1 の半導体装置 1 0 は 1 種類のメモリセルを有するものとして説明したが、2 種類以上のメモリセルを有していてもよい。図 1 3 A は、半導体装置 1 0 の変形例に相当する半導体装置 1 0 A のブロック図を示す。

10

【 0 0 8 0 】

半導体装置 1 0 A は、トランジスタ層 2 0 とトランジスタ層 3 0 との間に異なる回路構成のメモリセルを有するトランジスタ層 9 0 が設けられる点が半導体装置 1 0 と異なる。

【 0 0 8 1 】

図 1 3 B は、トランジスタ層 9 0 が有するメモリセルの構成例を示す回路図である。メモリセル 9 1 は、トランジスタ 9 2 と、トランジスタ 9 3 と、キャパシタ 9 4 と、を有する。

【 0 0 8 2 】

20

トランジスタ 9 2 のソースまたはドレインの一方は、トランジスタ 9 3 のゲートと接続されている。トランジスタ 9 3 のゲートは、キャパシタ 9 4 の一方の電極と接続されている。トランジスタ 9 2 のソースまたはドレインの他方、およびトランジスタ 9 2 のソースまたはドレインの一方は、配線 B L 2 と接続されている。トランジスタ 9 3 のソースまたはドレインの他方は、配線 S L 2 と接続されている。キャパシタ 9 4 の他方の電極は、配線 C A L と電氣的に接続されている。ここで、トランジスタ 9 2 のソースまたはドレインの一方と、トランジスタ 9 3 のゲートと、キャパシタ 9 4 の一方の電極と、が接続されるノードをノード N とする。

【 0 0 8 3 】

配線 C A L は、キャパシタ 9 4 の他方の電極に所定の電位を印加するための配線としての機能を有する。メモリセル 9 1 からデータを読み出す際の配線 C A L の電位を、メモリセル 9 1 にデータを書き込む際、およびメモリセル 9 1 にデータを保持している最中の配線 C A L の電位と異ならせる。これにより、メモリセル 9 1 からデータを読み出す際のトランジスタ 9 3 の見かけのしきい値電圧を、メモリセル 9 1 にデータを書き込む際、およびメモリセル 9 1 にデータを保持している最中のトランジスタ 9 3 の見かけのしきい値電圧と異ならせることができる。

30

【 0 0 8 4 】

メモリセル 9 1 が図 1 3 B に示す構成である場合、メモリセル 9 1 にデータを書き込む際、およびメモリセル 9 1 にデータを保持している最中は、メモリセル 9 1 に書き込まれたデータによらず、配線 S L 2 と配線 B L 2 との間に電流が流れない。一方、メモリセル 9 1 からデータを読み出す際は、配線 S L 2 と配線 B L 2 との間に、メモリセル 9 1 に保持されたデータに対応する電流が流れる。

40

【 0 0 8 5 】

トランジスタ 9 2 、 9 3 は、O S トランジスタとすることが好ましい。前述のように、O S トランジスタはオフ電流が極めて低い。よって、メモリセル 9 1 に書き込まれたデータに対応する電荷を、ノード N に長時間保持させることができる。つまり、メモリセル 9 1 において、一旦書き込んだデータを長時間保持することができる。そのため、データリフレッシュの頻度を下げ、本発明の一態様の半導体装置の消費電力を低減させることができる。

【 0 0 8 6 】

50

図 1 3 B に示す構成のメモリセル 9 1 は、O S トランジスタをメモリに用いた N O S R A M ( N o n v o l a t i l e O x i d e S e m i c o n d u c t o r R A M ) と呼ぶことができる。N O S R A M は、非破壊読み出しを行うことができるという特徴を有する。一方、上述した D O S R A M は、保持されたデータを読み出す際は破壊読み出しとなる。

【 0 0 8 7 】

半導体装置 1 0 A は、メモリセル 9 1 を有することで読み出し頻度が高いデータを D O S R A M から N O S R A M に書き移すことができる。前述のように、N O S R A M は非破壊読み出しを行うことができるので、データリフレッシュの頻度を下げることができる。よって、本発明の一態様の半導体装置の消費電力を低減させることができる。なお、図 1 3 B に示すトランジスタ 9 2、及びトランジスタ 9 3 においては、1 つのゲートを有するトランジスタを例示しているがこれに限定されない。例えば、トランジスタ 9 2、及びトランジスタ 9 3 のいずれか一方または双方は、2 つのゲートを有するトランジスタ（フロントゲートと、当該フロントゲートに対向するバックゲートと、を有するトランジスタ）としてもよい。

【 0 0 8 8 】

図 1 4 A、図 1 4 B では、図 1 で図示する半導体装置 1 0 の変形例を説明するための模式図を示す。

【 0 0 8 9 】

図 1 4 A は、図 1 で図示する半導体装置 1 0 における素子層 2 0 \_\_ 1 乃至 2 0 \_\_ M において、トランジスタ層 4 0 をトランジスタ層 3 0 の下層に配置した半導体装置 1 0 B である。図 1 4 A に図示する半導体装置 1 0 B は、トランジスタ層 3 0 の下層において、トランジスタ層 4 9 \_\_ 1 乃至 4 9 \_\_ k を有するトランジスタ層 4 9 を有する。当該構成においても、読み出し用トランジスタのしきい値電圧の補正を行う動作が可能である。

【 0 0 9 0 】

図 1 4 B は、図 1 で図示する半導体装置 1 0 における素子層 2 0 \_\_ 1 乃至 2 0 \_\_ M において、トランジスタ層 4 0 に加えて図 1 4 A で説明したトランジスタ層 4 9 を追加した半導体装置 1 0 C である。当該構成においても、読み出し用トランジスタのしきい値電圧の補正を行う動作が可能である。

【 0 0 9 1 】

図 1 5 A、図 1 5 B には図 2 B 等で説明したメモリセル 4 2 に対応する回路図、および当該回路図に対応する回路ブロックを説明する図を示す。図 1 5 A、図 1 5 B に図示するように、メモリセル 4 2 は図面等においてブロックとして表す場合がある。

【 0 0 9 2 】

また、図 1 5 C、図 1 5 D には図 2 B 等で説明したトランジスタ 3 1 および補正回路 3 5 を有するトランジスタ層 3 0 に対応する回路図、および当該回路図に対応する回路ブロックを説明する図を示す。図 1 5 C、図 1 5 D に図示するように、トランジスタ 3 1 および補正回路 3 5 を有するトランジスタ層 3 0 は、図面等において回路 3 6 のブロックとして表す場合がある。

【 0 0 9 3 】

また図 1 6 A には、シリコン基板 5 0 に S i トランジスタで構成されるメモリセルへのデータの書き込みおよび読み出しを制御するための制御回路 5 1 の回路構成例を示す。制御回路 5 1 は、スイッチ回路 5 2、プリチャージ回路 5 3、プリチャージ回路 5 4、センサンプ 5 5、制御回路 5 1 に接続されるグローバルビット線 S A \_\_ G B L、グローバルビット線 S A \_\_ G B L B、ビット線 B L、B L B を図示している。

【 0 0 9 4 】

スイッチ回路 5 2 は、図 1 6 A に図示するように、例えば n チャネル型のトランジスタ 5 2 \_\_ 1、5 2 \_\_ 2 を有する。トランジスタ 5 2 \_\_ 1、5 2 \_\_ 2 は、信号 C S E L に応じて、グローバルビット線 S A \_\_ G B L、グローバルビット線 S A \_\_ G B L B の配線対と、ビット線 B L、B L B の配線対と、の導通状態を切り替える。

10

20

30

40

50

## 【 0 0 9 5 】

プリチャージ回路 5 3 は、図 1 6 A に図示するように、 $n$ チャネル型のトランジスタ 5 3 \_\_ 1 乃至 5 3 \_\_ 3 で構成される。プリチャージ回路 5 3 は、信号  $E Q$  に応じて、ビット線  $B L$  およびビット線  $B L B$  の間の電位  $V D D / 2$  に相当する中間電位  $V P R E$  にプリチャージするための回路である。

## 【 0 0 9 6 】

プリチャージ回路 5 4 は、図 1 6 A に図示するように、 $p$ チャネル型のトランジスタ 5 4 \_\_ 1 乃至 5 4 \_\_ 3 で構成される。プリチャージ回路 5 4 は、信号  $E Q B$  に応じて、ビット線  $B L$  およびビット線  $B L B$  の間の電位  $V D D / 2$  に相当する中間電位  $V P R E$  にプリチャージするための回路である。

10

## 【 0 0 9 7 】

センスアンプ 5 5 は、図 1 6 A に図示するように、配線  $S A P$  または配線  $S A N$  に接続された、 $p$ チャネル型のトランジスタ 5 5 \_\_ 1、5 5 \_\_ 2 および  $n$ チャネル型のトランジスタ 5 5 \_\_ 3、5 5 \_\_ 4 で構成される。配線  $S A P$  または配線  $S A N$  は、 $V D D$  または  $V S S$  を与える機能を有する配線である。トランジスタ 5 5 \_\_ 1 乃至 5 5 \_\_ 4 は、インバータループを構成するトランジスタである。

## 【 0 0 9 8 】

また、図 1 6 B には図 1 6 A 等で説明した制御回路 5 1 に対応する回路ブロックを説明する図を示す。図 1 6 B に図示するように、制御回路 5 1 は図面等においてブロックとして表す場合がある。

20

## 【 0 0 9 9 】

図 1 7 は、図 1 の半導体装置 1 0 の動作例を説明するための回路図である。図 1 7 では、図 1 5 A 乃至図 1 5 D、および図 1 6 A、図 1 6 B で説明した回路ブロックを用いて図示している。

## 【 0 1 0 0 】

図 1 7 に図示するようにトランジスタ層 4 1 \_\_  $k$  を含むトランジスタ層 4 0 は、複数のメモリセル 4 2 を有する。メモリセルは、対になるローカルビット線  $L B L$  およびローカルビット線  $L B L \_ p r e$  に接続される。ローカルビット線  $L B L$  に接続されるメモリセル 4 2 は、データの書き込みまたは読み出しがされるメモリセルである。ローカルビット線  $L B L \_ p r e$  はプリチャージされるローカルビット線であり、当該ローカルビット線  $L B L \_ p r e$  に接続されるメモリセルでは、データを保持し続ける。

30

## 【 0 1 0 1 】

ローカルビット線  $L B L$  は、回路 3 6 を介してグローバルビット線  $G B L$  に電氣的に接続される。ローカルビット線  $L B L \_ p r e$  は、回路 3 6 \_\_  $p r e$  を介してグローバルビット線  $G B L B$  に電氣的に接続される。

## 【 0 1 0 2 】

トランジスタ 9 7 は、グローバルビット線  $G B L$  とグローバルビット線  $G B L B$  との間の導通状態を切り替えるためのスイッチとして機能する。トランジスタ 9 7 は、信号  $S W 0$  でオンまたはオフが切り替えられる。

## 【 0 1 0 3 】

トランジスタ 9 8 は、グローバルビット線  $G B L$  と、制御回路 5 1 側にあるグローバルビット線  $S A \_ G B L$  との間の導通状態を切り替えるためのスイッチとして機能する。トランジスタ 9 8 は、信号  $S W 1$  でオンまたはオフが切り替えられる。

40

## 【 0 1 0 4 】

トランジスタ 9 9 は、グローバルビット線  $G B L B$  と、制御回路 5 1 側にあるグローバルビット線  $S A \_ G B L B$  との間の導通状態を切り替えるためのスイッチとして機能する。トランジスタ 9 9 は、信号  $S W 2$  でオンまたはオフが切り替えられる。

## 【 0 1 0 5 】

また図 1 8 では、図 1 7 に示す回路図の動作を説明するためのタイミングチャートを示す。なお図 1 8 のタイミングチャートにおいては、グローバルビット線  $S A \_ G B L$ 、グ

50



グローバルビット線  $S A\_G B L B$  の配線対、グローバルビット線  $G B L$ 、グローバルビット線  $G B L B$  の配線対について、データが H レベルの場合 ( $d a t a = H$ )、データが L レベルの場合 ( $d a t a = L$ ) に分けて図示している。

【 0 1 0 6 】

図 1 8 に示すタイミングチャートにおいて、時刻  $T 1 1$  乃至時刻  $T 1 3$  はデータ書き込みの期間に相当する。つまり、図 4 A で説明した動作を行う期間に相当する。時刻  $T 1 3$  乃至時刻  $T 1 6$  は補正期間に相当する。つまり、図 5 A で説明した動作を行う期間に相当する。時刻  $T 1 6$  乃至時刻  $T 1 8$  はデータ読出しの期間に相当する。つまり、図 8 A で説明した動作を行う期間に相当する。なお信号  $C S E L$  は、時刻  $T 1 1$  乃至  $T 2 0$  において、H レベルとする。

10

【 0 1 0 7 】

時刻  $T 1 1$  では、信号  $M U X$ 、信号  $W E$  を H レベルとする。信号  $S W 1$ 、 $S W 2$  は H レベル、信号  $S W 0$  は L レベルとする。その後配線  $S A P$ 、 $S A N$  に電源電圧 ( $V D D$ 、 $V S S$ ) を与えることで、グローバルビット線  $S A\_G B L$  またはグローバルビット線  $S A\_G B L B$  の配線対の一方、グローバルビット線  $G B L$  またはグローバルビット線  $G B L B$  の配線対の一方が充電される。ローカルビット線  $L B L$  の電位が上昇する。ワード線  $W L$  の電位を H レベルとして、ローカルビット線  $L B L$  に与えられた電位 (図 1 8 の場合 H レベル) をメモリセル 4 2 に書き込む。

【 0 1 0 8 】

時刻  $T 1 2$  では、ワード線  $W L$  の電位を L レベルとする。メモリセル 4 2 にデータが保持される。

20

【 0 1 0 9 】

時刻  $T 1 3$  では、配線  $S A P$ 、 $S A N$  をともに  $V D D$  とし、信号  $E Q$ 、 $E Q B$  を反転させて、グローバルビット線  $S A\_G B L$  およびグローバルビット線  $S A\_G B L B$  の配線対、グローバルビット線  $G B L$  およびグローバルビット線  $G B L B$  の配線対を共に H レベルとする。ローカルビット線  $L B L\_p r e$  が H レベルの電位にプリチャージされる。その後信号  $M U X$  を L レベルとする。信号  $W E$  も併せて L レベルとしてもよい。

【 0 1 1 0 】

時刻  $T 1 4$  では、信号  $R E$ 、信号  $W E$  を H レベルとする。ローカルビット線  $L B L$  の電位およびローカルビット線  $L B L\_p r e$  の電位は、トランジスタ 3 1 を介した放電により下降する。この放電は、トランジスタ 3 1 のゲートとソースの間の電圧が、トランジスタ 3 1 のしきい値電圧となったところで止まる。

30

【 0 1 1 1 】

時刻  $T 1 5$  では、信号  $W E$  および信号  $R E$  を共に L レベルとする。ローカルビット線  $L B L$  およびローカルビット線  $L B L\_p r e$  には、トランジスタ 3 1 のしきい値電圧に応じた電位が保持される。信号  $E Q$ 、 $E Q B$  は、再度反転させ、プリチャージを停止しておく。つまり、グローバルビット線  $S A\_G B L$  およびグローバルビット線  $S A\_G B L B$  の配線対、グローバルビット線  $G B L$  およびグローバルビット線  $G B L B$  の配線対は、電氣的に浮遊状態、フローティング状態となる。

【 0 1 1 2 】

40

時刻  $T 1 6$  では、ワード線  $W L$  を H レベルとし、チャージシェアリングを行う。ローカルビット線  $L B L$  の電位がメモリセル 4 2 に書き込んだデータに応じて変化する。H レベルのデータをメモリセル 4 2 に書き込んだ場合、ローカルビット線  $L B L$  の電位が上昇し、L レベルのデータをメモリセル 4 2 に書き込んだ場合、ローカルビット線  $L B L$  の電位が下降する。一方、ローカルビット線  $L B L\_p r e$  では、ワード線  $W L$  の動作によるチャージシェアリングを行わないため、電位が変化しない。

【 0 1 1 3 】

時刻  $T 1 7$  では、信号  $R E$ 、信号  $M U X$  を H レベルとすることで、ローカルビット線  $L B L$  とローカルビット線  $L B L\_p r e$  の電位に応じて、回路 3 6 が有するトランジスタ 3 1 と、回路 3 6  $_p r e$  が有するトランジスタ 3 1 とに電流が流れる。ローカルビット

50

線 L B L とローカルビット線 L B L \_ p r e の電位が異なるため、回路 3 6 が有するトランジスタ 3 1 と、回路 3 6 \_ p r e が有するトランジスタ 3 1 と、で流れる電流に差が生じる。この電流の差は、チャージシェアリングによって変化するローカルビット線 L B L の電位、すなわちメモリセル 4 2 から読み出されるデータに応じたものとなる。そのため、メモリセル 4 2 のデータは、図 1 8 に図示するように、グローバルビット線 S A \_ G B L、グローバルビット線 S A \_ G B L B の配線対、グローバルビット線 G B L、グローバルビット線 G B L B の配線対の電位の変化量に変換することができる。

【 0 1 1 4 】

時刻 T 1 8 では、信号 R E を L レベルとする。そして配線 S A P、S A N に電源電圧 ( V D D、V S S ) を与えることで、センスアンプ 5 5 を動作させる。センスアンプ 5 5 が動作することで、グローバルビット線 S A \_ G B L およびグローバルビット線 S A \_ G B L B の配線対、グローバルビット線 G B L およびグローバルビット線 G B L B の配線対の電位が確定する。

10

【 0 1 1 5 】

時刻 T 1 9 では、信号 S W 0 を L レベル、信号 S W 1 を H レベルとし、グローバルビット線 G B L およびグローバルビット線 G B L B の配線対の電位を、読み出したデータに応じて切り替える。具体的には、データが H レベルの場合、グローバルビット線 G B L およびグローバルビット線 G B L B の配線対の電位がともに H レベルに切り替えられる。またデータが L レベルの場合、グローバルビット線 G B L およびグローバルビット線 G B L B の配線対の電位がともに L レベルに切り替えられる。この状態でワード線 W L を H レベルとすることで読み出されたデータの論理に応じた電圧を再びメモリセル 4 2 に書き戻すことができる。

20

【 0 1 1 6 】

時刻 T 2 0 では、信号 M U X、信号 W L、信号 W E を L レベルとする。メモリセル 4 2 では、読み出したデータの論理に応じたデータをリフレッシュすることができる。

【 0 1 1 7 】

なお本発明の一態様の半導体装置 1 0 では、メモリセル 4 2 を有するトランジスタ層 4 1 \_ 1 乃至 4 1 \_ k を積層する構成となる。当該構成は、ローカルビット線 L B L を短くし、メモリセル 4 2 のキャパシタ 4 4 の容量を小さくすることができる。その一方でメモリセル 4 2 では、トランジスタ 4 3 のゲートと、ソースまたはドレインと、の間の寄生容量に起因して、電位の変動が生じる虞がある。

30

【 0 1 1 8 】

図 1 9 A には、メモリセル 4 2 が有するトランジスタ 4 3 およびキャパシタ 4 4、およびローカルビット線 L B L を抜き出した回路図を図示している。図 1 9 A において、トランジスタ 4 3 のゲートと、ソースまたはドレインと、の間の寄生容量を容量 C t d、C t s として図示している。

【 0 1 1 9 】

ワード線 W L の電位の変動に応じて、電氣的に浮遊状態であるローカルビット線 L B L の電位は、容量 C t d、C t s の容量結合に応じて変動する。このような容量結合に応じた電位の変動は、ローカルビット線 L B L を短くし、メモリセル 4 2 のキャパシタ 4 4 の容量を小さくした場合に特に大きくなる。

40

【 0 1 2 0 】

図 1 9 B には、この容量結合に応じた電位の変動を説明するための波形の模式図を図示する。図 1 9 B では、図 1 8 で示したタイミングチャートの期間 T 1 6 乃至 T 1 7 におけるワード線 W L の電位の変化に応じた、ローカルビット線 L B L の電位およびローカルビット線 L B L \_ p r e の電位の変動を図示している。ローカルビット線 L B L の電位の変動は、メモリセル 4 2 に書き込まれるデータが H レベル ( d a t a = H ) と、L レベル ( d a t a = L ) と、の場合に分けて図示している。

【 0 1 2 1 】

上述したように本発明の一態様によれば、ローカルビット線 L B L を短くし、メモリセ

50

ル 4 2 のキャパシタ 4 4 の容量を小さくすることができるため、ローカルビット線 L B L の寄生容量、およびキャパシタ 4 4 の容量が小さくできる。そのため、ワード線 W L の電位の変動に比べて、ローカルビット線 L B L の電位の変動が急峻となる。具体的には、時刻 T 1 6 におけるチャージシェアリングにおいてローカルビット線 L B L の電位の変動は、ワード線 W L の電位の変動に比べて急峻となる（時刻 T 1 6 \_\_ 2 ）。チャージシェアリング中は、ローカルビット線 L B L およびキャパシタ 4 4 とともに電氣的に浮遊状態であるため、ワード線 W L の電位の上昇に伴って、ローカルビット線 L B L の電位が、データが H レベルおよび L レベルで上昇する。一方、ワード線 W L の電位の変化のない、ローカルビット線 L B L \_\_ p r e の電位の変動は生じない。

【 0 1 2 2 】

10

ワード線 W L の電位の上昇に伴う、ローカルビット線 L B L の電位の上昇は、時刻 T 1 7 において、ローカルビット線 L B L と、ローカルビット線 L B L \_\_ p r e と、の電位の大小関係が反転、例えば、ローカルビット線 L B L の L レベルの電位を読み出す場合に、ローカルビット線 L B L \_\_ p r e の電位を越えて上昇してしまうといった不具合を引き起こす。

【 0 1 2 3 】

そのため、ワード線 W L は、時刻 T 1 7 において、H レベルから L レベルに切り替える構成とすることが好ましい。換言すれば、トランジスタ 4 3 は、トランジスタ 3 1 に電流を流してデータ読出しを行うためのトランジスタ 3 4 を導通状態とする期間において、非導通状態とすることが好ましい。図 1 9 C には、時刻 T 1 7 においてワード線 W L の電位を H レベルから L レベルに切り替えた際のローカルビット線 L B L の電位の変動を説明するための波形の模式図を図示する。

20

【 0 1 2 4 】

図 1 9 C では、時刻 T 1 6 乃至 T 1 6 \_\_ 2 を経たワード線 W L の電位の変化、およびローカルビット線 L B L の電位およびローカルビット線 L B L \_\_ p r e の電位の変動は、図 1 9 B と同様である。時刻 T 1 7 において、ワード線 W L の電位を H レベルから L レベルに切り替える。時刻 T 1 7 においては、ローカルビット線 L B L およびキャパシタ 4 4 とともに電氣的に浮遊状態であるため、ワード線 W L の電位の下降に伴って、ローカルビット線 L B L の電位が、データが H レベルおよび L レベルでともに下降する。一方、ワード線 W L の電位の変化のない、ローカルビット線 L B L \_\_ p r e の電位の変動は生じない。このようにワード線 W L の電位を時刻 T 1 7 において反転させることで、ローカルビット線 L B L と、ローカルビット線 L B L \_\_ p r e と、の電位の大小関係の反転を防ぐことができる。

30

【 0 1 2 5 】

図 1 9 C のワード線 W L の動作を図 1 8 に適用することで、図 2 0 のタイミングチャートの動作とすることができる。

【 0 1 2 6 】

本発明の一態様におけるメモリセルおよび補正回路を有するトランジスタ層では、データを読み出し用のトランジスタのしきい値電圧が補正された信号として読み出すことができる構成とする。当該構成とすることで、メモリセルから駆動回路に読み出されるデータの信頼性を向上させることができる。また本発明の一態様における半導体装置では、対となるグローバルビット線の間にスイッチを複数配置することで、メモリセルから読み出されるデータの論理でメモリセルにデータを書き戻すことができる。

40

【 0 1 2 7 】

（実施の形態 2 ）

以下では、本発明の一態様に係る記憶装置として機能する半導体装置の一例について説明する。

【 0 1 2 8 】

図 2 1 は、半導体基板 3 1 1 に設けられた回路を有する素子層 4 1 1 上に、メモリユニット 4 7 0 （メモリユニット 4 7 0 \_\_ 1 乃至メモリユニット 4 7 0 \_\_ m : m は 2 以上の自

50

然数)が積層して設けられた半導体装置の例を示す図である。図21では、素子層411と、素子層411上にメモリユニット470が複数積層されており、複数のメモリユニット470には、それぞれに対応するトランジスタ層413(トランジスタ層413\_\_1乃至トランジスタ層413\_\_m)と、各トランジスタ層413上の、複数のメモリデバイス層415(メモリデバイス層415\_\_1乃至メモリデバイス層415\_\_n:nは2以上の自然数)が設けられる例を示している。なお、各メモリユニット470では、トランジスタ層413上にメモリデバイス層415が設けられる例を示しているが、本実施の形態ではこれに限定されない。複数のメモリデバイス層415上にトランジスタ層413を設けてもよいし、トランジスタ層413の上下にメモリデバイス層415が設けられてもよい。

【0129】

10

素子層411は、半導体基板311に設けられたトランジスタ300を有し、半導体装置の回路(周辺回路と呼ぶ場合がある)として機能することができる。回路の例としては、カラムドライバ、ロウドライバ、カラムデコーダ、ロウデコーダ、センスアンプ、プリチャージ回路、増幅回路、ワード線ドライバ回路、出力回路、コントロールロジック回路などが挙げられる。

【0130】

トランジスタ層413は、トランジスタ200Tを有し、各メモリユニット470を制御する回路として機能することができる。メモリデバイス層415は、メモリデバイス420を有する。本実施の形態に示すメモリデバイス420は、トランジスタ200Mと容量素子292を有する。

20

【0131】

なお、上記mの値については、特に制限は無いが2以上100以下、好ましくは2以上50以下、さらに好ましくは、2以上10以下である。また、上記nの値については、特に制限は無いが2以上100以下、好ましくは2以上50以下、さらに好ましくは、2以上10以下である。また、上記mとnの積は、4以上256以下、好ましくは4以上128以下、さらに好ましくは4以上64以下である。

【0132】

また、図21は、メモリユニットに含まれるトランジスタ200T、およびトランジスタ200Mのチャンネル長方向の断面図を示す。

【0133】

30

図21に示すように、半導体基板311にトランジスタ300が設けられ、トランジスタ300上には、メモリユニット470が有するトランジスタ層413とメモリデバイス層415が設けられ、一つのメモリユニット470内でトランジスタ層413が有するトランジスタ200Tと、メモリデバイス層415が有するメモリデバイス420は、複数の導電体424により電氣的に接続され、トランジスタ300と、各メモリユニット470におけるトランジスタ層413が有するトランジスタ200Tは、導電体426により電氣的に接続される。また、導電体426は、トランジスタ200Tのソース、ドレイン、ゲートのいずれかーと電氣的に接続する導電体428を介して、トランジスタ200Tと電氣的に接続することが好ましい。導電体424は、メモリデバイス層415の各層に設けられることが好ましい。また、導電体426は、トランジスタ層413、およびメモリデバイス層415の各層に設けられることが好ましい。

40

【0134】

また、詳細は後述するが、導電体424の側面、および導電体426の側面には、水または水素などの不純物や、酸素の透過を抑制する絶縁体を設けることが好ましい。このような絶縁体として、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどを用いればよい。

【0135】

メモリデバイス420は、トランジスタ200Mと容量素子292を有し、トランジスタ200Mは、トランジスタ層413が有するトランジスタ200Tと同様の構造とすることができる。また、トランジスタ200Tとトランジスタ200Mをまとめてトランジ

50

スタ 200 と称する場合がある。

【0136】

ここで、トランジスタ 200 は、チャネルが形成される領域（以下、チャネル形成領域ともいう。）を含む半導体に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

【0137】

酸化物半導体として、例えば、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物半導体として、酸化インジウム、In-Ga 酸化物、In-Zn 酸化物を用いてもよい。なお、インジウムの比率が高い組成の酸化物半導体とすることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。

10

【0138】

チャネル形成領域に酸化物半導体を用いたトランジスタ 200 は、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ 200 に用いることができる。

【0139】

20

一方、酸化物半導体を用いたトランジスタは、酸化物半導体中の不純物および酸素欠損（Vo: oxygen vacancy とともいう）によって、その電気特性が変動し、ノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。

【0140】

そこで、不純物濃度、および欠陥準位密度が低減された酸化物半導体を用いるとよい。なお、本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。

【0141】

従って、酸化物半導体中の不純物濃度はできる限り低減されていることが好ましい。なお、酸化物半導体中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

30

【0142】

特に、酸化物半導体に含まれる不純物としての水素は、酸化物半導体中に酸素欠損を形成する場合がある。また、酸素欠損に水素が入った欠陥（以下、VOH と呼ぶ場合がある。）は、キャリアとなる電子を生成する場合がある。さらに、水素の一部が金属原子と結合する酸素と反応し、キャリアとなる電子を生成する場合がある。

【0143】

従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

40

【0144】

従って、トランジスタ 200 に用いる酸化物半導体は、水素などの不純物、および酸素欠損が低減された高純度真性な酸化物半導体を用いることが好ましい。

【0145】

<封止構造>

そこで、外部からの不純物混入を抑制するために、不純物の拡散を抑制する材料（以下、不純物に対するバリア性材料ともいう）を用いて、トランジスタ 200 を封止するとよい。

50

## 【 0 1 4 6 】

なお、本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

## 【 0 1 4 7 】

例えば、水素、および酸素に対する拡散を抑制する機能を有する材料として、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどがある。特に、窒化シリコンまたは窒化酸化シリコンは、水素に対するバリア性が高いため、封止する材質として用いることが好ましい。

## 【 0 1 4 8 】

また、例えば、水素を捕獲、および固着する機能を有する材料として、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、などの金属酸化物がある。

## 【 0 1 4 9 】

トランジスタ 3 0 0 とトランジスタ 2 0 0 の間には、バリア性を有する層として、絶縁体 2 1 1、絶縁体 2 1 2、および絶縁体 2 1 4 が設けられることが好ましい。絶縁体 2 1 1、絶縁体 2 1 2、および絶縁体 2 1 4 の少なくとも一つに水素などの不純物の拡散や透過を抑制する材料を用いることで、半導体基板 3 1 1、トランジスタ 3 0 0 などに含まれる水素や水等の不純物がトランジスタ 2 0 0 に拡散することを抑制できる。また、絶縁体 2 1 1、絶縁体 2 1 2、および絶縁体 2 1 4 の少なくとも一つに酸素の透過を抑制する材料を用いることで、トランジスタ 2 0 0 のチャンネル、またはトランジスタ層 4 1 3 に含まれる酸素が素子層 4 1 1 に拡散することを抑制できる。例えば、絶縁体 2 1 1、および絶縁体 2 1 2 として水素や水などの不純物の透過を抑制する材料を用い、絶縁体 2 1 4 として酸素の透過を抑制する材料を用いることが好ましい。また、絶縁体 2 1 4 として水素を吸い取り、吸蔵する特性を有する材料を用いることがさらに好ましい。絶縁体 2 1 1、および絶縁体 2 1 2 として、例えば、窒化シリコン、窒化酸化シリコンなどの窒化物を用いることができる。絶縁体 2 1 4 として、例えば、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、などの金属酸化物を用いることができる。特に、絶縁体 2 1 4 として、酸化アルミニウムを用いることが好ましい。

## 【 0 1 5 0 】

また、トランジスタ層 4 1 3 およびメモリデバイス層 4 1 5 の側面、すなわちメモリユニット 4 7 0 の側面には絶縁体 2 8 7 が設けられることが好ましく、メモリユニット 4 7 0 の上面には絶縁体 2 8 2 が設けられることが好ましい。このとき絶縁体 2 8 2 は、絶縁体 2 8 7 と接することが好ましく、絶縁体 2 8 7 は、絶縁体 2 1 1、絶縁体 2 1 2、および絶縁体 2 1 4 の少なくとも一つと接することが好ましい。絶縁体 2 8 7、および絶縁体 2 8 2 として、絶縁体 2 1 4 に用いることができる材料を用いることが好ましい。

## 【 0 1 5 1 】

また、絶縁体 2 8 2、および絶縁体 2 8 7 を覆うように絶縁体 2 8 3、および絶縁体 2 8 4 が設けられることが好ましく、絶縁体 2 8 3 は、絶縁体 2 1 1、絶縁体 2 1 2、および絶縁体 2 1 4 の少なくとも一つと接することが好ましい。図 2 1 では、絶縁体 2 8 7 が絶縁体 2 1 4 の側面、絶縁体 2 1 2 の側面、および絶縁体 2 1 1 の上面および側面と接し、絶縁体 2 8 3 が絶縁体 2 8 7 の上面および側面、および絶縁体 2 1 1 の上面と接する例を示しているが、本実施の形態はこれに限らない。絶縁体 2 8 7 が絶縁体 2 1 4 の側面、および絶縁体 2 1 2 の上面および側面と接し、絶縁体 2 8 3 が絶縁体 2 8 7 の上面および側面、および絶縁体 2 1 2 の上面と接していてもよい。絶縁体 2 8 2、および絶縁体 2 8 7 として、絶縁体 2 1 1、および絶縁体 2 1 2 に用いることができる材料を用いることが好ましい。

## 【 0 1 5 2 】

上記構造において、絶縁体 2 8 7、および絶縁体 2 8 2 として酸素の透過を抑制する材料を用いることが好ましい。また、絶縁体 2 8 7、および絶縁体 2 8 2 として水素を捕獲

10

20

30

40

50

、および固着する特性を有する材料を用いることがさらに好ましい。トランジスタ 200 に近接する側に、水素を捕獲、および固着する機能を有する材料を用いることで、トランジスタ 200 中、またはメモリユニット 470 中の水素は、絶縁体 214、絶縁体 287、および絶縁体 282 に、捕獲、および固着されるため、トランジスタ 200 中の水素濃度を低減することができる。また、絶縁体 283、および絶縁体 284 として水素や水などの不純物の透過を抑制する材料を用いることが好ましい。

#### 【0153】

以上のような構造とすることで、メモリユニット 470 は、絶縁体 211、絶縁体 212、絶縁体 214、絶縁体 287、絶縁体 282、絶縁体 283、および絶縁体 284 により囲われる。より具体的には、メモリユニット 470 は、絶縁体 214、絶縁体 287、および絶縁体 282（第 1 の構造体と表記する場合がある）により囲われ、メモリユニット 470、および第 1 の構造体は、絶縁体 211、絶縁体 212、絶縁体 283、および絶縁体 284（第 2 の構造体と表記する場合がある）により囲われる。また、このようにメモリユニット 470 を 2 層以上の複数の構造体により囲う構造を入れ子構造と呼ぶ場合がある。ここで、メモリユニット 470 が複数の構造体により囲われることを、メモリユニット 470 が複数の絶縁体により封止されると表記する場合がある。

10

#### 【0154】

また、第 2 の構造体は、第 1 の構造体を介して、トランジスタ 200 を封止する。従って、第 2 の構造体の外方に存在する水素は、第 2 の構造体により、第 2 の構造体の内部（トランジスタ 200 側）への拡散が、抑制される。つまり、第 1 の構造体は、第 2 の構造体の内部構造に存在する水素を、効率よく捕獲し、固着することができる。

20

#### 【0155】

上記構造として、具体的には、第 1 の構造体には酸化アルミニウムなどの金属酸化物を用い、第 2 の構造体には窒化シリコンなどの窒化物を用いることができる。より、具体的には、トランジスタ 200 と、窒化シリコン膜との間に、酸化アルミニウム膜を配置するとよい。

#### 【0156】

さらに、構造体に用いる材料は、成膜条件を適宜設定することにより、膜中の水素濃度を低減することができる。

#### 【0157】

一般的に、CVD 法を用いて成膜した膜は、スパッタリング法を用いて成膜した膜よりも、被覆性が高い。一方で、CVD 法に用いる化合物ガスは、水素を含む場合が多く、CVD 法を用いて成膜した膜は、スパッタリング法を用いて成膜した膜よりも、水素の含有量が多い。

30

#### 【0158】

従って、例えば、トランジスタ 200 と近接する膜に、膜中の水素濃度が低減された膜（具体的にはスパッタリング法を用いて成膜した膜）を用いるとよい。一方で、不純物の拡散を抑制する膜として、被膜性が高い一方で膜中の水素濃度が比較的高い膜（具体的には CVD 法を用いて成膜した膜）を用いる場合、トランジスタ 200 と、水素濃度が比較的高い一方で被膜性が高い膜との間に、水素を捕獲、および固着する機能を有し、かつ水素濃度が低減された膜を配置するとよい。

40

#### 【0159】

つまり、トランジスタ 200 に近接して配置する膜は、膜中の水素濃度が比較的低い膜を用いるとよい。一方で、膜中の水素濃度が比較的高い膜は、トランジスタ 200 から遠隔して配置するとよい。

#### 【0160】

上記構造として、具体的には、トランジスタ 200 を、CVD 法を用いて成膜した窒化シリコンを用いて封止する場合、トランジスタ 200 と、CVD 法を用いて成膜した窒化シリコン膜との間に、スパッタリング法を用いて成膜した酸化アルミニウム膜を配置するとよい。さらに好ましくは、CVD 法を用いて成膜した窒化シリコン膜と、スパッタリン

50

グ法を用いて成膜した酸化アルミニウム膜との間に、スパッタリング法を用いて成膜した窒化シリコン膜を配置するとよい。

【0161】

なお、CVD法を用いて成膜する場合、水素原子を含まない、または水素原子の含有量が少ない、化合物ガスを用いて成膜することで、成膜した膜に含まれる水素濃度を低減してもよい。

【0162】

また、各トランジスタ層413とメモリデバイス層415の間、または各メモリデバイス層415の間にも、絶縁体282、および絶縁体214が設けられることが好ましい。また、絶縁体282、および絶縁体214の間に絶縁体296が設けられることが好ましい。絶縁体296は、絶縁体283、および絶縁体284と同様の材料を用いることができる。または、酸化シリコン、酸化窒化シリコンを用いることができる。または、公知の絶縁性材料を用いてもよい。ここで、絶縁体282、絶縁体296、および絶縁体214は、トランジスタ200を構成する要素であってもよい。絶縁体282、絶縁体296、および絶縁体214がトランジスタ200の構成要素を兼ねることで、半導体装置の作製にかかる工程数を削減できるため好ましい。

10

【0163】

また、各トランジスタ層413とメモリデバイス層415の間、または各メモリデバイス層415の間に設けられる絶縁体282、絶縁体296、および絶縁体214それぞれの側面は、絶縁体287と接することが好ましい。このような構造とすることで、トランジスタ層413およびメモリデバイス層415は、それぞれ絶縁体282、絶縁体296、絶縁体214、絶縁体287、絶縁体283、および絶縁体284により囲われ、封止される。

20

【0164】

また、絶縁体284の周囲には、絶縁体274を設けてもよい。また、絶縁体274、絶縁体284、絶縁体283、および絶縁体211に埋め込むように導電体430を設けてもよい。導電体430は、トランジスタ300、すなわち素子層411に含まれる回路と電気的に接続する。

【0165】

また、メモリデバイス層415では、容量素子292がトランジスタ200Mと同じ層に形成されているため、メモリデバイス420の高さをトランジスタ200Mと同程度にすることができ、各メモリデバイス層415の高さが過剰に大きくなるのを抑制することができる。これにより、比較的容易に、メモリデバイス層415の数を増やすことができる。例えば、トランジスタ層413、およびメモリデバイス層415からなる積層を100層程度にしてもよい。

30

【0166】

<トランジスタ200>

図22Aを用いて、トランジスタ層413が有するトランジスタ200T、およびメモリデバイス420が有するトランジスタ200Mに用いることができるトランジスタ200について説明する。

40

【0167】

図22Aに示すように、トランジスタ200は、絶縁体216と、導電体205（導電体205a、および導電体205b）と、絶縁体222と、絶縁体224と、酸化物230（酸化物230a、酸化物230b、および酸化物230c）と、導電体242（導電体242a、および導電体242b）と、酸化物243（酸化物243a、および酸化物243b）と、絶縁体272と、絶縁体273と、絶縁体250と、導電体260（導電体260a、および導電体260b）と、を有する。

【0168】

また、絶縁体216、および導電体205は、絶縁体214上に設けられ、絶縁体273上には絶縁体280、および絶縁体282が設けられる。絶縁体214、絶縁体280

50



、および絶縁体 2 8 2 は、トランジスタ 2 0 0 の一部を構成しているとみなすことができる。

【 0 1 6 9 】

また、本発明の一態様の半導体装置は、トランジスタ 2 0 0 と電氣的に接続し、プラグとして機能する導電体 2 4 0 (導電体 2 4 0 a、および導電体 2 4 0 b) を有する。なお、プラグとして機能する導電体 2 4 0 の側面に接して絶縁体 2 4 1 (絶縁体 2 4 1 a、および絶縁体 2 4 1 b) を設けてもよい。また、絶縁体 2 8 2 上、および導電体 2 4 0 上には、導電体 2 4 0 と電氣的に接続し、配線として機能する導電体 2 4 6 (導電体 2 4 6 a、および導電体 2 4 6 b) が設けられる。

【 0 1 7 0 】

また、導電体 2 4 0 a および導電体 2 4 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 2 4 0 a および導電体 2 4 0 b は積層構造としてもよい。

【 0 1 7 1 】

また、導電体 2 4 0 を積層構造とする場合、水または水素などの不純物、および酸素の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物、および酸素の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体 2 8 0 などから拡散する水または水素などの不純物が、導電体 2 4 0 a および導電体 2 4 0 b を通じて酸化物 2 3 0 に混入するのをさらに低減することができる。また、絶縁体 2 8 0 に添加された酸素が導電体 2 4 0 a および導電体 2 4 0 b に吸収されるのを防ぐことができる。

【 0 1 7 2 】

また、導電体 2 4 0 の側面に接して設けられる絶縁体 2 4 1 としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどを用いればよい。絶縁体 2 4 1 は、絶縁体 2 7 2、絶縁体 2 7 3、絶縁体 2 8 0、および絶縁体 2 8 2 に接して設けられるので、絶縁体 2 8 0 などから水または水素などの不純物が、導電体 2 4 0 a および導電体 2 4 0 b を通じて酸化物 2 3 0 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体 2 8 0 に含まれる酸素が導電体 2 4 0 a および導電体 2 4 0 b に吸収されるのを防ぐことができる。

【 0 1 7 3 】

導電体 2 4 6 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

【 0 1 7 4 】

トランジスタ 2 0 0 において、導電体 2 6 0 は、トランジスタの第 1 のゲートとして機能し、導電体 2 0 5 は、トランジスタの第 2 のゲートとして機能する。また、導電体 2 4 2 a、および導電体 2 4 2 b は、ソース電極またはドレイン電極として機能する。

【 0 1 7 5 】

酸化物 2 3 0 は、チャンネル形成領域を有する半導体として機能する。

【 0 1 7 6 】

絶縁体 2 5 0 は、第 1 のゲート絶縁体として機能し、絶縁体 2 2 2、および絶縁体 2 2 4 は、第 2 のゲート絶縁体として機能する。

【 0 1 7 7 】

ここで、図 2 2 A に示すトランジスタ 2 0 0 は、絶縁体 2 8 0、絶縁体 2 7 3、絶縁体 2 7 2、導電体 2 4 2 などに設けた開口部内に、導電体 2 6 0 が、酸化物 2 3 0 c および絶縁体 2 5 0 を介して、自己整合的に形成される。

【 0 1 7 8 】

10

20

30

40

50

つまり、導電体 260 は、酸化物 230 c および絶縁体 250 を介して、絶縁体 280 などに設けた開口を埋めるように形成されるため、導電体 242 a と導電体 242 b の間の領域に、導電体 260 の位置合わせが不要となる。

【0179】

ここで、絶縁体 280 などに設けた開口内に、酸化物 230 c を設けることが好ましい。従って、絶縁体 250、および導電体 260 は、酸化物 230 c を介して、酸化物 230 b、および酸化物 230 a の積層構造と重畳する領域を有する。当該構造とすることで、酸化物 230 c と絶縁体 250 とを連続成膜により形成することが可能となるため、酸化物 230 と絶縁体 250 との界面を清浄に保つことができる。従って、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 200 は高いオン電流、および高い周波数特性を得ることができる。

10

【0180】

また、図 22 A に示すトランジスタ 200 は、導電体 260 の底面、および側面が絶縁体 250 に接する。また、絶縁体 250 の底面、および側面は、酸化物 230 c と接する。

【0181】

また、トランジスタ 200 は、図 22 A に示すように、絶縁体 282 と、酸化物 230 c とが、直接接する構造となっている。当該構造とすることで、絶縁体 280 に含まれる酸素の導電体 260 への拡散を抑制することができる。

【0182】

従って、絶縁体 280 に含まれる酸素は、酸化物 230 c を介して、酸化物 230 a および酸化物 230 b へ効率よく供給することができるので、酸化物 230 a 中および酸化物 230 b 中の酸素欠損を低減し、トランジスタ 200 の電気特性および信頼性を向上させることができる。

20

【0183】

以下では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の詳細な構成について説明する。

【0184】

トランジスタ 200 は、チャネル形成領域を含む酸化物 230 (酸化物 230 a、酸化物 230 b、および酸化物 230 c) に、酸化物半導体として機能する金属酸化物 (以下、酸化物半導体ともいう) を用いることが好ましい。

30

【0185】

例えば、酸化物半導体として機能する金属酸化物は、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。エネルギーギャップの大きい金属酸化物を用いることで、トランジスタ 200 の非導通状態におけるリーク電流 (オフ電流) を極めて小さくすることができる。このようなトランジスタを用いることで、低消費電力の半導体装置を提供できる。

【0186】

具体的には、酸化物 230 として、In-M-Zn 酸化物 (元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種) 等の金属酸化物を用いるとよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物 230 として、In-M 酸化物、In-Zn 酸化物、または M-Zn 酸化物を用いてもよい。

40

【0187】

図 22 A に示すように、酸化物 230 は、絶縁体 224 上の酸化物 230 a と、酸化物 230 a 上の酸化物 230 b と、酸化物 230 b 上に配置され、少なくとも一部が酸化物 230 b の上面に接する酸化物 230 c と、を有することが好ましい。ここで、酸化物 230 c の側面は、酸化物 243 a、酸化物 243 b、導電体 242 a、導電体 242 b、絶縁体 272、絶縁体 273、および絶縁体 280 に接して設けられていることが好まし

50

い。

【0188】

つまり、酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。酸化物230b下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230b上に酸化物230cを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

【0189】

なお、トランジスタ200では、チャネル形成領域と、その近傍において、酸化物230a、酸化物230b、および酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230bと酸化物230aの2層構造、酸化物230bと酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよい。例えば、酸化物230cを2層構造にして、4層の積層構造を設ける構成にしてもよい。

【0190】

また、酸化物230は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

【0191】

具体的には、酸化物230aとして、 $In : Ga : Zn = 1 : 3 : 4$  [原子数比] もしくはその近傍の組成、または  $1 : 1 : 0.5$  [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。

【0192】

また、酸化物230bとして、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比] もしくはその近傍の組成、または  $1 : 1 : 1$  [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230bとして、 $In : Ga : Zn = 5 : 1 : 3$  [原子数比] もしくはその近傍の組成、または  $In : Ga : Zn = 10 : 1 : 3$  [原子数比] もしくはその近傍の組成の金属酸化物を用いてもよい。また、酸化物230bとして、In-Zn酸化物（例えば、 $In : Zn = 2 : 1$  [原子数比] もしくはその近傍の組成、 $In : Zn = 5 : 1$  [原子数比] もしくはその近傍の組成、または  $In : Zn = 10 : 1$  [原子数比] もしくはその近傍の組成）を用いてもよい。また、酸化物230bとして、In酸化物を用いてもよい。

【0193】

また、酸化物230cとして、 $In : Ga : Zn = 1 : 3 : 4$  [原子数比] もしくはその近傍の組成、 $Ga : Zn = 2 : 1$  [原子数比] もしくはその近傍の組成、または  $Ga : Zn = 2 : 5$  [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230cに、酸化物230bに用いることのできる材料を適用し、単層または積層で設けてもよい。例えば、酸化物230cを積層構造とする場合の具体例としては、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比] もしくはその近傍の組成と、 $In : Ga : Zn = 1 : 3 : 4$  [原子数比] もしくはその近傍の組成との積層構造、 $Ga : Zn = 2 : 1$  [原子数比] もしくはその近傍の組成と、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比] もしくはその近傍の組成との積層構造、 $Ga : Zn = 2 : 5$  [原子数比] もしくはその近傍の組

10

20

30

40

50

成と、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$  [原子数比] もしくはその近傍の組成との積層構造、酸化ガリウムと、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$  [原子数比] もしくはその近傍の組成との積層構造などが挙げられる。

【0194】

なお、実施の形態1に示す、メモリセル42が有するOストランジスタの構成と、トランジスタ層30が有するOストランジスタの構成と、を異ならせてもよい。例えば、メモリセル42に設けられるOストランジスタが有する酸化物230cには、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$  [原子数比] もしくはその近傍の組成の金属酸化物を用い、トランジスタ層30に設けられるOストランジスタが有する酸化物230cには、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$  [原子数比] もしくはその近傍の組成、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$  [原子数比] もしくはその近傍の組成、 $\text{In} : \text{Zn} = 10 : 1$  [原子数比] もしくはその近傍の組成、 $\text{In} : \text{Zn} = 5 : 1$  [原子数比] もしくはその近傍の組成、 $\text{In} : \text{Zn} = 2 : 1$  [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。

10

【0195】

また、酸化物230b、酸化物230cにおいて、膜中のインジウムの比率を高めることで、トランジスタのオン電流、または電界効果移動度などを高めることが出来るため、好適である。また、上述した近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。

【0196】

また、酸化物230bは、結晶性を有していてもよい。例えば、後述するCAAC-OSS(c-axis aligned crystalline oxide semiconductor)を用いることが好ましい。CAAC-OSSなどの結晶性を有する酸化物は、不純物や欠陥(酸素欠損など)が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。また、加熱処理を行っても、酸化物230bから酸素が、引き抜かれることを低減できるので、トランジスタ200は、製造工程における高い温度(所謂サーマルバジェット)に対して安定である。

20

【0197】

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、絶縁体216に埋め込まれて設けることが好ましい。

【0198】

30

導電体205がゲート電極として機能する場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧( $V_{th}$ )を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の $V_{th}$ をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

【0199】

なお、導電体205は、図22Aに示すように、酸化物230の導電体242aおよび導電体242bと重ならない領域の大きさよりも、大きく設けるとよい。ここで図示しないが、導電体205は、酸化物230のチャネル幅方向において酸化物230a、および酸化物230bよりも外側の領域まで延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。導電体205を大きく設けることによって、導電体205形成以降の作製工程のプラズマを用いた処理において、局所的なチャージング(チャージアップと言う)の緩和ができる場合がある。ただし、本発明の一態様はこれに限定されない。導電体205は、少なくとも導電体242aと、導電体242bとの間に位置する酸化物230と重畳すればよい。

40

【0200】

また、絶縁体224の底面を基準として、酸化物230aおよび酸化物230bと、導

50

電体 260 とが、重ならない領域における導電体 260 の底面の高さは、酸化物 230b の底面の高さより低い位置に配置されていることが好ましい。

【0201】

図示しないが、チャネル幅方向において、ゲートとして機能する導電体 260 は、チャネル形成領域の酸化物 230b の側面および上面を酸化物 230c および絶縁体 250 を介して覆う構造とすることにより、導電体 260 から生じる電界を、酸化物 230b に生じるチャネル形成領域全体に作用させやすくなる。従って、トランジスタ 200 のオン電流を増大させ、周波数特性を向上させることができる。本明細書において、導電体 260、および導電体 205 の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

10

【0202】

また、導電体 205a は、水または水素などの不純物および酸素の透過を抑制する導電体が好ましい。例えば、チタン、窒化チタン、タンタル、または窒化タンタルを用いることができる。また、導電体 205b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205 を 2 層で図示したが、3 層以上の多層構造としてもよい。

【0203】

ここで、酸化物半導体と、酸化物半導体の下層に位置する絶縁体、または導電体と、酸化物半導体の上層に位置する絶縁体、または導電体とを、大気開放を行わずに、異なる膜種を連続成膜することで、不純物（特に、水素、水）の濃度が低減された、実質的に高純度真性である酸化物半導体膜を成膜することができるので好ましい。

20

【0204】

絶縁体 222、および絶縁体 272 および絶縁体 273 の少なくとも一つは、水または水素などの不純物が、基板側から、または、上方からトランジスタ 200 に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 222、絶縁体 272、および絶縁体 273 の少なくとも一つは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ $N_2O$ 、 $NO$ 、 $NO_2$  など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

30

【0205】

例えば、絶縁体 273 として、窒化シリコンまたは窒化酸化シリコンなどを用い、絶縁体 222 および絶縁体 272 として、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。

【0206】

これにより、水または水素などの不純物が絶縁体 222 を介して、トランジスタ 200 側に拡散するのを抑制することができる。または、絶縁体 224 などに含まれる酸素が、絶縁体 222 を介して基板側に、拡散するのを抑制することができる。

【0207】

また、水または水素などの不純物が、絶縁体 272 および絶縁体 273 を介して配置されている絶縁体 280 などからトランジスタ 200 側に拡散するのを抑制することができる。このように、トランジスタ 200 を、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体 272、および絶縁体 273 で取り囲む構造とすることが好ましい。

40

【0208】

ここで、酸化物 230 と接する絶縁体 224 は、加熱により酸素を脱離することが好ましい。本明細書では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。例えば、絶縁体 224 は、酸化シリコンまたは酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

50

## 【0209】

絶縁体224として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、昇温脱離ガス分析(TDS(Thermal Desorption Spectroscopy)分析)にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下、または100 以上400 以下の範囲が好ましい。

## 【0210】

絶縁体222は、水または水素などの不純物が、基板側からトランジスタ200に混入するのを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体222は、絶縁体224より水素透過性が低いことが好ましい。絶縁体222、および絶縁体283によって、絶縁体224および酸化物230などを囲むことにより、外方から水または水素などの不純物がトランジスタ200に侵入することを抑制することができる。

## 【0211】

さらに、絶縁体222は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい)ことが好ましい。例えば、絶縁体222は、絶縁体224より酸素透過性が低いことが好ましい。絶縁体222が、酸素や不純物の拡散を抑制する機能を有することで、酸化物230が有する酸素が、絶縁体222より下側へ拡散することを低減できるので、好ましい。また、導電体205が、絶縁体224や、酸化物230が有する酸素と反応することを抑制することができる。

## 【0212】

絶縁体222は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230からの酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の混入を抑制する層として機能する。

## 【0213】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

## 【0214】

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム( $\text{SrTiO}_3$ )または( $\text{Ba, SrTiO}_3$ (BST)などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いてもよい。例えば、絶縁体222を積層とする場合、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された3層積層や、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、酸化アルミニウムと、が順に形成された4層積層などを用いれば良い。また、絶縁体222としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタや容量素子のリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

## 【0215】

なお、絶縁体 2 2 2、および絶縁体 2 2 4 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0 2 1 6】

また、酸化物 2 3 0 b と、ソース電極またはドレイン電極として機能する導電体 2 4 2 (導電体 2 4 2 a および導電体 2 4 2 b) と、の間に酸化物 2 4 3 (酸化物 2 4 3 a および酸化物 2 4 3 b) を配置してもよい。導電体 2 4 2 と、酸化物 2 3 0 b とが接しない構成となるので、導電体 2 4 2 が、酸化物 2 3 0 b の酸素を吸収することを抑制できる。つまり、導電体 2 4 2 の酸化を防止することで、導電体 2 4 2 の導電率の低下を抑制することができる。従って、酸化物 2 4 3 は、導電体 2 4 2 の酸化を抑制する機能を有することが好ましい。

10

【0 2 1 7】

ソース電極やドレイン電極として機能する導電体 2 4 2 と酸化物 2 3 0 b との間に酸素の透過を抑制する機能を有する酸化物 2 4 3 を配置することで、導電体 2 4 2 と、酸化物 2 3 0 b との間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ 2 0 0 の電気特性およびトランジスタ 2 0 0 の信頼性を向上させることができる。

【0 2 1 8】

酸化物 2 4 3 として、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種からなる元素 M を有する金属酸化物を用いてもよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物 2 4 3 は、酸化物 2 3 0 b よりも元素 M の濃度が高いことが好ましい。また、酸化物 2 4 3 として、酸化ガリウムを用いてもよい。また、酸化物 2 4 3 として、In - M - Zn 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物 2 4 3 に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 4 3 の膜厚は、0.5 nm 以上 5 nm 以下が好ましく、より好ましくは、1 nm 以上 3 nm 以下である。また、酸化物 2 4 3 は、結晶性を有すると好ましい。酸化物 2 4 3 が結晶性を有する場合、酸化物 2 3 0 中の酸素の放出を好適に抑制することが出来る。例えば、酸化物 2 4 3 としては、六方晶などの結晶構造であれば、酸化物 2 3 0 中の酸素の放出を抑制できる場合がある。

20

30

【0 2 1 9】

なお、酸化物 2 4 3 は必ずしも設けなくてもよい。その場合、導電体 2 4 2 (導電体 2 4 2 a、および導電体 2 4 2 b) と酸化物 2 3 0 とが接することで、酸化物 2 3 0 中の酸素が導電体 2 4 2 へ拡散し、導電体 2 4 2 が酸化する場合がある。導電体 2 4 2 が酸化することで、導電体 2 4 2 の導電率が低下する蓋然性が高い。なお、酸化物 2 3 0 中の酸素が導電体 2 4 2 へ拡散することを、導電体 2 4 2 が酸化物 2 3 0 中の酸素を吸収する、と言い換えることができる。

40

【0 2 2 0】

また、酸化物 2 3 0 中の酸素が導電体 2 4 2 (導電体 2 4 2 a、および導電体 2 4 2 b) へ拡散することで、導電体 2 4 2 a と酸化物 2 3 0 b との間、および、導電体 2 4 2 b と酸化物 2 3 0 b との間に異層が形成される場合がある。当該異層は、導電体 2 4 2 よりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体 2 4 2 と、当該異層と、酸化物 2 3 0 b との 3 層構造は、金属 - 絶縁体 - 半導体からなる 3 層構造とみなすことができ、MIS (Metal - Insulator - Semiconductor) 構造と呼ぶ、または MIS 構造を主としたダイオード接合構造と呼ぶ場合がある。

【0 2 2 1】

50

なお、上記異層は、導電体 2 4 2 と酸化物 2 3 0 b との間に形成されることに限られず、例えば、異層が、導電体 2 4 2 と酸化物 2 3 0 c との間に形成される場合や、導電体 2 4 2 と酸化物 2 3 0 b との間、および導電体 2 4 2 と酸化物 2 3 0 c との間に形成される場合がある。

#### 【0 2 2 2】

酸化物 2 4 3 上には、ソース電極、およびドレイン電極として機能する導電体 2 4 2 (導電体 2 4 2 a、および導電体 2 4 2 b) が設けられる。導電体 2 4 2 の膜厚は、例えば、1 nm 以上 5 0 nm 以下、好ましくは 2 nm 以上 2 5 nm 以下、とすればよい。

#### 【0 2 2 3】

導電体 2 4 2 としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

#### 【0 2 2 4】

絶縁体 2 7 2 は、導電体 2 4 2 上面に接して設けられており、バリア層として機能することが好ましい。当該構成にすることで、導電体 2 4 2 による、絶縁体 2 8 0 が有する過剰酸素の吸収を抑制することができる。また、導電体 2 4 2 の酸化を抑制することで、トランジスタ 2 0 0 と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ 2 0 0 に良好な電気特性および信頼性を与えることができる。

#### 【0 2 2 5】

従って、絶縁体 2 7 2 は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 2 7 2 は、絶縁体 2 8 0 よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体 2 7 2 としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。また、絶縁体 2 7 2 としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

#### 【0 2 2 6】

図 2 2 A に示すように、絶縁体 2 7 2 は、導電体 2 4 2 b の上面の一部、および導電体 2 4 2 b の側面と接する。また、図示しないが、絶縁体 2 7 2 は、導電体 2 4 2 a の上面の一部、および導電体 2 4 2 a の側面と接する。また、絶縁体 2 7 2 上に絶縁体 2 7 3 が配置されている。このようにすることで、例えば絶縁体 2 8 0 に添加された酸素が、導電体 2 4 2 吸収されることを抑制することができる。

#### 【0 2 2 7】

絶縁体 2 5 0 は、ゲート絶縁体として機能する。絶縁体 2 5 0 は、酸化物 2 3 0 c の上面に接して配置することが好ましい。絶縁体 2 5 0 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

#### 【0 2 2 8】

絶縁体 2 2 4 と同様に、絶縁体 2 5 0 は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体 2 5 0 として、酸化物 2 3 0 c の上面に接して設けることにより、酸化物 2 3 0 b のチャネル形成領域に

10

20

30

40

50



効果的に酸素を供給することができる。また、絶縁体 224 と同様に、絶縁体 250 中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体 250 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

#### 【0229】

また、絶縁体 250 と導電体 260 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 250 から導電体 260 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 250 から導電体 260 への酸素の拡散が抑制される。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の酸素による導電体 260 の酸化を抑制することができる。

#### 【0230】

また、当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体 250 に酸化シリコンや酸化窒化シリコンなどを用いる場合、当該金属酸化物は、比誘電率が高い high-k 材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体 250 と当該金属酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

#### 【0231】

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物 (ハフニウムアルミネート) などを用いることが好ましい。

#### 【0232】

または、当該金属酸化物は、ゲートの一部としての機能を有する場合がある。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

#### 【0233】

特に、ゲートとして機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

#### 【0234】

導電体 260 は、図 22A では 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

#### 【0235】

導電体 260a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 ( $N_2O$ 、 $NO$ 、 $NO_2$  など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素 (例えば、酸素原子、酸素分子などの少なくとも一) の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

#### 【0236】

また、導電体 260a が酸素の拡散を抑制する機能を持つことにより、絶縁体 250 に

10

20

30

40

50

含まれる酸素により、導電体 260b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

【0237】

また、導電体 260b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 260 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 260b は積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。

【0238】

<<金属酸化物>>

酸化物 230 として、酸化物半導体として機能する金属酸化物を用いることが好ましい。以下では、本発明に係る酸化物 230 に適用可能な金属酸化物について説明する。

【0239】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0240】

ここでは、金属酸化物が、インジウム、元素 M および亜鉛を有する  $In-M-Zn$  酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）である場合を考える。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。

【0241】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

【0242】

<トランジスタ 300>

図 22B を用いてトランジスタ 300 を説明する。トランジスタ 300 は、半導体基板 311 上に設けられ、ゲートとして機能する導電体 316、ゲート絶縁体として機能する絶縁体 315、半導体基板 311 の一部からなる半導体領域 313、およびソース領域またはドレイン領域として機能する低抵抗領域 314a、および低抵抗領域 314b を有する。トランジスタ 300 は、p チャネル型、あるいは n チャネル型のいずれでもよい。

【0243】

ここで、図 22B に示すトランジスタ 300 はチャネルが形成される半導体領域 313（半導体基板 311 の一部）が凸形状を有する。また、半導体領域 313 の側面および上面を、絶縁体 315 を介して、導電体 316 が覆うように設けられている。なお、導電体 316 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 300 は半導体基板 311 の凸部を利用していることから FIN 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板 311 の一部を加工して凸部を形成する場合を示したが、SOI 基板を加工して凸形状を有する半導体膜を形成してもよい。

【0244】

なお、図 22B に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

10

20

30

40

50

## 【 0 2 4 5 】

## &lt; メモリデバイス 4 2 0 &gt;

次に、図 2 1 に示すメモリデバイス 4 2 0 について説明する。なお、メモリデバイス 4 2 0 が有するトランジスタ 2 0 0 M について、トランジスタ 2 0 0 と重複する説明は省略する。

## 【 0 2 4 6 】

メモリデバイス 4 2 0 において、トランジスタ 2 0 0 M の導電体 2 4 2 a は、容量素子 2 9 2 の電極の一方として機能し、絶縁体 2 7 2、および絶縁体 2 7 3 は、誘電体として機能する。絶縁体 2 7 2、および絶縁体 2 7 3 を間に挟み、導電体 2 4 2 a と重畳するように導電体 2 9 0 が設けられ、容量素子 2 9 2 の電極の他方として機能する。導電体 2 9 0 は、隣接するメモリデバイス 4 2 0 が有する容量素子 2 9 2 の電極の他方として用いてもよい。または、導電体 2 9 0 は、隣接するメモリデバイス 4 2 0 が有する導電体 2 9 0 と電氣的に接続してもよい。

10

## 【 0 2 4 7 】

導電体 2 9 0 は、絶縁体 2 7 2 および絶縁体 2 7 3 を間に挟み、導電体 2 4 2 a の上面および導電体 2 4 2 a の側面にも配置される。このとき容量素子 2 9 2 は、導電体 2 4 2 a と導電体 2 9 0 が重畳する面積により得られる容量より大きい容量が得られるため、好ましい。

## 【 0 2 4 8 】

導電体 4 2 4 は、導電体 2 4 2 b と電氣的に接続し、かつ導電体 2 0 5 を介して下層に位置する導電体 4 2 4 と電氣的に接続する。

20

## 【 0 2 4 9 】

容量素子 2 9 2 の誘電体として、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、および酸化ハフニウムなどを用いることができる。また、これらの材料を積層して用いることができる。容量素子 2 9 2 の誘電体を積層構造とする場合、酸化アルミニウムと窒化シリコンの積層、酸化ハフニウムと酸化シリコンの積層を用いることができる。ここで、積層の上下は限定されない。例えば、酸化アルミニウムの上に窒化シリコンが積層されてもよいし、窒化シリコンの上に酸化アルミニウムが積層されてもよい。

## 【 0 2 5 0 】

また、容量素子 2 9 2 の誘電体として、上記材料よりも高い誘電率を有する酸化ジルコニウムを用いてもよい。容量素子 2 9 2 の誘電体として、酸化ジルコニウムを単層で用いてもよいし、積層の一部として用いてもよい。例えば、酸化ジルコニウムと酸化アルミニウムの積層を用いることができる。また、容量素子 2 9 2 の誘電体を 3 層の積層としてもよく、第 1 の層、および第 3 の層に酸化ジルコニウムを用い、第 1 の層および第 3 の層の間の第 2 の層に酸化アルミニウムを用いてもよい。

30

## 【 0 2 5 1 】

容量素子 2 9 2 の誘電体として高い誘電率を有する酸化ジルコニウムを用いることで、容量素子 2 9 2 がメモリデバイス 4 2 0 に占める面積を削減できる。そのため、メモリデバイス 4 2 0 に必要な面積を削減でき、ビットコストを向上させることができ好ましい。

## 【 0 2 5 2 】

また、導電体 2 9 0 として、導電体 2 0 5、導電体 2 4 2、導電体 2 6 0、導電体 4 2 4 などに用いることができる材料を用いることができる。

40

## 【 0 2 5 3 】

本実施の形態では、導電体 4 2 4 を間に挟み、トランジスタ 2 0 0 M および容量素子 2 9 2 が対称に配置される例を示している。このように一対のトランジスタ 2 0 0 M および容量素子 2 9 2 を配置することにより、トランジスタ 2 0 0 M と電氣的に接続する導電体 4 2 4 の数を減らすことができる。そのため、メモリデバイス 4 2 0 に必要な面積を削減でき、ビットコストを向上させることができ好ましい。

## 【 0 2 5 4 】

導電体 4 2 4 の側面に絶縁体 2 4 1 が設けられている場合、導電体 4 2 4 は、導電体 2

50

4 2 b の上面の少なくとも一部と接続する。

【0255】

導電体 4 2 4 および導電体 2 0 5 を用いることで、メモリユニット 4 7 0 内のトランジスタ 2 0 0 T とメモリデバイス 4 2 0 を電氣的に接続することができる。

【0256】

<メモリデバイス 4 2 0 の変形例 1>

次に、図 2 3 B を用いて、メモリデバイス 4 2 0 の変形例として、メモリデバイス 4 2 0 A を説明する。メモリデバイス 4 2 0 A は、トランジスタ 2 0 0 M と、トランジスタ 2 0 0 M と電氣的に接続する容量素子 2 9 2 A を有する。容量素子 2 9 2 A は、トランジスタ 2 0 0 M の下方に設けられる。

【0257】

メモリデバイス 4 2 0 A では、導電体 2 4 2 a は、酸化物 2 4 3 a、酸化物 2 3 0 b、酸化物 2 3 0 a、絶縁体 2 2 4、および絶縁体 2 2 2 に設けられた開口内に配置され、該開口底部で導電体 2 0 5 と電氣的に接続する。導電体 2 0 5 は、容量素子 2 9 2 A と電氣的に接続する。

【0258】

容量素子 2 9 2 A は、電極の一方として機能する導電体 2 9 4 と、誘電体として機能する絶縁体 2 9 5 と、電極の他方として機能する導電体 2 9 7 を有する。導電体 2 9 7 は、絶縁体 2 9 5 を間に挟み、導電体 2 9 4 と重畳する。また、導電体 2 9 7 は、導電体 2 0 5 と電氣的に接続する。

【0259】

導電体 2 9 4 は、絶縁体 2 9 6 上に設けられた絶縁体 2 9 8 に形成された開口の底部および側面に設けられ、絶縁体 2 9 5 は、絶縁体 2 9 8、および導電体 2 9 4 を覆うように設けられる。また、導電体 2 9 7 は、絶縁体 2 9 5 が有する凹部に埋め込まれるように設けられる。

【0260】

また、絶縁体 2 9 6 に埋め込まれるように導電体 2 9 9 が設けられており、導電体 2 9 9 は、導電体 2 9 4 と電氣的に接続する。導電体 2 9 9 は、隣接するメモリデバイス 4 2 0 A の導電体 2 9 4 と電氣的に接続してもよい。

【0261】

導電体 2 9 7 は、絶縁体 2 9 5 を間に挟み、導電体 2 9 4 の上面および導電体 2 9 4 の側面にも配置される。このとき容量素子 2 9 2 A は、導電体 2 9 4 と導電体 2 9 7 が重畳する面積により得られる容量より大きい容量が得られるため、好ましい。

【0262】

容量素子 2 9 2 A の誘電体として機能する絶縁体 2 9 5 として、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、および酸化ハフニウムなどを用いることができる。また、これらの材料を積層して用いることができる。絶縁体 2 9 5 を積層構造とする場合、酸化アルミニウムと窒化シリコンの積層、酸化ハフニウムと酸化シリコンの積層を用いることができる。ここで、積層の上下は限定されない。例えば、酸化アルミニウムの上に窒化シリコンが積層されてもよいし、窒化シリコンの上に酸化アルミニウムが積層されてもよい。

【0263】

また、絶縁体 2 9 5 として、上記材料よりも高い誘電率を有する酸化ジルコニウムを用いてもよい。絶縁体 2 9 5 として、酸化ジルコニウムを単層で用いてもよいし、積層の一部として用いてもよい。例えば、酸化ジルコニウムと酸化アルミニウムの積層を用いることができる。また、絶縁体 2 9 5 を 3 層の積層としてもよく、第 1 の層、および第 3 の層に酸化ジルコニウムを用い、第 1 の層および第 3 の層の間の第 2 の層に酸化アルミニウムを用いてもよい。

【0264】

絶縁体 2 9 5 として高い誘電率を有する酸化ジルコニウムを用いることで、容量素子 2

10

20

30

40

50

92Aがメモリデバイス420Aに占める面積を削減できる。そのため、メモリデバイス420Aに必要な面積を削減でき、ビットコストを向上させることができ好ましい。

【0265】

また、導電体297、導電体294、および導電体299として、導電体205、導電体242、導電体260、導電体424などに用いることができる材料を用いることができる。

【0266】

また、絶縁体298として、絶縁体214、絶縁体216、絶縁体224、および絶縁体280などに用いることができる材料を用いることができる。

【0267】

<メモリデバイス420の変形例2>

次に、図23Cを用いて、メモリデバイス420の変形例として、メモリデバイス420Bを説明する。メモリデバイス420Bは、トランジスタ200Mと、トランジスタ200Mと電氣的に接続する容量素子292Bを有する。容量素子292Bは、トランジスタ200Mの上方に設けられる。

【0268】

容量素子292Bは、電極の一方として機能する導電体276と、誘電体として機能する絶縁体277と、電極の他方として機能する導電体278を有する。導電体278は、絶縁体277を間に挟み、導電体276と重畳する。

【0269】

絶縁体282上に絶縁体275が設けられ、導電体276は、絶縁体275、絶縁体282、絶縁体280、絶縁体273、および絶縁体272に形成された開口の底部および側面に設けられる。絶縁体277は、絶縁体282および導電体276を覆うように設けられる。また、導電体278は、絶縁体277が有する凹部内で導電体276と重畳するように設けられ、少なくともその一部は、絶縁体277を介して絶縁体275上に設けられる。導電体278は、隣接するメモリデバイス420Bが有する容量素子292Bの電極の他方として用いてもよい。または、導電体278は、隣接するメモリデバイス420Bが有する導電体278と電氣的に接続してもよい。

【0270】

導電体278は、絶縁体277を間に挟み、導電体276の上面および導電体276の側面にも配置される。このとき容量素子292Bは、導電体276と導電体278が重畳する面積により得られる容量より大きい容量が得られるため、好ましい。

【0271】

また、導電体278が有する凹部を埋め込むように絶縁体279を設けてもよい。

【0272】

容量素子292Bの誘電体として機能する絶縁体277として、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、および酸化ハフニウムなどを用いることができる。また、これらの材料を積層して用いることができる。絶縁体277を積層構造とする場合、酸化アルミニウムと窒化シリコンの積層、酸化ハフニウムと酸化シリコンの積層を用いることができる。ここで、積層の上下は限定されない。例えば、酸化アルミニウムの上に窒化シリコンが積層されてもよいし、窒化シリコンの上に酸化アルミニウムが積層されてもよい。

【0273】

また、絶縁体277として、上記材料よりも高い誘電率を有する酸化ジルコニウムを用いてもよい。絶縁体277として、酸化ジルコニウムを単層で用いてもよいし、積層の一部として用いてもよい。例えば、酸化ジルコニウムと酸化アルミニウムの積層を用いることができる。また、絶縁体277を3層の積層としてもよく、第1の層、および第3の層に酸化ジルコニウムを用い、第1の層および第3の層の間の第2の層に酸化アルミニウムを用いてもよい。

【0274】

10

20

30

40

50

絶縁体 277 として高い誘電率を有する酸化ジルコニウムを用いることで、容量素子 292B がメモリデバイス 420B に占める面積を削減できる。そのため、メモリデバイス 420B に必要な面積を削減でき、ビットコストを向上させることができ好ましい。

【0275】

また、導電体 276、および導電体 278 として、導電体 205、導電体 242、導電体 260、導電体 424 などに用いることができる材料を用いることができる。

【0276】

また、絶縁体 275、および絶縁体 279 として、絶縁体 214、絶縁体 216、絶縁体 224、および絶縁体 280 などに用いることができる材料を用いることができる。

【0277】

<メモリデバイス 420 とトランジスタ 200T との接続>

図 21 において一点鎖線で囲んだ領域 422 にて、メモリデバイス 420 は、導電体 424 および導電体 205 を介してトランジスタ 200T のゲートと電氣的に接続されているが、本実施の形態はこれに限らない。

【0278】

図 24 は、メモリデバイス 420 が、導電体 424、導電体 205、導電体 246b、および導電体 240b を介してトランジスタ 200T のソースおよびドレインの一方として機能する導電体 242b と電氣的に接続する例を示している。

【0279】

このように、トランジスタ層 413 が有する回路の機能に応じてメモリデバイス 420 とトランジスタ 200T の接続方法を決定することができる。

【0280】

図 25 は、メモリユニット 470 がトランジスタ 200T を有するトランジスタ層 413 と、4 層のメモリデバイス層 415 (メモリデバイス層 415 \_\_ 1 乃至メモリデバイス層 415 \_\_ 4) を有する例を示す。

【0281】

メモリデバイス層 415 \_\_ 1 乃至メモリデバイス層 415 \_\_ 4 は、それぞれ複数のメモリデバイス 420 を有する。

【0282】

メモリデバイス 420 は、導電体 424、および導電体 205 を介して異なるメモリデバイス層 415 が有するメモリデバイス 420、およびトランジスタ層 413 が有するトランジスタ 200T と電氣的に接続する。

【0283】

メモリユニット 470 は、絶縁体 211、絶縁体 212、絶縁体 214、絶縁体 287、絶縁体 282、絶縁体 283、および絶縁体 284 により封止される。絶縁体 284 の周囲には絶縁体 274 が設けられる。また、絶縁体 274、絶縁体 284、絶縁体 283、および絶縁体 211 には導電体 430 が設けられ、素子層 411 と電氣的に接続する。

【0284】

また、封止構造の内部には、絶縁体 280 が設けられる。絶縁体 280 は、加熱により酸素を放出する機能を有する。または、絶縁体 280 は、過剰酸素領域を有する。

【0285】

なお、絶縁体 211、絶縁体 283、および絶縁体 284 は、水素に対するブロッキング性が高い機能を有する材料であると好適である。また、絶縁体 214、絶縁体 282、および絶縁体 287 は、水素を捕獲、または水素を固着する機能を有する材料であると好適である。

【0286】

例えば、上記水素に対するブロッキング性が高い機能を有する材料は、窒化シリコン、または窒化酸化シリコンなどが挙げられる。また、上記水素を捕獲、または水素を固着する機能を有する材料は、酸化アルミニウム、酸化ハフニウム、並びにアルミニウムおよびハフニウムを含む酸化物 (ハフニウムアルミネート) などが挙げられる。

10

20

30

40

50

## 【0287】

なお、本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

## 【0288】

なお、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284に用いる材料の結晶構造については、特に限定は無いが、非晶質または結晶性を有する構造とすればよい。例えば、水素を捕獲、または水素を固着する機能を有する材料として、非晶質の酸化アルミニウム膜を用いると好適である。非晶質の酸化アルミニウムは、結晶性の高い酸化アルミニウムよりも、水素の捕獲、および固着する量が多い場合がある。

10

## 【0289】

ここで、絶縁体280中の過剰酸素は、絶縁体280と接する酸化物半導体中の水素の拡散に対し、下記のようなモデルが考えられる。

## 【0290】

酸化物半導体中に存在する水素は、酸化物半導体に接する絶縁体280を介して、他の構造体へと拡散する。当該水素の拡散は、絶縁体280中の過剰酸素が酸化物半導体中の水素と反応しOH結合となり、当該水素は絶縁体280中を拡散する。OH結合を有した水素原子は、水素を捕獲、または水素を固着する機能を有する材料（代表的には、絶縁体282）に到達した際に、水素原子は絶縁体282中の原子（例えば、金属原子など）と結合した酸素原子と反応し、絶縁体282中に捕獲、または固着する。一方、OH結合を有していた過剰酸素の酸素原子は、過剰酸素として絶縁体280中に残ると推測される。つまり、当該水素の拡散において、絶縁体280中の過剰酸素が、橋渡しの役割を担う蓋然性が高い。

20

## 【0291】

上記のモデルを満たすためには、半導体装置の作製プロセスが重要な要素の一つとなる。

## 【0292】

一例として、酸化物半導体に、過剰酸素を有する絶縁体280を形成し、その後、絶縁体282を形成する。そのあとに、加熱処理を行うことが好ましい。当該加熱処理は、具体的には、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350 以上、好ましくは400 以上の温度で行う。加熱処理の時間は、1時間以上、好ましくは4時間以上、さらに好ましくは8時間以上とする。

30

## 【0293】

上記の加熱処理によって、酸化物半導体中の水素が、絶縁体280、絶縁体282、および絶縁体287を介して、外方に拡散することができる。つまり、酸化物半導体、および当該酸化物半導体近傍に存在する水素の絶対量を低減することができる。

## 【0294】

上記加熱処理のあと、絶縁体283、および絶縁体284を形成する。絶縁体283、および絶縁体284は、水素に対するブロッキング性が高い機能を有する材料であるため、外方に拡散させた水素、または外部に存在する水素を、内部、具体的には、酸化物半導体、または絶縁体280側に入り込むのを抑制することができる。

40

## 【0295】

なお、上記の加熱処理については、絶縁体282を形成したあとに行う構成について、例示したが、これに限定されない。例えば、トランジスタ層413の形成後、またはメモリデバイス層415\_\_1乃至メモリデバイス層415\_\_3の形成後に、それぞれ上記加熱処理を行ってもよい。また、上記加熱処理によって、水素を外方に拡散させる際には、トランジスタ層413の上方または横方向に水素が拡散される。同様に、メモリデバイス層415\_\_1乃至メモリデバイス層415\_\_3形成後に加熱処理をする場合においては、水素は上方または横方向に拡散される。

## 【0296】

50

なお、上記の作製プロセスにおいて、絶縁体 2 1 1 と、絶縁体 2 8 3 と、が接着することで、上述した封止構造が形成される。

【 0 2 9 7 】

以上のように、上記の構造、および上記の作製プロセスとすることで、水素濃度が低減された酸化物半導体を用いた半導体装置を提供することができる。従って、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。

【 0 2 9 8 】

図 2 6 A 乃至図 2 6 C は、導電体 4 2 4 の配置が図 2 5 と異なる例を示す図である。図 2 6 A は、メモリデバイス 4 2 0 を上面から見たときのレイアウト図を示し、図 2 6 B は、図 2 6 A に A 1 - A 2 の一点鎖線で示す部位の断面図であり、図 2 6 C は、図 2 6 A に B 1 - B 2 の一点鎖線で示す部位の断面図である。なお、図 2 6 A では、図の理解を容易にするため、導電体 2 0 5 の図示を省略する。導電体 2 0 5 を設ける場合、導電体 2 0 5 は、導電体 2 6 0、および導電体 4 2 4 と重畳する領域を有する。

10

【 0 2 9 9 】

図 2 6 A に示すように、導電体 4 2 4 が設けられる開口、すなわち導電体 4 2 4 は、酸化物 2 3 0 a、および酸化物 2 3 0 b と重畳する領域だけでなく、酸化物 2 3 0 a、および酸化物 2 3 0 b の外側にも設けられている。図 2 6 A では、導電体 4 2 4 が酸化物 2 3 0 a、および酸化物 2 3 0 b の B 2 側にはみ出すように設けられる例を示しているが、本実施の形態はこれに限定されない。導電体 4 2 4 は酸化物 2 3 0 a、および酸化物 2 3 0 b の B 1 側にはみ出すように設けられてもよいし、B 1 側および B 2 側の両方にはみ出すように設けられてもよい。

20

【 0 3 0 0 】

図 2 6 B、および図 2 6 C は、メモリデバイス層 4 1 5 \_\_ p - 1 の上にメモリデバイス層 4 1 5 \_\_ p が積層される例を示す ( p は、2 以上 n 以下の自然数 )。メモリデバイス層 4 1 5 \_\_ p - 1 が有するメモリデバイス 4 2 0 は、導電体 4 2 4、および導電体 2 0 5 を介して、メモリデバイス層 4 1 5 \_\_ p が有するメモリデバイス 4 2 0 と電氣的に接続する。

【 0 3 0 1 】

図 2 6 B では、メモリデバイス層 4 1 5 \_\_ p - 1 において、導電体 4 2 4 は、メモリデバイス層 4 1 5 \_\_ p - 1 の導電体 2 4 2、およびメモリデバイス層 4 1 5 \_\_ p の導電体 2 0 5 と接続する例を示している。ここで、導電体 4 2 4 は、導電体 2 4 2、酸化物 2 4 3、酸化物 2 3 0 b、および酸化物 2 3 0 a の B 2 側の外側でメモリデバイス層 4 1 5 \_\_ p - 1 の導電体 2 0 5 とともに接続している。

30

【 0 3 0 2 】

図 2 6 C では、導電体 4 2 4 が導電体 2 4 2、酸化物 2 4 3、酸化物 2 3 0 b、および酸化物 2 3 0 a の B 2 側の側面に沿って形成され、絶縁体 2 8 0、絶縁体 2 7 3、絶縁体 2 7 2、絶縁体 2 2 4、および絶縁体 2 2 2 に形成された開口を介して導電体 2 0 5 と電氣的に接続されていることがわかる。ここで、導電体 4 2 4 が導電体 2 4 2、酸化物 2 4 3、酸化物 2 3 0 b、および酸化物 2 3 0 a の B 2 側の側面に沿って設けられる例を図 2 6 B では点線で示している。また、導電体 2 4 2、酸化物 2 4 3、酸化物 2 3 0 b、酸化物 2 3 0 a、絶縁体 2 2 4、および絶縁体 2 2 2 の B 2 側の側面と導電体 4 2 4 の間には、絶縁体 2 4 1 が形成される場合がある。

40

【 0 3 0 3 】

導電体 4 2 4 を導電体 2 4 2 などと重ならない領域にも設けることで、メモリデバイス 4 2 0 は、異なるメモリデバイス層 4 1 5 に設けられたメモリデバイス 4 2 0 と電氣的に接続することができる。また、メモリデバイス 4 2 0 は、トランジスタ層 4 1 3 に設けられたトランジスタ 2 0 0 T とともに電氣的に接続することができる。

【 0 3 0 4 】

また、導電体 4 2 4 をビット線としたとき、導電体 4 2 4 を導電体 2 4 2 などと重ならない領域にも設けることで、B 1 - B 2 方向で隣り合うメモリデバイス 4 2 0 のビット線

50



の距離を拡げることができる。図 2 6 A に示すように、導電体 2 4 2 上における導電体 4 2 4 同士の間隔は、 $d_1$  であるが、酸化物 2 3 0 a より下層、すなわち絶縁体 2 2 4、および絶縁体 2 2 2 に形成された開口内に位置する導電体 4 2 4 同士の間隔は  $d_2$  となり、 $d_2$  は  $d_1$  よりも大きくなる。B 1 - B 2 方向で隣り合う導電体 4 2 4 同士の間隔が  $d_1$  である場合に比べ、一部の間隔を  $d_2$  とすることで、導電体 4 2 4 の寄生容量を低減することができる。導電体 4 2 4 の寄生容量を低減することで、容量素子 2 9 2 に必要な容量を低減できるため好ましい。

#### 【0305】

メモリデバイス 4 2 0 では、2 つのメモリセルに対して共通のビット線として機能する導電体 4 2 4 を設けている。容量に用いられる誘電体の誘電率や、ビット線間の寄生容量を適宜調整することで、各メモリセルのセルサイズを縮小できる。ここでは、チャンネル長を 30 nm (30 nm ノードともいう) としたときのメモリセルのセルサイズの見積もり、ビット密度の見積もり、およびビットコストの見積もりについて説明する。なお、以下で説明する図 2 7 A 乃至図 2 7 D では、図の理解を容易にするため、導電体 2 0 5 の図示を省略する。導電体 2 0 5 を設ける場合、導電体 2 0 5 は、導電体 2 6 0、および導電体 4 2 4 と重畳する領域を有する。

#### 【0306】

図 2 7 A は、容量の誘電体として、10 nm の厚さの酸化ハフニウムとその上に 1 nm の酸化シリコンを順に積層し、メモリデバイス 4 2 0 が有する各メモリセルの導電体 2 4 2、酸化物 2 4 3、酸化物 2 3 0 a、および酸化物 2 3 0 b の間にはスリットが設けられ、導電体 2 4 2 および該スリットと重畳するようにビット線として機能する導電体 4 2 4 が設けられる例を示す。このようにして得られたメモリセル 4 3 2 をセル A と呼ぶ。

#### 【0307】

セル A におけるセルサイズは、 $45 \cdot 25 F^2$  である。

#### 【0308】

図 2 7 B は、容量の誘電体として、第 1 の酸化ジルコニウムと、その上に酸化アルミニウムと、その上に第 2 の酸化ジルコニウムを順に積層し、メモリデバイス 4 2 0 が有する各メモリセルの導電体 2 4 2、酸化物 2 4 3、酸化物 2 3 0 a、および酸化物 2 3 0 b の間にはスリットが設けられ、導電体 2 4 2 および該スリットと重畳するようにビット線として機能する導電体 4 2 4 が設けられる例を示す。このようにして得られたメモリセル 4 3 3 をセル B と呼ぶ。

#### 【0309】

セル B は、セル A と比較して容量に用いる誘電体の誘電率が高いため、容量の面積を縮小できる。よって、セル B では、セル A と比較して、セルサイズを縮小できる。セル B におけるセルサイズは、 $25 \cdot 53 F^2$  である。

#### 【0310】

セル A、およびセル B は、図 2 1、図 2 3 A 乃至図 2 3 C、および図 2 4 に示すメモリデバイス 4 2 0、メモリデバイス 4 2 0 A、またはメモリデバイス 4 2 0 B が有するメモリセルに対応する。

#### 【0311】

図 2 7 C は、容量の誘電体として、第 1 の酸化ジルコニウムと、その上に酸化アルミニウムと、その上に第 2 の酸化ジルコニウムを積層し、メモリデバイス 4 2 0 が有する導電体 2 4 2、酸化物 2 4 3、酸化物 2 3 0 a、および酸化物 2 3 0 b を各メモリセルが共有し、導電体 2 4 2 と重畳する一部、および導電体 2 4 2 の外側の一部と重畳するようにビット線として機能する導電体 4 2 4 が設けられる例を示す。このようにして得られたメモリセル 4 3 4 をセル C と呼ぶ。

#### 【0312】

セル C における導電体 4 2 4 の間隔は、導電体 2 4 2 の上方と比較して、酸化物 2 3 0 a より下層において広がる。そのため、導電体 4 2 4 の寄生容量を低減することができ、容量の面積を縮小できる。また、導電体 2 4 2、酸化物 2 4 3、酸化物 2 3 0 a、およ

10

20

30

40

50

び酸化物 2 3 0 b にスリットを設けない。以上より、セル C では、セル A およびセル B と比較して、セルサイズを縮小できる。セル C におけるセルサイズは、 $17 \cdot 20 F^2$  である。

【0313】

図 2 7 D は、セル C において導電体 2 0 5 および絶縁体 2 1 6 を設けない例を示す。このようなメモリセル 4 3 5 をセル D と呼ぶ。

【0314】

セル D において導電体 2 0 5 および絶縁体 2 1 6 を設けないことで、メモリデバイス 4 2 0 を薄くすることができる。そのため、メモリデバイス 4 2 0 を有するメモリデバイス層 4 1 5 を薄くすることができ、メモリデバイス層 4 1 5 を複数積層したメモリユニット 4 7 0 の高さを低くすることができる。導電体 4 2 4 および導電体 2 0 5 をビット線とみなしたとき、メモリユニット 4 7 0 内でビット線を短くすることができる。ビット線を短くできるため、ビット線の寄生負荷が低減され、導電体 4 2 4 の寄生容量をさらに低減することができ、容量の面積を縮小できる。また、導電体 2 4 2、酸化物 2 4 3、酸化物 2 3 0 a、および酸化物 2 3 0 b にスリットを設けない。以上より、セル D では、セル A、セル B、およびセル C と比較して、セルサイズを縮小できる。セル D におけるセルサイズは、 $15 \cdot 12 F^2$  である。

【0315】

セル C、およびセル D は、図 2 6 A 乃至図 2 6 C に示すメモリデバイス 4 2 0 が有するメモリセルに対応する。

【0316】

ここでセル A 乃至セル D、およびセル D において多値化を行ったセル E についてビット密度、およびビットコスト  $C_b$  の見積もりを行った。また、得られた見積もりについて現在市販されている DRAM におけるビット密度、およびビットコストの予想値と比較した。

【0317】

本発明の一態様の半導体装置におけるビットコスト  $C_b$  は、数式 1 を用いて見積もった。

【0318】

【数 1】

$$C_b = \frac{(P_c + n \times P_s)}{n} \times \frac{D_d}{D_{3d}} \times \frac{1}{P_d} \quad \dots (1)$$

【0319】

ここで、 $n$  はメモリデバイス層の積層数、 $P_c$  は共通部分として主に素子層 4 1 1 のパターンニング回数、 $P_s$  はメモリデバイス層 4 1 5 およびトランジスタ層 4 1 3 の 1 層あたりのパターンニング回数、 $D_d$  は DRAM のビット密度、 $D_{3d}$  はメモリデバイス層 4 1 5 の 1 層のビット密度、 $P_d$  は DRAM のパターンニング回数を示す。ただし、 $P_d$  において、スケールに伴う増加分を含む。

【0320】

表 1 に、市販されている DRAM のビット密度の予想値、および本発明の一態様の半導体装置のビット密度の見積もりを示す。なお、市販されている DRAM は、プロセスノードが 18 nm、および 1 X nm の 2 種類である。また、本発明の一態様の半導体装置のプロセスノードは 30 nm とし、セル A 乃至セル E におけるメモリデバイス層の積層数を 5 層、10 層、および 20 層としてビット密度の見積もりを行った。

【0321】

10

20

30

40

50

【表 1】

	DRAM		本発明の一態様の記憶装置			
メーカー	A社	B社	-			
プロセスノード	18 nm	1X nm	30nm			
積層数	-	-		5	10	20
ビット密度 [Gb/mm <sup>2</sup> ] (*)は予想値	0.19 (*)	0.14 (*)	セルA	0.05	0.10	0.20
			セルB	0.09	0.17	0.35
			セルC	0.13	0.26	0.52
			セルD	0.15	0.29	0.59
			セルE	0.30	0.59	1.18

10

## 【 0 3 2 2 】

表 2 に、市販されている D R A M のビットコストから、本発明の一態様の半導体装置の相対ビットコストを見積もった結果を示す。なお、ビットコストの比較には、プロセスノードが 1 X n m の D R A M を用いた。また、本発明の一態様の半導体装置のプロセスノードは 3 0 n m とし、セル A 乃至セル D におけるメモリデバイス層の積層数を 5 層、1 0 層、および 2 0 層として見積もりを行った。

20

## 【 0 3 2 3 】

【表 2】

	DRAM		本発明の一態様の記憶装置			
メーカー	A社	B社	-			
プロセスノード	18 nm	1X nm	30nm			
積層数	-	-		5	10	20
B社のビットコストを1としたときの相対ビットコスト	-	1	セルA	1.7	1.3	1.2
			セルB	0.9	0.7	0.7
			セルC	0.6	0.5	0.4
			セルD	0.5	0.4	0.3

30

40

## 【 0 3 2 4 】

また表 3 には、表 1 とは異なるビット密度の見積もりとして、市販されている D R A M のビット密度の予想値、および本発明の一態様の半導体装置のビット密度の見積もりを示す。なお、市販されている D R A M は、プロセスノードが 1 X n m である。本発明の一態様の半導体装置のプロセスノードは 3 0 n m とし、セル C においてメモリデバイス層 4 1 5 およびトランジスタ層 4 1 3 の積層数を 5 層、1 0 層、および 1 0 層で且つ 4 b i t / c e l l の多値化を行ったとして見積もりを行った。また表 3 では、市販されている D R A M のビットコストから、本発明の一態様の半導体装置の相対ビットコストを見積もった結果を示す。ビット密度と同様に、本発明の一態様の半導体装置のプロセスノードは 3 0

50

nmとし、セルCにおいてメモリデバイス層415およびトランジスタ層413の積層数を5層、10層、および10層で且つ4bit/cellの多値化を行ったとして見積もりを行った。

【0325】

【表3】

	DRAM	本発明の一態様の半導体装置		
プロセスノード	1X nm	30nm		
積層数	-	5層	10層	10層, 多値化
ビット密度 [Gb/mm <sup>2</sup> ]	0.14 (*)	0.13	0.26	1.04
ビットコストを1としたときの相対 ビットコスト	1	0.6	0.5	0.1

10

【0326】

DRAMは微細化が限界だが、本発明の一態様の半導体装置は、DRAMでは原理的に不可能な多値化を行うことで、微細化の限界に到達することなく、DRAMを超えた高ビット密度と、低コスト、極省電力化が可能である。また、データリフレッシュ頻度がDRAMのおよそ6万分の1（DRAM：64msに1回、本発明の一態様の半導体装置：1hに1回）のため、メモリ容量が大きく増加しても、省電力化が可能なメモリとすることができる。

20

【0327】

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

【0328】

（実施の形態3）

本実施の形態では、上記の実施の形態で説明したOSTランジスタに用いることができる金属酸化物であるCAC-OS（Cloud-Aligned Composite Oxide Semiconductor）、およびCAAC-OS（c-axis Aligned Crystal Oxide Semiconductor）の構成について説明する。

30

【0329】

<金属酸化物の構成>

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

40

【0330】

また、CAC-OSまたはCAC-metal oxideは、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料

50

中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

#### 【0331】

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

#### 【0332】

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

#### 【0333】

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

#### 【0334】

##### <金属酸化物の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)および非晶質酸化物半導体などがある。

#### 【0335】

また、酸化物半導体は、結晶構造に着目した場合、上記とは異なる分類となる場合がある。ここで、酸化物半導体における、結晶構造の分類について、図28Aを用いて説明を行う。図28Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

#### 【0336】

図28Aに示すように、IGZOは、大きく分けてAmorphousと、Crystallineと、Crystalと、に分類される。また、Amorphousの中には、completely amorphousが含まれる。また、Crystallineの中には、CAAC(c-axis aligned crystalline)、nc(nanocrystalline)、およびCAC(Cloud-Aligned Composite)が含まれる。また、Crystalの中には、single crystal、およびpoly crystalが含まれる。

#### 【0337】

なお、図28Aに示す太枠内の構造は、New crystalline phaseに属する構造である。当該構造は、Amorphousと、Crystalとの間の境界領域にある。すなわち、エネルギー的に不安定なAmorphousと、Crystallineとは全く異なる構造と言い換えることができる。

#### 【0338】

なお、膜または基板の結晶構造は、X線回折(XRD: X-Ray Diffract

10

20

30

40

50

ion) 像を用いて評価することができる。ここで、石英ガラス、および Crystalline に分類される結晶構造を有する IGZO (結晶性 IGZO とともいう。) の XRD スペクトルを図 28B、図 28C に示す。また、図 28B が石英ガラス、図 28C が結晶性 IGZO の XRD スペクトルである。なお、図 28C に示す結晶性 IGZO としては、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$  [原子数比] の組成である。また、図 28C に示す結晶性 IGZO としては、厚さ 500 nm である。

#### 【0339】

図 28B の矢印に示すように、石英ガラスは、XRD スペクトルのピークがほぼ対称である。一方で、図 28C の矢印に示すように、結晶性 IGZO は、XRD スペクトルのピークが非対称である。XRD スペクトルのピークが非対称であることは、結晶の存在を明示している。別言すると、XRD スペクトルのピークで左右対称でないと、Amorphous であるとは言えない。

10

#### 【0340】

CAAC-OS は、c 軸配向性を有し、かつ a - b 面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

#### 【0341】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OS において、歪み近傍においても、明確な結晶粒界 (グレインバウンダリーともいう) を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OS が、a - b 面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。なお、明確な結晶粒界 (グレインバウンダリー) が確認される結晶構造は、いわゆる多結晶 (polycrystal) と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、または電界効果移動度の低下を引き起こす可能性が高い。よって、明確な結晶粒界が確認されない CAAC-OS は、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OS を構成するには、Zn を有する構成が好ましい。例えば、In - Zn 酸化物、および In - Ga - Zn 酸化物は、In 酸化物よりも結晶粒界の発生を抑制できるため好適である。

20

30

#### 【0342】

また、CAAC-OS は、インジウム、および酸素を有する層 (以下、In 層) と、元素 M、亜鉛、および酸素を有する層 (以下、(M, Zn) 層) とが積層した、層状の結晶構造 (層状構造ともいう) を有する傾向がある。なお、インジウムと元素 M は、互いに置換可能であり、(M, Zn) 層の元素 M がインジウムと置換した場合、(In, M, Zn) 層と表すこともできる。また、In 層のインジウムが元素 M と置換した場合、(In, M) 層と表すこともできる。

#### 【0343】

40

CAAC-OS は結晶性の高い酸化物半導体である。一方、CAAC-OS は、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OS は不純物や欠陥 (酸素欠損など) の少ない酸化物半導体ともいえる。従って、CAAC-OS を有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OS を有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OS は、製造工程における高い温度 (所謂サーマルバジェット) に対しても安定である。したがって、OSTランジスタに CAAC-OS を用いると、製造工程の自由度を広げることが可能となる。

#### 【0344】

50

nc - OSは、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、nc - OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc - OSは、分析方法によっては、a - like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0345】

a - like OSは、nc - OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a - like OSは、鬆または低密度領域を有する。即ち、a - like OSは、nc - OSおよびCAAC - OSと比べて、結晶性が低い。

【0346】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a - like OS、nc - OS、CAAC - OSのうち、二種以上を有していてもよい。

【0347】

< 酸化物半導体を有するトランジスタ >

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0348】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0349】

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。

【0350】

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0351】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0352】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0353】

< 不純物 >

ここで、酸化物半導体中における各不純物の影響について説明する。

【0354】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0355】

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属

10

20

30

40

50

が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0356】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0357】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

【0358】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0359】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0360】

(実施の形態4)

本実施の形態では、実施の形態1に記載の半導体装置10におけるシリコン基板50に設けられたコントロールロジック回路61、行駆動回路62、列駆動回路63および出力回路64について説明する。

【0361】

図29は、メモリ装置として機能する半導体装置の構成例を示すブロック図である。半導体装置10Eは、周辺回路80、およびメモリセルアレイ70を有する。周辺回路80は、コントロールロジック回路61、行駆動回路62、列駆動回路63、出力回路64を有する。

【0362】

メモリセルアレイ70は、複数のメモリセル42を有する。行駆動回路62は、ロウデコード71およびワード線ドライバ回路72を有する。列駆動回路63は、カラムデコード81、プリチャージ回路82、増幅回路83、および書き込み回路84を有する。プリチャージ回路82は、グローバルビット線GBLあるいはローカルビット線LBLなどをプリチャージする機能を有する。増幅回路83は、グローバルビット線GBLあるいはローカルビット線LBLから読み出されたデータ信号を増幅する機能を有する。増幅されたデータ信号は、出力回路64を介して、デジタルのデータ信号RDAT Aとして半導体装置10Eの外部に出力される。

【0363】

半導体装置10Eには、外部から電源電圧として低電源電圧(VSS)、周辺回路80

10

20

30

40

50



用の高電源電圧 ( V D D )、メモリセルアレイ 7 0 用の高電源電圧 ( V I L ) が供給される。

【 0 3 6 4 】

また半導体装置 1 0 E には、制御信号 ( C E、W E、R E )、アドレス信号 A D D R、データ信号 W D A T A が外部から入力される。アドレス信号 A D D R は、ロウデコーダ 7 1 およびカラムデコーダ 8 1 に入力され、W D A T A は書き込み回路 8 4 に入力される。

【 0 3 6 5 】

コントロールロジック回路 6 1 は、外部からの入力信号 ( C E、W E、R E ) を処理して、ロウデコーダ 7 1、カラムデコーダ 8 1 の制御信号を生成する。C E は、チップイネーブル信号であり、W E は、書き込みイネーブル信号であり、R E は、読み出しイネーブル信号である。コントロールロジック回路 6 1 が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。例えば不良ビットを判定するための制御信号を入力し、特定のメモリセルのアドレスから読み出されるデータ信号を不良ビットとして特定してもよい。

10

【 0 3 6 6 】

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

【 0 3 6 7 】

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置 (メモリ) が用いられる。図 3 0 に、各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速いアクセス速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図 3 0 では、最上層から順に、C P U などの演算処理装置にレジスタとして混載されるメモリ、S R A M ( S t a t i c R a n d o m A c c e s s M e m o r y )、D R A M ( D y n a m i c R a n d o m A c c e s s M e m o r y )、3 D N A N D メモリを示している。

20

【 0 3 6 8 】

C P U などの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

【 0 3 6 9 】

30

S R A M は、例えばキャッシュに用いられる。キャッシュは、メインメモリに保持されている情報の一部を複製して保持する機能を有する。使用頻繁が高いデータをキャッシュに複製しておくことで、データへのアクセス速度を高めることができる。

【 0 3 7 0 】

D R A M は、例えばメインメモリに用いられる。メインメモリは、ストレージから読み出されたプログラムやデータを保持する機能を有する。D R A M の記録密度は、おおよそ 0 . 1 乃至 0 . 3 G b i t / m m <sup>2</sup> である。

【 0 3 7 1 】

3 D N A N D メモリは、例えばストレージに用いられる。ストレージは、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージに用いられる記憶装置の記録密度は、おおよそ 0 . 6 乃至 6 . 0 G b i t / m m <sup>2</sup> である。

40

【 0 3 7 2 】

本発明の一態様の記憶装置として機能する半導体装置は、動作速度が速く、長期間のデータ保持が可能である。本発明の一態様の半導体装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方を含む境界領域 9 0 1 に位置する半導体装置として好適に用いることができる。また、本発明の一態様の半導体装置は、メインメモリが位置する階層とストレージが位置する階層の双方を含む境界領域 9 0 2 に位置する半導体装置として好適に用いることができる。

50

## 【 0 3 7 3 】

## ( 実施の形態 5 )

本実施の形態は、上記実施の形態に示す半導体装置などが組み込まれた電子部品および電子機器の一例を示す。

## 【 0 3 7 4 】

## &lt; 電子部品 &gt;

まず、半導体装置 1 0 等が組み込まれた電子部品の例を、図 3 1 A および図 3 1 B を用いて説明を行う。

## 【 0 3 7 5 】

図 3 1 A に電子部品 7 0 0 および電子部品 7 0 0 が実装された基板 ( 実装基板 7 0 4 ) の斜視図を示す。図 3 1 A に示す電子部品 7 0 0 は、モールド 7 1 1 内にシリコン基板 5 0 上に素子層 2 0 が積層された半導体装置 1 0 を有している。図 3 1 A は、電子部品 7 0 0 の内部を示すために、一部を図に反映していない。電子部品 7 0 0 は、モールド 7 1 1 の外側にランド 7 1 2 を有する。ランド 7 1 2 は電極パッド 7 1 3 と電氣的に接続され、電極パッド 7 1 3 は半導体装置 1 0 とワイヤ 7 1 4 によって電氣的に接続されている。電子部品 7 0 0 は、例えばプリント基板 7 0 2 に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板 7 0 2 上で電氣的に接続されることで実装基板 7 0 4 が完成する。

10

## 【 0 3 7 6 】

図 3 1 B に電子部品 7 3 0 の斜視図を示す。電子部品 7 3 0 は、SiP ( System in package ) または MCM ( Multi Chip Module ) の一例である。電子部品 7 3 0 は、パッケージ基板 7 3 2 ( プリント基板 ) 上にインターポーザ 7 3 1 が設けられ、インターポーザ 7 3 1 上に半導体装置 7 3 5、および複数の半導体装置 1 0 が設けられている。

20

## 【 0 3 7 7 】

電子部品 7 3 0 では、半導体装置 1 0 を広帯域メモリ ( HBM : High Bandwidth Memory ) として用いる例を示している。また、半導体装置 7 3 5 は、CPU、GPU、FPGA などの集積回路 ( 半導体装置 ) を用いることができる。

## 【 0 3 7 8 】

パッケージ基板 7 3 2 は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ 7 3 1 は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

30

## 【 0 3 7 9 】

インターポーザ 7 3 1 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ 7 3 1 は、インターポーザ 7 3 1 上に設けられた集積回路をパッケージ基板 7 3 2 に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ 7 3 1 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 7 3 2 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV ( Through Silicon Via ) を用いることも出来る。

40

## 【 0 3 8 0 】

インターポーザ 7 3 1 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

## 【 0 3 8 1 】

HBM では、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBM を実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBM を実装するインターポーザには、シリコンインターポーザを用いるこ

50

とが好ましい。

【0382】

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

【0383】

また、電子部品730と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、半導体装置10と半導体装置735の高さを揃えることが好ましい。

【0384】

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図31Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA(Ball Grid Array)実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA(Pin Grid Array)実装を実現できる。

【0385】

電子部品730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA(Staggered Pin Grid Array)、LGA(Land Grid Array)、QFP(Quad Flat Package)、QFJ(Quad Flat J-leaded package)、またはQFN(Quad Flat Non-leaded package)などの実装方法を用いることができる。

【0386】

<電子機器>

次に、上記電子部品を備えた電子機器の例について図32を用いて説明を行う。

【0387】

ロボット7100は、照度センサ、マイクロフォン、カメラ、スピーカ、ディスプレイ、各種センサ(赤外線センサ、超音波センサ、加速度センサ、ピエゾセンサ、光センサ、ジャイロセンサなど)、および移動機構などを備える。電子部品730はプロセッサなどを有し、これら周辺機器を制御する機能を有する。例えば、電子部品700はセンサで取得されたデータを記憶する機能を有する。

【0388】

マイクロフォンは、使用者の音声および環境音などの音響信号を検知する機能を有する。また、スピーカは、音声および警告音などのオーディオ信号を発する機能を有する。ロボット7100は、マイクロフォンを介して入力されたオーディオ信号を解析し、必要なオーディオ信号をスピーカから発することができる。ロボット7100において、は、マイクロフォン、およびスピーカを用いて、使用者とコミュニケーションをとることが可能である。

【0389】

カメラは、ロボット7100の周囲を撮像する機能を有する。また、ロボット7100は、移動機構を用いて移動する機能を有する。ロボット7100は、カメラを用いて周囲の画像を撮像し、画像を解析して移動する際の障害物の有無などを察知することができる。

【0390】

飛行体7120は、プロペラ、カメラ、およびバッテリーなどを有し、自律して飛行する機能を有する。電子部品730はこれら周辺機器を制御する機能を有する。

## 【 0 3 9 1 】

例えば、カメラで撮影した画像データは、電子部品 7 0 0 に記憶される。電子部品 7 3 0 は、画像データを解析し、移動する際の障害物の有無などを察知することができる。また、電子部品 7 3 0 によってバッテリーの蓄電容量の変化から、バッテリー残量を推定することができる。

## 【 0 3 9 2 】

掃除ロボット 7 1 4 0 は、上面に配置されたディスプレイ、側面に配置された複数のカメラ、ブラシ、操作ボタン、各種センサなどを有する。図示されていないが、掃除ロボット 7 3 0 0 には、タイヤ、吸い込み口等が備えられている。掃除ロボット 7 3 0 0 は自走し、ゴミを検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

10

## 【 0 3 9 3 】

例えば、電子部品 7 3 0 は、カメラが撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシに絡まりそうな物体を検知した場合は、ブラシの回転を止めることができる。

## 【 0 3 9 4 】

自動車 7 1 6 0 は、エンジン、タイヤ、ブレーキ、操舵装置、カメラなどを有する。例えば、電子部品 7 3 0 は、ナビゲーション情報、速度、エンジンの状態、ギアの選択状態、ブレーキの使用頻度などのデータに基づいて、自動車 7 1 6 0 の走行状態を最適化するための制御を行う。例えば、カメラで撮影した画像データは電子部品 7 0 0 に記憶される。

## 【 0 3 9 5 】

電子部品 7 0 0 および / または電子部品 7 3 0 は、TV 装置 7 2 0 0 ( テレビジョン受像装置 )、スマートフォン 7 2 1 0、PC ( パーソナルコンピュータ ) 7 2 2 0、7 2 3 0、ゲーム機 7 2 4 0、ゲーム機 7 2 6 0 等に組み込むことができる。

20

## 【 0 3 9 6 】

例えば、TV 装置 7 2 0 0 に内蔵された電子部品 7 3 0 は画像エンジンとして機能させることができる。例えば、電子部品 7 3 0 は、ノイズ除去、解像度アップコンバージョンなどの画像処理を行う。

## 【 0 3 9 7 】

スマートフォン 7 2 1 0 は、携帯情報端末の一例である。スマートフォン 7 2 1 0 は、マイクロフォン、カメラ、スピーカ、各種センサ、および表示部を有する。電子部品 7 3 0 によってこれら周辺機器が制御される。

30

## 【 0 3 9 8 】

PC 7 2 2 0、PC 7 2 3 0 はそれぞれノート型 PC、据え置き型 PC の例である。PC 7 2 3 0 には、キーボード 7 2 3 2、およびモニタ装置 7 2 3 3 が無線または有線により接続可能である。ゲーム機 7 2 4 0 は携帯型ゲーム機の例である。ゲーム機 7 2 6 0 は据え置き型ゲーム機の例である。ゲーム機 7 2 6 0 には、無線または有線でコントローラ 7 2 6 2 が接続されている。コントローラ 7 2 6 2 に、電子部品 7 0 0 および / または電子部品 7 3 0 を組み込むこともできる。

## 【 0 3 9 9 】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

40

## 【 0 4 0 0 】

( 本明細書等の記載に関する付記 )

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

## 【 0 4 0 1 】

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

## 【 0 4 0 2 】

なお、ある一つの実施の形態の中で述べる内容 ( 一部の内容でもよい ) は、その実施の

50

形態で述べる別の内容（一部の内容でもよい）、および／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことが出来る。

【0403】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

【0404】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【0405】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

【0406】

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

20

【0407】

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

【0408】

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第1電極、または第1端子）、「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

30

【0409】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

40

【0410】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0411】

また本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

50

## 【 0 4 1 2 】

本明細書等において、AとBとが接続されている、とは、AとBとが電氣的に接続されているものをいう。ここで、AとBとが電氣的に接続されているとは、AとBとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にAとBとの電気信号の伝達が可能である接続をいう。なおAとBとが電氣的に接続されている場合には、AとBとが直接接続されている場合を含む。ここで、AとBとが直接接続されているとは、上記対象物を介することなく、AとBとの間で配線（または電極）等を介してAとBとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

10

## 【 0 4 1 3 】

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

## 【 0 4 1 4 】

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

## 【 0 4 1 5 】

20

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

## 【 0 4 1 6 】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

## 【符号の説明】

## 【 0 4 1 7 】

30

： B L 2 ： 配線、 S L 2 ： 配線、 S W 0 ： 信号、 S W 1 ： 信号、 S W 2 ： 信号、 T 1 1 ： 時刻、 T 1 2 ： 時刻、 T 1 3 ： 時刻、 T 1 4 ： 時刻、 T 1 5 ： 時刻、 T 1 6 ： 時刻、 T 1 7 ： 時刻、 T 1 8 ： 時刻、 T 1 9 ： 時刻、 1 0 ： 半導体装置、 1 0 A ： 半導体装置、 1 0 B ： 半導体装置、 1 0 C ： 半導体装置、 1 0 E ： 半導体装置、 2 0 ： 素子層、 2 0 \_ M ： 素子層、 2 0 \_ 1 ： 素子層、 3 0 ： トランジスタ層、 3 0 A ： トランジスタ層、 3 0 B ： トランジスタ層、 3 1 ： トランジスタ、 3 2 ： トランジスタ、 3 3 ： トランジスタ、 3 4 ： トランジスタ、 3 5 ： 補正回路、 3 6 ： 回路、 3 6 \_ p r e ： 回路、 4 0 ： トランジスタ層、 4 1 \_ k ： トランジスタ層、 4 1 \_ 1 ： トランジスタ層、 4 1 \_ 2 ： トランジスタ層、 4 2 ： メモリセル、 4 3 ： トランジスタ、 4 4 ： キャパシタ、 4 9 ： トランジスタ層、 4 9 \_ k ： トランジスタ層、 4 9 \_ 1 ： トランジスタ層、 5 0 ： シリコン基板、 5 1 ： 制御回路、 5 2 ： スイッチ回路、 5 2 \_ 1 ： トランジスタ、 5 2 \_ 2 ： トランジスタ、 5 3 ： プリチャージ回路、 5 3 \_ 1 ： トランジスタ、 5 3 \_ 3 ： トランジスタ、 5 4 ： プリチャージ回路、 5 4 \_ 1 ： トランジスタ、 5 4 \_ 3 ： トランジスタ、 5 5 ： センスアンプ、 5 5 \_ 1 ： トランジスタ、 5 5 \_ 2 ： トランジスタ、 5 5 \_ 3 ： トランジスタ、 5 5 \_ 4 ： トランジスタ、 6 1 ： コントロールロジック回路、 6 2 ： 行駆動回路、 6 3 ： 列駆動回路、 6 4 ： 出力回路、 7 0 ： メモリセルアレイ、 7 1 ： ロウデコーダ、 7 2 ： ワード線ドライバ回路、 8 0 ： 周辺回路、 8 1 ： カラムデコーダ、 8 2 ： プリチャージ回路、 8 3 ： 増幅回路、 8 4 ： 回路、 9 0 ： トランジスタ層、 9 1 ： メモリセル、 9 2 ： トランジスタ、 9 3 ： トランジスタ、 9 4 ： キャパシタ、 9 7 ： トランジスタ、 9 8 ： トランジスタ、 9 9 ： トランジスタ、 1 0 0 ： 記憶装置、 1 1 0 ： 期間、 1 1 1 ： 動作、 1 1 2 ： 動作

40

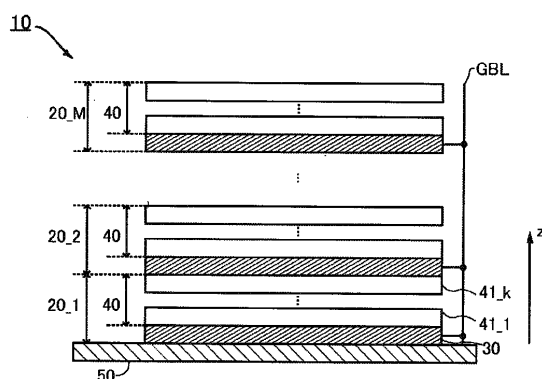
50

、 1 1 3 : 動作、 1 1 4 : 動作、 1 1 5 : 動作、 1 2 0 : 期間、 1 2 0 \_ 1 : 期間、 1 2 0 \_ 2 : 期間、 1 2 1 : 動作、 1 2 1 A : 動作、 1 2 2 : 動作、 1 2 3 : 動作、 1 2 3 A : 動作、 1 2 4 : 動作、 1 2 5 : 動作、 1 2 5 A : 動作、 1 3 0 : 期間、 1 3 1 : 動作、 1 3 2 : 動作、 1 3 3 : 動作、 1 3 4 : 動作、 1 3 5 : 動作、 1 4 0 : 期間、 1 4 1 : 動作、 1 4 2 : 動作、 1 4 4 : キャパシタ、 2 0 0 : トランジスタ、 2 0 0 M : トランジスタ、 2 0 0 T : トランジスタ、 2 0 5 : 導電体、 2 0 5 a : 導電体、 2 0 5 b : 導電体、 2 1 1 : 絶縁体、 2 1 2 : 絶縁体、 2 1 4 : 絶縁体、 2 1 6 : 絶縁体、 2 2 2 : 絶縁体、 2 2 4 : 絶縁体、 2 3 0 : 酸化物、 2 3 0 a : 酸化物、 2 3 0 b : 酸化物、 2 3 0 c : 酸化物、 2 4 0 : 導電体、 2 4 0 a : 導電体、 2 4 0 b : 導電体、 2 4 1 : 絶縁体、 2 4 1 a : 絶縁体、 2 4 1 b : 絶縁体、 2 4 2 : 導電体、 2 4 2 a : 導電体、 2 4 2 b : 導電体、 2 4 3 : 酸化物、 2 4 3 a : 酸化物、 2 4 3 b : 酸化物、 2 4 6 : 導電体、 2 4 6 a : 導電体、 2 4 6 b : 導電体、 2 5 0 : 絶縁体、 2 6 0 : 導電体、 2 6 0 a : 導電体、 2 6 0 b : 導電体、 2 7 2 : 絶縁体、 2 7 3 : 絶縁体、 2 7 4 : 絶縁体、 2 7 5 : 絶縁体、 2 7 6 : 導電体、 2 7 7 : 絶縁体、 2 7 8 : 導電体、 2 7 9 : 絶縁体、 2 8 0 : 絶縁体、 2 8 2 : 絶縁体、 2 8 3 : 絶縁体、 2 8 4 : 絶縁体、 2 8 7 : 絶縁体、 2 9 0 : 導電体、 2 9 2 : 容量、 2 9 2 A : 容量、 2 9 2 B : 容量、 2 9 4 : 導電体、 2 9 5 : 絶縁体、 2 9 6 : 絶縁体、 2 9 7 : 導電体、 2 9 8 : 絶縁体、 2 9 9 : 導電体、 3 0 0 : トランジスタ、 3 1 1 : 半導体基板、 3 1 3 : 半導体領域、 3 1 4 a : 低抵抗領域、 3 1 4 b : 低抵抗領域、 3 1 5 : 絶縁体、 3 1 6 : 導電体、 4 1 1 : 素子層、 4 1 3 : トランジスタ層、 4 1 3 \_ m : トランジスタ層、 4 1 3 \_ 1 : トランジスタ層、 4 1 5 : メモリデバイス層、 4 1 5 \_ n : メモリデバイス層、 4 1 5 \_ p : メモリデバイス層、 4 1 5 \_ p - 1 : メモリデバイス層、 4 1 5 \_ 1 : メモリデバイス層、 4 1 5 \_ 3 : メモリデバイス層、 4 1 5 \_ 4 : メモリデバイス層、 4 2 0 : メモリデバイス、 4 2 0 A : メモリデバイス、 4 2 0 B : メモリデバイス、 4 2 2 : 領域、 4 2 4 : 導電体、 4 2 6 : 導電体、 4 2 8 : 導電体、 4 3 0 : 導電体、 4 3 2 : メモリセル、 4 3 3 : メモリセル、 4 3 4 : メモリセル、 4 3 5 : メモリセル、 4 7 0 : メモリユニット、 4 7 0 \_ m : メモリユニット、 4 7 0 \_ 1 : メモリユニット、 7 0 0 : 電子部品、 7 0 2 : プリント基板、 7 0 4 : 実装基板、 7 1 1 : モールド、 7 1 2 : ランド、 7 1 3 : 電極パッド、 7 1 4 : ワイヤ、 7 3 0 : 電子部品、 7 3 1 : インターポーザ、 7 3 2 : パッケージ基板、 7 3 3 : 電極、 7 3 5 : 半導体装置、 8 2 0 : 周辺回路、 9 0 1 : 境界領域、 9 0 2 : 境界領域、 7 1 0 0 : ロボット、 7 1 2 0 : 飛行体、 7 1 4 0 : 掃除ロボット、 7 1 6 0 : 自動車、 7 2 0 0 : T V 装置、 7 2 1 0 : スマートフォン、 7 2 2 0 : P C、 7 2 3 0 : P C、 7 2 3 2 : キーボード、 7 2 3 3 : モニタ装置、 7 2 4 0 : ゲーム機、 7 2 6 0 : ゲーム機、 7 2 6 2 : コントローラ、 7 3 0 0 : 掃除ロボット

【図面】

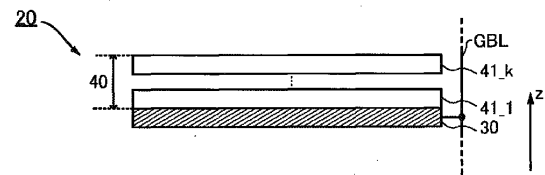
【図 1】

図1



【図 2 A】

図2A



10

20

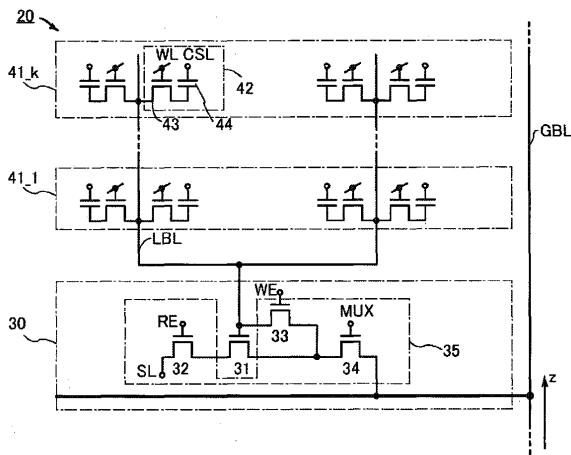
30

40

50

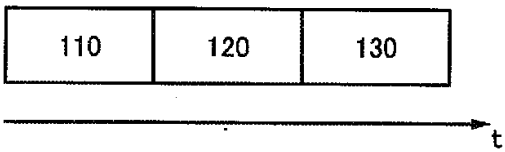
【図 2 B】

図2B



【図 3 A】

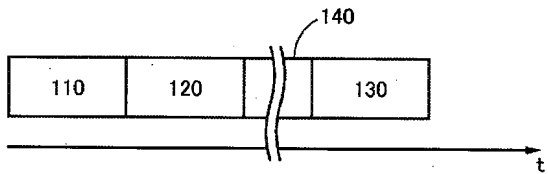
図3A



10

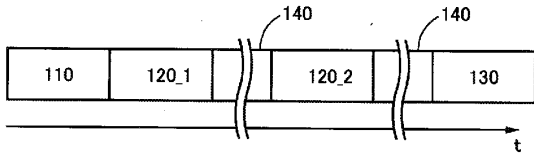
【図 3 B】

図3B



【図 3 C】

図3C



20

30

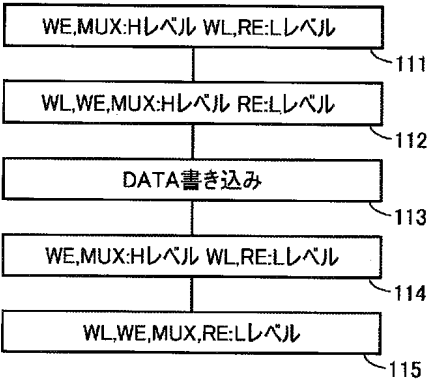
40

50



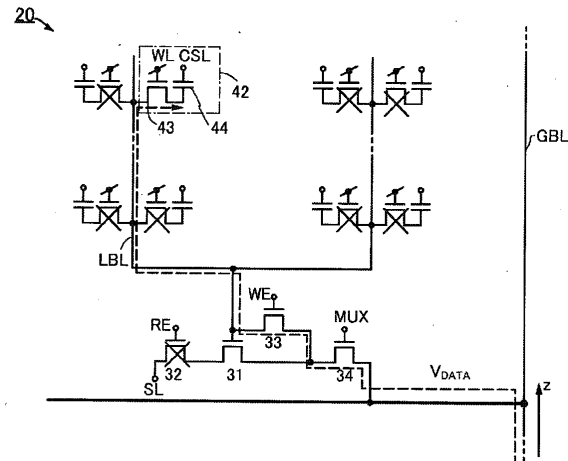
【図 4 A】

図4A



【図 4 B】

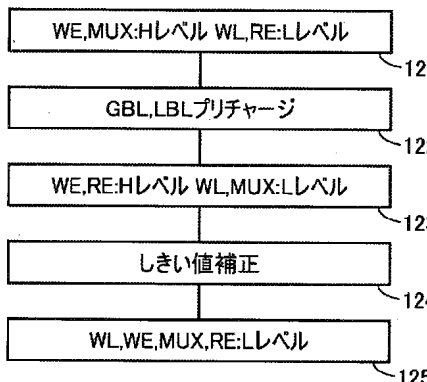
図4B



10

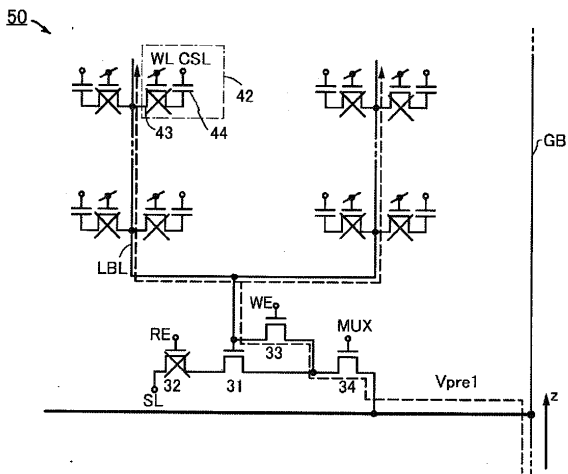
【図 5 A】

図5A



【図 5 B】

図5B



20

30

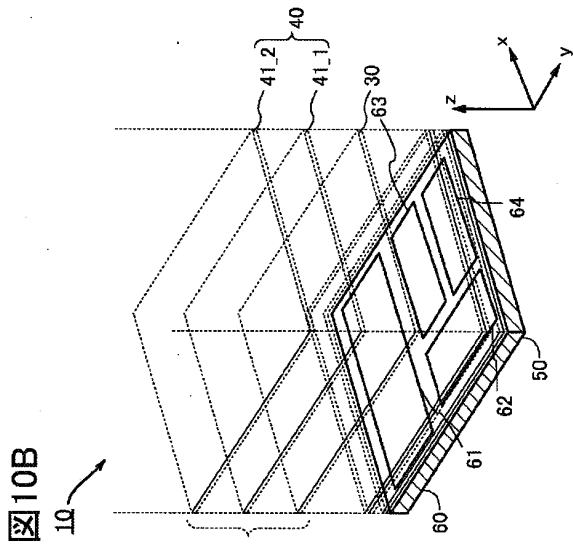
40

50

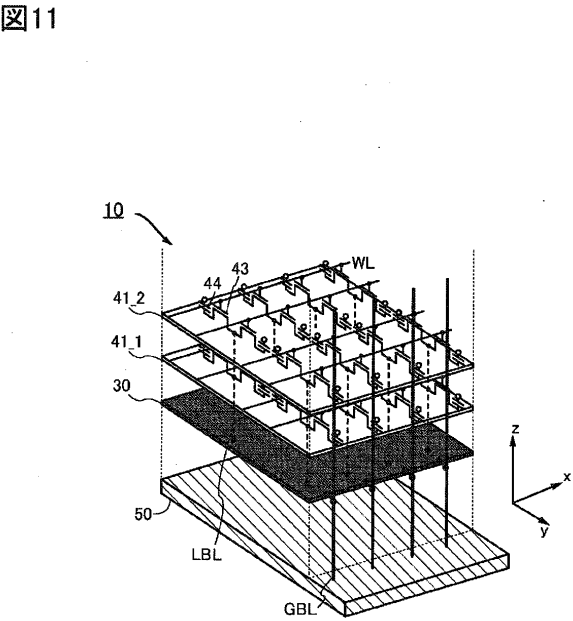




【図10B】

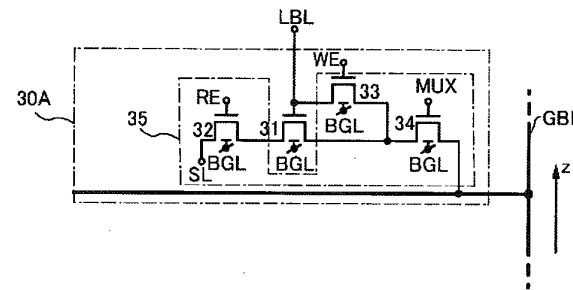


【図11】



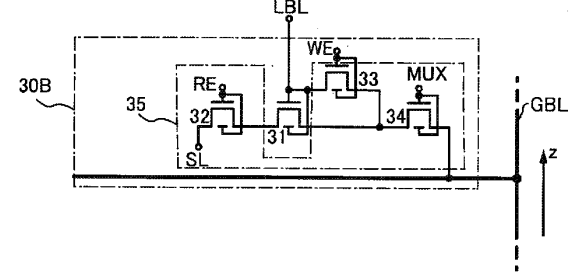
【図12A】

図12A



【図12B】

図12B



10

20

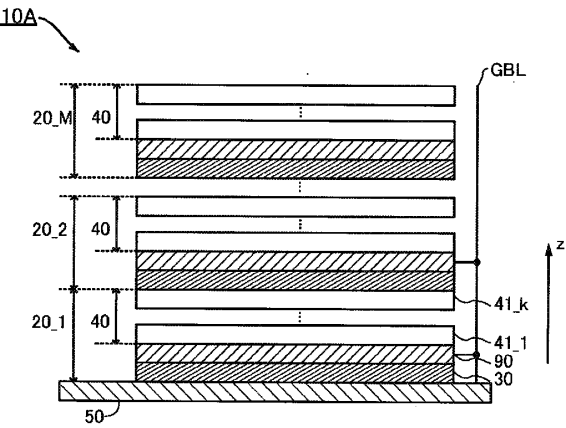
30

40

50

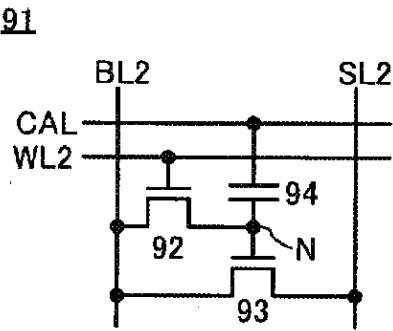
【図 13 A】

図13A



【図 13 B】

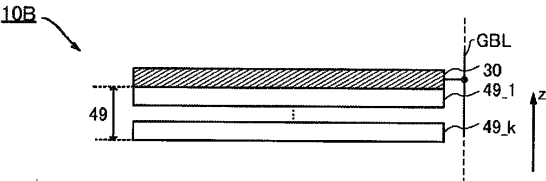
図13B



10

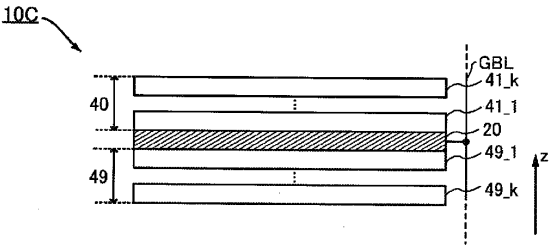
【図 14 A】

図14A



【図 14 B】

図14B



20

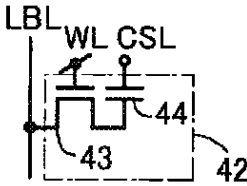
30

40

50

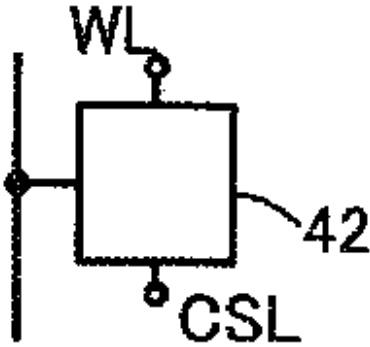
【図 15 A】

図15A



【図 15 B】

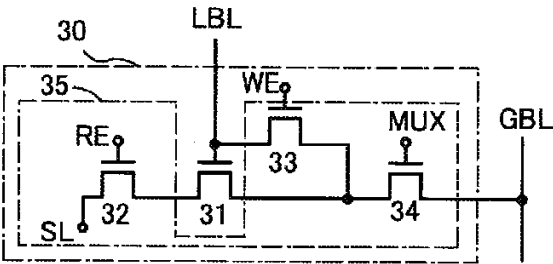
図15B



10

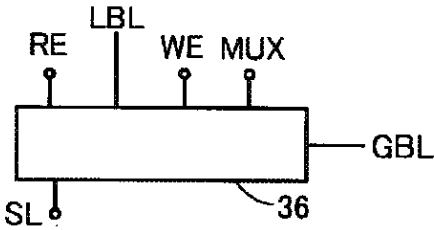
【図 15 C】

図15C



【図 15 D】

図15D



20

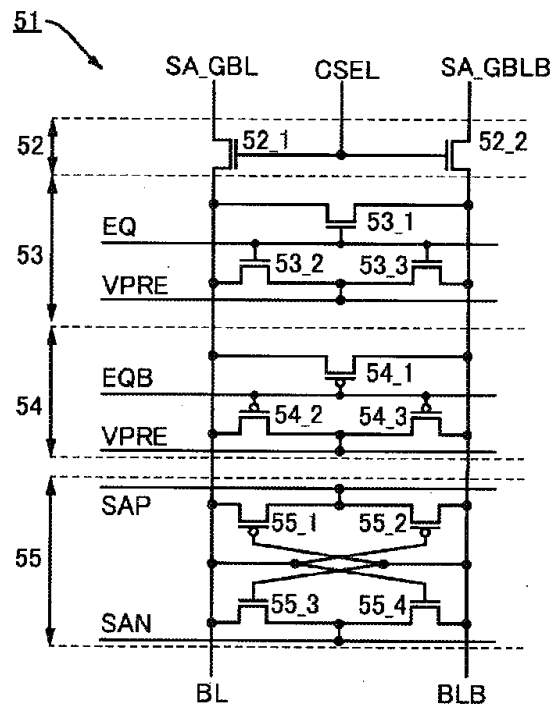
30

40

50

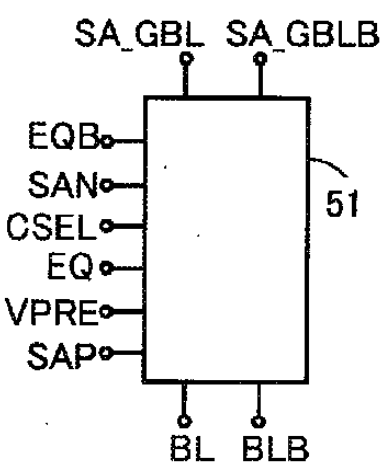
【図16A】

図16A



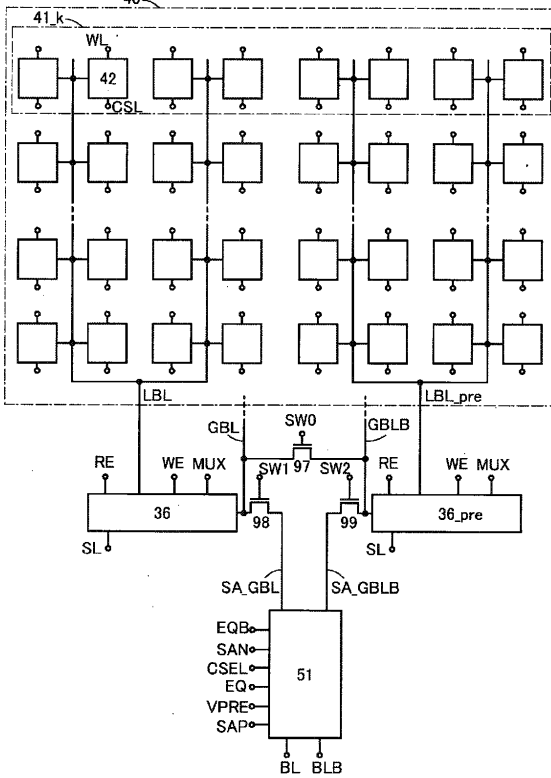
【図16B】

図16B



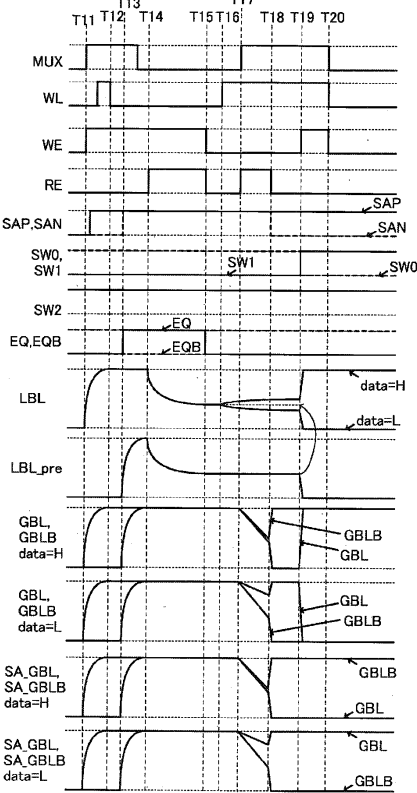
【図17】

図17



【図18】

図18



10

20

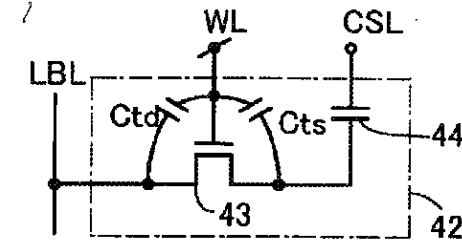
30

40

50

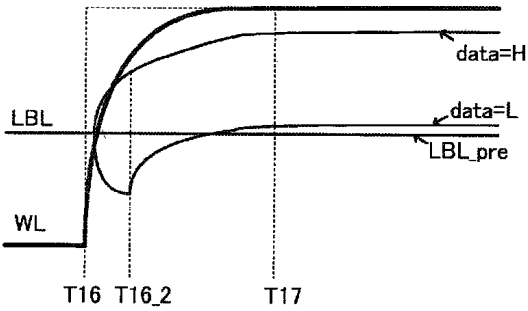
【図19A】

図19A



【図19B】

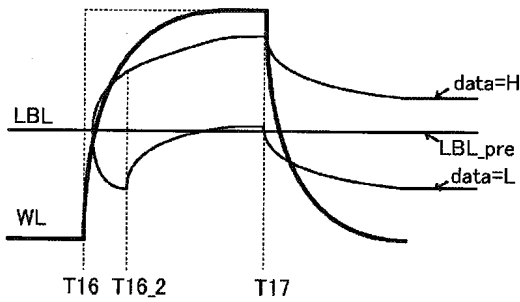
図19B



10

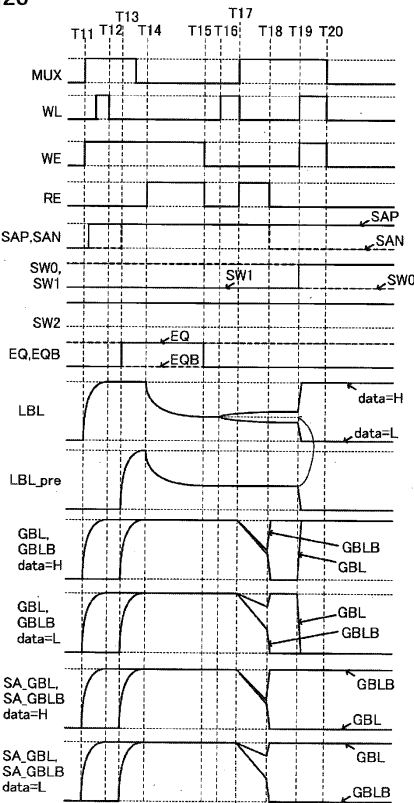
【図19C】

図19C



【図20】

図20



20

30

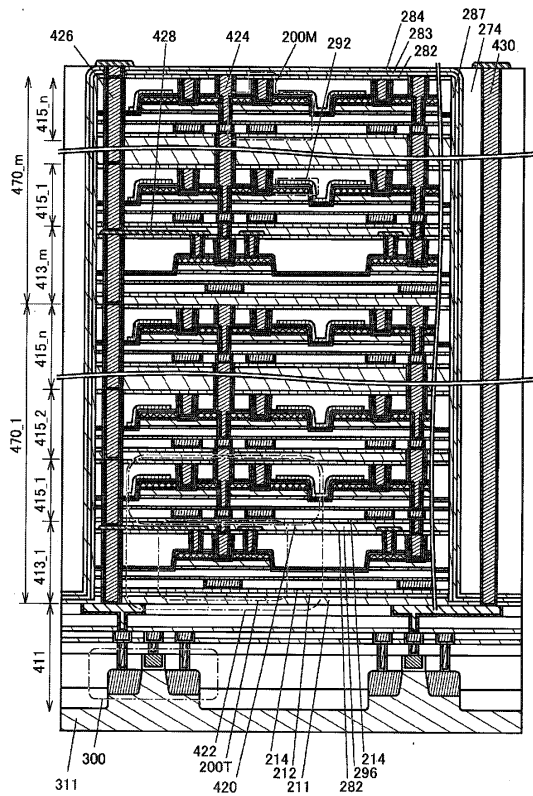
40

50



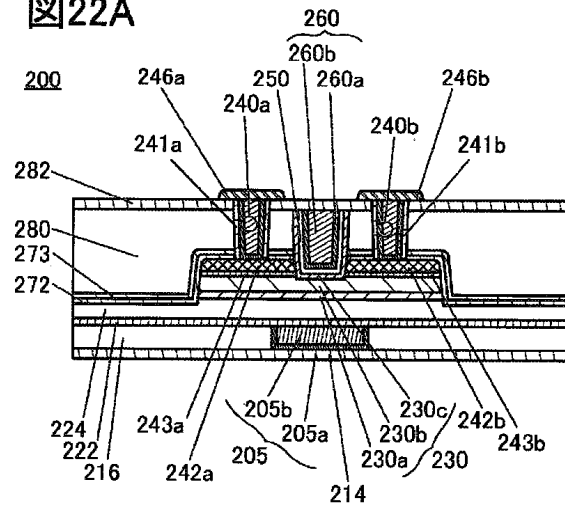
【図 2 1】

図21



【図 2 2 A】

図22A

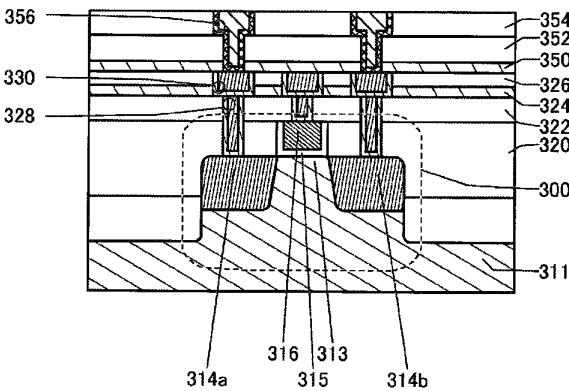


10

20

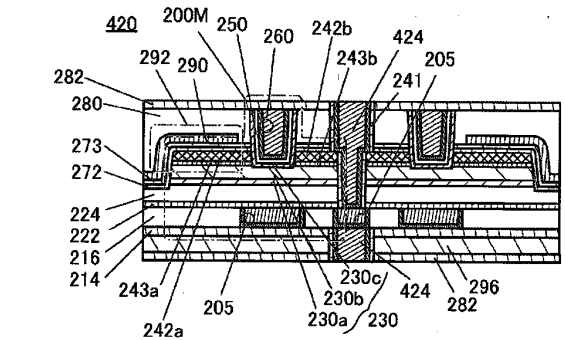
【図 2 2 B】

図22B



【図 2 3 A】

図23A



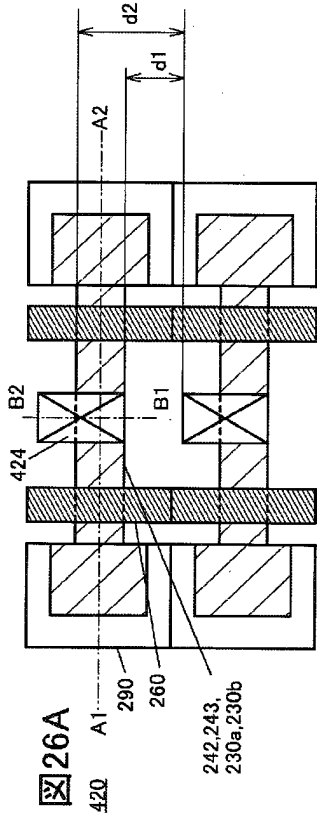
30

40

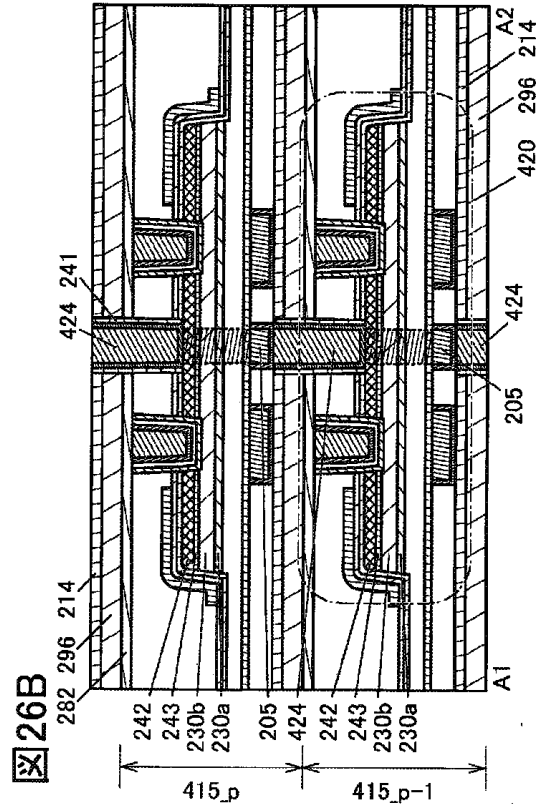
50



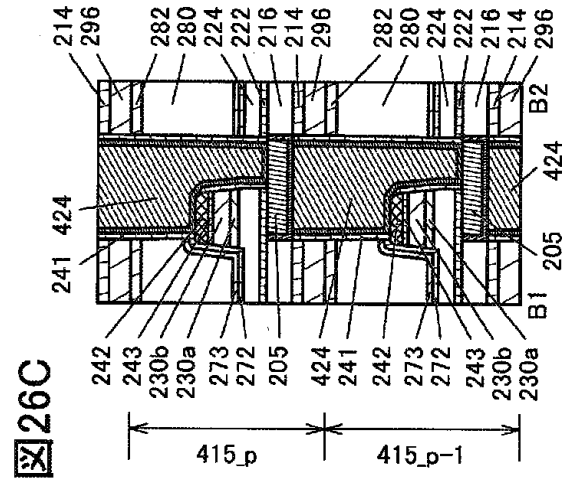
【図 26 A】



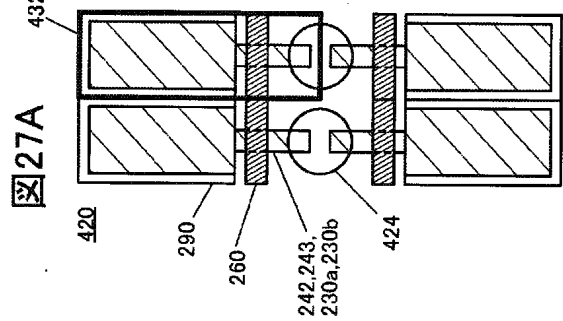
【図 26 B】



【図 26 C】



【図 27 A】



10

20

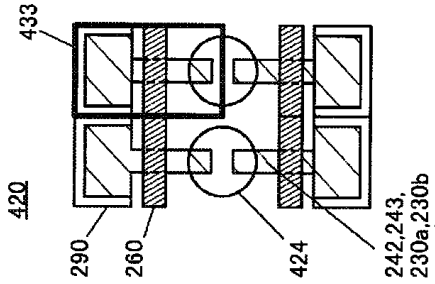
30

40

50

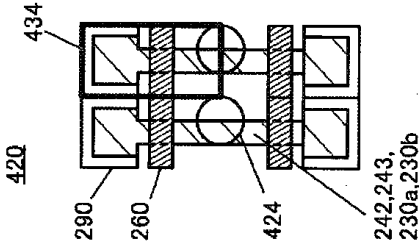
【図 27 B】

図27B



【図 27 C】

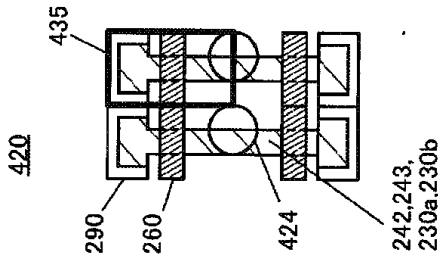
図27C



10

【図 27 D】

図27D



【図 28 A】

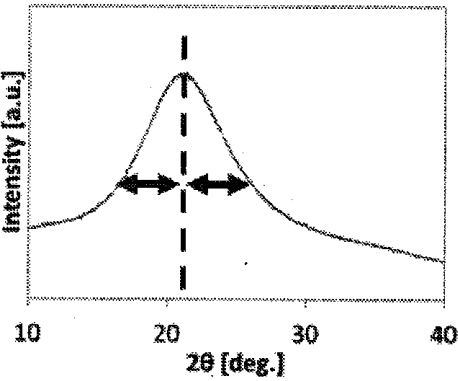
図28A

Amorphous	Crystalline	Crystal
completely amorphous	•CAAC •nc •CAC	•single crystal •poly crystal

20

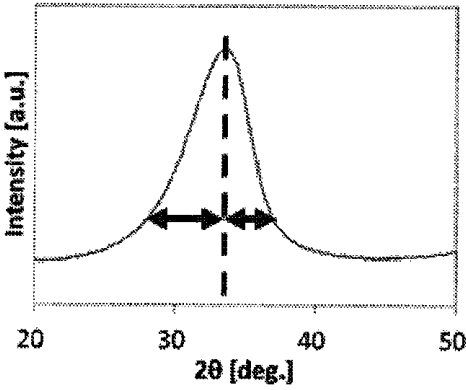
【図 28 B】

図28B



【図 28 C】

図28C



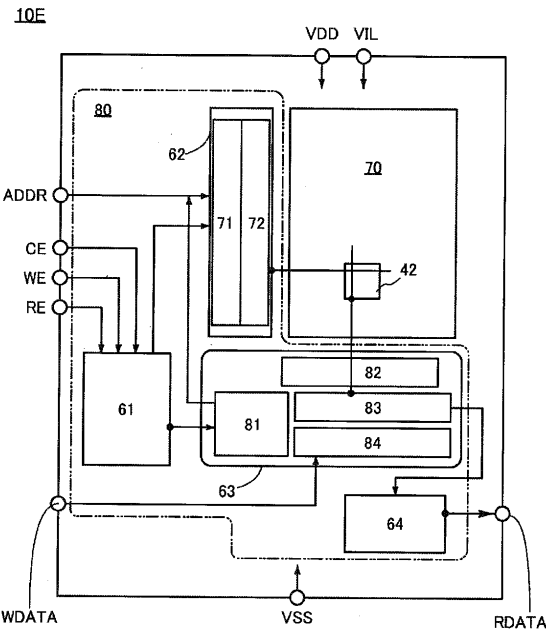
30

40

50

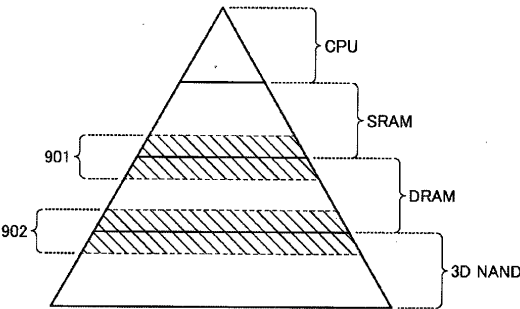
【図 29】

図29



【図 30】

図30

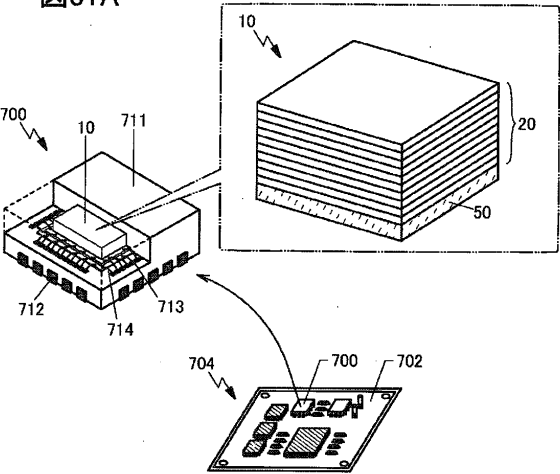


10

20

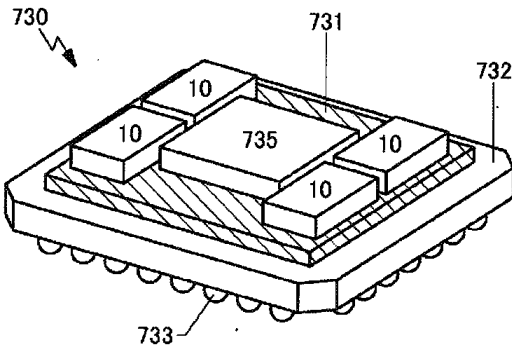
【図 31 A】

図31A



【図 31 B】

図31B



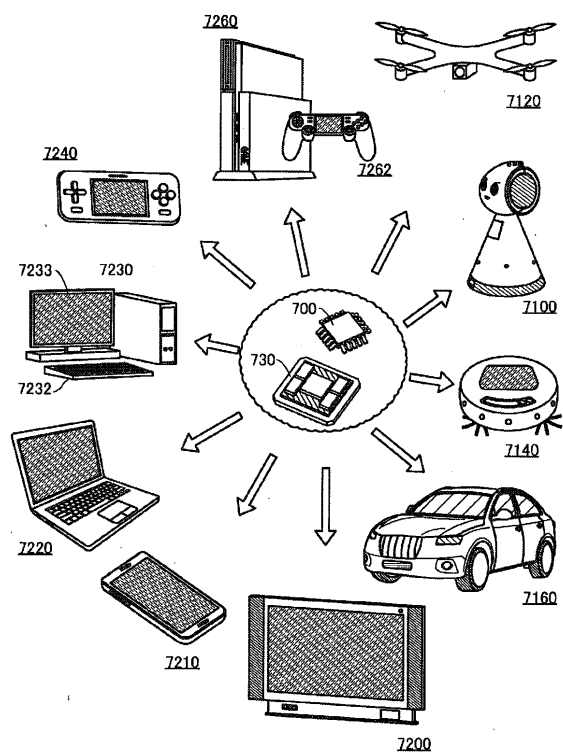
30

40

50

【図 3 2】

図32



10

20

30

40

50

フロントページの続き

(51)国際特許分類 F I  
H 1 0 B 12/00 (2023.01) H 0 1 L 29/78 6 1 8 B  
H 1 0 B 12/00 6 8 1 F

(32)優先日 平成31年4月9日(2019.4.9)

(33)優先権主張国・地域又は機関  
日本国(JP)

(31)優先権主張番号 特願2019-102753(P2019-102753)

(32)優先日 令和1年5月31日(2019.5.31)

(33)優先権主張国・地域又は機関  
日本国(JP)

審査官 後藤 彰  
(56)参考文献 国際公開第 2 0 1 9 / 0 0 3 0 4 5 ( W O , A 1 )  
国際公開第 2 0 1 7 / 0 5 5 9 6 7 ( W O , A 1 )  
特開 2 0 1 0 - 5 5 7 3 0 ( J P , A )

(58)調査した分野 (Int.Cl. , D B 名)  
G 1 1 C 7 / 1 2  
G 1 1 C 5 / 0 2  
G 1 1 C 7 / 0 6  
G 1 1 C 1 1 / 4 0 9 1  
H 0 1 L 2 9 / 7 8 6  
H 1 0 B 1 2 / 0 0