



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I511152 B

(45)公告日：中華民國 104 (2015) 年 12 月 01 日

(21)申請案號：101144357

(22)申請日：中華民國 101 (2012) 年 11 月 27 日

(51)Int. Cl. : G11C5/04 (2006.01)

G11C7/10 (2006.01)

G11C11/4093(2006.01)

(30)優先權：2011/11/28 日本

2011-259470

(71)申請人：爾必達存儲器股份有限公司 (日本) ELPIDA MEMORY, INC. (JP)

日本

(72)發明人：長內文由紀 OSANAI, FUMIYUKI (JP) ; 管野利夫 SUGANO, TOSHIO (JP) ; 平石厚 HIRAISHI, ATSUSHI (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

US 7562271B2

US 7894231B2

US 2005/0018495A1

US 2008/0101105A1

US 2010/0157645A1

US 2010/0309706A1

US 2010/0312956A1

審查人員：蕭明椿

申請專利範圍項數：14 項 圖式數：23 共 56 頁

(54)名稱

記憶體模組

MEMORY MODULE

(57)摘要

一種記憶體模組，包含模組基板、資料連接器、記憶體元件、及資料暫存器緩衝器。該模組基板的第一主表面具有第一和第二記憶體安裝區域。該模組基板的第一和第二主表面其中一者以俯視觀察具有位於該第一和第二記憶體安裝區域之間的暫存器安裝區域。該記憶體元件包含安裝在第一記憶體安裝區域的複數第一記憶體元件、及安裝在第二記憶體安裝區域的複數第二記憶體元件。該資料暫存器緩衝器安裝在該暫存器安裝區域之上。該資料暫存器緩衝器將來自資料連接器的寫入資料傳送至該記憶體元件，且將來自記憶體元件的讀出資料傳送至資料連接器。

Disclosed herein is a memory module that includes a module substrate, data connectors, memory devices, and data register buffers. A first main surface of the module substrate has first and second memory mounting areas. One of the first and second main surfaces of the module substrate has a register mounting area located between the first and second memory mounting areas in a planer view. The memory devices include a plurality of first memory devices that are mounted on the first memory mounting area and a plurality of second memory devices that are mounted on the second memory mounting area. The data register buffers are mounted on the register mounting area. The data register buffers transfers write data supplied from the data connectors to the memory devices, and transfers read data supplied from the memory devices to the data connectors.

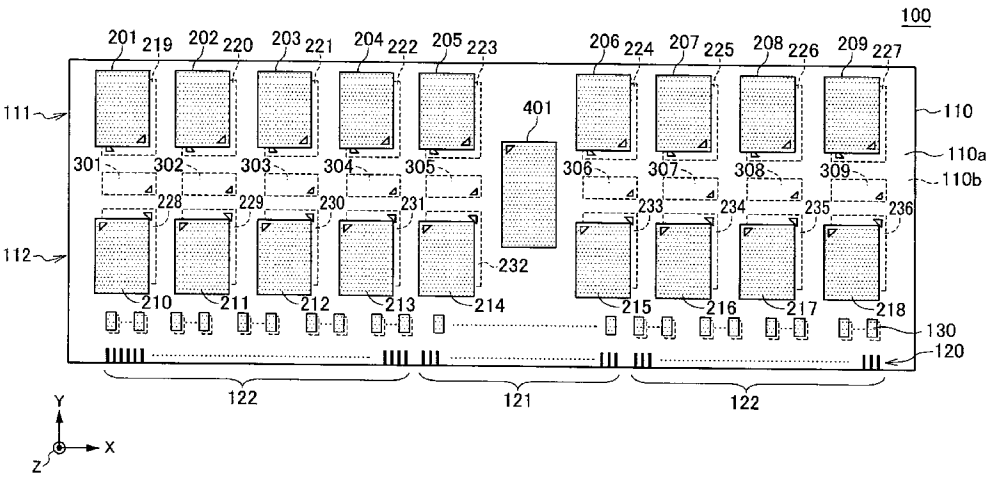
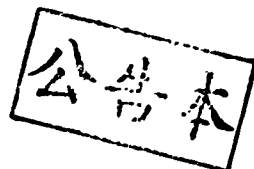


圖 1

- 100 . . . 記憶體模組
- 110 . . . 模組基板
- 110a . . . 主表面
- 110b . . . 主表面
- 111 . . . 第一列
- 112 . . . 第二列
- 120 . . . 連接器
- 121 . . . 命令位址連接器
- 122 . . . 資料連接器
- 130 . . . 線腳電阻器
- 201 到 236 . . . 記憶體晶片
- 301 到 309 . . . 資料暫存器緩衝器
- 401 . . . 命令位址暫存器緩衝器



發明摘要

※ 申請案號：101/44357

※ 申請日：101.11.27

※IPC 分類：G11C 5/64 (2006.01)

G11C 7/10 (2006.01)

G11C 11/4093 (2006.01)

【發明名稱】

記憶體模組

MEMORY MODULE

【中文】

一種記憶體模組，包含模組基板、資料連接器、記憶體元件、及資料暫存器緩衝器。該模組基板的第一主表面具有第一和第二記憶體安裝區域。該模組基板的第一和第二主表面其中一者以俯視觀察具有位於該第一和第二記憶體安裝區域之間的暫存器安裝區域。該記憶體元件包含安裝在第一記憶體安裝區域的複數第一記憶體元件、及安裝在第二記憶體安裝區域的複數第二記憶體元件。該資料暫存器緩衝器安裝在該暫存器安裝區域之上。該資料暫存器緩衝器將來自資料連接器的寫入資料傳送至該記憶體元件，且將來自記憶體元件的讀出資料傳送至資料連接器。

【英文】

Disclosed herein is a memory module that includes a module substrate, data connectors, memory devices, and data register buffers. A first main surface of the module substrate has first and second memory mounting areas. One of the first and second main surfaces of the module substrate has a register mounting area located between the first and second memory mounting areas in a planar view. The memory devices include a plurality of first memory devices that are mounted on the first memory mounting area and a plurality of second memory devices that are mounted on the second memory mounting area. The data register buffers are mounted on the register mounting area. The data register buffers transfers write data supplied from the data connectors to the memory

devices, and transfers read data supplied from the memory devices to the data connectors.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 100 記憶體模組
- 110 模組基板
- 110a 主表面
- 110b 主表面
- 111 第一列
- 112 第二列
- 120 連接器
- 121 命令位址連接器
- 122 資料連接器
- 130 線腳電阻器
- 201 到 236 記憶體晶片
- 301 到 309 資料暫存器緩衝器
- 401 命令位址暫存器緩衝器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

記憶體模組

MEMORY MODULE

【技術領域】

【0001】 本發明係關於記憶體模組，且更具體而言，係關於包含資料暫存器緩衝器的記憶體模組，該資料暫存器緩衝器係用於緩衝自記憶體元件所讀取的讀出資料及寫入記憶體元件的寫入資料。

【先前技術】

【0002】 例如雙直列記憶體模組(DIMM, dual inline memory module)之記憶體模組係建構成將大量的例如動態隨機存取記憶體(DRAM)之記憶體晶片安裝於一模組基板之上。將此一記憶體模組插入配置於主機板的記憶體槽，藉此執行記憶體模組和記憶體控制器之間的資料傳輸。系統所需求的記憶體容量近年來已變得非常大，且單一記憶體模組難以提供所需求的記憶體容量。大部分主機板具有複數記憶體槽，以能夠安裝複數記憶體模組。

【0003】 若在主機板上安裝複數記憶體模組，在主機板上資料佈線的負載電容會增加而劣化訊號品質。當記憶體控制器和記憶體模組之間的資料傳輸率相當低時，此一問題並不顯著。若記憶體控制器和記憶體模組之間的資料傳輸率變高，則會發生因為訊號劣化導致無法進行正常的資料傳輸的問題。

【0004】 已知被稱為負載降低記憶體模組之記憶體模組能夠降低資料佈線的負載電容(參見日本專利申請案公開第 2010-282510 號)。在日本專利申請案公開第 2010-282510 號中所描述的負載降低記憶體模組，包含複數資料暫存器緩衝器。資料暫存器緩衝器係用以緩衝由記憶體控制器所提供的寫入資料且將該寫入資料供應至複數記憶體晶片，以及緩衝自複數記憶體晶片所供應的讀出資料且將該讀出資料供應至該記憶體控制器。

【0005】 在日本專利申請案公開第 2010-282510 號中所述記憶體模組之中，將複數資料暫存器緩衝器配置於連接器附近。因此自在較靠近連接器的記憶體安裝區域之上所安裝的記憶體晶片至資料暫存器緩衝器之佈線距離，係不同於自在較遠離於連接器的記憶體安裝區域之上所安裝的記憶體晶片至資料暫存器緩衝器之佈線距離。結果，在較靠近連接器的記憶體安裝區域之上所安裝的記憶體晶片與較遠離於連接器的記憶體安裝區域之上所安裝的記憶體晶片之間產生資料偏斜（data skew）。

【發明內容】

【0006】 在一個實施例中，提供一種記憶體模組，包含：一模組基板，具有相互為相反側之第一和第二主表面，該第一主表面具有第一和第二記憶體安裝區域，該第一和第二主表面其中一者以俯視觀察具有位於該第一和第二記憶體安裝區域之間的一暫存器安裝區域；複數資料連接器，形成於該模組基板之上；複數記憶體元件，包含安裝在該第一記憶體安裝區域之上的複數第一記憶體元件、及安裝在該第二記憶體安裝區域之上的複數第二記憶體元件；及複數資料暫存器緩衝器，安裝在該暫存器安裝區域之上，該等資料暫存器緩衝器將由該等資料連接器所供應的寫入資料傳送至該等記憶體元件，且將由該等記憶體元件所供應的讀出資料傳送至該等資料連接器。

【0007】 在另一實施例中，提供一種記憶體模組，包含：一模組基板；一資料連接器，形成於該記憶體模組的一側；一資料暫存器緩衝器，安裝於該記憶體模組之上且電連接至該資料連接器；第一和第二記憶體元件，共通地電連接至該資料暫存器緩衝器，該第一和第二記憶體元件係安裝於該記憶體模組之上，使得該資料暫存器緩衝器係配置於該第一和第二記憶體元件之間。

【圖式簡單說明】

【0008】 圖 1 係示意圖，顯示根據本發明第一實施例的記憶體模組的配置；

圖 2A 顯示根據第一實施例之安裝於模組基板的一主表面之上的元件

之佈局；

圖 2B 顯示根據第一實施例之安裝於模組基板的另一主表面之上的元件之佈局；

圖 3 係立體圖，示意性地顯示包含圖 1 所示記憶體模組的資訊處理系統的結構；

圖 4 係方塊圖，顯示包含於根據第一實施例的記憶體模組之中的記憶體晶片的結構；

圖 5 係示意俯視圖，描述形成於圖 4 所示記憶體晶片之上的外部端子的配置；

圖 6 係方塊圖，顯示包含於根據第一實施例的記憶體模組之中的資料暫存器緩衝器的結構；

圖 7 係示意俯視圖，描述形成於圖 6 所示資料暫存器緩衝器之上的外部端子的配置；

圖 8 係方塊圖，顯示包含於根據第一實施例之記憶體模組之中的命令位址暫存器緩衝器的結構；

圖 9 係示意俯視圖，描述形成於圖 8 所示命令位址暫存器緩衝器之上的外部端子的配置；

圖 10 係示意圖，描述資料連接器和記憶體晶片之間的接線；

圖 11 係示意圖，描述命令位址連接器和記憶體晶片之間的接線；

圖 12 係示意圖，描述原型記憶體模組的資料連接器和記憶體晶片之間的接線，該原型記憶體模組係本案發明人在達成本發明的過程中所設想者；

圖 13 係示意圖，顯示根據本發明第二實施例的記憶體模組的結構；

圖 14 係方塊圖，描述在包含於根據第二實施例之記憶體模組之中的元件的接線；

圖 15A 顯示安裝於根據第二實施例之模組基板的一主表面之上的元件的佈局；

圖 15B 顯示安裝於根據第二實施例之模組基板的另一主表面之上的元件的佈局；

圖 16 係示意圖，描述根據第二實施例之資料連接器和記憶體晶片之間的接線；

圖 17 係示意圖，描述根據第二實施例之命令位址連接器和記憶體晶片之間的接線；

圖 18 係根據第二實施例之模組基板的放大剖面圖；

圖 19 係示意圖，顯示根據本發明第三實施例之記憶體模組的結構；

圖 20 係方塊圖，描述根據第三較佳實施例之元件的接線；

圖 21 係示意圖，描述根據第三較佳實施例之命令位址暫存器緩衝器和記憶體晶片之間的接線；

圖 22 係示意圖，顯示根據本發明第四實施例之記憶體模組的結構；

圖 23A 顯示根據第三和第四實施例之命令位址訊號和控制訊號的眼圖；及

圖 23B 顯示根據第二實施例之命令位址訊號和控制訊號的眼圖。

【實施方式】

【0009】 以下將參照隨附圖式詳細地說明本發明的較佳實施例。

【0010】 參照圖 1，根據本發明的第一實施例之記憶體模組 100 包含模組基板 110，以及安裝於該模組基板 110 之上的 36 個記憶體晶片 201 到 236、九個資料暫存器緩衝器 301 到 309、及一命令位址暫存器緩衝器 401。當使用於此處，若無區別之必要，可將記憶體晶片 201 到 236 簡稱作「記憶體晶片 200」。類似地，若無區別之必要，可將資料暫存器緩衝器 301 到 309 簡稱為「資料暫存器緩衝器 300」。

【0011】 模組基板 110 係具有多層佈線之印刷電路板。模組基板 110 一般具有矩形平面形狀，其具有在圖 1 所示的 X 方向上的長邊及 Y 方向上的短邊。複數連接器 120 係在沿著 X 方向之模組基板 110 的側邊其中一者（即長邊）之上形成。該等連接器 120 係用於經由之後所述之一記憶體槽而與一記憶體控制器建立電連接之端子。該等連接器 120 係分為命令位址連接器 121 及資料連接器 122，其中命令位址訊號 CA 及控制訊號 CTRL 係由該記憶體控制器供應至該命令位址連接器 121，而資料連接器 122 係用以將讀出資料供應至該記憶體控制器或自該記憶體控制器輸入寫入資料。在本實施例中，資料連接器 122 接腳的數目係 72，但不限定於 72。因此，72 位元的讀出資料或寫入資料可同時地輸入或輸出。

【0012】 「命令位址訊號 CA」係關於一群訊號，包含位址訊號 ADD 及命令訊號 CMD。位址訊號 ADD 可包含組位址 (bank address)。命令訊號 CMD 係關於一群訊號，其包含列位址選通訊號 RASB、欄位址選通訊號 CASB、及寫入致能訊號 WEB。

【0013】 「控制訊號 CTRL」係關於一群訊號，其包含時脈訊號 CK 及 CKB、晶片選擇訊號 CS0B 及 CS1B、時脈致能訊號 CKE0 及 CKE1、及晶粒上終端 (on-die termination) 訊號 ODT0 及 ODT1。時脈訊號 CK 及 CKB 係互補訊號。晶片選擇訊號 CS0B 及 CS1B 與時脈致能訊號 CKE0 及 CKE1 係用於激活各自對應的排 (rank) (將稍後描述) 之訊號。晶粒上終端訊號 ODT0 及 ODT1 係用於使各自對應的排運作為終端電阻器之訊號。當使用於此處及圖式之中，若無區別的需要，時脈訊號 CK 及 CKB 係共同被稱作時脈訊號 CK。晶片選擇訊號 CS0B 及 CS1B 可共同被稱作晶片選擇訊號 CSB。時脈致能訊號 CKE0 及 CKE1 可共同被稱作時脈致能訊號 CKE。晶粒上終端訊號 ODT0 及 ODT1 可共同被稱作晶粒上終端訊號 ODT。此等訊號可共同被稱作控制訊號 CTRL。

【0014】 記憶體晶片 201 到 236 的例子係 DRAM。其中，18 個記憶體晶片 201 到 208 係安裝於模組基板 110 的一個主表面 110a 之上。其餘 18 個記憶體晶片 219 到 236 係安裝於模組基板 110 的另一主表面 110b 之上。記憶體晶片 201 到 218 與記憶體晶片 219 到 236 係安裝於模組基板 110 的各自的相反側位置。當由俯視觀察，記憶體晶片 201 到 208 與記憶體晶片 219 到 236 係配置於各自的重疊位置。舉例來說，記憶體晶片 201 和記憶體晶片 219 係安裝於模組基板 110 的正面和背面之相同平面位置，即在相同 X 及 Y 座標處。為了便於可視化，圖 1 以交錯平面位置顯示配置於模組基板 110 的正面和背面上的各對記憶體晶片 200。實際上，此等記憶體晶片 200 係如上所述位於相同的平面位置。當使用於此處時，「俯視觀察」意指由正交於 X 方向及 Y 方向的一個方向 (Z 方向) 觀察。

【0015】 在圖 1 中，晶片上的三角形記號係指示晶片安裝方向的定向記號。在相同位置之相同種類的具有定向記號之晶片係以相同方向安裝。具體而言，記憶體晶片 201 到 209 係以相同方向安裝。記憶體晶片 210 到 218 係以相同方向安裝。記憶體晶片 219 到 227 係以相同方向安裝。記憶體

晶片 228 到 236 係以相同方向安裝。記憶體晶片 201 到 209 與記憶體晶片 210 到 218 係以 180° 之不同方向加以安裝。記憶體晶片 219 到 227 與記憶體晶片 228 到 236 係以 180° 之不同方向加以安裝。位於正面與背面上的記憶體晶片 201 到 209 與記憶體晶片 219 到 227 係以相同方向加以安裝。位於正面與背面上的記憶體晶片 210 到 218 與記憶體晶片 228 到 236 係以相同方向加以安裝。在本發明中，記憶體晶片 201 到 209 每一者可稱為「第一記憶體元件」。記憶體晶片 210 到 218 每一者可稱為「第二記憶體元件」。記憶體晶片 219 到 227 每一者可稱為「第三記憶體元件」。記憶體晶片 228 到 236 每一者可稱為「第四記憶體元件」。要注意到，資料暫存器緩衝器 301 到 309 係以相同方向加以安裝。

【0016】 根據本實施例的記憶體模組 100 具有所謂的二排配置。排 (rank) 係關於被互斥選擇的一記憶體空間。將相同的位址分派到該等排。藉由互斥地激活晶片選擇訊號 CS0B 或 CS1B 以及互斥地激活時脈致能訊號 CKE0 或 CKE1，選擇該等排其中任一者。在本實施例中，安裝於模組基板 110 的一個主表面 110a 之上的記憶體晶片 201 到 218 構成第 0 排。安裝於模組基板 110 的另一主表面 110b 之上的記憶體晶片 219 到 236 構成第 1 排。

【0017】 如圖 1 所示，當俯視觀察時，記憶體晶片 201 到 236 係在模組基板 110 上配置成二列。更具體而言，記憶體晶片 201 到 209 與 219 到 227 係配置於第一列 111，其中第一列 111 係較遠離於連接器 120。記憶體晶片 210 到 218 與 228 到 236 係配置於第二列 112，其中第二列 112 係較靠近於連接器 120。配置於第一列 111 的記憶體晶片 201 到 209 及 219 到 227 與配置於第二列 112 的記憶體晶片 210 到 218 及 228 到 236 分別具有相同的 X 座標。換言之，當俯視觀察時，該等記憶體晶片係排列在 Y 方向上。舉例來說，記憶體晶片 201、210、219、及 228 具有相同的 X 座標。其他對應的記憶體晶片亦同樣如此。

【0018】 在模組基板 110 上記憶體晶片 200 及資料暫存器緩衝器 300 的安裝位置將參照圖 2A 及 2B 更詳細地說明。

【0019】 如圖 2A 所示，模組基板 110 的一個主表面 110a 包含一第一記憶體安裝區域 A1 及一第二記憶體安裝區域 A2。該第一記憶體安裝區域 A1 係界定於對應第一列 111 的部分。該第二記憶體安裝區域 A2 係界定

於對應第二列 112 的部分。第一記憶體安裝區域 A1 係其中將記憶體晶片 201 到 209 在 X 方向上排列的區域。第二記憶體安裝區域 A2 係其中將記憶體晶片 210 到 218 在 X 方向上排列的區域。如圖 2B 所顯示，模組基板 110 的另一主表面 110b 包含一第三記憶體安裝區域 A3 及一第四記憶體安裝區域 A4。該第三記憶體安裝區域 A3 係界定於對應第一列 111 的部分。該第四記憶體安裝區域 A4 係界定於對應第二列 112 的部分。第三記憶體安裝區域 A3 係其中將記憶體晶片 219 到 227 在 X 方向上排列的區域。第四記憶體安裝區域 A4 係其中將記憶體晶片 228 到 236 在 X 方向上排列的區域。

【0020】 在記憶體安裝區域 A1 到 A4 上所安裝的記憶體晶片 201 到 236 之中，具有相同 X 座標的四個記憶體晶片共通連接至資料暫存器緩衝器 300 其中一者，該其中一者具有相同的 X 座標。舉例來說，記憶體晶片 201、210、219、及 228 共通連接至資料暫存器緩衝器 301。資料暫存器緩衝器 300 係用以將自對應的資料連接器 122 所供應的寫入資料供應至對應的記憶體晶片 200，以及將自對應記憶體晶片 200 所供應的讀出資料供應至對應的資料連接器 122。舉例來說，寫入記憶體晶片 201、210、219、及 228 的寫入資料係由資料暫存器緩衝器 301 加以緩衝。自記憶體晶片 201、210、219、及 228 所讀出的讀出資料係由資料暫存器緩衝器 301 加以緩衝。

【0021】 如圖 2B 所顯示，資料暫存器緩衝器 301 到 309 係在一暫存器安裝區域 B 之中排列於 X 方向上，該暫存器安裝區域 B 以俯視觀察係夾設於第一列 111 和第二列 112 之間。在本實施例中，雖非限定性，暫存器安裝區域 B 係界定於模組基板 110 的另一主表面 110B 之上。換言之，暫存器安裝區域 B 係夾設於第三和第四記憶體安裝區域 A3 和 A4 之間。以透視觀點，暫存器安裝區域 B 係夾設於第一和第二記憶體安裝區域 A1 和 A2 之間。

【0022】 包含記憶體模組 100 的資訊處理系統 10 的結構，將參照圖 3 加以說明。

【0023】 如圖 3 所顯示，將資訊處理系統 10 建立於主機板 21 之上。主機板 21 包含一記憶體槽 22。根據本實施例的記憶體模組 100 係插入記憶體槽 22。一記憶體控制器 12 係安裝於主機板 21 之上。記憶體控制器 12 通過形成於主機板 21 之上的佈線 23 而連接至記憶體模組 100。要注意的是，記憶體控制器 12 不直接連接至記憶體模組 100 之上的記憶體晶片 200，而

是通過資料暫存器緩衝器 301 到 309 及命令位址暫存器緩衝器 401 而連接至記憶體晶片 200。此連接方式將連接記憶體控制器 12 及記憶體模組 100 的訊號路徑的負載電容降低，藉此縱使在較高的資料傳輸速率下亦可提供良好的訊號品質。

【0024】 雖然圖 3 所顯示的資訊處理系統 10 在主機板 21 之上僅具有一個記憶體槽 22，實際的記憶體系統可包含複數（例如四個）記憶體槽。記憶體模組 100 係安裝於各個記憶體槽。若安裝複數個記憶體模組 100，訊號路徑的負載電容會隨之增加。在本實施例中，每個記憶體模組的負載電容與以往相比係相當小的，且縱使在安裝複數記憶體模組的狀況下亦能夠進行快速資料傳輸。

【0025】 接下來，將描述記憶體晶片 200 的結構。

【0026】 記憶體晶片 200 係 DRAM。如圖 4 所顯示，記憶體晶片 200 具有作為外部端子的時脈端子 1251、命令端子 1252、控制端子 1256、位址端子 1253、資料輸入/輸出端子 1254、及資料選通端子 1255。其中，時脈端子 1251、命令端子 1252、控制端子 1256、及位址端子 1253 係連接至命令位址暫存器緩衝器 401。資料輸入/輸出端子 1254 及資料選通端子 1255 係連接至相對應的資料暫存器緩衝器 300。記憶體晶片 200 亦包含其他端子，例如電源端子，其在該示圖中省略。

【0027】 時脈端子 1251 係互補時脈訊號 Y 及 YB 供應至該處的端子。所供應的時脈訊號 Y 及 YB 係供應至內部時脈產生電路 1261。內部時脈產生電路 1261 基於時脈訊號 Y 及 YB 產生內部時脈訊號 ICLK，且將所產生的內部時脈訊號 ICLK 供應至包含資料輸入/輸出電路 1263 及資料選通訊號輸入/輸出電路 1264 的各種電路塊。在本實施例中，記憶體晶片 200 不包含 DLL 電路，但不限定於此。

【0028】 命令端子 1252 係命令訊號 CMD 供應至該處的端子，命令訊號 CMD 包含列位址選通訊號（RASB）、欄位址選通訊號（CASB）、及寫入致能訊號（WEB）。命令訊號 CMD 係供應至命令解碼器 1266。命令解碼器 1266 係與內部時脈訊號 ICLK 同步地保持、解碼、及計數該命令訊號，以產生各種內部命令 ICMD。所產生的內部命令 ICMD 係供應至包含模態暫存器 1265 的各種電路塊。

【0029】 控制端子 1256 係排專用控制訊號 CTRL 供應至該處的端子，該排專用控制訊號 CTRL 包含晶片選擇訊號（CSB）、時脈致能訊號（CKE）、及晶粒上終端訊號（ODT）。控制訊號 CTRL 係供應至控制電路 1268。控制電路 1268 基於控制訊號 CTRL 產生例如內部晶粒上終端訊號 IODT 之內部控制訊號。

【0030】 位址端子 1253 係位址訊號 ADD 供應至該處的端子。所供應的位址訊號 ADD 係供應至位址鎖存電路 1267。位址鎖存電路 1267 係與內部時脈訊號 ICLK 同步地鎖存位址訊號 ADD。在鎖存於位址鎖存電路 1267 之中的位址訊號 ADD 中，列位址係供應至列解碼器 1271，且欄位址係供應至欄解碼器 1272。在模態暫存器設定時，將位址訊號 ADD 供應至模態暫存器 1265，藉此更新模態暫存器 1265 的內容。

【0031】 列解碼器 1271 係選擇包含於記憶體單元陣列 1280 之中的字元線 WL 任一者的電路。記憶體單元陣列 1280 包含彼此相交的複數字元線 WL 及複數位元線 BL。記憶體單元 MC 係配置於該等交叉點處（圖 4 僅顯示字元線 WL 其中一者、位元線 BL 其中一者、及記憶體單元 MC 其中一者）。位元線 BL 係連接至感測放大器 SA，其係包含於一感測放大器列 1281 之中。感測放大器 SA 係藉由欄解碼器 1272 加以選擇。

【0032】 所選擇的感測放大器 SA 係連接至資料輸入/輸出電路 1263。內部時脈訊號 ICLK 及內部資料選通訊號 PDQS 係供應至資料輸入/輸出電路 1263。在讀出操作中，資料輸入/輸出電路 1263 係與內部時脈訊號 ICLK 同步地輸出讀出資料。在寫入操作中，資料輸入/輸出電路 1263 係與內部資料選通訊號 PDQS 同步地接收寫入資料。結果，在讀出操作中，自記憶體單元陣列 1280 讀出的讀出資料係從資料輸入/輸出端子 1254 輸出。在寫入操作中，自資料輸入/輸出端子 1254 所接收的寫入資料係被寫入至記憶體單元陣列 1280。

【0033】 資料選通端子 1255 係用於輸入及輸出資料選通訊號 DQS 的端子。資料選通端子 1255 係連接至資料選通訊號輸入/輸出電路 1264。資料選通訊號輸入/輸出電路 1264 產生前述的內部資料選通訊號 PDQS，且供應該內部資料選通訊號 PDQS 至資料輸入/輸出電路 1263。

【0034】 內部晶粒上終端訊號 IODT 係控制電路 1268 的一個輸出，

內部晶粒上終端訊號 IODT 亦供應至資料輸入/輸出電路 1263 及資料選通訊號輸入/輸出電路 1264。若將內部晶粒上終端訊號 IODT 激活，資料輸入/輸出電路 1263 及資料選通訊號輸入/輸出電路 1264 二者皆係充當終端電阻器。

【0035】 如圖 5 所顯示，記憶體晶片 200 包含複數外部端子 250T，其係以矩陣配置加以布局。在圖 5 中，由參考符號 250DQ 所標示的區域係配置資料-系統外部端子的區域，或更具體而言，係配置圖 4 所示資料輸入/輸出端子 1254 及資料選通端子 1255 的區域。由圖 5 中參考符號 250CA 所標示的區域係配置命令/位址-系統外部端子及控制-系統外部端子的區域，或更具體而言，係配置圖 4 所示時脈端子 1251、命令端子 1252、控制端子 1256、及位址端子 1253 的區域。區域 250DQ 及區域 250CA 係在 Y 方向上排列。區域 250DQ 較靠近定向記號。該 Y 方向對應圖 1 所示模組基板 110 短邊的方向。

【0036】 以上已描述記憶體晶片 200 的整體結構。接下來，將描述資料暫存器緩衝器 300 的結構。

【0037】 參照圖 6，資料暫存器緩衝器 300 包含寫入 FIFO 電路 311 及讀出 FIFO 電路 312。寫入 FIFO 電路 311，以與通過輸入/輸出端子 350 所供應的資料選通訊號 DQS 同步的方式，將通過輸入/輸出端子 340 所供應的寫入資料 DQ 緩衝。讀出 FIFO 電路 312，以與通過輸入/輸出端子 351 所供應的資料選通訊號 DQS 同步的方式，將通過輸入/輸出端子 341 所供應的讀出資料 DQ 緩衝。輸入/輸出端子 340 及 350 係連接至資料連接器 122。在圖 6 中，通過輸入/輸出端子 340 及 350 所輸入/輸出的訊號具附有符號 (pre) 的訊號名稱。輸入/輸出端子 341 及 351 係連接至相對應的記憶體晶片 200 之端子。在圖 6 中，通過輸入/輸出端子 341 及 351 所輸入/輸出的訊號具附有符號 (post) 的訊號名稱。

【0038】 應注意的是，圖 6 所顯示的 FIFO 電路 311 和 312 係用於輸入/輸出單一位元資料的電路。事實上，資料暫存器緩衝器 300 包含與輸入/輸出資料寬度相同數量的 FIFO 電路 311 和 312。舉例來說，當資料暫存器緩衝器 300 每次輸入/輸出一單一位元組的資料時，需要八對 FIFO 電路 311 及 312。

【0039】 包含於資料暫存器緩衝器 300 的各種緩衝器電路及 FIFO 電路 311 和 312 的操作，係藉由資料暫存器控制電路 320 加以控制。資料暫存器控制電路 320 基於控制訊號 BCOM 控制資料暫存器緩衝器 300 的操作，控制訊號 BCOM 係供應自命令位址暫存器緩衝器 401。

【0040】 在圖 7 中，參考符號 330 標示在資料暫存器緩衝器 300 上所形成的外部端子之中與資料訊號和資料選通訊號相關的外部端子。如圖 7 所顯示，資料暫存器緩衝器 300 的外部端子係分成一第一群 331 及一第二群 332。第一群 331 包含連接至資料連接器 122 的端子，包含圖 6 所示輸入/輸出端子 340 及 350。換言之，包含用於輸入/輸出附有符號（pre）的訊號的外部端子。第二群 332 包含連接至相對應記憶體晶片 200 的端子，包含圖 6 所示輸入/輸出端子 341 及 351。換言之，包含用於輸入/輸出附有符號（post）之訊號的外部端子。

【0041】 如圖 7 所顯示，第一群 331 和第二群 332 係排列於 Y 方向上。各群包含在 X 方向上排列的複數外部端子 330。

【0042】 以上已描述資料暫存器緩衝器 300 的整體結構。接下來，將描述命令位址暫存器緩衝器 401 的結構。

【0043】 參考圖 8，命令位址暫存器緩衝器 401 包含：輸入端子 411 及 412，其連接至命令位址連接器 121；輸出端子 421 到 424，其連接至記憶體晶片 200；及輸出端子 430，其連接至資料暫存器緩衝器 300。

【0044】 自記憶體控制器 12 所提供的命令位址訊號 CA 及控制訊號 CTRL 係分別輸入至輸入端子 411 及 412。在圖 8 中，輸入至輸入端子 411 及 412 的訊號具附有符號（pre）的訊號名稱。通過輸入端子 411 所輸入的命令位址訊號 CA（pre）在供應至兩個系統的驅動器 441 及 442 之前係藉由暫存器電路 440 加以緩衝。驅動器 441 和 442 係分別通過輸出端子 421 及 422 而輸出命令位址訊號 CA（post）的電路。如圖 8 中所顯示，自驅動器 441 通過輸出端子 421 所輸出的命令位址訊號 CA（post）係附有符號 R。自驅動器 442 通過輸出端子 422 所輸出的命令位址訊號 CA（post）係附有符號 L。命令位址訊號 CA（post）R 及命令位址訊號 CA（post）L 具有相同的內容。

【0045】 類似地，通過輸入端子 412 所輸入的控制訊號 CTRL（pre），

在供應至兩個系統的驅動器 451 及 452 之前，係藉由暫存器電路 450 加以緩衝。驅動器 451 及 452 係分別通過輸出端子 423 及 424 輸出控制訊號 CTRL (post) 之電路。如圖 8 所顯示，自驅動器 451 通過輸出端子 423 所輸出的控制訊號 CTRL 係附有符號 R。自驅動器 452 通過輸出端子 424 所輸出的控制訊號 CTRL (post) 係附有符號 L。控制訊號 CTRL (post) R 及控制訊號 CTRL (post) L 具有相同的內容。

【0046】 在命令位址暫存器緩衝器 401 之中設置二個輸出系統，會降低驅動器 441、442、451、及 452 上的負載。

【0047】 命令位址暫存器緩衝器 401 更包含控制電路 460。控制電路 460 基於命令位址訊號 CA (pre) 及控制訊號 CTRL (pre) 產生控制訊號 BCOM。所產生的控制訊號 BCOM 係通過驅動器 461 及輸出端子 430 而供應至資料暫存器緩衝器 300。

【0048】 圖 9 所顯示的參考符號 470 標示配置形成於命令位址暫存器緩衝器 401 之上的輸入端子 411 及 412 的區域。圖 9 所顯示的參考符號 480R 標示配置形成於命令位址暫存器緩衝器 401 之上的輸出端子 421 及 423 的區域。換言之，命令位址訊號 CA (post) R 及控制訊號 CTRL (post) R 係自區域 480R 輸出。圖 9 所顯示的參考符號 480L 標示配置形成於命令位址暫存器緩衝器 401 之上的輸出端子 422 及 424 的區域。命令位址訊號 CA (post) L 及控制訊號 CTRL (post) L 係自區域 480L 輸出。

【0049】 命令位址訊號 CA (post) R 及控制訊號 CTRL (post) R 係供應至安裝於模組基板 110 右側的記憶體晶片 200。命令位址訊號 CA(post) L 及控制訊號 CTRL (post) L 係供應至安裝於模組基板 110 左側的記憶體晶片 200。配置於區域 480R 之中的輸出端子 421 及 423 與配置於區域 480L 之中的輸出端子 422 及 424，係相對於中心軸 a 對稱地佈局。中心軸 a 係延伸於 Y 方向之在 X 方向上的中心線。舉例來說，自配置於區域 480R 之中的端子 481 到 484 所輸出的訊號係分別與自配置於區域 480L 之中的端子 481 到 484 所輸出的訊號相同。

【0050】 以上已描述命令位址暫存器緩衝器 401 的整體結構。接下來，將描述在模組基板 110 之上元件的接線。

【0051】 首先將描述在寫入操作中之資料—系統訊號的流動。如圖 10

所示，輸入至資料連接器 122 的寫入資料 DQ 係通過線腳電阻器（stub resistor）130 而供應至資料暫存器緩衝器 300。設置線腳電阻器 130 係用以防止由於發生在資料連接器 122 的阻抗不匹配所導致的訊號反射。要注意的是，對於本發明設置線腳電阻器 130 係非不可或缺的。根據本實施例，資料暫存器緩衝器 300 係安裝於暫存器安裝區域 B，而暫存器安裝區域 B 由俯視觀察係夾設於第一列 111 和第二列 112 之間。自資料連接器 122 至資料暫存器緩衝器 300 的距離係相對較大。連接資料連接器 122 及資料暫存器 300 的資料線 L0 因而具有大的佈線距離，這助長訊號反射。因此，較佳設置線腳電阻器 130 以防止訊號反射。

【0052】 輸入至各個資料暫存器緩衝器 300 的寫入資料 DQ，在供應至相對應的記憶體晶片 200 之前，藉由資料暫存器緩衝器 300 加以緩衝。如先前所述，該相對應的記憶體晶片 200 係具有與該資料暫存器緩衝器 300 相同之 X 座標的四個記憶體晶片 200。舉例來說，自資料暫存器緩衝器 301 輸出的寫入資料 DQ 係供應至四個記憶體晶片 201、210、219、及 228。在模組基板 110 的正面和背面安裝於重疊位置的二個記憶體晶片，係屬於各自不同的排。此等記憶體晶片共用相同的資料佈線。舉例來說，寫入資料 DQ 係通過相同的資料線 L1 供應至記憶體晶片 201 及 219。寫入資料 DQ 係通過相同的資料線 L2 供應至記憶體晶片 210 及 228。要瞭解的是，寫入資料 DQ 係通過不同的資料線而供應至屬於相同排的記憶體晶片，例如記憶體晶片 201 及 210。

【0053】 在讀出操作中，資料—系統訊號的流動係與前述反向。自屬於所選擇排的二個記憶體晶片所讀出的讀出資料 DQ 係供應至相對應的資料暫存器緩衝器 300。讀出資料 DQ 在通過線腳電阻器 130 而供應至資料連接器 122 之前係藉由資料暫存器緩衝器 300 加以緩衝。

【0054】 如圖 10 所顯示，根據本實施例，在俯視圖中，資料暫存器緩衝器 300 係安裝於暫存器安裝區域 B，而暫存器安裝區域 B 係夾設於第一列 111 和第二列 112 之間。當自各個資料暫存器緩衝器 300 觀察，位於上方和下方的兩個記憶體晶片係同時激活。屬於第一列 111 的記憶體晶片 200 和屬於第二列 112 的記憶體晶片 112 係以 180° 的不同方向加以安裝。記憶體晶片 200 的區域 250DQ（見圖 5）因此皆配置成靠近資料暫存器緩衝器

300。

【0055】 因此，在模組基板 110 之上可佈局資料系統佈線，使得連接資料暫存器緩衝器 300 及各自對應的四個記憶體晶片 200 的線 L1 和線 L2 具有最小且固定的佈線長度。在寫入操作中，寫入資料 DQ 因此幾乎在相同的時間抵達安裝於第一列 111 的記憶體晶片 200 及安裝於第二列 112 的記憶體晶片 200。在讀出操作中，自安裝於第一列 111 的記憶體晶片 200 所輸出的讀出資料 DQ 及自安裝於第二列 112 的記憶體晶片 200 所輸出的讀出資料 200，幾乎在相同的時間抵達資料暫存器緩衝器 300。換言之，歸因於記憶體晶片 200 的安裝位置的資料偏斜係相當小的。結果，可在記憶體晶片 200 上不具備例如 DLL 電路之同步電路的狀況下，將資料正確地輸入及輸出。該等排在資料偏斜上亦差別不大。

【0056】 如圖 11 所顯示，輸入至命令位址連接器 121 的命令位址訊號 CA 及控制訊號 CTRL 係通過線腳電阻器 130 供應至命令位址暫存器緩衝器 401。如已參照圖 9 所述，形成於命令位址暫存器緩衝器 401 之上的輸入端子 411 及 412 係配置於區域 470 之中。命令位址暫存器緩衝器 401 緩衝命令位址訊號 CA 及控制訊號 CTRL，且經由輸出端子 421 到 424 供應該等訊號至記憶體晶片 200。通過配置於區域 480R 的輸出端子 421 及 423 與線 L20 及 L21，將命令位址訊號 CA 及控制訊號 CTRL 供應至安裝於模組基板 110 的右側的記憶體晶片 200。通過配置於區域 480L 的輸出端子 422 及 424 與線 L10 及 L11，將命令位址訊號 CA 及控制訊號 CTRL 供應至安裝於模組基板 110 的左側的記憶體晶片 200。

【0057】 在自命令位址暫存器緩衝器 401 所輸出的訊號中，命令位址訊號 CA 係共通地供應至記憶體晶片 201 到 236。在自命令位址暫存器緩衝器 401 所輸出的訊號中，控制訊號 CTRL 係按照排而加以供應。因此，將排其中任一者互斥地加以激活。

【0058】 在達成本發明的過程中本案發明人所設想的原型記憶體模組，將參照圖 12 加以說明。

【0059】 在圖 12 所顯示的原型記憶體模組 100a 之中，將資料暫存器緩衝器 301 到 309 配置於資料連接器 122 和記憶體晶片 201 到 236 之間。在此一佈局中，自資料暫存器緩衝器 300 至相對應的記憶體晶片 200 的距

離在第一列 111 和第二列 112 之間差別很大。資料線 L1 較資料線 L2 長很多。在寫入操作中，寫入資料 DQ 因此在抵達安裝於第一列 111 的記憶體晶片 200 之前先抵達安裝於第二列 112 的記憶體晶片 200。在讀出操作中，自安裝於第二列 112 的記憶體晶片 200 所輸出的讀出資料，在安裝於第一列 111 的記憶體晶片 200 所輸出的讀出資料抵達之前，先抵達資料暫存器緩衝器 300。記憶體模組 100a 因此造成取決於在 Y 方向上記憶體晶片 200 之安裝位置的資料偏斜。因為各個資料暫存器緩衝器 300 及相對應的四個記憶體晶片 200 並不總是具有相同的 X 座標，偏斜 (skew) 亦取決於在 X 方向上之記憶體晶片 200 的安裝位置而產生。

【0060】 相反地，根據本實施例的記憶體模組 100，可顯著地降低此種偏斜而提供高訊號品質。不同於原型記憶體模組 100a，記憶體模組 100 沒有增加佈線密度的缺點。

【0061】 接下來，將描述本發明的第二較佳實施例。

【0062】 如圖 13 所示，根據本發明的第二實施例的記憶體模組 500 包含模組基板 510，以及安裝於該模組基板 510 之上的 72 個記憶體晶片 201 到 272、九個資料暫存器緩衝器 301 到 309、及命令位址暫存器緩衝器 401。當使用於此處，若不需要區別，可將記憶體晶片 201 到 272 簡稱為「記憶體晶片 200」。

【0063】 由俯視觀察，記憶體晶片 201 到 272 係以四列配置於模組基板 510 之上。具體而言，記憶體晶片 201 到 209 及 219 到 227 係配置於第一列 511，第一列 511 係最頂端的列。記憶體晶片 237 到 245 及 255 到 263 係配置於第三列 513，第三列 513 係自頂端的第二列。記憶體晶片 210 到 218 及 228 到 236 係配置於第二列 512，第二列 512 係自底端的第二列。記憶體晶片 246 到 254 及 264 到 272 係配置於第四列 514，第四列 514 係底端列。

【0064】 記憶體晶片 201 到 218 係以相同方向安裝。記憶體晶片 219 到 236 係以相同方向安裝。記憶體晶片 237 到 254 係以相同方向安裝。記憶體晶片 255 到 272 係以相同方向安裝。記憶體晶片 201 至 218 與記憶體晶片 237 至 254 係以 180°不同方向加以安裝。記憶體晶片 219 至 236 與記憶體晶片 255 至 272 係以 180°不同方向加以安裝。在本發明中，記憶體晶

片 237 至 245 每一者可稱作「第五記憶體元件」。記憶體晶片 246 至 254 每一者可稱作「第六記憶體元件」。記憶體晶片 255 至 263 每一者可稱作「第七記憶體元件」。記憶體晶片 264 至 272 每一者可稱作「第八記憶體元件」。

【0065】 根據本實施例的記憶體模組 500 具有所謂的四排配置。圖 14 係方塊圖，描述該等排的接線。如圖 14 所顯示，該等排係藉由各自的晶片選擇訊號 CS0B 至 CS3B 加以互斥地激活。在本實施例中，記憶體晶片 201 到 218 構成第 0 排。記憶體晶片 255 到 272 構成第 1 排。記憶體晶片 237 到 254 構成第 2 排。記憶體晶片 219 到 236 構成第 3 排。時脈訊號 Y0 至 Y3 及 YB0 至 YB3 係供應至各自對應的排。第 0 排及第 3 排共用一時脈致能訊號 CKE0。第 1 排及第 2 排共用一時脈致能訊號 CKE1。晶粒上終端訊號 ODT0 及 ODT1 係分別供應至第 0 排及第 1 排。沒有晶粒上終端訊號供應至第 2 排及第 3 排。

【0066】 記憶體晶片 200 及資料暫存器緩衝器 300 的安裝位置，將參照圖 15A 及 15B 更詳細地加以說明。

【0067】 如圖 15A 所顯示，模組基板 510 的一個主表面 510a 包含第一、第二、第五、及第六記憶體安裝區域 A1、A2、A5、及 A6。第一記憶體安裝區域 A1 係界定於對應第一列 511 的位置。第二記憶體安裝區域 A2 係界定於對應第二列 512 的位置。第五記憶體安裝區域 A5 係界定於對應第三列 513 的位置。第六記憶體安裝區域 A6 係界定於對應第四列 514 的位置。第一記憶體安裝區域 A1 係記憶體晶片 201 至 209 在 X 方向上排列之區域。第二記憶體安裝區域 A2 係記憶體晶片 210 至 218 在 X 方向上排列之區域。第五記憶體安裝區域 A5 係記憶體晶片 237 至 245 在 X 方向上排列之區域。第六記憶體安裝區域 A6 係記憶體晶片 246 至 254 在 X 方向上排列之區域。

【0068】 如圖 15B 所顯示，模組基板 510 的另一主表面 510b 包含第三、第四、第七、及第八記憶體安裝區域 A3、A4、A7、及 A8。第三記憶體安裝區域 A3 係界定於對應第一列 511 的位置。第四記憶體安裝區域 A4 係界定於對應第二列 512 的位置。第七記憶體安裝區域 A7 係界定於對應第三列 513 的位置。第八記憶體安裝區域 A8 係界定於對應第四列 514 的位置。第三記憶體安裝區域 A3 係記憶體晶片 219 至 227 在 X 方向上排列之

區域。第四記憶體安裝區域 A4 係記憶體晶片 228 至 236 在 X 方向上排列之區域。第七記憶體安裝區域 A7 係記憶體晶片 255 至 263 在 X 方向上排列之區域。第八記憶體安裝區域 A8 係記憶體晶片 264 至 272 在 X 方向上排列之區域。

【0069】 在安裝於記憶體安裝區域 A1 到 A8 之上的記憶體晶片 201 至 272 之中，具有相同 X 座標的八個記憶體晶片係共通連接至資料暫存器緩衝器 300 其中一者，該其中一者具有相同的 X 座標。舉例來說，記憶體晶片 201、210、219、228、237、246、255、及 264 係共通連接至資料暫存器緩衝器 301。

【0070】 如圖 15B 所示，資料暫存器緩衝器 301 至 309 係在一暫存器安裝區域 B 之中排列於 X 方向上，該暫存器安裝區域 B 由俯視觀察係夾設於第三列 513 和第二列 512 之間。在本實施例中，該暫存器安裝區域 B 係界定於該模組基板 510 的另一主表面 510b 之上，但不限定於此。

【0071】 將首先描述在寫入操作中的資料系統訊號的流動。如圖 16 所顯示，輸入至資料連接器 122 的寫入資料 DQ 係通過線腳電阻器 130 而供應至資料暫存器緩衝器 300。輸入至各資料暫存器緩衝器 300 的寫入資料 DQ，在供應至相對應的記憶體晶片 200 之前，係藉由資料暫存器緩衝器 300 加以緩衝。如先前已描述，該相對應的記憶體晶片 200 係與該資料暫存器緩衝器 300 具有相同 X 座標的八個記憶體晶片 200。在讀出操作中，資料系統訊號的流動係與前述反向。

【0072】 在本實施例中，形成於資料暫存器緩衝器 300 之上的輸入/輸出端子 341 及 351（見圖 6）的一半係連接至線 L31。而另一半則連接至線 L32。當自資料暫存器緩衝器 300 視之，線 31 係向上延伸。線 L31 每一者係在第一列 511 和第三列 513 之間分岔，且共通地連接至相對應的四個記憶體晶片 200。類似地，當自資料緩衝器暫存器 300 視之，線 L32 係向下延伸。線 L32 每一者在第二列 512 和第四列 514 之間分岔，且共通地連接至相對應的四個記憶體晶片 200。線 L31 和線 L32 幾乎具有相同的長度。此外，自線 L31 和 L32 的分岔點至各別記憶體晶片 200 的佈線距離係幾乎相同。

【0073】 如圖 16 所顯示，在本實施例中，屬於第一列 511 的記憶體

晶片 200 和屬於第三列 513 的記憶體晶片 200 係以 180°不同方向加以安裝。線 L31 的分岔點係位於該等記憶體晶片 200 之間。類似地，屬於第二列 512 的記憶體晶片 200 和屬於第四列 514 的記憶體晶片 200 係以 180°不同方向加以安裝。線 L32 的分岔點係位於該等記憶體晶片 200 之間。

【0074】 利用此一配置，可將在模組基板 510 之上的資料系統佈線加以布局，使得資料暫存器緩衝器 300 和各自相對應的八個記憶體晶片 200 之間的佈線長度係最小且固定的。在寫入操作中，寫入資料 DQ 因此在幾乎相同的時間抵達安裝於各別列之上的記憶體晶片 200。在讀出操作中，自安裝於各個列之上的記憶體晶片 200 所輸出的讀出資料 DQ，幾乎在相同時間抵達資料暫存器緩衝器 300。取決於記憶體晶片 200 的安裝位置的資料偏斜因而如第一實施例一般顯著降低。

【0075】 如圖 17 所顯示，輸入至命令位址連接器 121 的命令位址訊號 CA 和控制訊號 CTRL 係經由線腳電阻器 130 而供應至命令位址暫存器緩衝器 401。如已參照圖 9 所描述的，形成於命令位址暫存器緩衝器 400 之上的輸入端子 411 和 412 係配置於區域 470 之中。命令位址暫存器緩衝器 401 緩衝命令位址訊號 CA 和控制訊號 CTRL，且將該等訊號通過輸出端子 421 至 424 供應至記憶體晶片 200。經由配置於區域 480R 之中的輸出端子 421 及 423 與線 L50 至 L53，將命令位址訊號 CA 及控制訊號 CTRL 供應給安裝於模組基板 510 的右側之記憶體晶片 200。經由配置於區域 480L 之中的輸出端子 422 及 424 與線 L40 至 L43，將命令位址訊號 CA 及控制訊號 CTRL 供應給安裝於模組基板 510 的左側之記憶體晶片 200。

【0076】 在本實施例中，自區域 480R 和 480L 輸出之命令位址訊號 CA 和控制訊號 CTRL 係各自分岔成 4 個分支，該等分支分別供應至屬於第一列 511 到第四列 514 的記憶體晶片 200。爲了在模組基板 510 中將一訊號線分岔爲四分支，舉例來說，可使用如圖 18 所顯示的四個佈線層。形成於個別佈線層的線 L40 至 L43 係連接至相同的通孔導體 TH。

【0077】 如以上已描述的，根據本實施例的記憶體模組 500 可提供與根據第一實施例的記憶體模組 100 相同之功效，且甚至可提供更高的記憶體容量。

【0078】 接下來，將描述本發明的第三較佳實施例。

【0079】 如圖 19 所顯示，根據本發明第三實施例的記憶體模組 530，與第二實施例的記憶體模組 500 的差別在於包含兩個命令位址暫存器緩衝器 401 和 402。命令位址暫存器緩衝器 401 和 402 係具有相同構造的晶片。命令位址暫存器緩衝器 401 係安裝於模組基板 510 的一個主表面 510a 之上。命令位址暫存器緩衝器 402 係安裝於模組基板 510 的另一主表面 510b 之上。相對於該主表面 510a 之命令位址暫存器緩衝器 401 的安裝方向與相對於該另一主表面 510b 之命令位址暫存器緩衝器 402 的安裝方向彼此相差 180°。因此，配置輸入端子 411 及 412 的命令位址暫存器緩衝器 401 和 402 的區域 470 係彼此對向。

【0080】 如圖 20 所顯示，命令位址暫存器緩衝器 401 係分派至屬於第 0 排及第 3 排的記憶體晶片 200。命令位址暫存器緩衝器 402 係分派至屬於第 1 排及第 2 排的記憶體晶片 200。用於控制資料暫存器緩衝器 300 的訊號係僅由命令位址暫存器緩衝器 401 供應，並未由命令位址暫存器緩衝器 402 供應。其理由係在各排上資料暫存器緩衝器 300 執行相同的操作，且相同的控制訊號 BCOM 不需要由命令位址暫存器緩衝器 401 及 402 二者加以供應。

【0081】 回到圖 19，將更詳細地描述命令位址暫存器緩衝器 401 及 402 與記憶體晶片 200 之間的接線。在安裝於第一列 511 之上的記憶體晶片 201 至 209 和 219 至 227 之中，配置於命令位址暫存器緩衝器 401 及 402 左方的記憶體晶片 201 至 205 和 219 至 223 係共通地連接至線 L61。線 L61 係連接至命令位址暫存器緩衝器 401 的區域 480R。配置於命令位址暫存器緩衝器 401 及 402 右方的記憶體晶片 206 至 209 和 224 至 227 係共通地連接至線 L62。線 L62 係連接至命令位址暫存器緩衝器 401 的區域 480L。

【0082】 在安裝於第二列 512 之上的記憶體晶片 210 至 218 和 228 至 236 之中，配置於命令位址暫存器緩衝器 401 及 402 左方的記憶體晶片 210 至 214 和 228 至 232 係共通地連接至線 L63。線 L63 係連接至命令位址暫存器緩衝器 401 的區域 480L。配置於命令位址暫存器緩衝器 401 及 402 右方的記憶體晶片 215 至 218 和 233 至 236 係共通地連接至線 L64。線 L64 係連接至命令位址暫存器緩衝器 401 的區域 480R。

【0083】 線 L61 和線 64 係自命令位址暫存器緩衝器 401 的區域 480R

分岔的二條線。線 L62 和線 63 係自命令位址暫存器緩衝器 401 的區域 480L 分岔的二條線。

【0084】 在安裝於第三列 513 之上的記憶體晶片 237 至 245 和 255 至 263 之中，配置於命令位址暫存器緩衝器 401 及 402 左方的記憶體晶片 237 至 241 和 255 至 259 係共通地連接至線 L65。線 L65 係連接至命令位址暫存器緩衝器 402 的區域 480L。配置於命令位址暫存器緩衝器 401 及 402 右方的記憶體晶片 242 至 245 和 260 至 263 係共通地連接至線 L66。線 L66 係連接至命令位址暫存器緩衝器 402 的區域 480R。

【0085】 在安裝於第四列 514 之上的記憶體晶片 246 至 254 和 264 至 272 之中，配置於命令位址暫存器緩衝器 401 及 402 左方的記憶體晶片 246 至 250 和 264 至 268 係共通地連接至線 L67。線 L67 係連接至命令位址暫存器緩衝器 402 的區域 480R。配置於命令位址暫存器緩衝器 401 及 402 右方的記憶體晶片 251 至 254 和 269 至 272 係共通地連接至線 L68。線 L68 係連接至命令位址暫存器緩衝器 402 的區域 480L。

【0086】 線 L65 和線 68 係自命令位址暫存器緩衝器 402 的區域 480L 分岔的二條線。線 L66 和線 67 係自命令位址暫存器緩衝器 402 的區域 480R 分岔的二條線。

【0087】 命令位址暫存器緩衝器 401 和資料暫存器緩衝器 301 至 305 係藉由線 L71 加以連接。命令位址暫存器緩衝器 401 和資料暫存器緩衝器 306 至 309 係藉由線 L72 加以連接。如上所述，命令位址暫存器緩衝器 402 係不連接至資料暫存器緩衝器 301 至 309。

【0088】 在本實施例中，使用二個命令位址暫存器緩衝器 401 及 402，以將命令位址訊號 CA 和控制訊號 CTRL 經由各自不同的線供應至記憶體晶片 200。線 L61 至 L68 的負載與第二實施例相比因而降低一半。這意味著驅動器 441、442、451、及 452 驅動之負載係降低一半。縱使所使用的時脈訊號 CK 和 CKB 具有高頻率，命令位址訊號 CA 和控制訊號 CTRL 可如此維持高訊號品質。

【0089】 將參照圖 21 更詳細地說明命令位址暫存器緩衝器 401 及 402 與記憶體晶片 200 之間的接線。

【0090】 在圖 21 中，形成於命令位址暫存器緩衝器 401 和 402 之上

的端子 481 至 484 係對應圖 9 中所顯示的端子 481 至 484。更具體而言，端子 481 至 484 係在 Y 方向上排列。自配置於區域 480R 之中的端子 481 至 484 所輸出的訊號，係與配置於區域 480L 之中的端子 481 至 484 所輸出者相同。自端子 481 至 484 所輸出的訊號係分別供應至形成於記憶體晶片 200 之上的端子 291 至 294。如圖 5 所顯示，端子 291 至 294 係在區域 250CA 中形成，且在 Y 方向上排列。

【0091】 在本實施例中，命令位址暫存器緩衝器 401 係分派給以相同方向安裝在第一列 511 和第二列 512 中的記憶體晶片 201 至 236。命令位址暫存器緩衝器 402 係分派給以相同方向安裝在第三列 513 和第四列 514 中的記憶體晶片 237 至 272。記憶體晶片 201 至 236 與記憶體晶片 237 至 272 係以 180°相異方向加以安裝。命令位址暫存器緩衝器 401 和命令位址暫存器緩衝器 402 係以 180°相異方向加以安裝。如圖 21 所顯示，分別包含於線 L61 至 L68 之中的複數線（在圖 21 所顯示的範例中，各自有四條線），可在不改變在 Y 方向上的排列順序的狀況下，連接至記憶體晶片 201 至 272 的端子 291 至 294。

【0092】 因此，可將線 L61 至 L68 以簡單的佈局加以配置，並降低模組基板 510 之內的佈線密度。根據本實施例，自區域 480R 和 480L 所輸出的命令位址訊號 CA 和控制訊號 CTRL 各自僅需分岔為二。分岔所需佈線層的數目僅為二。與第二實施例相比，模組基板 510 的佈線層的數目可因而降低，從而降低基板成本。此外，根據本實施例，由於相同數目的記憶體晶片 200 連接至命令位址暫存器緩衝器 401 和 402 的端子 481 至 484，線 L61 至 L68 在負載上幾乎沒有差異。線 L61 至 L68 在長度上亦可相同。

【0093】 接下來，將描述本發明的第四較佳實施例。

【0094】 如圖 22 所顯示，根據本發明第四實施例之記憶體模組 540，與根據第三實施例的記憶體模組 530 不同之處在於命令位址暫存器緩衝器 401 及 402 與記憶體晶片 200 的接線。在其他方面，記憶體模組 540 係與根據第三實施例的記憶體模組 530 相同。相似的部件因此將以相同的參考符號標示。多餘的敘述將省略。

【0095】 在本實施例中，記憶體晶片 201 至 209 和 219 至 227 係安裝於第一列 511 之上。配置於命令位址暫存器緩衝器 401 和 402 之左方的記

記憶體晶片 201 至 205 和 219 至 223 係共通地連接至線 L81。線 L81 係連接至命令位址暫存器緩衝器 401 的區域 480L。配置於命令位址暫存器緩衝器 401 和 402 之右方的記憶體晶片 206 至 209 和 224 至 227 係共通地連接至線 L82。線 L82 係連接至命令位址暫存器緩衝器 401 的區域 480R。

【0096】 在安裝於第二列 512 之上的記憶體晶片 210 至 218 和 228 至 236 之中，配置於命令位址暫存器緩衝器 401 和 402 之左方的記憶體晶片 210 至 214 和 228 至 232 係共通地連接至線 L83。線 L83 係連接至命令位址暫存器緩衝器 401 的區域 480L。配置於命令位址暫存器緩衝器 401 和 402 之右方的記憶體晶片 215 至 218 和 233 至 236 係共通地連接至線 L84。線 L84 係連接至命令位址暫存器緩衝器 401 的區域 480R。

【0097】 線 L81 和線 L83 係自命令位址暫存器緩衝器 401 的區域 480L 分岔的二條線。線 L82 和線 L84 係自命令位址暫存器緩衝器 401 的區域 480R 分岔的二條線。

【0098】 在安裝於第三列 513 之上的記憶體晶片 237 至 245 和 255 至 263 之中，配置於命令位址暫存器緩衝器 401 和 402 之左方的記憶體晶片 237 至 241 和 255 至 259 係共通地連接至線 L85。線 L85 係連接至命令位址暫存器緩衝器 402 的區域 480L。配置於命令位址暫存器緩衝器 401 和 402 之右方的記憶體晶片 242 至 245 和 260 至 263 係共通地連接至線 L86。線 L86 係連接至命令位址暫存器緩衝器 402 的區域 480R。

【0099】 在安裝於第四列 514 之上的記憶體晶片 246 至 254 和 264 至 272 之中，配置於命令位址暫存器緩衝器 401 和 402 之左方的記憶體晶片 246 至 250 和 264 至 268 係共通地連接至線 L87。線 L87 係連接至命令位址暫存器緩衝器 402 的區域 480L。配置於命令位址暫存器緩衝器 401 和 402 之右方的記憶體晶片 251 至 254 和 269 至 272 係共通地連接至線 L88。線 L88 係連接至命令位址暫存器緩衝器 402 的區域 480R。

【00100】 線 L85 和線 L87 係自命令位址暫存器緩衝器 402 的區域 480L 分岔的二條線。線 L86 和線 L88 係自命令位址暫存器緩衝器 402 的區域 480R 分岔的二條線。

【00101】 利用此一配置，本實施例可提供與根據前述第三實施例之記憶體模組 530 幾乎相同之功效。在本實施例中，線 L81 至 L88 其中相對應

的二者具有相同的負載和相同的佈線長度。舉例來說，線 L81 和線 L83 皆分岔自命令位址暫存器緩衝器 401 的區域 480L。線 L81 和 L83 係連接至相同數目的記憶體晶片 200 且具有幾乎相同的佈線長度。根據本實施例，命令位址訊號 CA 和控制訊號 CTRL 可因而在訊號完整性上獲得改善。

【00102】圖 23A 顯示根據第三和第四實施例之命令位址訊號 CA 和控制訊號 CTRL 的眼圖。圖 23B 顯示根據第二實施例之命令位址訊號 CA 和控制訊號 CTRL 的眼圖。二個圖案顯示模組基板上的訊號波形，該訊號波形係當將時脈訊號 CK 及 CKB 設定至頻率 400 MHz 時出現在記憶體晶片 200 之上。如圖 23A 和 23B 所顯示，與第二實施例相較，吾人發現第三和第四實施例提供較佳的眼圖。吾人認為其理由如下：在根據第二實施例的模組基板 510 內，自命令位址暫存器緩衝器 401 所輸出的命令位址訊號 CA 和控制訊號 CTRL 係分岔為四分支，而在第三和第四實施例僅分岔為二分支。

【00103】顯而易見的是，本發明不限定於上述實施例，而係在不偏離本發明的範圍和精神下可加以修改和變化。

【00104】舉例來說，在前述實施例中，使用 DRAM 作為記憶體晶片 200。本發明不限定於此，且可使用其他類型的記憶體元件。待安裝之記憶體元件可各自包含於一單一封裝體中所封裝的記憶體晶片。亦可使用包含在單一封裝體中所封裝的二個以上記憶體晶片的元件。

【符號說明】

- 10 資訊處理系統
- 12 記憶體控制器
- 21 主機板
- 22 記憶體槽
- 23 佈線
- 100 記憶體模組
- 100a 記憶體模組
- 110 模組基板
- 110a 主表面

- 110b 主表面
- 111 第一列
- 112 第二列
- 120 連接器
- 121 命令位址連接器
- 122 資料連接器
- 130 線腳電阻器
- 200 記憶體晶片
- 250T 外部端子
- 250DQ、250CA 區域
- 201 到 272 記憶體晶片
- 291 至 294 端子
- 300 資料暫存器緩衝器
- 301 到 309 資料暫存器緩衝器
- 311 寫入 FIFO 電路
- 312 讀出 FIFO 電路
- 320 資料暫存器控制電路
- 330 外部端子
- 331 第一群
- 332 第二群
- 340 輸入/輸出端子
- 341 輸入/輸出端子
- 350 輸入/輸出端子
- 351 輸入/輸出端子
- 401 命令位址暫存器緩衝器
- 402 命令位址暫存器緩衝器
- 411、412 輸入端子
- 421 到 424 輸出端子
- 430 輸出端子
- 440 暫存器電路

- 441、442 驅動器
- 450 暫存器電路
- 451、452 驅動器
- 460 控制電路
- 470 區域
- 480R 區域
- 480L 區域
- 481 到 484 端子
- 500 記憶體模組
- 510 模組基板
- 510a 主表面
- 510b 主表面
- 511 第一列
- 512 第二列
- 513 第三列
- 514 第四列
- 530 記憶體模組
- 540 記憶體模組
- 1251 時脈端子
- 1252 命令端子
- 1253 位址端子
- 1254 資料輸入/輸出端子
- 1255 資料選通端子
- 1256 控制端子
- 1261 內部時脈產生電路
- 1263 資料輸入/輸出電路
- 1264 資料選通訊號輸入/輸出電路
- 1265 模態暫存器
- 1266 命令解碼器
- 1267 位址鎖存電路

- 1268 控制電路
- 1271 列解碼器
- 1272 欄解碼器
- 1280 記憶體單元陣列
- 1281 感測放大器列

申請專利範圍

1. 一種記憶體模組，包含：
 - 一模組基板，具有相互為相反側之第一和第二主表面，該第一主表面具有第一和第二記憶體安裝區域，該第一和第二主表面其中一者以俯視觀察具有位於該第一和第二記憶體安裝區域之間的一暫存器安裝區域；
 - 複數資料連接器，形成於該模組基板之上；
 - 複數記憶體元件，包含安裝在該第一記憶體安裝區域之上的複數第一記憶體元件、及安裝在該第二記憶體安裝區域之上的複數第二記憶體元件；及
 - 複數資料暫存器緩衝器，安裝在該暫存器安裝區域之上，該等資料暫存器緩衝器將由該等資料連接器所供應的寫入資料傳送至該等記憶體元件，且將由該等記憶體元件所供應的讀出資料傳送至該等資料連接器，其中
 - 該等第一記憶體元件係以一第一方向排列於該第一記憶體安裝區域之中，
 - 該等第二記憶體元件係以該第一方向排列於該第二記憶體安裝區域之中，
 - 該等資料暫存器緩衝器係以該第一方向排列於該暫存器安裝區域之中，且
 - 該等資料暫存器緩衝器每一者和與其連接之該等第一及第二記憶體元件其中相關聯者，以俯視觀察係以與該第一方向交叉的一第二方向加以排列。
2. 如申請專利範圍第 1 項的記憶體模組，其中該等第一記憶體元件和該等第二記憶體元件係被共同地激活。
3. 如申請專利範圍第 1 項或第 2 項的記憶體模組，其中該等第一記憶體元件和該等第二記憶體元件係以 180°不同方向加以安裝。
4. 如申請專利範圍第 1 項的記憶體模組，其中

該模組基板的該第二主表面具有第三和第四記憶體安裝區域，

該複數記憶體元件更包含安裝在該第三記憶體安裝區域之上的複數第三記憶體元件、及安裝在該第四記憶體安裝區域之上的複數第四記憶體元件，

該等第一記憶體元件和該等第三記憶體元件以俯視觀察係安裝在重疊的位置，

該等第二記憶體元件和該等第四記憶體元件以俯視觀察係安裝在重疊的位置，且

該等資料暫存器緩衝器每一者和與其連接的該等第三及第四記憶體元件其中相關聯者，以俯視觀察係在與該第一方向交叉之一第二方向上排列。

5. 如申請專利範圍第 4 項的記憶體模組，其中

該等第三記憶體元件和該等第四記憶體元件係被共同地激活，且

該等第一和第二記憶體元件與該等第三和第四記憶體元件係互斥地加以激活。

6. 如申請專利範圍第 4 項或第 5 項的記憶體模組，其中

該等第一記憶體元件和該等第二記憶體元件係以 180° 不同方向加以安裝；且

該等第三記憶體元件和該等第四記憶體元件係以 180° 不同方向加以安裝。

7. 如申請專利範圍第 4 項的記憶體模組，其中

該模組基板的該第一主表面更具有第五和第六記憶體安裝區域，

該模組基板的該第二主表面更具有第七和第八記憶體安裝區域，

該複數記憶體元件更包含安裝於該第五記憶體安裝區域之上的複數第五記憶體元件、安裝於該第六記憶體安裝區域之上的複數第六記憶體元件、安裝於該第七記憶體安裝區域之上的複數第七記憶體元件、及安裝於該第八記憶體安裝區域之上的複數第八記憶體元件，

該暫存器安裝區域以俯視觀察係配置在該第五和第六記憶體安裝區域

之間，

該等第五記憶體元件和該等第七記憶體元件以俯視觀察係安裝於重疊的位置，

該等第六記憶體元件和該等第八記憶體元件以俯視觀察係安裝於重疊的位置，且

該等資料暫存器緩衝器每一者和與其連接之該等第五至第八記憶體元件其中相關聯者，以俯視觀察係在該第二方向上排列。

8. 如申請專利範圍第 7 項的記憶體模組，其中

該等第五記憶體元件和該等第六記憶體元件係被共同地激活，

該等第七記憶體元件和該等第八記憶體元件係被共同地激活，

該等第一及第二記憶體元件、該等第三及第四記憶體元件、該等第五及第六記憶體元件、及該等第七及第八記憶體元件係互斥地加以激活。

9. 如申請專利範圍第 7 項的記憶體模組，其中

該第五記憶體安裝區域以俯視觀察係配置在該第一記憶體安裝區域和該暫存器安裝區域之間，且

該第二記憶體安裝區域以俯視觀察係配置在該第六記憶體安裝區域和該暫存器安裝區域之間。

10. 如申請專利範圍第 7 項至第 9 項其中之一的記憶體模組，其中

該等第一記憶體元件和該等第五記憶體元件係以 180° 不同方向加以安裝，

該等第二記憶體元件和該等第六記憶體元件係以 180° 不同方向加以安裝，

該等第三記憶體元件和該等第七記憶體元件係以 180° 不同方向加以安裝，且

該等第四記憶體元件和該等第八記憶體元件係以 180° 不同方向加以安裝。

11. 如申請專利範圍第 7 項至第 9 項其中之一的記憶體模組，更包含安裝於該模組基板之上的第一和第二命令位址暫存器緩衝器，其中

該第一命令位址暫存器緩衝器將一命令位址訊號供應到該等第一至第四記憶體元件，且

該第二命令位址暫存器緩衝器將一命令位址訊號供應到該等第五至第八記憶體元件。

12. 如申請專利範圍第 1 項或第 2 項的記憶體模組，其中該等記憶體元件每一者包含一或多個記憶體晶片。

13. 一種記憶體模組，包含：

一模組基板；

一資料連接器，形成於該模組基板的一側；

一資料暫存器緩衝器，安裝於該模組基板之上且電連接至該資料連接器；

第一和第二記憶體元件，共同地電連接至該資料暫存器緩衝器，該第一和第二記憶體元件係安裝於該模組基板之上，使得該資料暫存器緩衝器係配置於該第一和第二記憶體元件之間，其中

該第一記憶體元件包含電連接至該資料暫存器緩衝器的一第一資料端子，

該第二記憶體元件包含電連接至該資料暫存器緩衝器的一第二資料端子，

該第一記憶體元件的中心位置和該第一資料端子之間的空間關係，係與該第二記憶體元件的中心位置和該第二資料端子之間的空間關係相差 180° 。

14. 如申請專利範圍第 13 項的記憶體模組，更包含共同電連接至該資料暫存器緩衝器的第三和第四記憶體元件，

其中該資料暫存器緩衝器與第一至第四記憶體元件係呈線形排列。

圖式

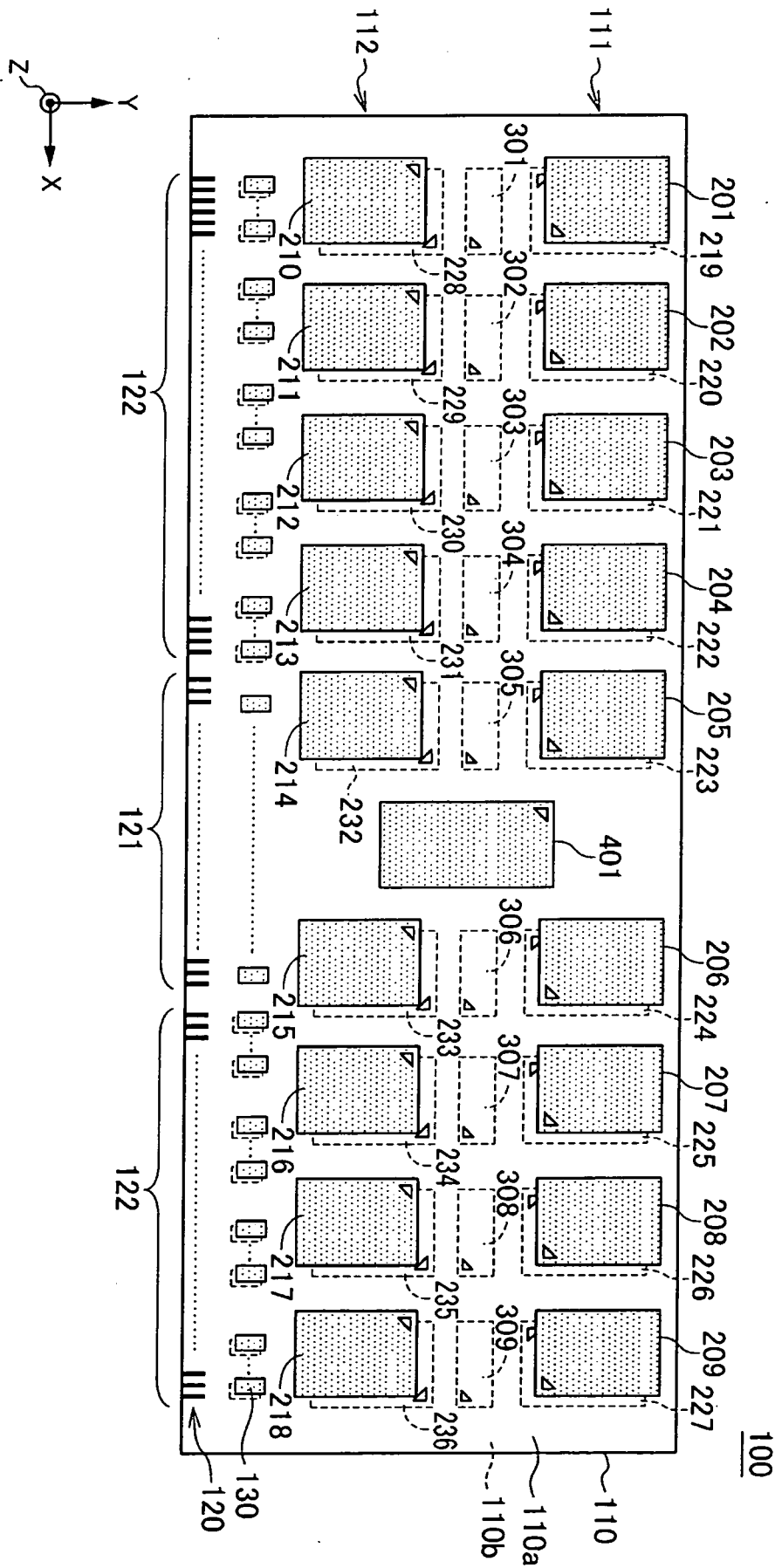


圖 1

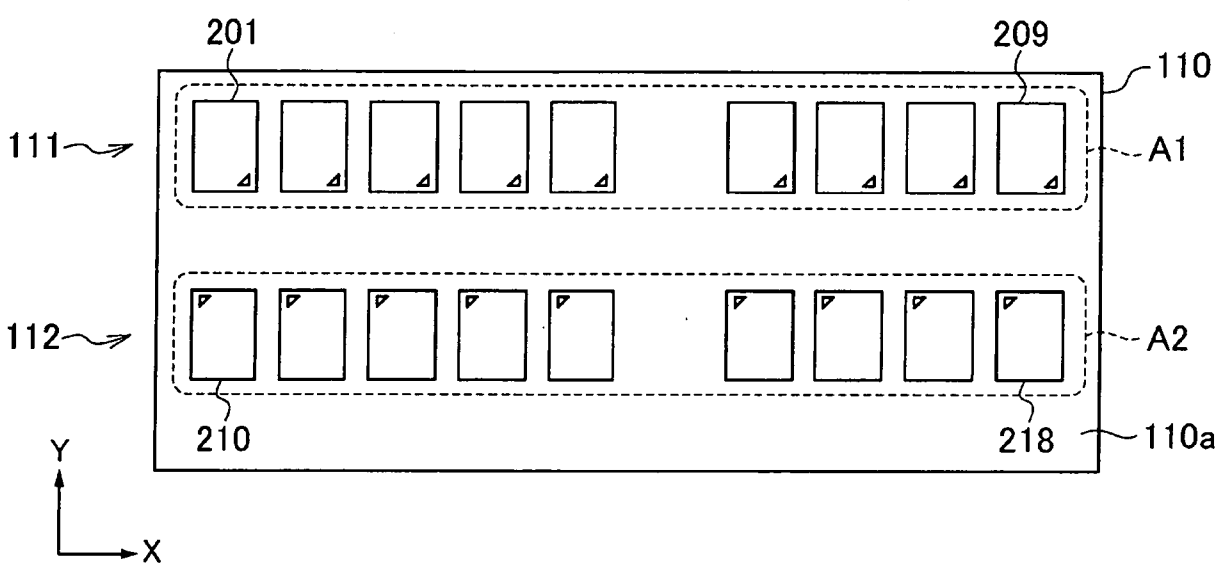


圖 2A

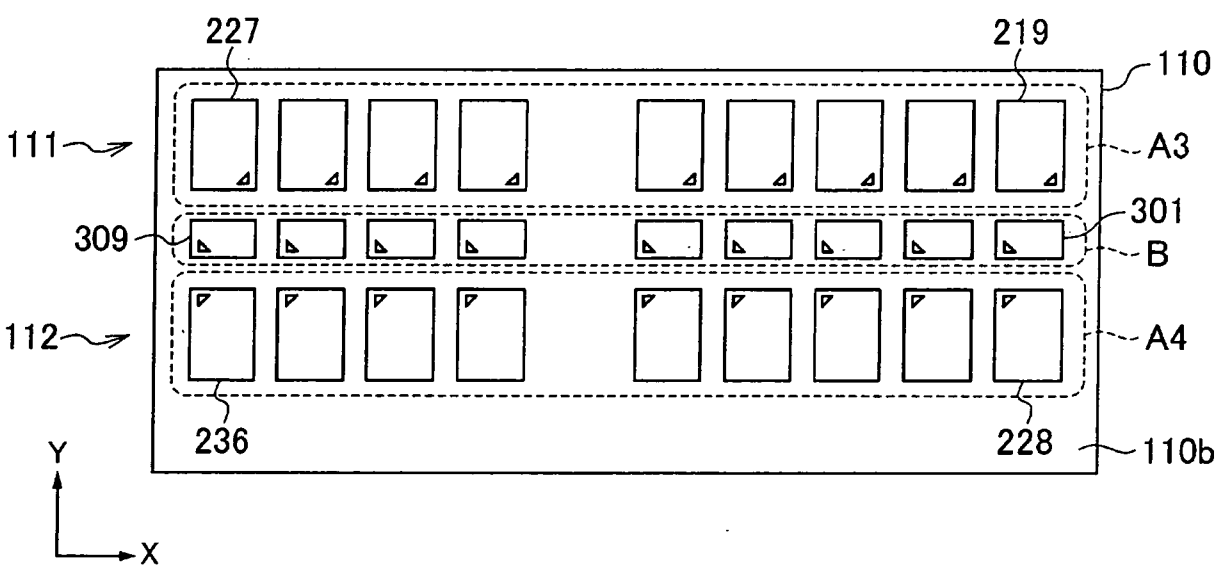


圖 2B

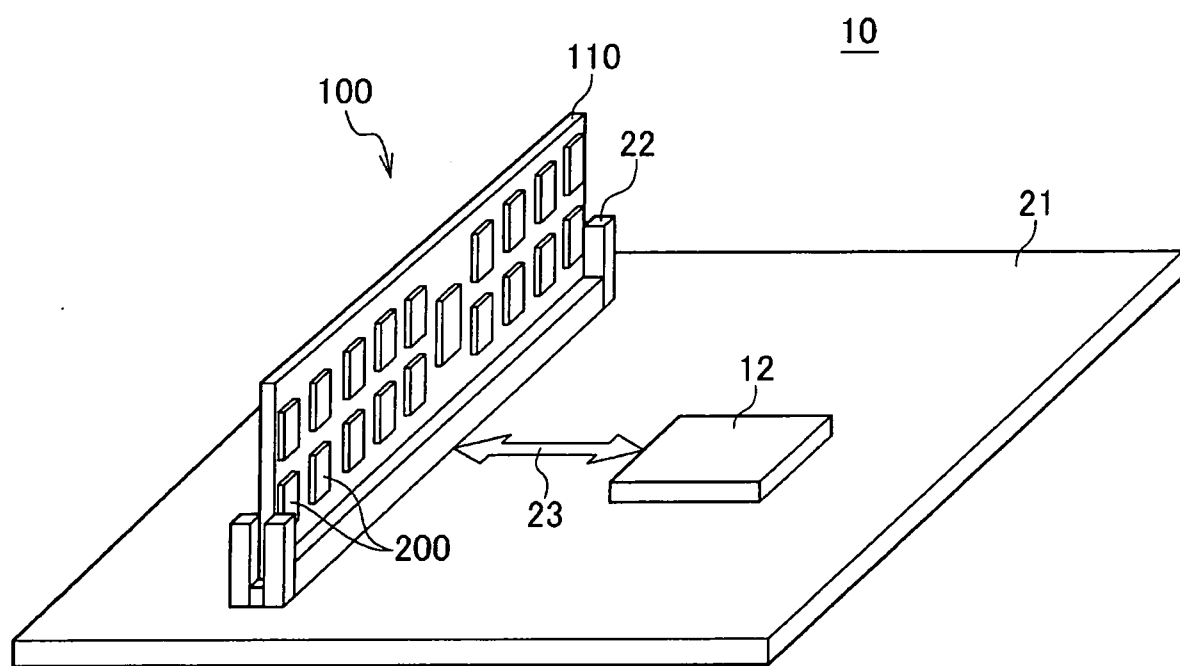


圖 3

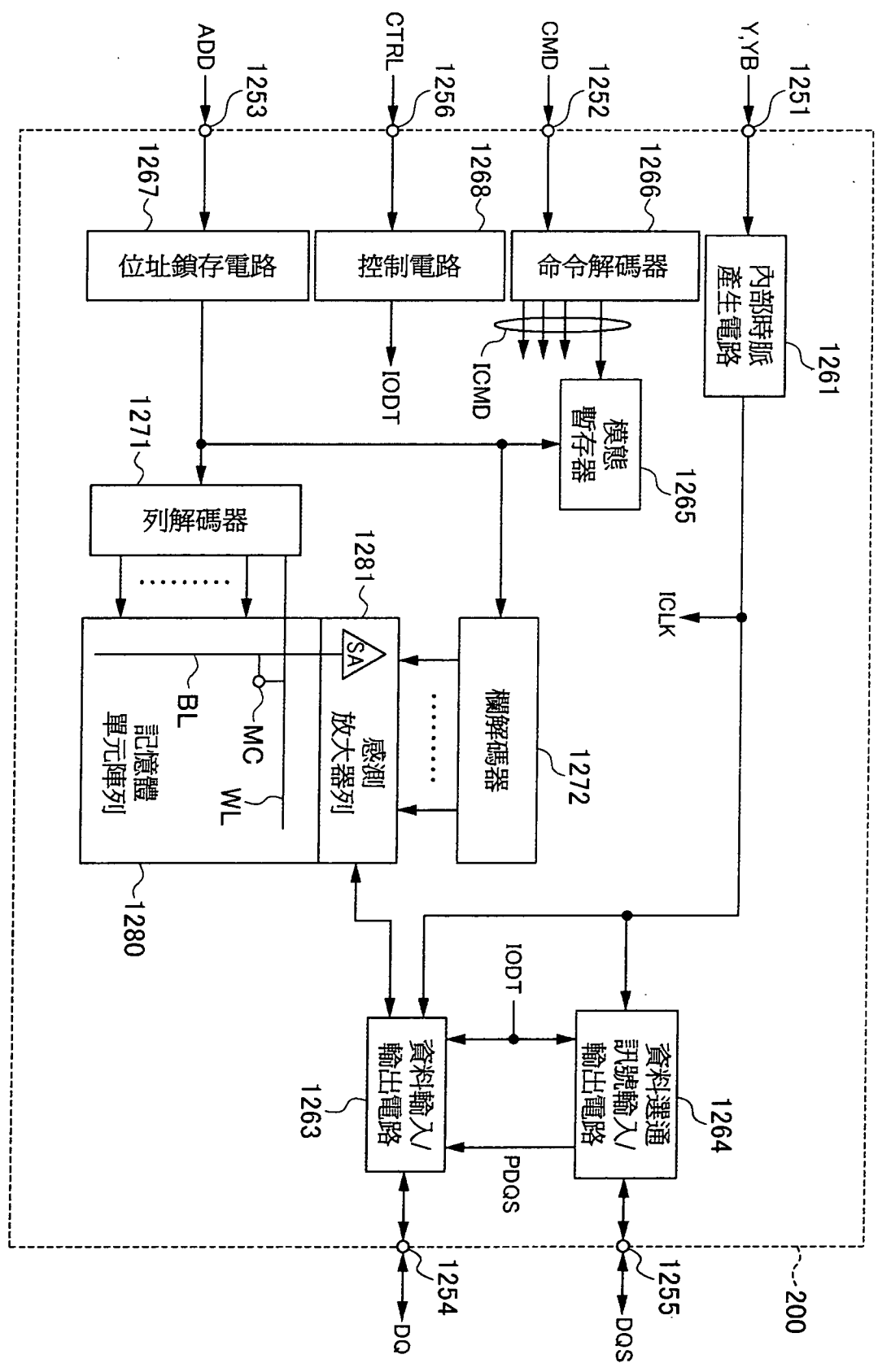


圖 4

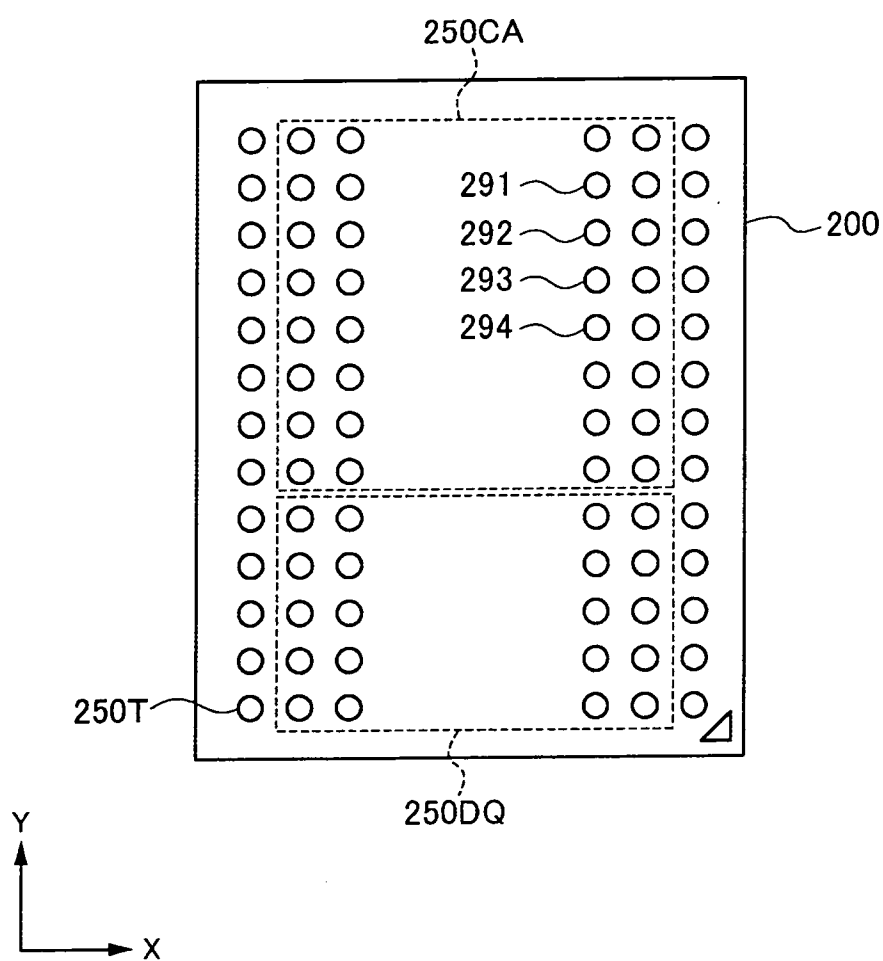


圖 5

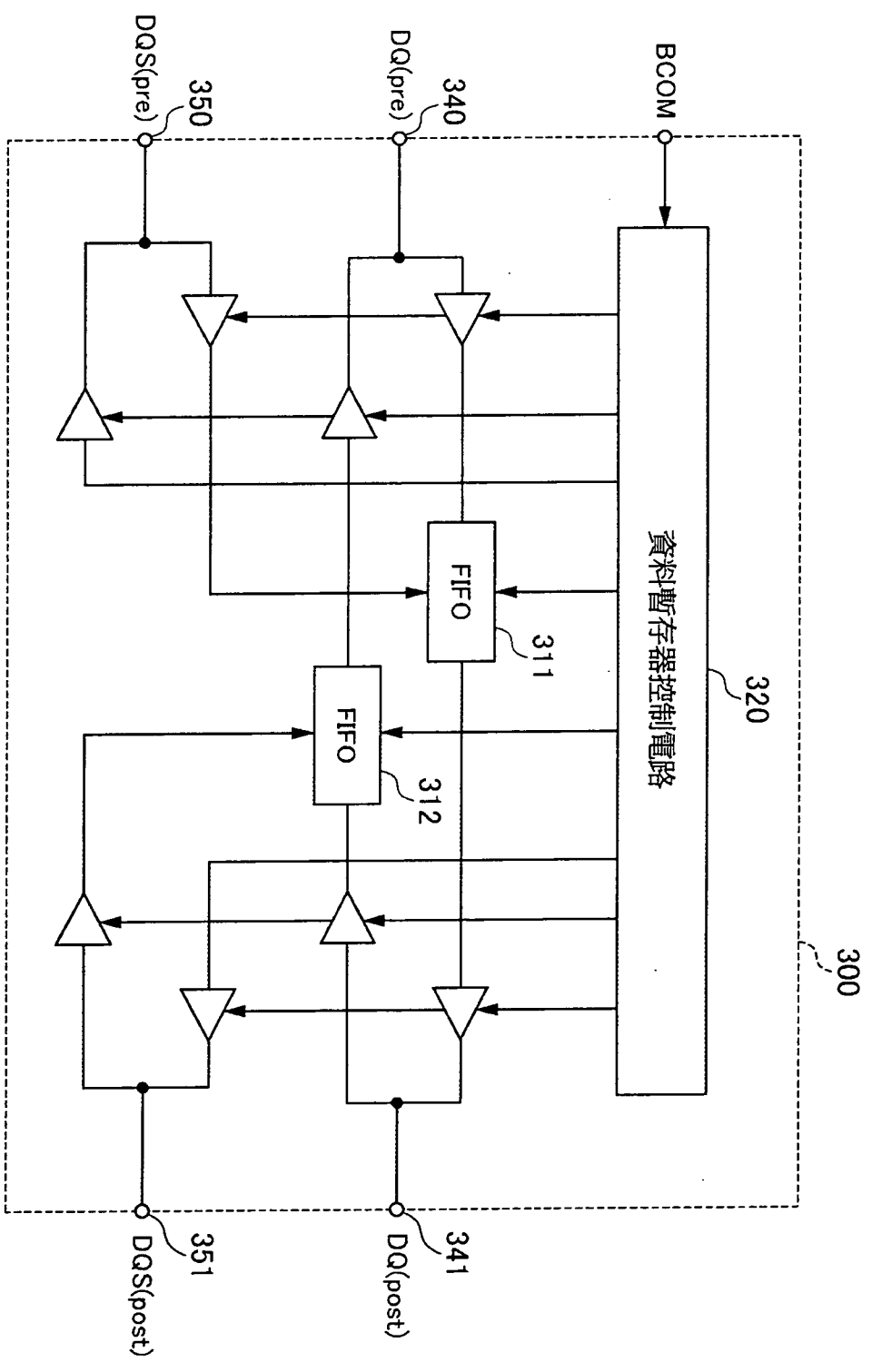


圖 6

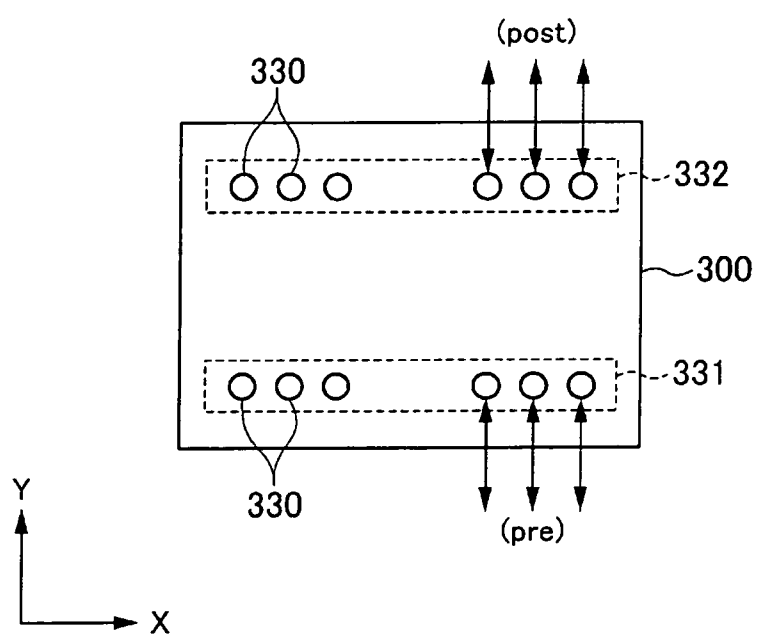


圖 7

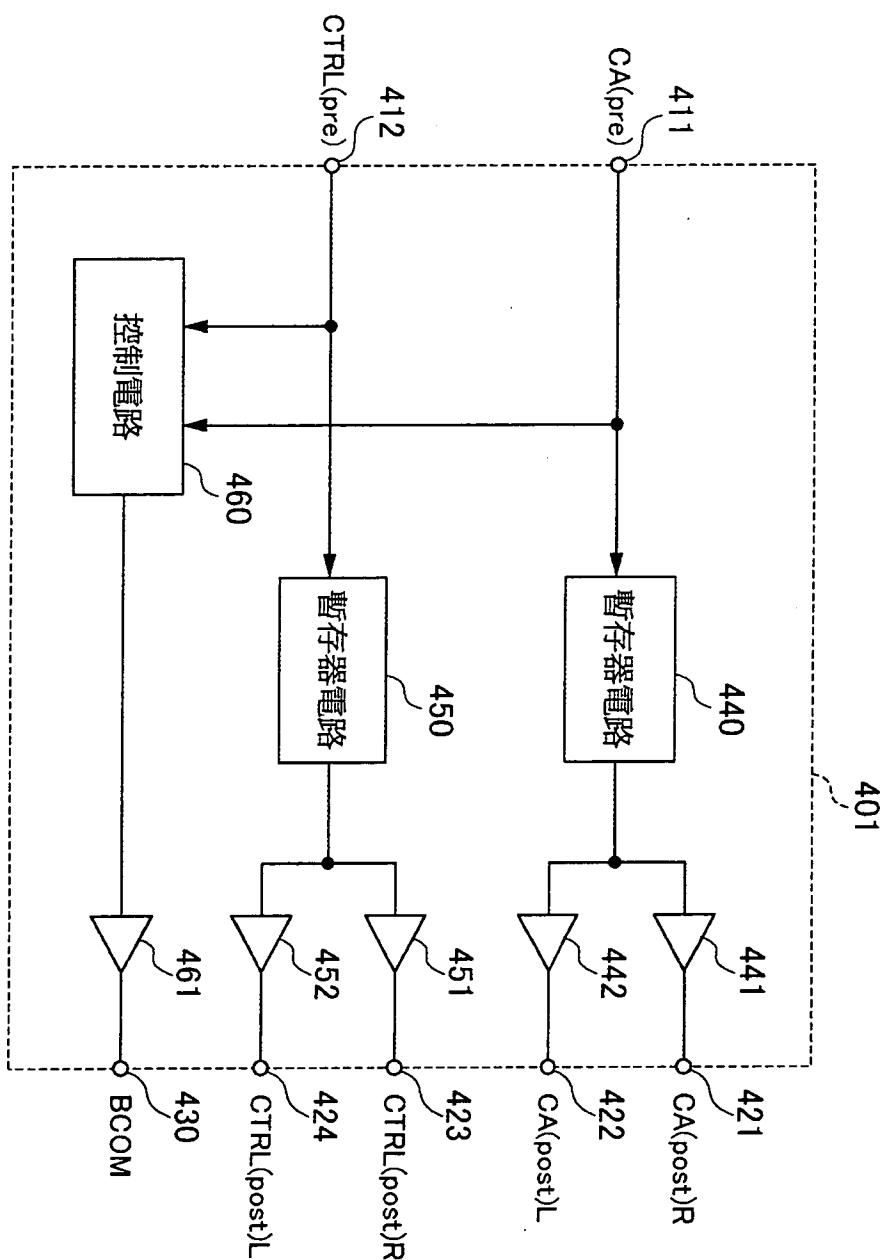


圖 8

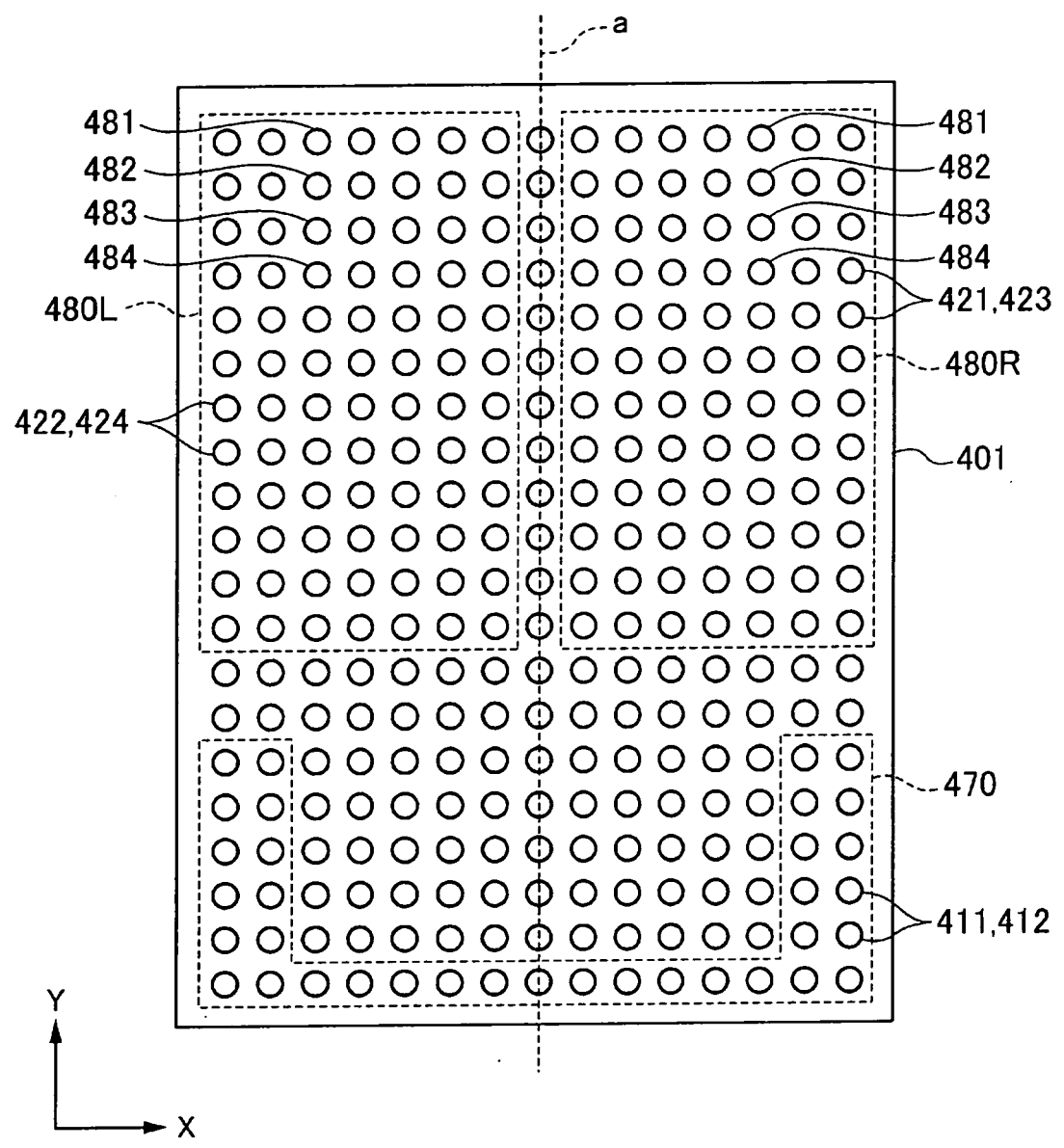


圖 9

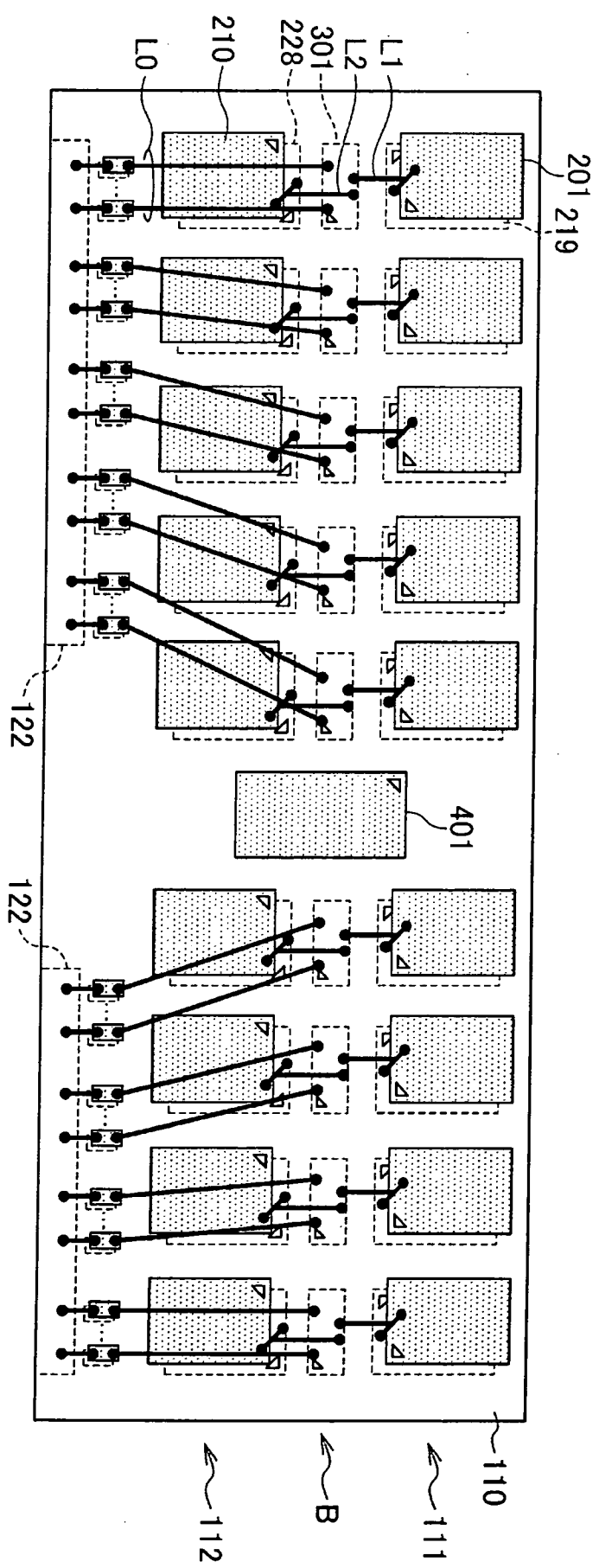


圖 10

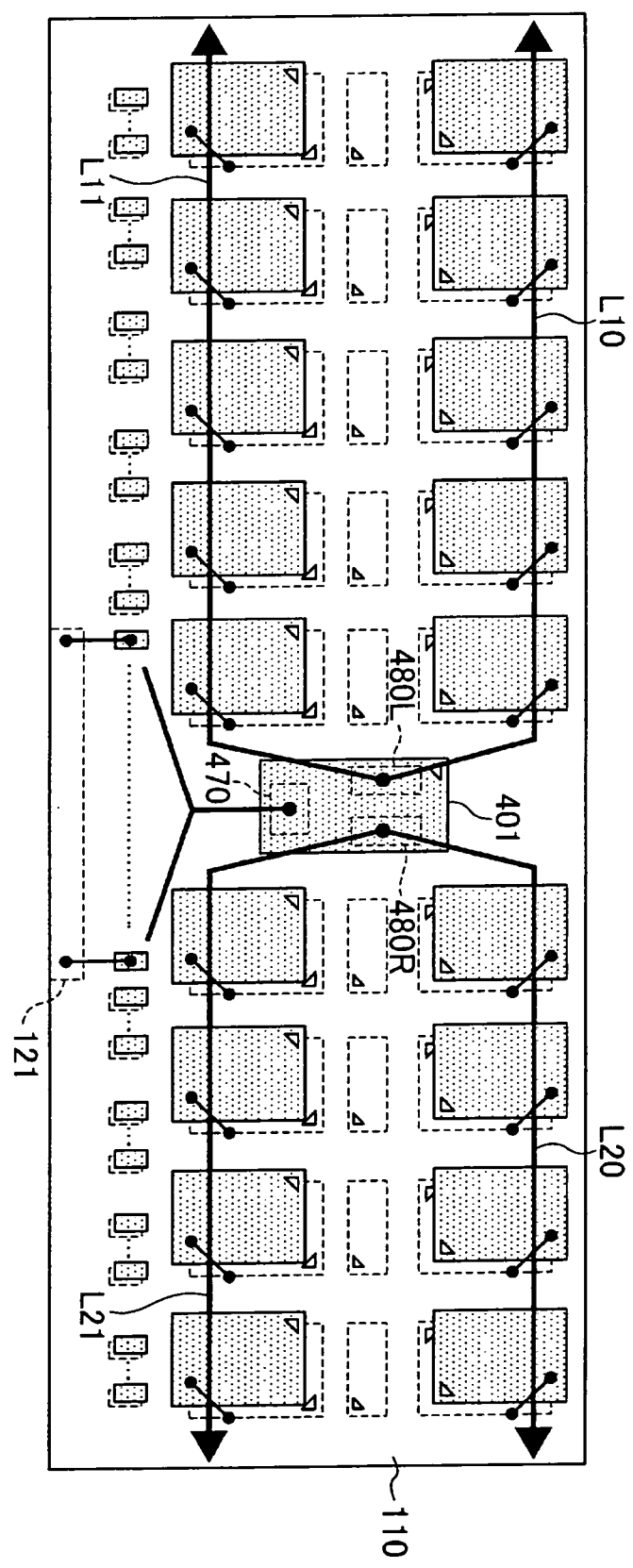


圖 11

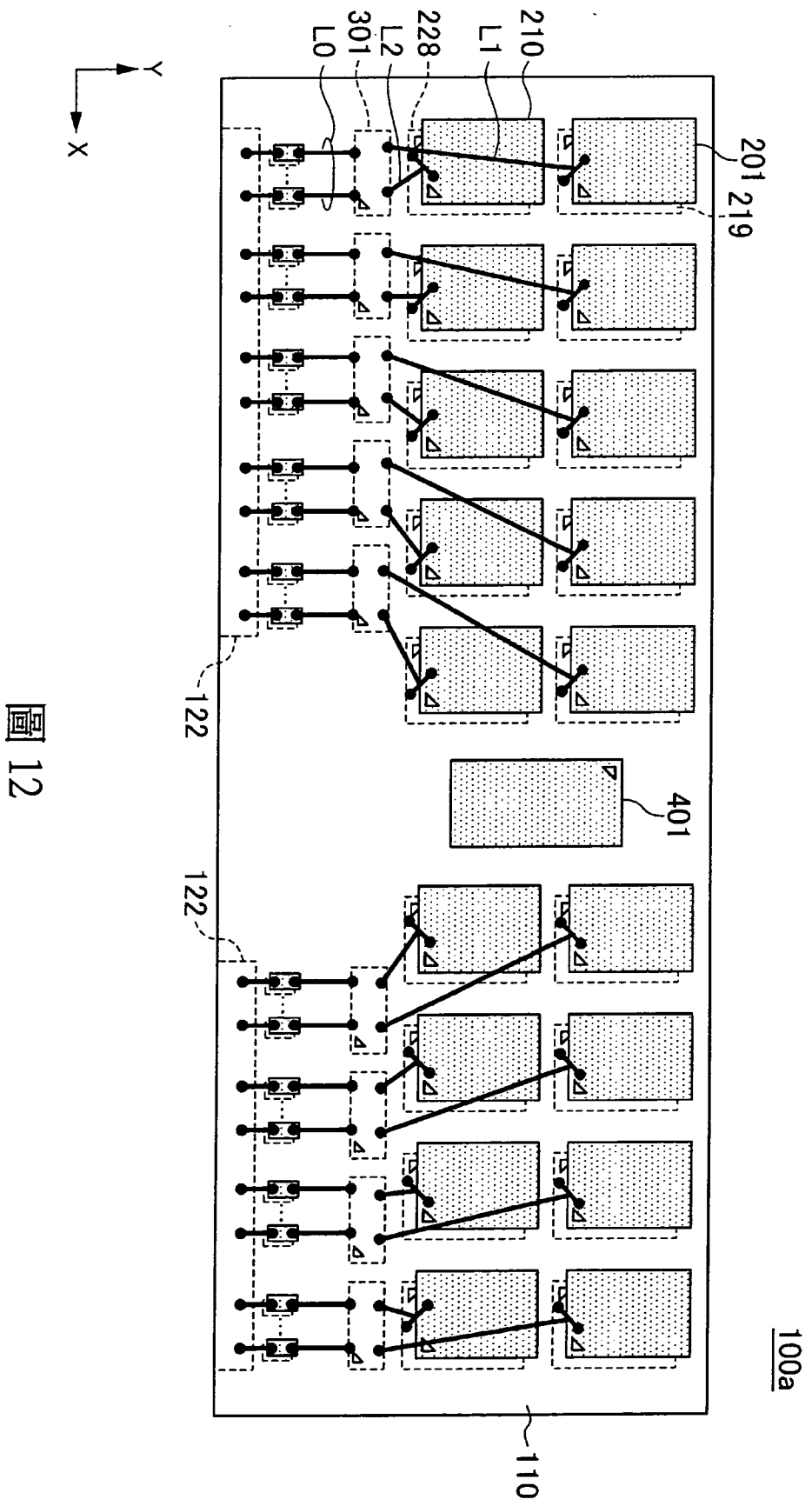


圖 12

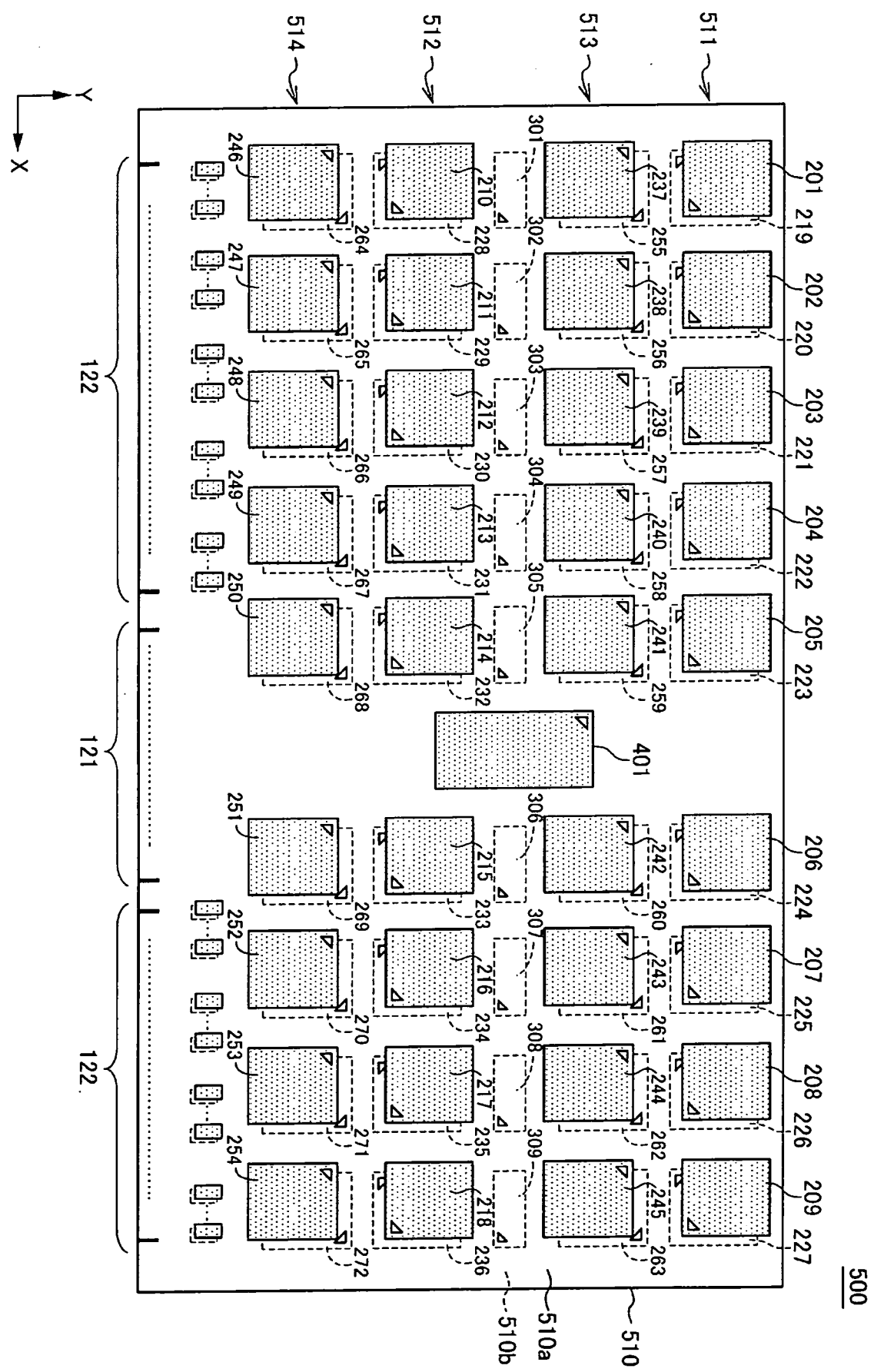


圖 13

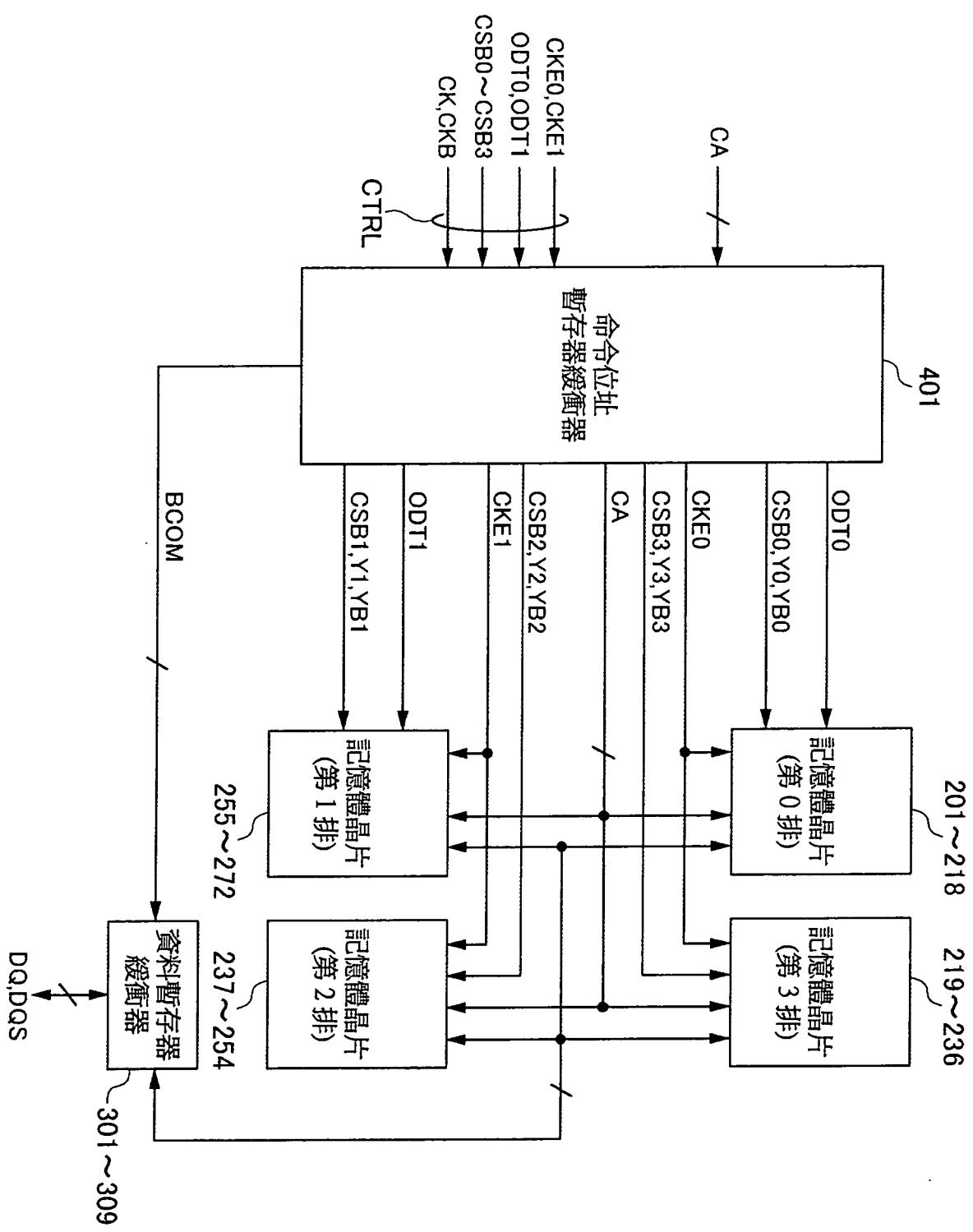


圖 14

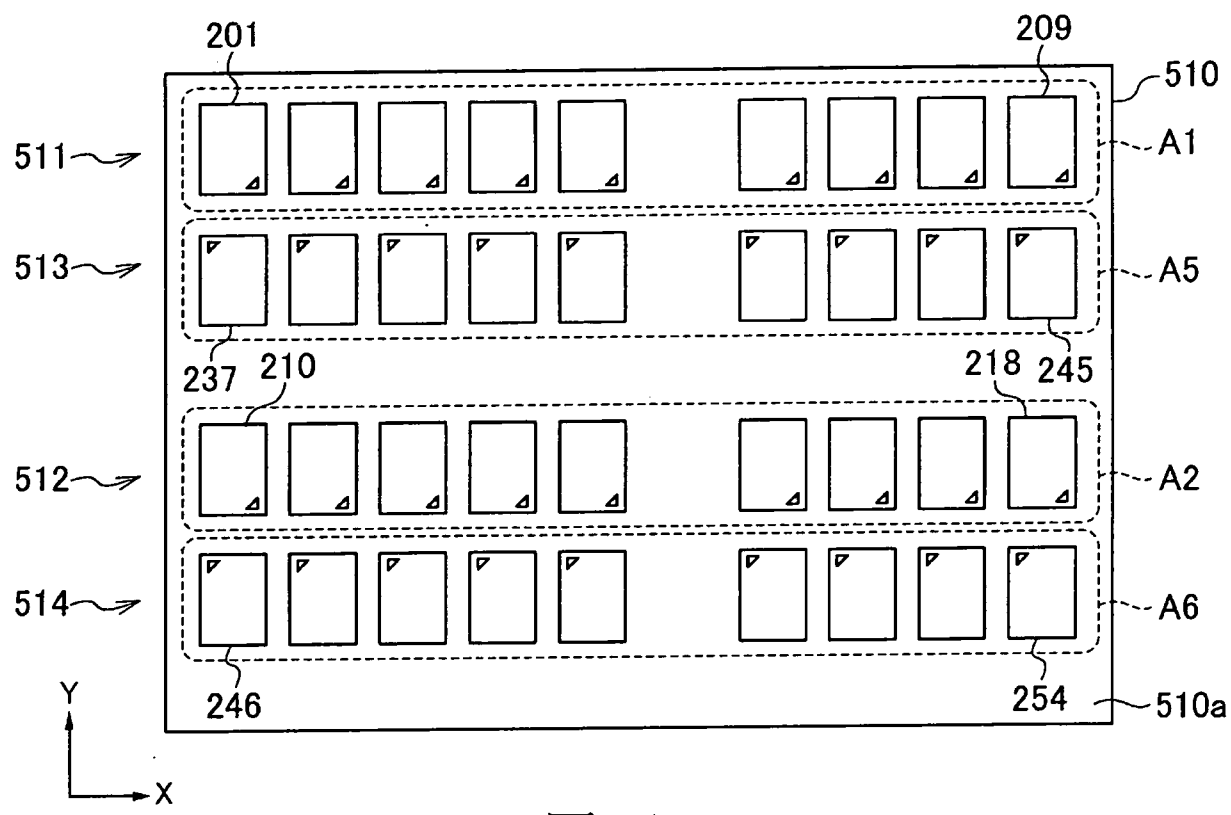


圖 15A

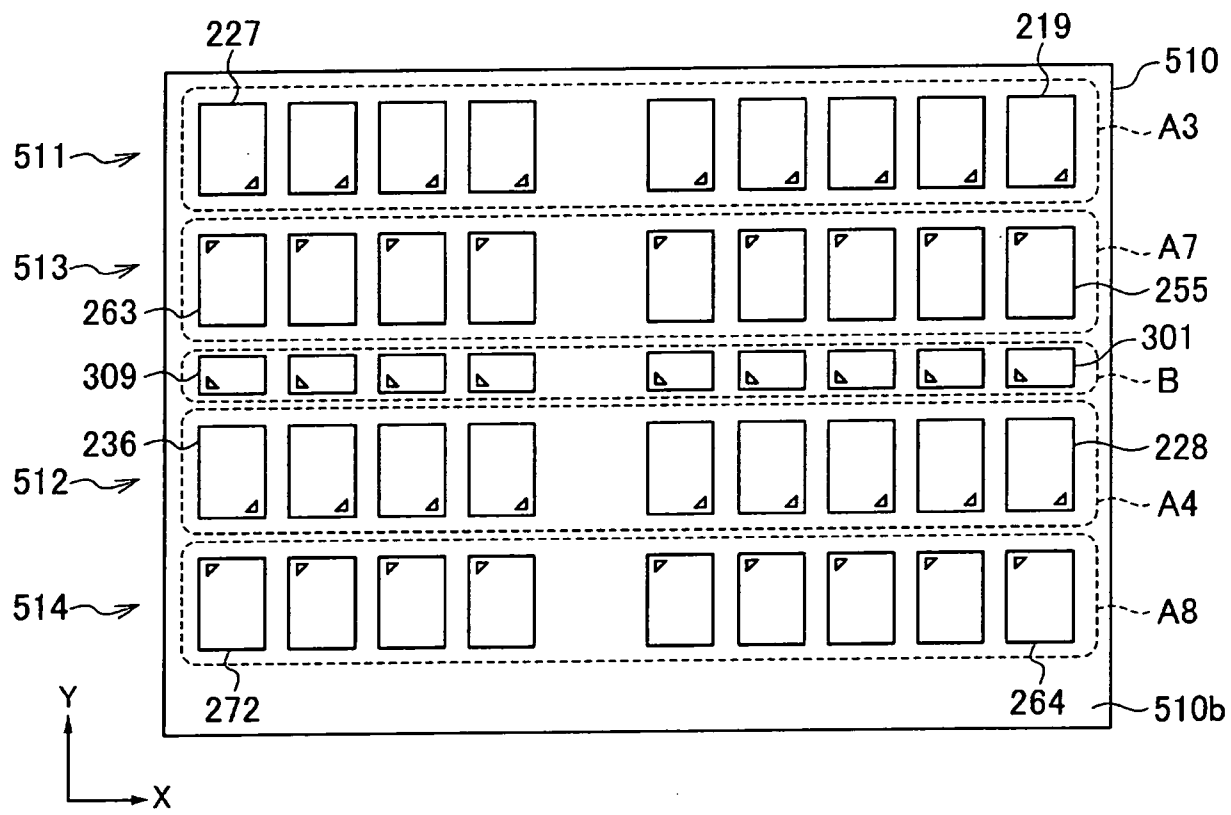


圖 15B

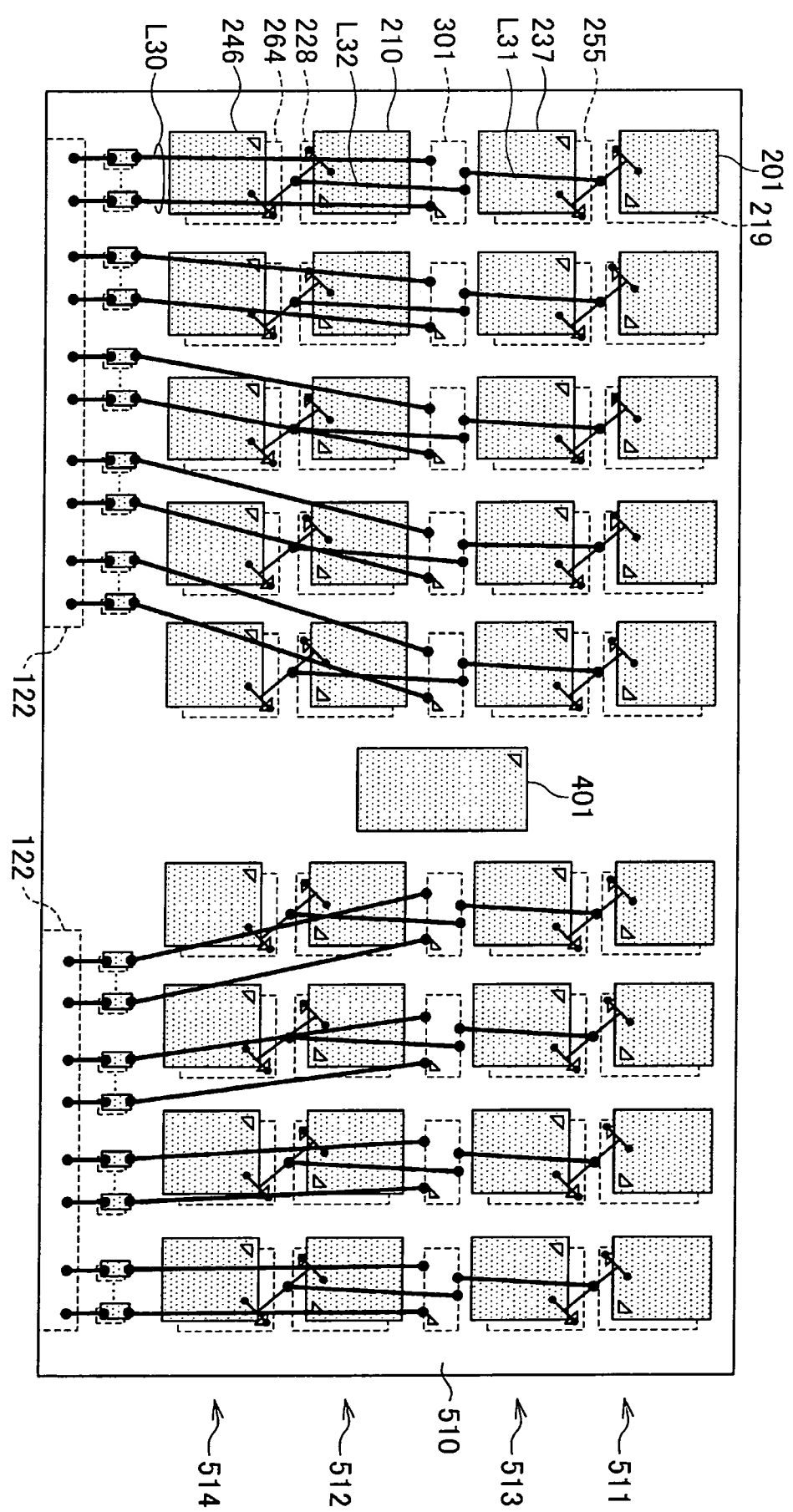


圖 16

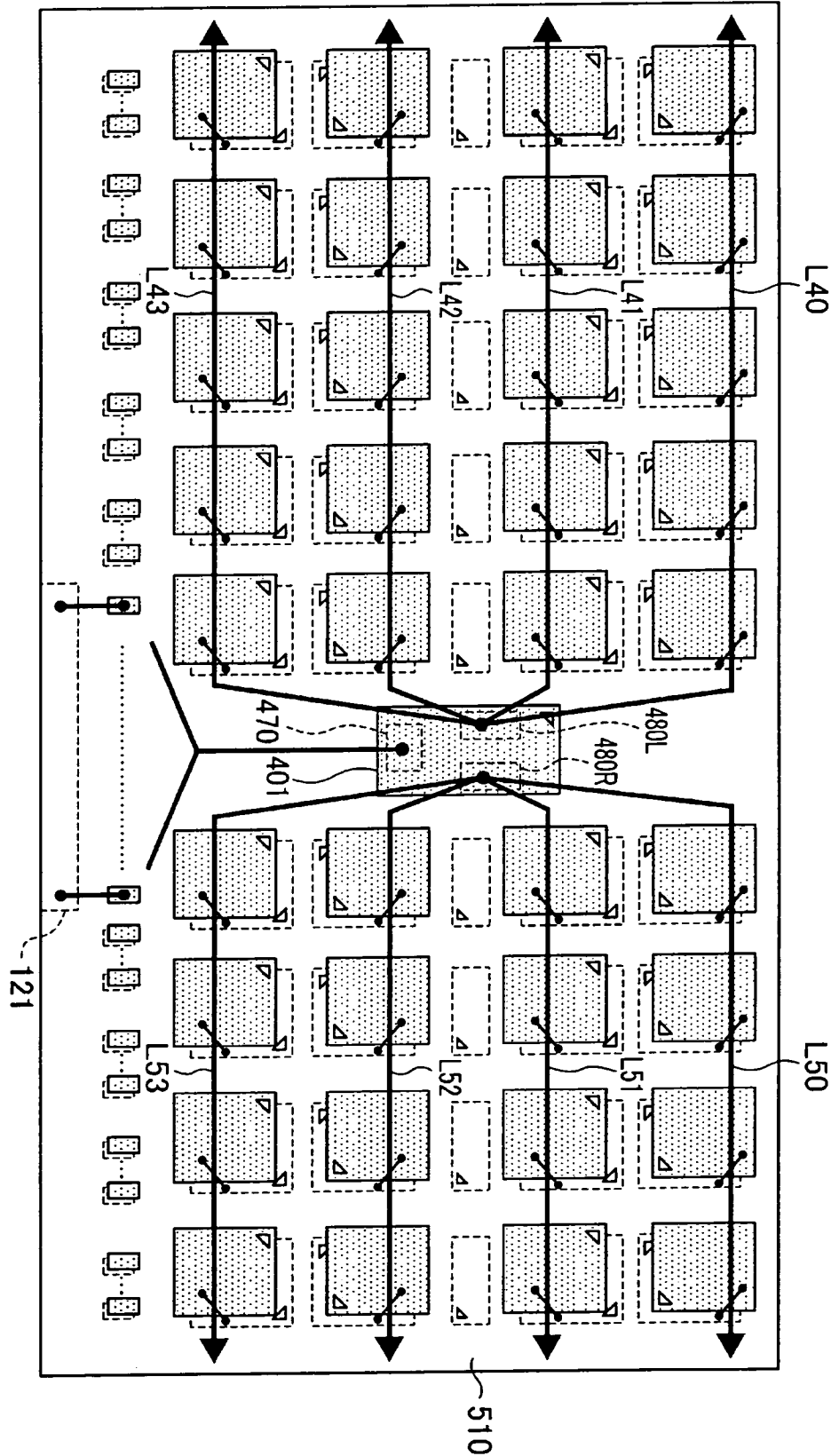


圖 17

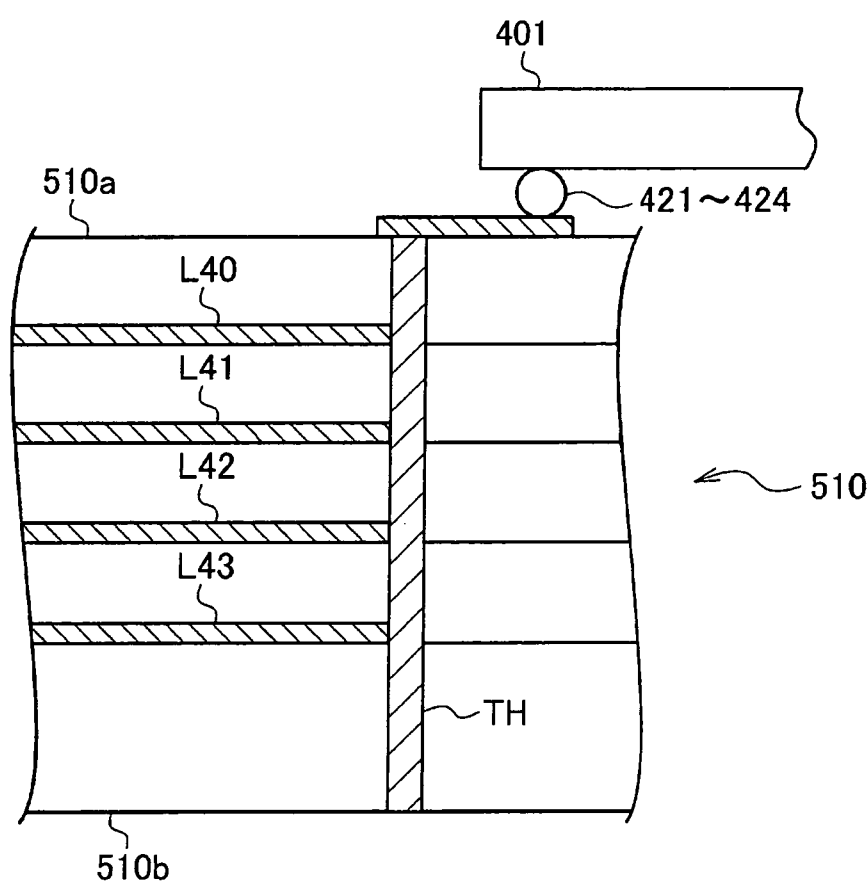


圖 18

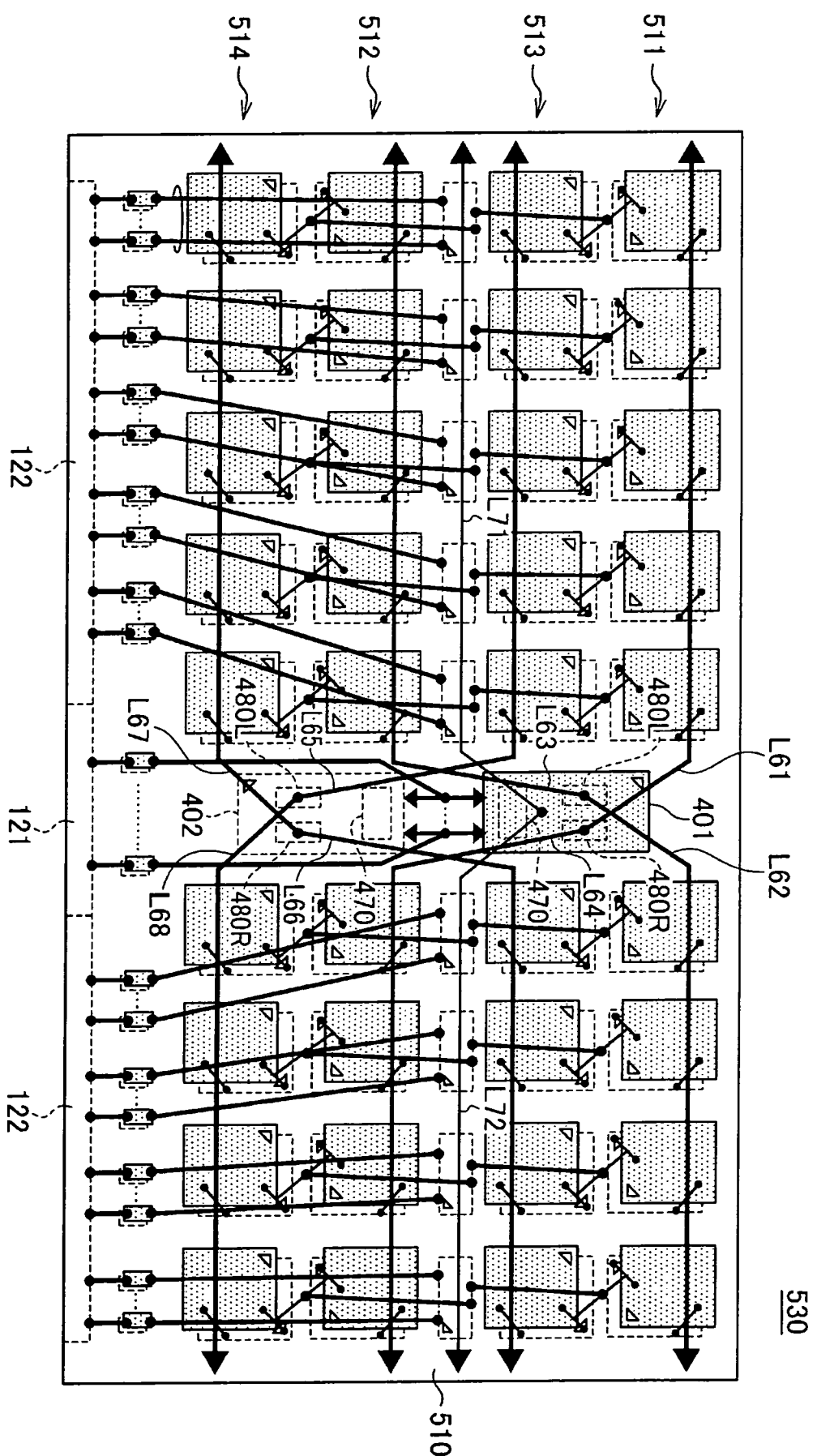


圖 19

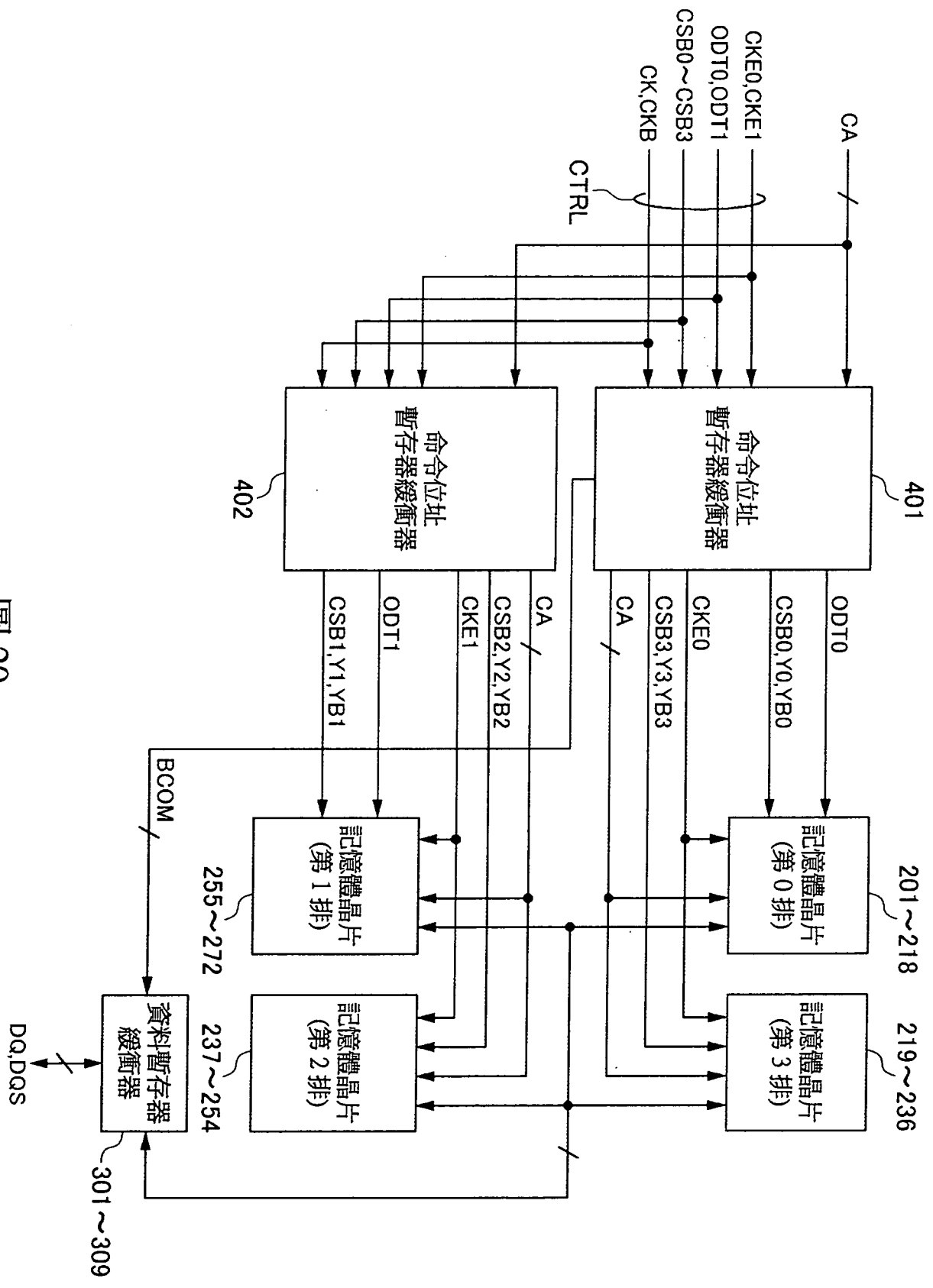


圖 20

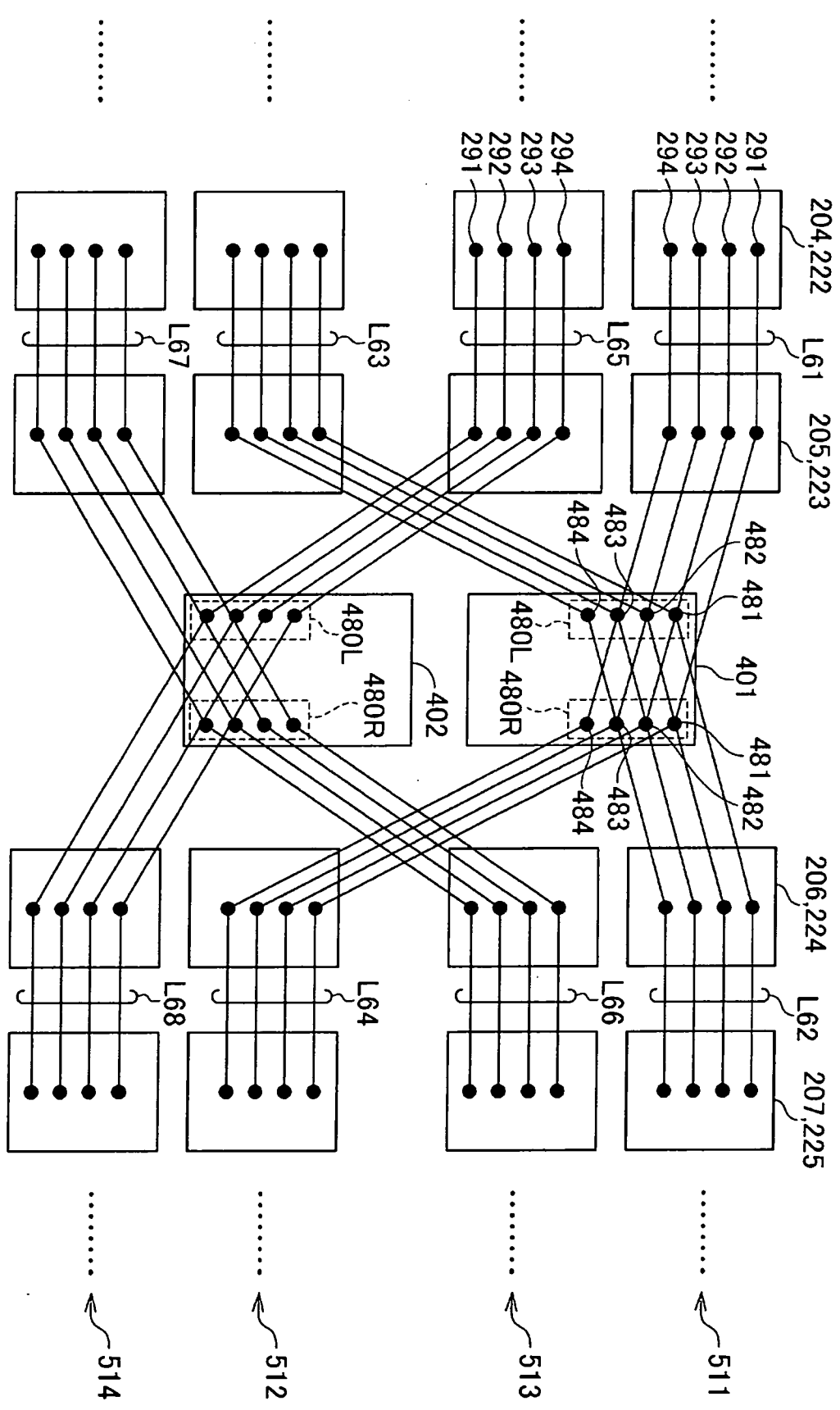
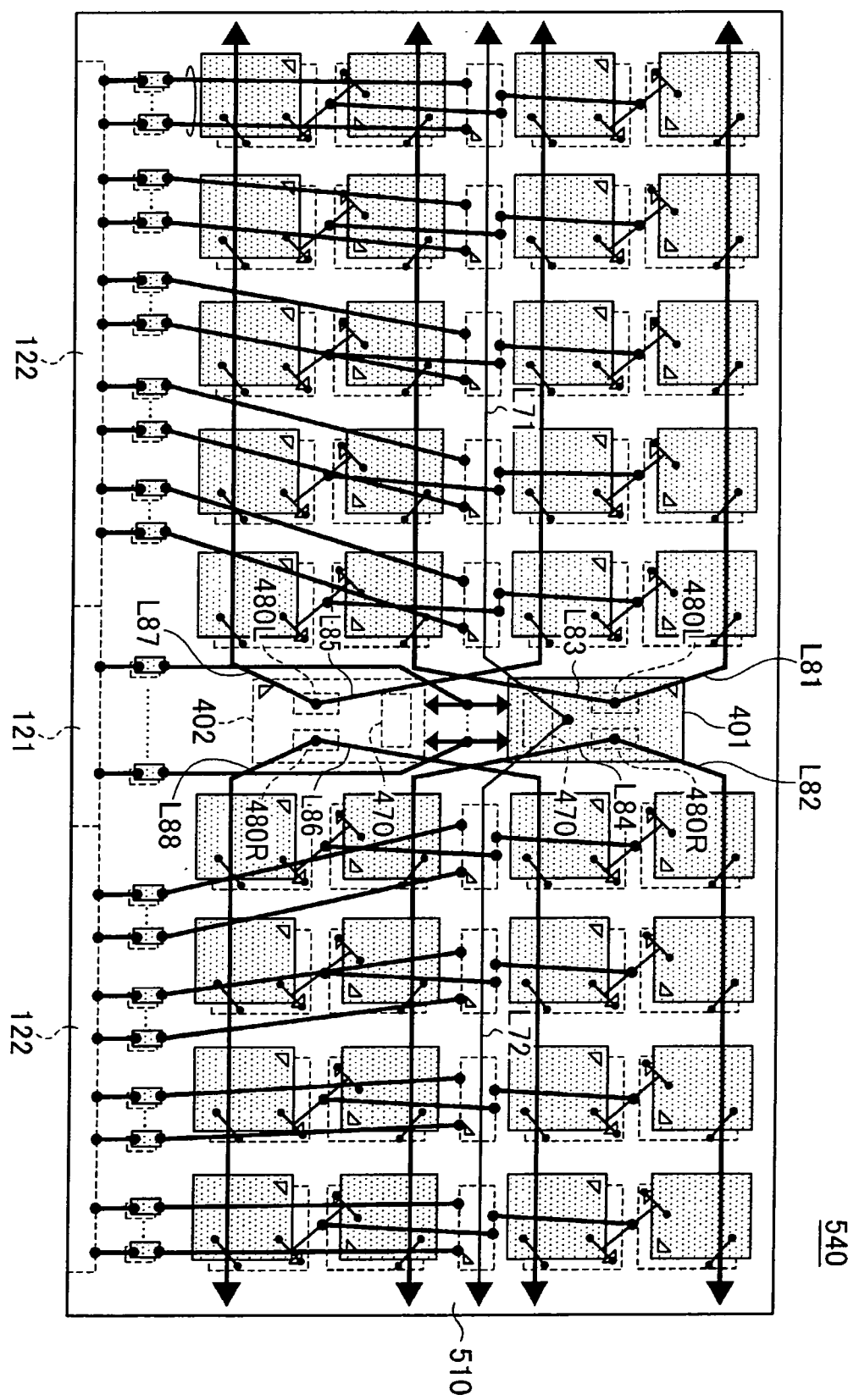


圖 21

圖 22



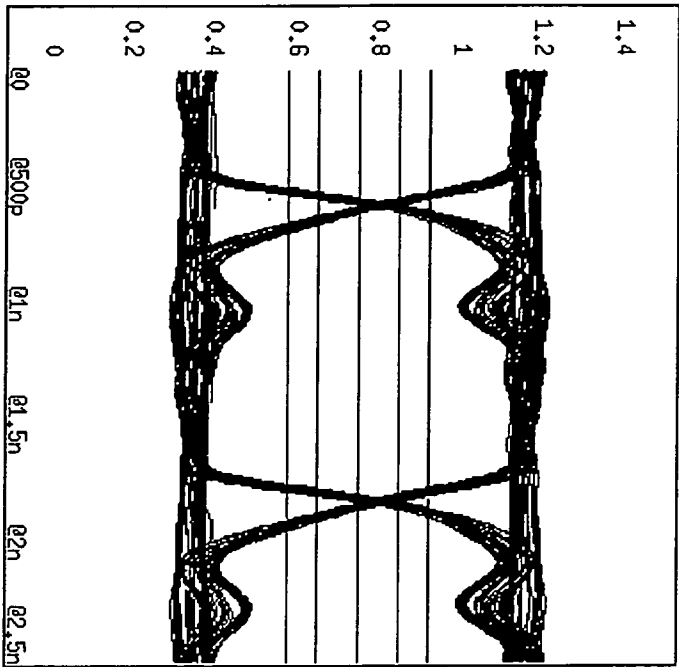


圖 23A

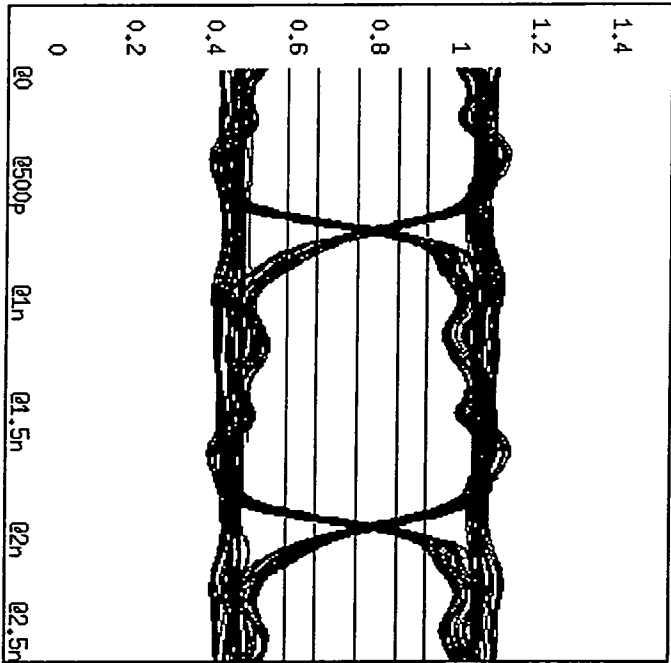


圖 23B