

(12) 发明专利

(10) 授权公告号 CN 101208782 B

(45) 授权公告日 2010.05.19

(21) 申请号 200680022981.3

H01L 21/469 (2006.01)

(22) 申请日 2006.05.26

(56) 对比文件

(30) 优先权数据

11/167,526 2005.06.27 US

US 6365518 B1, 2002.04.02, 全文.

WO 2004/081984 A2, 2004.09.23, 全文.

US 6548366 B2, 2003.04.15, 全文.

(85) PCT申请进入国家阶段日

2007.12.26

审查员 谢朝方

(86) PCT申请的申请数据

PCT/US2006/020508 2006.05.26

(87) PCT申请的公布数据

W02007/001709 EN 2007.01.04

(73) 专利权人 应用材料股份有限公司

地址 美国加利福尼亚州

(72) 发明人 C·S·奥利森

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 陆嘉

(51) Int. Cl.

H01L 21/31 (2006.01)

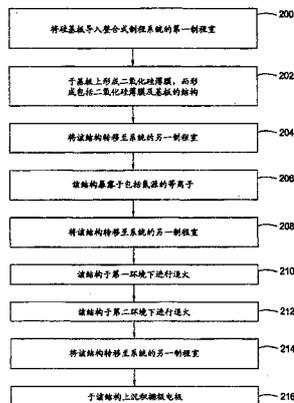
权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

用于等离子氮化栅极介电层的氮化后二阶段退火的方法

(57) 摘要

本发明为一种形成氮氧化硅栅极介电层的方法,该方法包括:利用一等离子氮化制程而将氮并入一介电薄膜中以形成一氮氧化硅薄膜;氮氧化硅薄膜于一第一环境下进行退火,且第一环境包括于一第一温度下而氧气具有一第一分压的惰性环境;氮氧化硅薄膜于一第二环境下进行退火,且第二环境包括于一第二温度下而氧气具有一第二分压,并且氧气的第二分压大于氧气的第二分压。



1. 一种形成氮氧化硅栅极介电层的方法,包括:
利用等离子氮化制程而将氮并入介电薄膜以形成氮氧化硅薄膜;
该氮氧化硅薄膜于第一环境下进行退火,该第一环境包括于范围为 700 ~ 1100°C 的第一温度下而氧气具有介于 1 ~ 100 毫托的第一分压的惰性环境;以及
该氮氧化硅薄膜于第二环境下进行退火,该第二环境包括于范围为 900 ~ 1100°C 的第二温度下而氧气具有介于 0.1 ~ 100 托的第二分压,其中氧气的该第二分压大于氧气的该第一分压。
2. 如权利要求 1 所述的方法,其中该氮氧化硅薄膜于该第一环境进行退火的步骤是发生于该第一温度为 1050°C,而氧气的该第一分压为 15 毫托下进行第一时间长度 30 秒,该氮氧化硅薄膜于该第二环境进行退火的步骤是发生于该第二温度为 1050°C,而氧气的该第二分压为 0.5 托下进行第二时间长度 15 秒。
3. 如权利要求 1 所述的方法,其中该氮氧化硅薄膜于该第二环境进行退火的步骤包括以氧气或是含氧气体对该氮氧化硅薄膜进行退火。
4. 如权利要求 1 所述的方法,其中该介电薄膜为二氧化硅。
5. 如权利要求 1 所述的方法,其中并入该介电薄膜的该氮形成氮浓度最高值,而该最高值发生于该氮氧化硅栅极介电层的顶表面。
6. 如权利要求 1 所述的方法,其中并入该介电薄膜的该氮具有氮浓度等于或大于 5%。
7. 如权利要求 1 所述的方法,其中该等离子氮化制程包括去耦等离子氮化。
8. 一种形成氮氧化硅栅极介电层的方法,包括:
提供一结构,该结构包括形成于硅基板上的二氧化硅薄膜;
将该结构暴露于包括氮源的等离子,而于该基板上形成氮氧化硅薄膜;
该氮氧化硅薄膜于第一环境下进行退火,该第一环境包括在温度介于 700 ~ 1100°C 之间,而氧气具有介于 1 ~ 100 毫托的第一分压的惰性环境;
该氮氧化硅薄膜于第二环境下进行退火,该第二环境包括在介于 900 ~ 1100°C 之间的温度,而氧气具有介于 0.1 ~ 100 托的第二分压,其中该第二分压大于该第一分压;以及
沉积栅极电极于该氮氧化硅薄膜上。
9. 如权利要求 8 所述的方法,其中该氮氧化硅薄膜于该第一环境进行退火的步骤是发生于第一温度为 1050°C,而氧气的该第一分压为 15 毫托下进行第一时间长度 30 秒,而该氮氧化硅薄膜于该第二环境进行退火的步骤是发生于第二温度为 1050°C,而氧气的该第二分压为 0.5 托下进行第二时间长度 15 秒。
10. 如权利要求 8 所述的方法,其中在该结构暴露于该等离子步骤中被并入的氮具有等于或大于 5% 的氮浓度。
11. 如权利要求 8 所述的方法,其中该氮氧化硅薄膜于该第一环境而进行退火的步骤包括该氮氧化硅薄膜于惰性气体或是惰性气体的混合物下进行退火。
12. 如权利要求 8 所述的方法,其中于氧气具有该第二分压的该第二环境中进行的退火步骤包括该氮氧化硅薄膜以氧气或是含氧气体而进行退火。
13. 如权利要求 8 所述的方法,其中该氮氧化硅栅极介电层的厚度等于或小于 9 Å。
14. 如权利要求 8 所述的方法,其中该栅极电极为多晶硅薄膜、非晶硅薄膜或是金属电极其中之一。

15. 一种于整合式制程系统中形成氮氧化硅栅极介电层的方法,包括:
将包含硅的基板导入该整合式制程系统的第一制程室;
于该硅基板上形成二氧化硅薄膜;
该基板转移至该整合式制程系统的第二制程室;
该基板暴露于包含氮源的等离子;
该基板转移至该整合式制程系统的第三制程室;
该基板于第一环境下进行退火,该第一环境包括在温度介于 700 ~ 1100°C 之间,而氧气具有介于 1 ~ 100 毫托的第一分压的惰性环境;以及
该基板于第二环境下进行退火,该第二环境包括在温度介于 900 ~ 1100°C 之间,而氧气具有介于 0.1 ~ 100 托的第二分压,其中氧气的该第二分压大于氧气的该第一分压。
16. 如权利要求 15 所述的方法,更包括:
在该基板于第二环境下进行退火之后,该基板转移至该整合式制程系统的第四制程室;以及
沉积多晶硅层于该基板上。
17. 如权利要求 16 所述的方法,更包括:
沉积一电极于该多晶硅层上。

用于等离子氮化栅极介电层的氮化后二阶段退火的方法

技术领域

[0001] 本发明的实施例涉及半导体制造的领域,特别是一种利用等离子氮化及等离子氮化后的二阶段退火(PNA)制程而形成一氮氧化硅(SiO_xN_y)栅极介电层,并将其并入栅极堆迭(gate stack)的方法。

背景技术

[0002] 集成电路是由数百万个主动及被动装置所组成,而这些主动及被动装置是作为基础构件,例如:晶体管、电容器及电阻器。晶体管通常包括源极(source)、漏极(drain)以及栅极堆迭,而栅极堆迭的组成是于基板(硅)上方形成一介电层(通常为二氧化硅; SiO_2),且介电层上覆盖有一电极(如:多晶硅)。

[0003] 随着集成电路及其上方的晶体管的尺寸日益减小,用以增加晶体管速度的栅极驱动电流亦已增加。由于驱动电流随着栅极电容的增加而增加,且电容与栅极介电层的厚度成反比,因此降低栅极介电层厚度为增加驱动电流的一种方法。

[0004] 已尝试将二氧化硅栅极介电层的厚度降低至低于**20 Å**(埃),然而,却发现使用厚度低于**20 Å**的薄二氧化硅栅极介电层会造成栅极效能及耐久性的不良效应。举例来说,硼掺杂(boron doped)的栅极电极中的硼会渗透通过薄二氧化硅栅极介电层而至下方的硅基板;另外,在薄介电层存在下,通常亦出现栅极漏电流(gate leakage)升高的情形,亦称为穿隧(tunneling),因而增加了栅极所消耗的电量。二氧化硅栅极介电层容易受到热载子伤害(hot carrier damage)的影响,移动穿过介电层的高能载子则会伤害或破坏栅极。二氧化硅栅极介电层亦容易受到负偏压温度不稳定性(NBTI)所影响,其中临界电压或驱动电流则随着栅极的操作过程而漂移。

[0005] 因此,需要一种替代的栅极介电层材料,不但可使用够厚的实际厚度而降低漏电流密度,亦能提供高栅极电容。为了达到上述目的,替代的栅极介电层材料所具有的介电常数需高于二氧化硅的介电常数。一般来说,上述的替代的栅极介电层材料的厚度是以等效氧化层厚度(EOT)来表示,因此,若一特定电容器中的一替代栅极介电层的EOT等于该替代栅极介电层具有的厚度,则栅极介电层的介电常数亦即为二氧化硅的介电常数。

[0006] 已针对薄二氧化硅栅极介电层的问题提出一方法来解决的,亦即将氮并入二氧化硅层中以形成氮氧化硅(SiO_xN_y)栅极介电层。将氮并入二氧化硅层阻绝硼渗透至下方的硅基板中,并提高了栅极介电层的介电常数,进而允许使用较厚的介电层。

[0007] 自**0.2 μm**至**0.13 μm**的装置世代,使用热生长(thermally grown)氮氧化硅而作为栅极介电层已有数年的时间。当装置技术由**0.2 μm**进展至**0.1 μm**,栅极氧化层则由**> 25 Å**变薄为**< 12 Å**。为了阻绝硼并降低栅极漏电流的情形,则将薄膜中氮的含量由**25 Å**氮氧化硅层含**< 3%**增加至**12 Å**氮氧化硅层含**5 ~ 10%**。当使用一氧化氮(NO)以及氧化亚氮(N_2O)以形成氮氧化硅栅极介电层时,氮并入介电薄膜而氮氧化物亦同时生成,因此氮是均匀地分布在薄膜中。若一氧化氮以及氧化亚氮是用于在一升温状态下对一既存的二氧化硅层进行退火以形成氮氧化硅,则氮的并入是藉由在硅基板/氧化层介面形成 SiON 。后

述实例的氮含量 (< 2%) 低于前述实例的氮含量 (4 ~ 5%)。

[0008] 近年来, 等离子氮化 (PN) 是用以氮化 (将氮并入) 栅极氧化层, 此技术于多晶硅栅极 / 氧化层介面获得高氮含量, 而预防硼渗透至氧化物介电层中。同时, 于等离子氮化制程中, 氧化物介电层的主体掺杂些许未解离氮, 藉此减少起始氧化层的等效氧化层厚度 (EOT)。此允许在相同的 EOT 下, 相对于传统热制程而可达到较佳的栅极漏电流降低情形。如何将介电层的 EOT 限定于 < 12 Å 范围, 并保存良好的通道迁移率 (channel mobility) 及驱动电流 (I_{dsat} ; 饱和电流) 已成为工业上的一大挑战。

[0009] 于高温下进行的氮氧化硅的氮化后的退火 (PNA) 制程为一于 EOT 增加的情况下而改善跨导 (peak transconductance; 其取代通道迁移率) 的消耗的方法, 此结果证实于美国专利申请第 2004/0175961 号, 申请日为 2004 年 3 月 4 日, 专利名称为 [Two-Step Post Nitridation Annealing For Lower EOT Plasma Nitrided Gate Dielectrics], 其是受让给应用材料公司 (Applied Materials, Inc.), 于此处将其并入以作为参考, 并不与本发明呈现冲突。

[0010] 于低压及高温下, 二氧化硅分解为一氧化硅 (SiO), 一氧化硅会自硅表面去吸附 (desorb) 而造成一种点蚀 (pitting) 的现象。

[0011] 因此, 仍须一改良的后退火方法, 而用以沉积一氮氧化硅栅极介电层, 而使其具有较薄的 EOT 及较佳的迁移率, 并解决一氧化硅去吸附的问题。

发明内容

[0012] 本发明的实施例通常提供一形成一 SiO_xN_y 栅极介电层的方法。该方法包括利用一等离子氮化制程而将氮并入一介电薄膜中以形成一氮氧化硅薄膜。氮氧化硅薄膜接着进行一等离子后的二阶段退火制程; 第一阶段包含氮氧化硅薄膜于一第一环境下进行退火, 且第一环境包括于一第一温度下而氧具有一第一分压的惰性环境; 第二阶段包含氮氧化硅薄膜于一第二环境下进行退火, 且第二环境包括于一第二温度下而氧具有一第二分压, 其中氧的第二分压大于氧的第一分压。于一实施例中, 氧的第一分压介于 1 ~ 100 毫托, 而氧的第二分压介于 0.1 ~ 100 托。

[0013] 于另一实施例中, 在等离子后的二阶段退火制程之后, 一栅极电极沉积于氮氧化硅薄膜上。于一实施例中, 栅极电极包括一多晶硅薄膜; 于另一实施例中, 栅极电极包括一非晶硅薄膜; 又另一实施例中, 栅极电极包括一金属电极。

[0014] 本发明的实施例亦提供于一整合式制程系统中形成一 SiO_xN_y 栅极介电层的方法。一硅基板导入整合式制程系统的第一制程室, 则二氧化硅薄膜形成于基板上; 基板转移至整合式制程系统的一第二制程室, 则基板暴露于一包含氮源的等离子; 基板接着转移至整合式制程系统的一第三制程室, 使基板进行一等离子后的二阶段退火制程: 第一阶段包含氮氧化硅薄膜于一第一环境下进行退火, 且第一环境包括于一第一温度下而氧具有一第一分压的惰性环境; 第二阶段包含氮氧化硅薄膜于一第二环境下进行退火, 且第二环境包括于一第二温度下而氧具有一第二分压, 其中氧的第二分压大于氧的第一分压。于另一实施例中, 等离子氮化制程包括去耦等离子氮化。

[0015] 于另一实施例中, 形成一 SiO_xN_y 栅极介电层的方法包括: 于一包括氮的空气中加热一结构, 该结构包括一上方含有一氧化硅薄膜的硅基板, 而使氮并入氧化硅薄膜中, 接着

将该结构暴露于一包含氮源的等离子，以于基板上形成 SiO_xN_y 栅极介电层。

附图说明

[0016] 本发明上方所详述的特征皆可详细地被了解，而有关于本发明更进一步的描述可参阅实施例，并摘录于上方的发明内容中，而部分特征亦绘示于附图当中。然而，值得注意的是，附图仅绘示本发明的一般实施例，但并非限制本发明的技术范畴，其他等效的实施例亦应属于本发明。

[0017] 图 1，绘示一整合式制程系统的上视图。

[0018] 图 2，绘示本发明的一实施例的流程图。

[0019] 图 3，绘示根据本发明的实施例而形成一栅极堆迭的范例顺序。

[0020] 图 4，绘示包括 SiO_xN_y 栅极介电层的栅极堆迭的负通道金属氧化物半导体 (NMOS) 驱动电流相对于 NMOS 栅极漏电流的图表。

[0021] 主要元件符号说明

[0022]	100 整合式制程系统	102 转移室
[0023]	103 转移用机械手臂	104、106 真空隔绝室
[0024]	108 冷却室	110 沉积室（或 CVD 制程室）
[0025]	114 等离子制程室（或 DPN 室）	116 RTP 制程室
[0026]	118 RTP 制程室	302 基板
[0027]	304 二氧化硅薄膜、氮氧化硅薄膜	
[0028]	306 多晶硅薄膜	

具体实施方式

[0029] 本发明的实施例包括利用一氮等离子（或是等离子氮化）制程而形成一包含氮的介电层（如： SiON 或 SiO_xN_y 【氮氧化硅】）的方法。氮氧化硅接着进行一等离子氮化后的二阶段退火制程，本实施例可允许控制 EOT 及氮氧化硅薄膜中的氮浓度曲线。

[0030] 为便于说明，于下方叙述中是提出多个明确细节以提供对本发明全盘的了解，然而对于熟习该领域的人，可明确得知本发明在缺乏该些明确细节下亦可实施。另外，本发明中并未描述明确的装置结构及方法，但却不会使本发明变得无法理解。下方的叙述及图示是用以说明本发明，而并非限定本发明。

[0031] 于一实施例中，是提供一利用等离子氮化制程（如：去耦等离子氮化；DPN）而形成氮氧化硅介电膜层的方法。于等离子氮化之后，氮氧化硅则进行一等离子氮化后的二阶段退火（PNA）制程。第一 PNA 阶段是利用一惰性试剂与一微量的氧的结合而加密（densify）氮氧化硅；第二 PNA 阶段则使用一氧化剂而修改氮浓度曲线。二阶段 PNA 制程使氮朝氮氧化硅的表面移动，因此基板可更有效阻绝硼。另外，氮浓度曲线则倾向于氮氧化硅的表面具有一最高值。

[0032] 于另一实施例中，是提供一将利用等离子氮化制程及接续的二阶段 PNA 制程所形成的氮氧化硅薄膜并入一栅极堆迭以形成一半导体装置（如：晶体管）的方法。

[0033] 于另一实施例中，一在其上方具有二氧化硅薄膜的基板是进行一等离子氮化制程，以将二氧化硅薄膜转变为氮氧化硅薄膜。于一实施例中，所采用的等离子氮化制程为去

耦等离子氮化 (DPN), 其为一习知技术。DPN 为利用感应耦合 (inductive coupling) 以产生氮等离子, 并将大量氮并入氧化薄膜的技术。于 DPN 中, 氮离子轰击一表面薄膜 (例如: 二氧化硅薄膜), 并破坏二氧化硅薄膜而形成一氮氧化硅薄膜。于一实施例中, DPN 于一具有压力介于 5 ~ 20 毫托 (mTorr) 或 10 ~ 20 毫托, 而等离子功率为 200 ~ 800 瓦 (Watt) 的腔室中进行, 且氮气流入腔室的流速为 100 ~ 200 sccm。于一实施例中, DPN 利用约 10 ~ 20 MHz 的脉冲射频等离子制程, 并于 5 ~ 15 kHz 进行脉冲。DPN 制程参数可依照腔室尺寸与空间, 以及介电薄膜的期望厚度而做修改。

[0034] 有关去耦等离子氮化腔室的其他细节是描述于美国专利申请公开第 2004/0242021 号, 专利名称为 [Method And Apparatus For Plasma Nitridation Of Gate Dielectrics Using Amplitude Modulated Radio Frequency Energy], 是受让给应用材料公司 (Applied Materials, Inc.), 并于此处将其并入以作为参考而不与本发明产生冲突。适用的 DPN 腔室的实例包括 DPN Centura™, 其是购自加州圣克拉拉的应用材料公司。

[0035] 于一实施例中, 氮氧化硅薄膜是进行两次退火。于第一退火阶段中, 氮氧化硅是退火以加密氮浓度, 而第一退火阶段是于一惰性环境中进行, 利用一惰性气体如: 氮、氩、氦或其混合物与一微量氧气的组合。于一实施例中, 第一退火阶段是于等离子氮化制程之后立即进行。于一实施例中, 第一 PNA 阶段于约 700 ~ 1100°C 之间的温度下进行, 举例来说: 于 100 毫托 ~ 800 托的压力下, 在温度介于 950 ~ 1100°C 进行 1 ~ 120 秒, 并伴随分压为 1 ~ 100 毫托 (如: 1 毫托 ~ 50 毫托) 的微量氧气, 而于另一实施例中, 微量氧气的分压范围为 1 ~ 30 毫托。第二 PNA 阶段是接着在第一 PNA 阶段之后进行。于一实施例中, 在第一 PNA 阶段之后, 进行退火的环境改变为一含有氧化剂 (或一含氧试剂) 的环境, 而氧化剂为如氧、氧/氮、氧/氩、氧/氦、氧化亚氮或是一氧化氮。第二 PNA 阶段是于一 10 毫托 ~ 100 托的减压下进行, 而温度则介于 900 ~ 1100°C 或是 1000 ~ 1050°C, 而第二 PNA 阶段可进行约 1 ~ 120 秒。于一实施例中, 第二 PNA 阶段的温度、时间及压力是经过控制而可达到氮氧化硅的 EOT 增加 0.1 ~ 2 Å。

[0036] 于一实施例中, 第一 PNA 阶段与第二 PNA 阶段两者皆于单一晶片快速热处理 (RTP) 制程室中进行, 而用以执行快速热退火 (RTA) 制程。减压 RTP 腔室设备是可购自应用材料公司所制造的 XE、XE Plus 或是 Radiance, 其可用于进行第一及第二 PNA 制程。

[0037] 较佳的, 此处所述的 SiO_xN_y 栅极介电层包括至少 5% (原子百分比; atomic percent) 的氮。于一实施例中, SiO_xN_y 栅极介电层包括 5 ~ 15% (原子百分比) 的氮。

[0038] 于结构暴露于等离子并进行退火之后, 一栅极电极 (如: 一多晶硅层、一非晶硅层或是一金属层) 沉积于 SiO_xN_y 栅极介电层上方而完成一栅极堆迭。

[0039] 整合式制程顺序

[0040] 又一实施例中, SiO_xN_y 栅极介电层可于一整合式制程系统 (如整合式半导体制程系统) 中而形成于基板上。于上述方法中, 基板须待 SiO_xN_y 栅极介电层形成之后才可自整合式制程系统中移出。一可使用的整合式制程系统 100 的实例为 Gate Stack Centura® 系统 (购自加州圣克拉拉的应用材料公司), 如 [图 1] 所示。整合式制程系统 100 包括一中央转移室 102、一转移用机械手臂 103、真空隔绝室 104、106、一冷却室 108、一沉积室 110、一离子制程室 114 以及二快速热处理 (RTP) 制程室 116、118。沉积室 110 可以为习知的一传统化学或物理气相沉积室而用以形成一薄膜或一层。于一实施例中, CVD 制程室 110 为

一低压化学气相沉积室 (LPCVD), 如购自应用材料公司的 POLYgen。RTP 制程室 116、118 是于一减压或超低压下 (如: 等于或小于 10 托) 而进行一快速热退火 (RTA) 制程的腔室。

[0041] 于另一实施例中, 一基板是导入一整合式制程系统中, 而一氧化硅薄膜、一 SiO_xN_y 栅极介电层及一栅极电极则沉积于基板上, 而不需将基板自整合式制程系统中移出。本实施例是参照「第 1 及 2 图」而描述如下。

[0042] 于整合式制程系统中形成 SiO_xN_y 栅极介电层的实施例的制程条件是与上述形成氧化硅薄膜与 SiO_xN_y 栅极介电层的制程条件相同。「图 2」所示的步骤 200 及 202 中, 是经由真空隔绝室 104 或 106 而将一硅基板导入整合式制程系统 100, 并置于 RTP 制程室 116 中, 而在 RTP 制程室 116 中, 氧化硅薄膜则形成于一硅基板上。包括基板及氧化硅薄膜的结构则转移至等离子制程室 114, 该结构于此处暴露于包含一氮源的等离子, 以将氮并入氧化硅薄膜而形成 SiO_xN_y 栅极介电层 (步骤 204 及 206)。该结构再转移至 RTP 制程室 116 (步骤 208) 中以进行退火 (步骤 210 及 212)。该结构接着转移至 CVD 制程室 110 (步骤 214), 一栅极电极 (如: 多晶硅层或非晶硅层) 则沉积于该结构上 (步骤 216)。该结构接着又经由真空隔绝室 104 或 106 而移出整合式制程系统 100。

[0043] 上述关于「图 1、2」的实施例, 氧化硅薄膜是于一阶段中而在 RTP 制程室 116 内形成于基板上, 而该结构于另一阶段中则在 RTP 制程室 118 中进行退火。于一替代实施例中, 可采用单一 RTP 制程室而用以形成氧化硅薄膜, 并进行等离子后的二阶段退火。

[0044] 于另一实施例中, 一结构包括一硅基板及其上方的二氧化硅薄膜, 并于整合式制程系统的第一制程室中, 在包括氨 (NH_3) 的空气中进行加热, 以将氮并入氧化硅薄膜。由于基板于一封闭的整合式制程系统中暴露于一包含氨的空气中, 则会造成污染的氧气不会在包含氨的空气下加热的过程中并入该结构。该结构接着转移至整合式制程系统的第二制程室, 并于第二制程室中暴露于一包含氮源的等离子。将该结构暴露于等离子之后, 再将该结构转移至整合式制程系统的第三制程室, 并于第三制程室中进行退火。

[0045] 在该结构以一含氮等离子处理之前, 将该结构于一含氮空气中加热的步骤认为可使栅极介电层与下方的硅基板之间的介面平滑, 进而提升装置的效能及可靠度。另外, 在该结构以等离子处理之前, 先将基板于一含氮空气中进行加热所形成的稍厚氧化薄膜, 认为其可增进一 PMOS 装置的效能特性。

[0046] 「图 3」是绘示根据本发明的实施例而形成一栅极堆迭的范例顺序图。基板 302 可为一单晶硅或是一通常用于制造半导体装置的半导体晶片。于一实施例中, 二氧化硅薄膜 304 具有约 **4 ~ 15 Å** 的实际厚度。

[0047] 于一实施例中, 利用一减压 RTP 制程室 (如「图 1」的整合式制程系统 100 的 RTP 制程室 116) 而形成二氧化硅薄膜 304。二氧化硅薄膜 304 是以一快速热氧化反应所形成, 其中快速热氧化反应为一氧化制程, 而制程中的腔室利用照射器而快速加热并干燥基板表面, 以在氧气存在下形成一氧化层。硅基板 (或晶片) 的快速热氧化反应是利用一伴随有氧、氧 + 氮、氧 + 氩、氧化亚氮或是氧化亚氮 + 氮的气体混合物的干式快速热氧化制程而进行。气体或是气体混合物具有约 1 ~ 5slm 的总流速。另外, 硅基板的快速热氧化反应亦可利用一湿式制程进行, 如: 原位蒸气产生技术 (In-Situ Steam Generation; ISSG), 并伴随有例如总流速为 1 ~ 5slm 及含 1 ~ 13% 氢的氧 + 氢、氧 + 氢 + 氮或是氧化亚氮 + 氢。于一实施例中, 用以形成二氧化硅薄膜的快速热氧化制程是于约 750 ~ 1000°C 的制程温度

及 0.5 ~ 50 托的制程压力下进行约 5 ~ 90 秒,而所得的二氧化硅介电薄膜的厚度范围为 4 ~ 15 Å。

[0048] 于一实施例中,在二氧化硅薄膜 304 于 RTP 制程室 116 形成之后,基板 302 则转移至整合式制程系统 100 中于一惰性(如:氮或氩)环境下的 DPN 室 114,且转移室 102 的压力与等离子氮化制程的压力大致相同。等离子氮化制程将二氧化硅薄膜 304 暴露于氮等离子,以将氮并入二氧化硅薄膜 304 而形成一氮氧化硅薄膜 304。于一实施例中,DPN 腔室 114 为一减压感应耦合 RF 等离子反应器,其是能够容纳一惰性等离子,如:氮、氩或氩。

[0049] 氮氧化硅薄膜 304 接着于一 RTP 制程室(例如:整合式制程系统 100 的 RTP 制程室 118)进行氮化后的二阶段退火(PNA)制程。RTP 制程室 118 可为一减压腔室反应器,如:应用材料公司的反应器 XE、XE Plus 或是 Radiance。PNA 的进行首先于一温和的氧化环境(惰性环境),以及约大于或等于 700°C 的温度下,以加密氮等离子处理后的膜层(氮氧化硅膜层 304);接着于一氧化环境以及约大于或等于 900°C 的温度下进行第二次退火。第一 PNA 阶段中,伴有微量氧气的惰性气体(如氮或氩)流入 RTP 制程室中以加密氮氧化硅薄膜 304。于一实施例中,第一 PNA 阶段包括于总压力小于或等于 5 托下,加热具有氮氧化硅薄膜 304 的基板至一适当退火温度,约大于或等于 700°C。于一实施例中,如氮气的惰性气体以 1slm 的流速流入 RTP 制程室约 60 ~ 120 秒;而微量的氧气则以 30scm 的流速流入腔室中,且压力为 5 托。在第一 PNA 阶段之后,RTP 制程室将惰性气体排出,而供给第二 PNA 阶段的氧化气体(如氧气)则流入 RTP 制程室中。温度则切换至大于或等于 900°C。氧化气体以约 1slm 的总流速流入 RTP 制程室约 15 秒。必须了解此处所提及的范例流速仅针对特定的反应器或制程室尺寸(如:200mm 反应器),流速可根据拥有不同体积的其他尺寸的反应器而成比例地调整的(增加或减少)。

[0050] 于一实施例中,在二阶段 PNA 制程之后,氮氧化硅薄膜 304 接着覆盖一导电层,如多晶硅薄膜 306。多晶硅薄膜 306 可于一沉积室中形成,如「图 1」整合式制程系统 100 的沉积室 110。除了多晶硅,薄膜 306 亦可为非晶硅薄膜或是其他适合的导电材料。再者,如:钛、氮化钛、钽、氮化钽、钨、氮化钨及其他耐火金属或是其他适合的电极材料皆可沉积于其上。沉积室 110 可为一低压化学气相沉积室(LPCVD)而并入整合式制程系统 100。在多晶硅薄膜 306 形成之后,栅极堆迭则转移至冷却室 108,再接着转移至一储存区域,如:真空隔绝室 104、106,以进行进一步的加工、测试或是其他该领域所熟悉的制程。

[0051] 必须了解的是,包括栅极介电薄膜以及多晶硅覆盖薄膜的栅极堆迭可于多个制程室中形成,而并非一定要并入上述的整合式制程系统 100 中。举例来说,二氧化硅薄膜可先于一腔室中形成,二氧化硅薄膜再于一等离子氮化腔室中转变为氮氧化硅,氮氧化硅再接着于一 RTP 制程室中以二阶段 PNA 制程进行退火,而多晶硅薄膜则于相同的 RTP 制程室中形成于 SiON 或是 SiO_xN_y 薄膜上方。

[0052] 后退火 SiO_xN_y 栅极介电层的效能

[0053] 如「图 4」所示,氮氧化硅的二阶段后退火过程的第一阶段中包括微量的氧可改善 NMOS 驱动电流相对于 NMOS 栅极漏电流的关是。于「图 4」中,x 轴代表 NMOS 栅极漏电流,而 y 轴代表 NMOS 驱动电流。举例来说,约 10 Å 的二氧化硅薄膜作为基底氧化层,在等离子氮化之后,采用多种后退火条件以对薄膜进行退火,比如:第一阶段包含在氮气存在下,氧气分压为 15 毫托,于 1000°C 下进行 30 秒的退火,接着,第二阶段的氧气分压为 10 托,而于

1000℃下进行 15 秒的退火；于另一例中，第一阶段包括在氮气存在下，于 15 毫托及 1000℃下进行 15 秒的退火，接着，第二阶段的氧气分压为 1.5 托，而于 1050℃下进行 15 秒的退火。于另一例中，第一阶段包括在氮气存在下，于 15 毫托及 1050℃下进行 30 秒的退火，接着，第二阶段于 0.5 托及 1050℃下进行 15 秒的退火。于另一例中，第一阶段包括在氮气存在下，于 0.015 毫托及 1000℃下进行 30 秒的退火，接着，第二阶段于 0.05 托及 1100℃下进行 5 秒的退火。如「图 4」所示，于第一阶段包括微量氧气的二阶段后退火相对于第一阶段不包括微量氧气的二阶段后退火在 NMOS I_{dsat} （饱和电流）上改善了 4%。

[0054] 在不限定本发明特定理论之前提下，确信于等离子氮化后的二阶段退火的第一阶段添加微量的氧，可防止会蚀刻及伤害介电层的一氧化硅（SiO）的形成。

[0055] 惟本发明虽以较佳实施例说明如上，然其并非用以限定本发明，任何熟习此技术人员，在不脱离本发明的精神和范围内所作的更动与润饰，仍应属本发明的技术范畴。

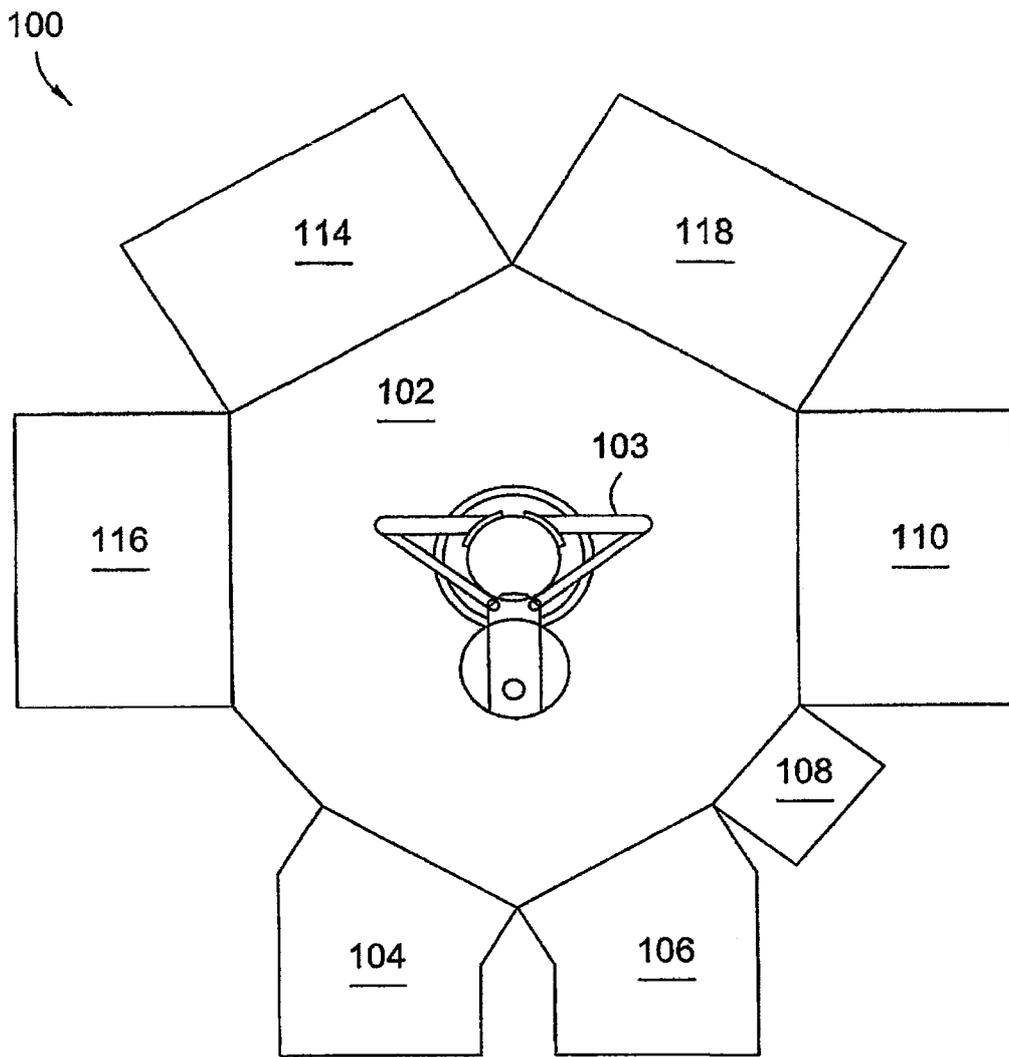


图 1

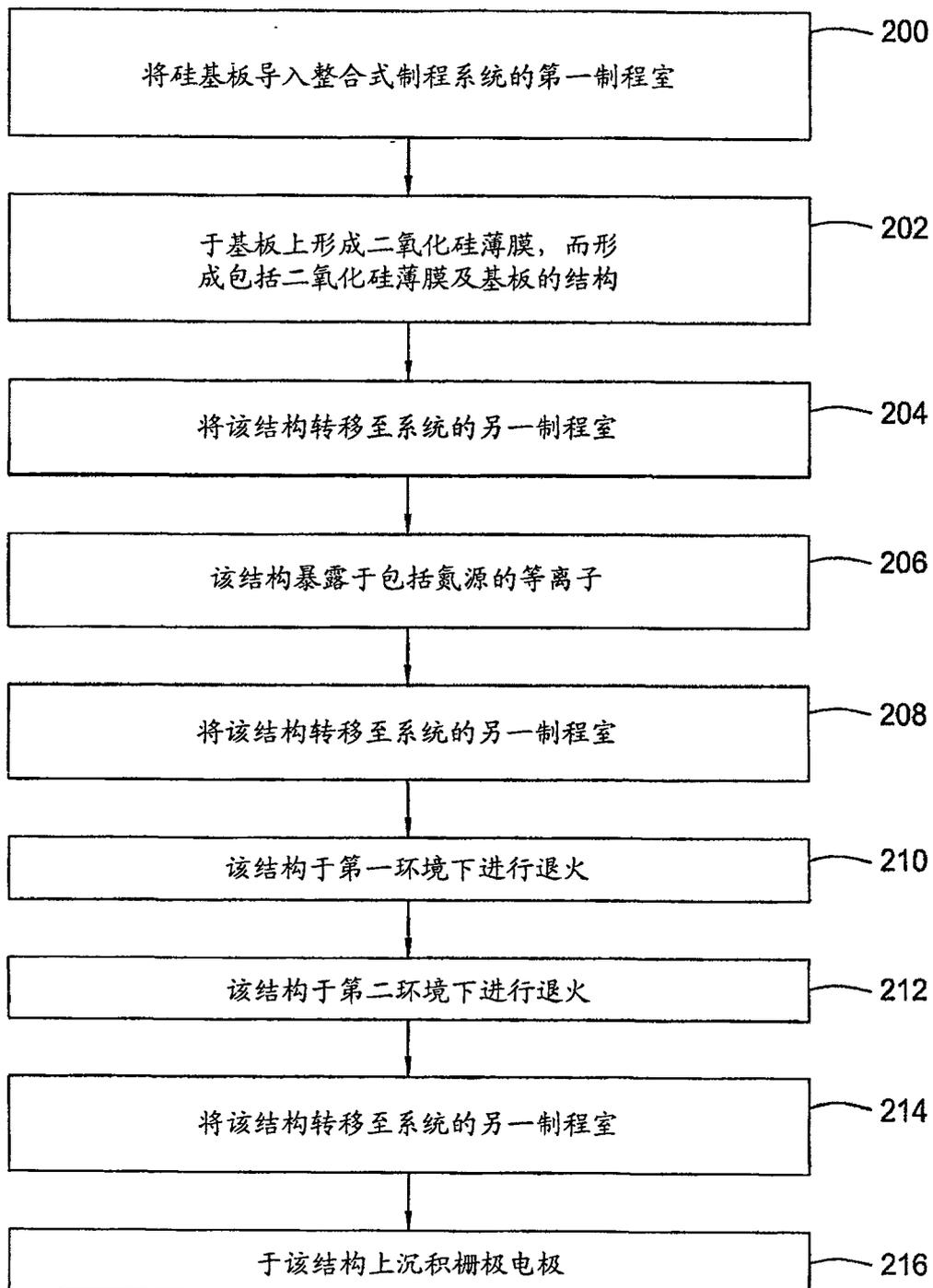


图 2

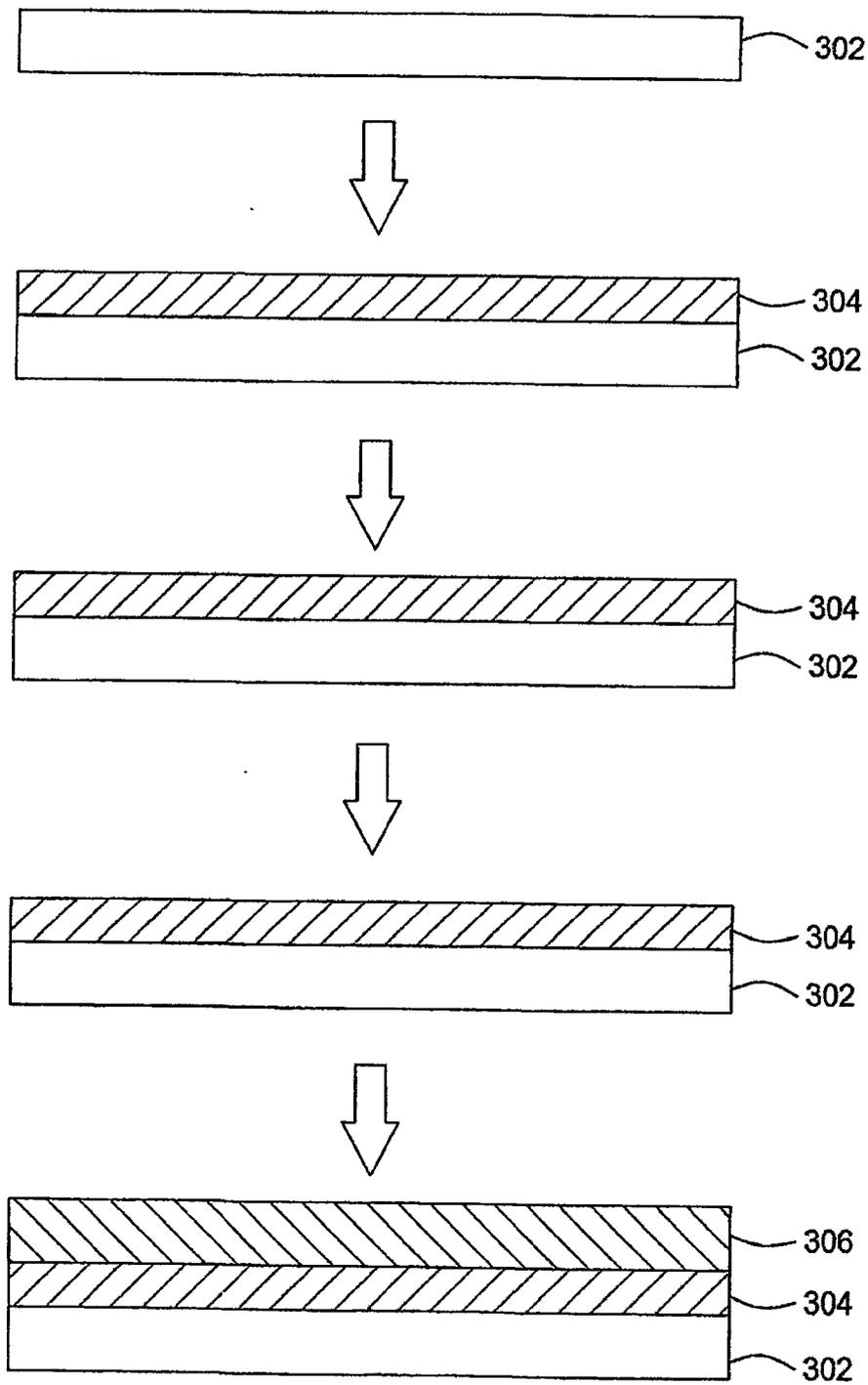


图 3

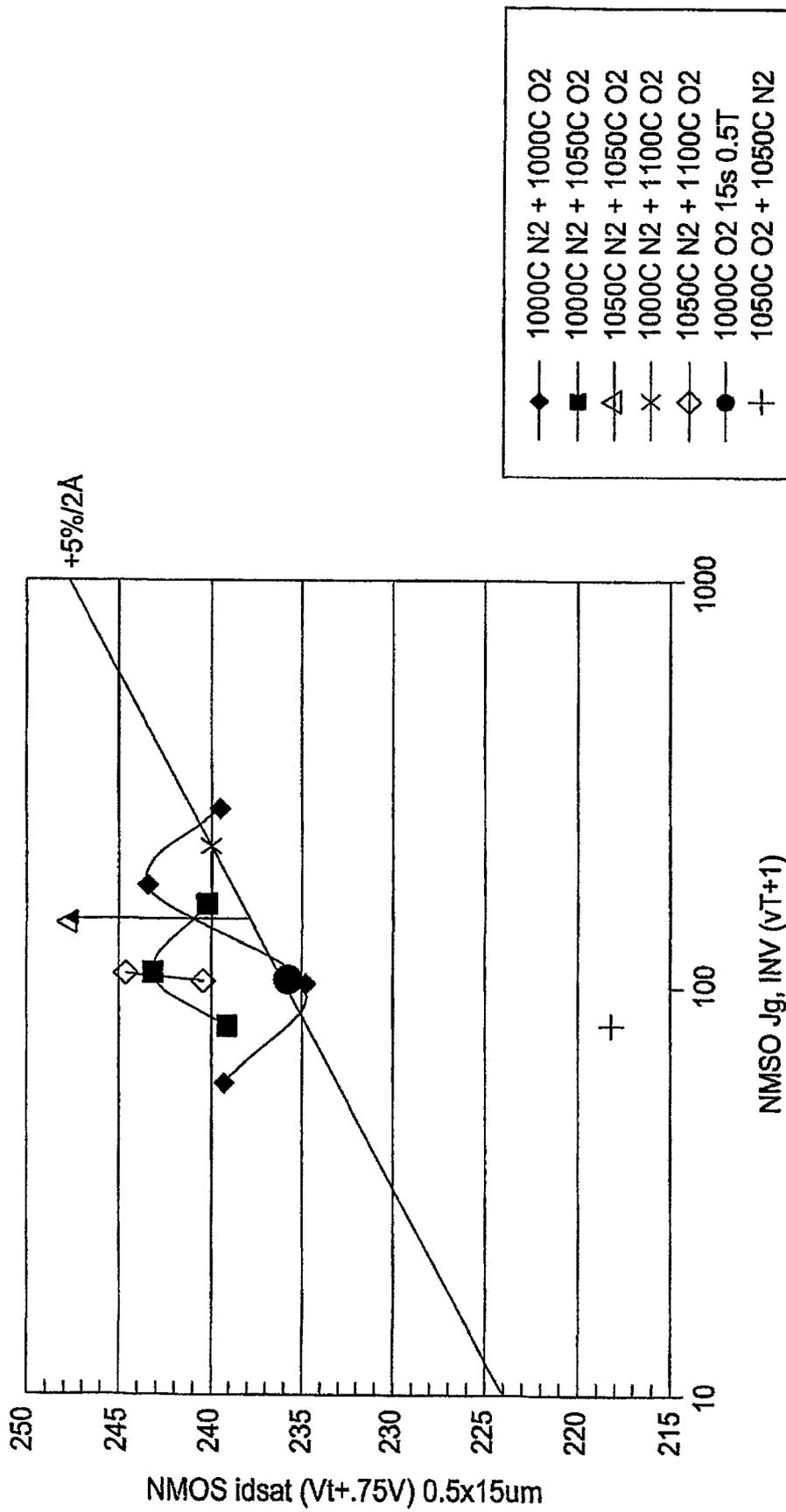


图 4