

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年9月13日(2007.9.13)

【公開番号】特開2001-93949(P2001-93949A)

【公開日】平成13年4月6日(2001.4.6)

【出願番号】特願2000-232772(P2000-232772)

【国際特許分類】

<i>H 01 L</i>	<i>21/66</i>	<i>(2006.01)</i>
<i>G 01 R</i>	<i>31/28</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>21/82</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>21/822</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>27/04</i>	<i>(2006.01)</i>

【F I】

<i>H 01 L</i>	<i>21/66</i>	<i>H</i>
<i>G 01 R</i>	<i>31/28</i>	<i>U</i>
<i>H 01 L</i>	<i>21/82</i>	<i>F</i>
<i>H 01 L</i>	<i>27/04</i>	<i>T</i>

【手続補正書】

【提出日】平成19年8月1日(2007.8.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路(104)の検査方法であって：

半導体素子基板(100)上に半導体回路(104)を形成する段階であって、前記半導体回路は相互接続部(718)の最上位を含む、段階；

前記相互接続部(718)の最上位の上にポリイミド層を形成する段階；

前記ポリイミド層の上に導電層を形成する段階；

前記導電層をパターニングして導電性部材(110)を形成する段階であって、第1導電性部材(110a, 110b, 110c, 110d)が第1集積回路(104a)上において第1電気コンタクト部(112a, 112b, 112c, 112d)に電気的に結合し、前記第1導電性部材(110a, 110b, 110c, 110d)が、第1導電性リード部(113)および第1ヒューズ部(106)を含み、前記第1ヒューズ部(106)が前記第1導電性リード部(113)と前記第1電気コンタクト部(112a, 112b, 112c, 112d)との間に位置するように、前記導電性部材(110)を形成する段階；

前記第1導電性部材(110a, 110b, 110c, 110d)を介して、前記第1電気コンタクト部(112a, 112b, 112c, 112d)に電圧を印加する段階であって、前記第1ヒューズ部(106)を通過する電流量が所定のスレシホールドを超過する場合、前記第1導電性リード部(113)と前記第1電気コンタクト部(112a, 112b, 112c, 112d)との間に電気的開放を形成するように、前記第1ヒューズ部(106)を構成する、段階；および

前記導電性部材(110)の少なくとも一部を除去する段階；
から成ることを特徴とする集積回路(104)の検査方法。

【請求項2】

集積回路(104)の検査方法であって：

半導体素子基板上の相互接続部(718)の最上位を含む集積回路(104)を形成する段階；

前記相互接続(718)の最上位の上にポリイミド層(724)を形成する段階；

銅，アルミニウム，および錫から成るグループから選択した導電層を、前記集積回路(104)上の前記相互接続(718)の最上位の上に形成する段階；

前記導電層をパターニングして導電性部材(110)を形成する段階であって、第1導電性部材(110a, 110b, 110c, 110d)が第1集積回路(104a)上において第1電気コンタクト部(112a, 112b, 112c, 112d)に電気的に結合し、前記第1導電性部材(110a, 110b, 110c, 110d)が、第1導電性リード部(113)および第1ヒューズ部(106)を含み、前記第1ヒューズ部(106)が前記第1導電性リード部(113)と前記第1電気コンタクト部(112a, 112b, 112c, 112d)との間に位置し、前記第1ヒューズ部(106)を更に第1蛇行形状ヒューズ部(300)として特徴付けるように、前記導電性部材(110)を形成する段階；

前記第1導電性部材(110a, 110b, 110c, 110d)を介して、前記第1電気コンタクト部(112a, 112b, 112c, 112d)に電圧を印加する段階であって、前記第1ヒューズ部(106)を通過する電流量が所定のスレシホールドを超過する場合、前記第1導電性リード部(113)と前記第1電気コンタクト部(112a, 112b, 112c, 112d)との間に電気的開放を形成するように、前記第1ヒューズ部(106)を構成する、段階；および

前記導電性部材(110)の少なくとも一部を除去する段階；
から成ることを特徴とする集積回路(104)の検査方法。

【請求項3】

集積回路(104)の検査方法であって：

半導体素子基板(100)上に半導体回路(104)を形成する段階；

前記集積回路(104)上において、相互接続部(718)の最上位の上に導電層を形成する段階；

前記導電層をパターニングして導電性部材(110)を形成する段階であって：

第1導電性部材(110a, 110b, 110c, 110d)が第1集積回路(104a)上において第1電気コンタクト部(112a, 112b, 112c, 112d)に電気的に結合し、前記第1導電性部材(110a, 110b, 110c, 110d)が、第1導電性リード部(113)および第1蛇行形状ヒューズ部(300)を含み、前記第1蛇行形状ヒューズ部(300)が前記第1導電性リード部(113)と前記第1電気コンタクト部(112a, 112b, 112c, 112d)との間に位置し；

第2導電性部材(110a, 110b, 110c, 110d)が第1集積回路(104a)上において第2電気コンタクト部(112a, 112b, 112c, 112d)に電気的に結合し、前記第2導電性部材(110a, 110b, 110c, 110d)が、第2導電性リード部(113)および第2蛇行形状ヒューズ部(300)を含み、前記第1蛇行形状ヒューズ部(300)および前記第2蛇行形状ヒューズ部(300)が互いに隣接するように形成する、段階；

前記第1導電性部材(110a, 110b, 110c, 110d)を介して、前記第1電気コンタクト部(112a, 112b, 112c, 112d)に電圧を印加する段階であって、前記第1ヒューズ部(106)を通過する電流量が所定のスレシホールドを超過する場合、前記第1導電性リード部(113)と前記第1電気コンタクト部(112a, 112b, 112c, 112d)との間に電気的開放を形成するように、前記第1蛇行形状ヒューズ部(300)を構成し、前記第1導電性リード部(113)と前記第1電気コンタクト部(112a, 112b, 112c, 112d)との間に電気的開放を形成することに対応して、前記第2蛇行形状ヒューズ部(300)に電気的開放を生成する、段階；および

前記導電性部材(110)の少なくとも一部を除去する段階；
から成ることを特徴とする集積回路(104)の検査方法。

【請求項4】

集積回路(104)の検査方法であって：

半導体素子基板(100)上に半導体回路(104)を形成する段階；

前記集積回路(104)上において、相互接続部(718)の最上位の上に導電層を形成する段階；

前記導電層をパターニングして導電性部材(110)を形成する段階であって：

第1導電性部材(110a, 110b, 110c, 110d)が第1集積回路(104a)上において第1電気コンタクト部(112a, 112b, 112c, 112d)に電気的に結合し、前記第1導電性部材(110a, 110b, 110c, 110d)が第1導電性リード部(113)および第1ヒューズ部を含み、前記第1ヒューズ部(106)が前記第1導電性リード部(113)と前記第1電気コンタクト部(112a, 112b, 112c, 112d)との間に位置し、前記第1導電性部材が、前記第1電気コンタクト部(112a, 112b, 112c, 112d)と機能的に同様の第2集積回路(104)上の第2電気コンタクト部(112a, 112b, 112c, 112d)に電気的に結合し、前記第1導電性部材(110a, 110b, 110c, 110d)が第2導電性リード部(113)および第2ヒューズ部(106)を含み、該第2ヒューズ部(106)が、前記第2導電性リード部(113)と前記第2電気コンタクト部(112a, 112b, 112c, 112d)との間に位置するように、前記導電性部材(110)を形成する段階；

前記半導体素子基板(100)上の前記集積回路(104)のウェハ・レベル・バーン・インの間、前記第1導電性部材(110a, 110b, 110c, 110d)を介して、前記第1電気コンタクト部(112a, 112b, 112c, 112d)および前記第2電気コンタクト部(112a, 112b, 112c, 112d)にリセット信号、クロック信号、データ入力信号、および電圧源から成るグループから選択した電圧信号を印加する段階であって、前記第1および第2ヒューズ部(106)の少なくとも一方を通過する電流量が所定のスレシホールドを超過する場合、電気的開放を形成するように、前記第1および第2ヒューズ部(106)の少なくとも一方を構成する、段階；および

前記導電性部材(110)の少なくとも一部を除去する段階；
から成ることを特徴とする集積回路(104)の検査方法。

【請求項5】

半導体素子であって：

半導体基板(100)；および

前記半導体基板(100)上の相互接続(718)の最上位の上に位置する複数の導電性部材(110)であって、前記複数の導電性部材(110)の少なくとも1つが、導電性リード部(113)およびヒューズ構造(106)を含み、該ヒューズ構造(106)が前記複数の導電性部材(110)の前記少なくとも1つと前記集積回路(104)の電気コンタクト部(112)との間に位置する、複数の導電性部材(110)；
とから成ることを特徴とする半導体素子。