

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3813045号
(P3813045)

(45) 発行日 平成18年8月23日(2006.8.23)

(24) 登録日 平成18年6月9日(2006.6.9)

(51) Int. Cl.		F I		
H03K 17/16	(2006.01)	H03K 17/16		H
H03K 17/687	(2006.01)	H03K 17/687		E

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2000-57985 (P2000-57985)	(73) 特許権者	000116024
(22) 出願日	平成12年2月29日(2000.2.29)		ローム株式会社
(65) 公開番号	特開2001-244800 (P2001-244800A)	(74) 代理人	100085501
(43) 公開日	平成13年9月7日(2001.9.7)		弁理士 佐野 静夫
審査請求日	平成16年11月16日(2004.11.16)	(72) 発明者	大須賀 太佳雄
			京都市右京区西院溝崎町2 1 番地
		(72) 発明者	井上 晃一
			京都市右京区西院溝崎町2 1 番地
			株式会社内
		審査官	▲高▼橋 真之

最終頁に続く

(54) 【発明の名称】 Hブリッジドライバ

(57) 【特許請求の範囲】

【請求項 1】

Hブリッジの駆動信号として方形波状の信号を生成する駆動信号生成回路を備えたHブリッジドライバにおいて、前記駆動信号生成回路で生成されたHブリッジの駆動信号の波形をなまらせた整形信号を出力する波形整形回路と、Hブリッジの出力側の電圧が前記整形信号の電圧と等しくなるように制御する制御回路と、を設け、前記波形整形回路は、コンデンサを有して該コンデンサに生じる電圧に応じた信号を前記整形信号として出力するものであり、前記駆動信号の電圧のレベルが変化する期間において、電流値が前半側で徐々に増大し且つ後半側で徐々に減少する電流を前記コンデンサに流すことによって、前記整形信号を生成することを特徴とするHブリッジドライバ。

【請求項 2】

前記波形整形回路は、前記駆動信号の電圧がローレベルからハイレベルに変化する期間において、電流値が前半側でゼロから徐々に増大し且つ後半側でゼロまで徐々に減少する第1方向の電流を前記コンデンサに流す一方、前記駆動信号の電圧がハイレベルからローレベルに変化する期間において、電流値が前半側でゼロから徐々に増大し且つ後半側でゼロまで徐々に減少する前記第1方向とは逆の第2方向の電流を前記コンデンサに流すことによって、前記整形信号を生成する

10

20

ことを特徴とする請求項 1 に記載の Hブリッジドライバ。

【請求項 3】

前記整形信号として第 1 整形信号と第 2 整形信号とが存在し、

前記波形整形回路は、前記コンデンサに生じる電圧信号及び該電圧信号を反転した信号を、夫々、第 1 整形信号及び第 2 整形信号として出力し、

前記制御回路は、Hブリッジの一方の出力側の電圧が前記第 1 整形信号の電圧と等しくなるように、且つ他方の出力側の電圧が前記第 2 整形信号の電圧と等しくなるように制御する

ことを特徴とする請求項 1 または請求項 2 に記載の Hブリッジドライバ。

【請求項 4】

前記駆動信号のローレベルの電圧及びハイレベルの電圧を夫々 V_L 及び V_H とし、 V_L と V_H の間の一定の電圧を V_A 及び V_B とし（但し、 $V_A < V_B$ ）、更に前記駆動信号の電圧を P_V とした場合、

前記波形整形回路は、

前記駆動信号の電圧がローレベルからハイレベルに変化する期間において、 $P_V < V_A$ の時に電流値が P_V に比例し且つ $P_V > V_A$ の時に電流値が V_A に比例する第 1 電流を生成する第 1 電流生成回路と、

前記駆動信号の電圧がローレベルからハイレベルに変化する期間において、 $P_V < V_B$ の時に電流値が一定に維持され且つ $P_V > V_B$ の時に電流値が P_V の増加に従って増加する第 2 電流を生成する第 2 電流生成回路と、

前記駆動信号の電圧がハイレベルからローレベルに変化する期間において、 $P_V > V_B$ の時に電流値が P_V の減少に従って減少し且つ $P_V < V_B$ の時に電流値が一定に維持される第 3 電流を生成する第 3 電流生成回路と、

前記駆動信号の電圧がハイレベルからローレベルに変化する期間において、 $P_V > V_A$ の時に電流値が V_A に比例し且つ $P_V < V_A$ の時に電流値が P_V に比例する第 4 電流を生成する第 4 電流生成回路と、を備え、

前記駆動信号の電圧がローレベルからハイレベルに変化する期間において、前記第 1 電流から前記第 2 電流を差し引いた電流を第 1 方向に前記コンデンサに流す一方、前記駆動信号の電圧がハイレベルからローレベルに変化する期間において、前記第 4 電流から前記第 3 電流を差し引いた電流を第 1 方向とは逆の第 2 方向に前記コンデンサに流すことによつて、前記整形信号を生成する

ことを特徴とする請求項 1 ~ 請求項 3 の何れかに記載の Hブリッジドライバ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、負荷をその両端から相補的に駆動するための Hブリッジを駆動する信号として方形波状の信号を生成する駆動信号生成回路を有する Hブリッジドライバに関するものである。

【0002】

【従来の技術】

従来、負荷としてトランスの 1 次側コイルを駆動するような Hブリッジドライバでは、図 4 に示すように、例えば、ソースが電源電圧 V_{CC} に接続された p チャネルの MOS 型 FET（以下、「pMOS」と言う）301 とソースがグランド GND に接続された n チャネルの MOS 型 FET（以下、「nMOS」と言う）302 とのドレイン同士が接続されて成る 2 つの相補接続回路 300 - 1、300 - 2 から成る Hブリッジ 400 を駆動する場合、ロジック回路 100' から出力される信号 P1 をバッファアンプ 200 - 1' を介してそのまま相補接続回路 300 - 1 の pMOS 301 及び nMOS 302 のゲートに、ロジック回路 100' から出力される、信号 P1 を反転させた信号 P2 をバッファアンプ 200 - 2' を介してそのまま相補接続回路 300 - 2 の pMOS 301 及び nMOS 302 のゲートにそれぞれ与えていた。

10

20

30

40

50

【0003】

以上の構成により、pチャンネルのMOS型FETがONする閾値を V_{thp} 、nチャンネルのMOS型FETがONする閾値を V_{thn} とすると、パルス信号P1及びP2のハイレベルでの電圧値を $V_{CC} - V_{thp}$ よりも高く、また、ローレベルでの電圧値を V_{thn} よりも低くしておけば、パルス信号P1がローレベルでパルス信号P2がハイレベルであるときには、相補接続回路300-1においてはpMOS301がON、nMOS302がOFFとなり、一方、相補接続回路300-2においてはpMOS301がOFF、nMOS302がONとなるので、電源電圧 V_{CC} 相補接続回路300-1のpMOS301 負荷500 相補接続回路300-2のnMOS302 グランドGNDの経路で電流が流れ、一方、パルス信号P1がハイレベルでパルス信号P2がローレベルであるときには、相補接続回路300-1においてはpMOS301がOFF、nMOS302がONとなり、一方、相補接続回路300-2においてはpMOS301がON、nMOS302がOFFとなるので、電源電圧 V_{CC} 相補接続回路300-2のpMOS301 負荷500 相補接続回路300-1のnMOS302 グランドGNDの経路で電流が流れ、負荷500がその両端から相補的に駆動される。

10

【0004】

【発明が解決しようとする課題】

しかしながら、従来のHブリッジドライバでは、ロジック回路100から出力される方形波状のパルス信号(すなわち、高周波成分が含まれる信号)でそのままHブリッジ400を駆動していたので、負荷500のインダクタンス成分に起因して数10[mV]の高周波ノイズが発生するという問題があり、このため、オーディオ、映像等の分野に使用することができなかった。

20

【0005】

そこで、本発明は、Hブリッジの駆動信号として方形波状の信号を生成する駆動信号生成回路を備えたHブリッジドライバであって、Hブリッジの負荷のインダクタンス成分に起因して発生する高周波ノイズを大幅に抑制することができるようにしたHブリッジドライバを提供することを目的とする。

【0006】

【課題を解決するための手段】

上記の目的を達成するため、本発明では、Hブリッジの駆動信号として方形波状の信号を生成する駆動信号生成回路を備えたHブリッジドライバにおいて、前記駆動信号生成回路で生成されたHブリッジの駆動信号の波形をなまらせた整形信号を出力する波形整形回路と、Hブリッジの出力側の電圧が前記整形信号の電圧と等しくなるように制御する制御回路と、を設け、前記波形整形回路は、コンデンサを有して該コンデンサに生じる電圧に応じた信号を前記整形信号として出力するものであり、前記駆動信号の電圧のレベルが変化する期間において、電流値が前半側で徐々に増大し且つ後半側で徐々に減少する電流を前記コンデンサに流すことによって、前記整形信号を生成する。

30

そして、例えば、前記波形整形回路は、前記駆動信号の電圧がローレベルからハイレベルに変化する期間において、電流値が前半側でゼロから徐々に増大し且つ後半側でゼロまで徐々に減少する第1方向の電流を前記コンデンサに流す一方、前記駆動信号の電圧がハイレベルからローレベルに変化する期間において、電流値が前半側でゼロから徐々に増大し且つ後半側でゼロまで徐々に減少する前記第1方向とは逆の第2方向の電流を前記コンデンサに流すことによって、前記整形信号を生成する。

40

また、例えば、前記整形信号として第1整形信号と第2整形信号とが存在し、前記波形整形回路は、前記コンデンサに生じる電圧信号及び該電圧信号を反転した信号を、夫々、第1整形信号及び第2整形信号として出力し、前記制御回路は、Hブリッジの一方の出力側の電圧が前記第1整形信号の電圧と等しくなるように、且つ他方の出力側の電圧が前記第2整形信号の電圧と等しくなるように制御する。

更に例えば、前記駆動信号のローレベルの電圧及びハイレベルの電圧を夫々 V_L 及び V_H とし、 V_L と V_H の間の一定の電圧を V_A 及び V_B とし(但し、 $V_A < V_B$)、更に前記

50

駆動信号の電圧を P_V とした場合、前記波形整形回路は、前記駆動信号の電圧がローレベルからハイレベルに変化する期間において、 $P_V < V_A$ の時に電流値が P_V に比例し且つ $P_V > V_A$ の時に電流値が V_A に比例する第1電流を生成する第1電流生成回路と、前記駆動信号の電圧がローレベルからハイレベルに変化する期間において、 $P_V < V_B$ の時に電流値が一定に維持され且つ $P_V > V_B$ の時に電流値が P_V の増加に従って増加する第2電流を生成する第2電流生成回路と、前記駆動信号の電圧がハイレベルからローレベルに変化する期間において、 $P_V > V_B$ の時に電流値が P_V の減少に従って減少し且つ $P_V < V_B$ の時に電流値が一定に維持される第3電流を生成する第3電流生成回路と、前記駆動信号の電圧がハイレベルからローレベルに変化する期間において、 $P_V > V_A$ の時に電流値が V_A に比例し且つ $P_V < V_A$ の時に電流値が P_V に比例する第4電流を生成する第4電流生成回路と、を備え、前記駆動信号の電圧がローレベルからハイレベルに変化する期間において、前記第1電流から前記第2電流を差し引いた電流を第1方向に前記コンデンサに流す一方、前記駆動信号の電圧がハイレベルからローレベルに変化する期間において、前記第4電流から前記第3電流を差し引いた電流を第1方向とは逆の第2方向に前記コンデンサに流すことによって、前記整形信号を生成する。

10

【0007】

【発明の実施の形態】

以下に、本発明の実施形態を図面を参照しながら説明する。図1は本発明の一実施形態であるHブリッジドライバの構成を示す図である。100はHブリッジの駆動信号として方形波状のパルス信号Pを出力するロジック回路である。200-1、200-2は演算増幅器である。600はロジック回路1から出力されるパルス信号の波形をなまらせた信号P1'と、この信号P1'を反転させた信号P2'とを出力する波形整形回路である。そして、ロジック回路100、演算増幅器200-1及び200-2、波形整形回路600、並びに、これらを接続する配線がまとまって1つの半導体装置となっている。

20

【0008】

波形整形回路600の回路構成例を図2に示す。切り換えスイッチ1はA、B、Cの3つの端子を有しており、端子AB間または端子AC間のどちらか一方がONする構成となっているが、不図示の回路により、図3に示すように、ロジック回路100から出力されたパルス信号Pがハイレベル V_H になったときには端子AC間がONし、また、同電圧がローレベル V_L になったときには端子AB間がONするようになっている。切り換えスイッチ1の端子Aにロジック回路100から出力されたパルス信号Pが入力される。

30

【0009】

演算増幅器2は、第1の非反転入力端子が切り換えスイッチ1の端子Bに接続されており、第2の非反転入力端子には基準電圧 V_A が印加されている。尚、演算増幅器2では、第1の非反転入力端子の電圧が第2の非反転入力端子の電圧よりも低いときには、第1の非反転入力端子の電圧と反転入力端子の電圧との電圧差を増幅して出力し、一方、第1の非反転入力端子の電圧が第2の非反転入力端子の電圧以上であるときには、第2の非反転入力端子の電圧と反転入力端子の電圧との電圧差を増幅して出力する。

【0010】

NPN型のトランジスタ3は、ベースが演算増幅器2の出力側に接続されており、エミッタが抵抗4を介して接地されているとともに演算増幅器2の反転入力端子に接続されており、コレクタがPNP型のトランジスタ5のコレクタに接続されている。トランジスタ5はダイオード接続されているとともに、そのベースにはPNP型のトランジスタ6のベースが接続されており、トランジスタ5及び6でカレントミラー回路を構成している。トランジスタ5及び6のエミッタには電源電圧 V_{CC} が印加されている。

40

【0011】

演算増幅器7は、非反転入力端子が抵抗8を介して切り換えスイッチ1の端子Bに接続されており、反転入力端子には基準電圧 V_B が印加されている。尚、基準電圧 V_A 及び V_B 、並びに、ロジック回路100が出力するパルス信号Pのハイレベルの電圧 V_H 及びローレベルの電圧 V_L の関係は、 $V_L = 0$ 、 $V_L < V_A < V_B < V_H$ 、かつ、 $V_A + V_B = V_H$ になって

50

いる。

【0012】

PNP型のトランジスタ9は、ベースが演算増幅器7の出力側に接続されており、エミッタが演算増幅器7の非反転入力端子に接続されており、コレクタがPNP型のトランジスタ10のコレクタに接続されている。トランジスタ10はダイオード接続されているとともに、そのベースにはPNP型のトランジスタ11のベースが接続されており、トランジスタ10及び11でカレントミラー回路を構成している。トランジスタ10及び11のエミッタは接地されている。

【0013】

演算増幅器12は、非反転入力端子が抵抗13を介して切り換えスイッチ1の端子Cに接続されており、反転入力端子には基準電圧 V_B が印加されている。PNP型のトランジスタ14は、ベースが演算増幅器12の出力側に接続されており、エミッタが演算増幅器12の非反転入力端子に接続されており、コレクタがPNP型のトランジスタ15のコレクタに接続されている。

【0014】

トランジスタ15はダイオード接続されているとともに、そのベースにはPNP型のトランジスタ16のベースが接続されており、トランジスタ15及び16でカレントミラー回路を構成している。トランジスタ15及び16のエミッタは接地されている。

【0015】

PNP型のトランジスタ17はダイオード接続されており、そのコレクタはトランジスタ16のコレクタに接続されている。PNP型のトランジスタ18のベースはトランジスタ17のベースに接続されており、トランジスタ17及び18でカレントミラー回路を構成している。トランジスタ17及び18のエミッタには電源電圧 V_{CC} が印加されている。

【0016】

演算増幅器19は、第1の非反転入力端子が切り換えスイッチ1の端子Cに接続されており、第2の非反転入力端子には基準電圧 V_A が印加されている。尚、演算増幅器19では、第1の非反転入力端子の電圧が第2の非反転入力端子の電圧よりも低いときには、第1の非反転入力端子の電圧と反転入力端子の電圧との電圧差を増幅して出力し、一方、第1の非反転入力端子の電圧が第2の非反転入力端子の電圧以上であるときには、第2の非反転入力端子の電圧と反転入力端子の電圧との電圧差を増幅して出力する。

【0017】

PNP型のトランジスタ20は、ベースが演算増幅器19の出力側に接続されており、エミッタが抵抗21を介して接地されているとともに演算増幅器19の反転入力端子に接続されており、コレクタがPNP型のトランジスタ22のコレクタに接続されている。

【0018】

トランジスタ22はダイオード接続されているとともに、そのベースにはトランジスタ23のベースが接続されており、トランジスタ22及び23でカレントミラー回路を構成している。トランジスタ22及び23のエミッタには電源電圧 V_{CC} が印加されている。

【0019】

PNP型のトランジスタ24はダイオード接続されており、そのコレクタはトランジスタ23のコレクタに接続されている。PNP型のトランジスタ25のベースはトランジスタ24のベースに接続されており、トランジスタ24及び25でカレントミラー回路を構成している。トランジスタ24及び25のエミッタは接地されている。

【0020】

トランジスタ6、11、18、及び、25のコレクタは、一端が接地されたコンデンサ26の他端に共通に接続されている。反転回路27はコンデンサ26に生じる電圧信号を反転させて出力する。そして、コンデンサ26に生じる電圧信号 $P1'$ 、及び、反転回路27の出力信号 $P2'$ が波形整形回路600から出力される。

【0021】

以上の構成により、波形整形回路600においては、図3に示すように、ロジック回路1

10

20

30

40

50

00から出力されたパルス信号Pの値 P_V がローレベル V_L からハイレベル V_H に立ち上がる際には、トランジスタ6のコレクタ電流 I_1 は、抵抗4、8、13、21の各抵抗値をそれぞれRとすれば、 $P_V < V_A$ であれば $I_1 = P_V / R$ 、 $V_A < P_V$ であれば $I_1 = V_A / R$ であり、また、トランジスタ11のコレクタ電流 I_2 は、 $P_V < V_B$ であれば $I_2 = 0$ 、 $V_B < P_V$ であれば $I_2 = (P_V - V_B) / R$ であり、また、トランジスタ18のコレクタ電流 I_3 、及び、トランジスタ25のコレクタ電流 I_4 は、 $I_3 = I_4 = 0$ であるので、コンデンサ26に流れ込む電流 I_C は、 $P_V < V_A$ である間は $I_C = P_V / R$ となって P_V の上昇に伴って増加し、 $P_V = V_A$ となった時点で $I_C = V_A / R$ となって一定となり、さらに、 P_V が上昇して $V_B < P_V$ となると $I_C = V_A / R - (P_V - V_B) / R$ となって P_V の上昇に伴って減少し、 P_V がハイレベル V_H になったときには $I_C = 0$ となる。

10

【0022】

また、ロジック回路100から出力されたパルス信号Pの電圧 P_V がハイレベル V_H からローレベル V_L に立ち下がる際には、 $I_1 = I_2 = 0$ であり、また、 $V_B < P_V$ であれば $I_3 = (P_V - V_B) / R$ 、 $P_V < V_B$ であれば $I_3 = 0$ であり、また、 $V_A < P_V$ であれば $I_4 = V_A / R$ 、 $P_V < V_A$ であれば $I_4 = P_V / R$ であるので、コンデンサ26に流れ込む電流 I_C は、 $V_B < P_V$ である間は $I_C = (P_V - V_B) / R - V_A / R$ となって P_V の下降に伴って減少し、 $P_V = V_B$ となった時点で $I_C = -V_A / R$ となって一定となり、さらに、 P_V が下降して $P_V < V_A$ となると $I_C = -P_V / R$ となって P_V の下降に伴って増加し、 P_V がローレベル V_L になったときには $I_C = 0$ となる。

【0023】

したがって、コンデンサ26に生じる電圧信号P1'はコンデンサ26に流れ込む電流 I_C を積分したものとなることから、その信号波形は図3に示すように、ロジック回路100から出力されたパルス信号Pの波形をなまらせたものとなる。このようにして、波形整形回路600からはロジック回路100から出力されたパルス信号Pの波形をなまらせた信号P1'、及び、この信号P1'を反転させた信号P2'が出力される。

20

【0024】

そして、波形整形回路600から出力される信号P1'、P2'はそれぞれ演算増幅器200-1、200-2の反転入力端子(-)に入力される。演算増幅器200-1、200-2の非反転入力端子(+)はそれぞれ相補接続回路300-1、300-2の出力側(pMOS301とnMOS302とのドレイン同士の接続点)に接続されている。

30

【0025】

したがって、演算増幅器200-1、相補接続回路300-1、及び、これらの接続関係から成る負帰還制御回路700-1の働きにより、相補接続回路300-1の出力側の電圧が波形整形回路600から出力される信号P1'の電圧と等しくなるように制御され、また、演算増幅器200-2、相補接続回路300-2、及び、これらの接続関係から成る負帰還制御回路700-2の働きにより、相補接続回路300-2の出力側の電圧が波形整形回路600から出力される信号P2'の電圧と等しくなるように制御される。

【0026】

まとめると、相補接続回路300-1の出力側にはロジック回路100から出力されたパルス信号Pの波形をなまらせた信号(すなわち、パルス信号Pから高周波成分を取り除いた信号)P1'が現れ、一方、相補接続回路300-2の出力側にはロジック回路100から出力されたパルス信号Pの波形をなまらせた信号(すなわち、パルス信号Pから高周波成分を取り除いた信号)を反転させた信号P2'が現れるので、負荷500のインダクタンス成分に起因して発生する高周波ノイズを大幅に抑制することができるようになる。また、これにより、オーディオ、映像等の分野に使用することができるようになる。

40

【0027】

尚、演算増幅器の出力を相補型出力回路のゲートに共通に印加している例についてのみ説明したが、演算増幅器を異なる2つのスレッシュホールド電圧またはタイミングで出力が切り換わるようにして、異なる電圧でpMOSとnMOSを切り換えるようにすれば、駆動回路での貫通電流を減らすことができるようになり、更に良い。

50

【 0 0 2 8 】

【 発明の効果 】

以上説明したように、本発明のHブリッジドライバによれば、Hブリッジの出力側にはHブリッジの駆動信号の波形をなまらせた信号が現れるので、Hブリッジの駆動信号として方形波状の信号が生成される場合であっても、Hブリッジの負荷のインダクタンス成分に起因して発生する高周波ノイズを大幅に抑制することができるようになる。また、これにより、オーディオ、映像等の分野に使用することができるようになる。

【 図面の簡単な説明 】

【 図 1 】 本発明の一実施形態であるHブリッジドライバの構成を示す図である。

【 図 2 】 波形整形回路の一回路構成例を示す図である。

10

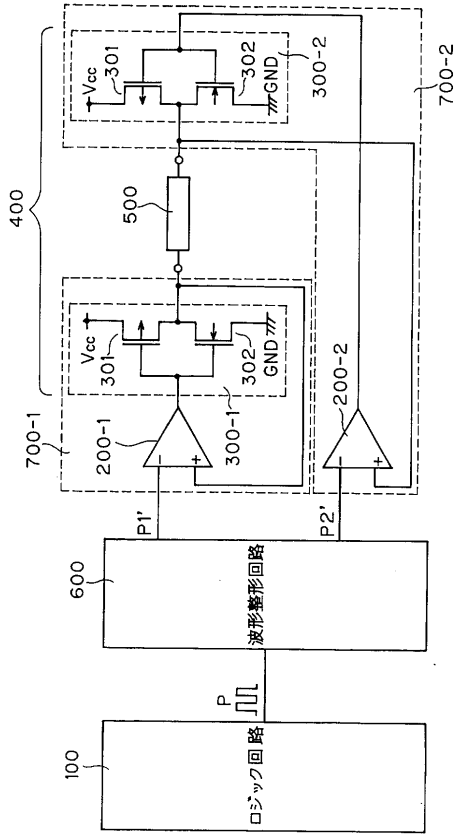
【 図 3 】 図 1 に示すHブリッジドライバの各部の信号の波形図である。

【 図 4 】 従来例のHブリッジドライバの構成を示す図である。

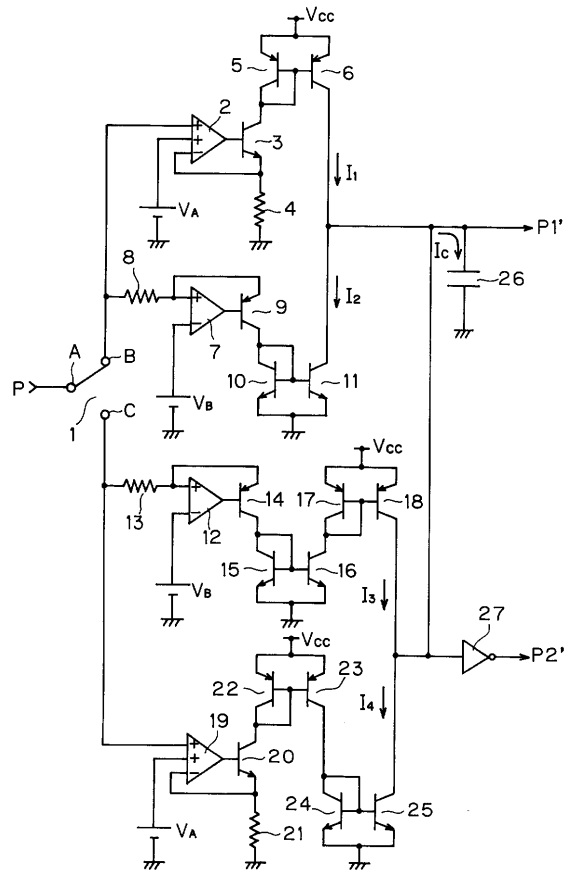
【 符号の説明 】

1	切り替えスイッチ	
2	演算増幅器	
3	NPN型のトランジスタ	
4	抵抗	
5、6	PNP型のトランジスタ	
7	演算増幅器	
8	抵抗	20
9	PNP型のトランジスタ	
10、11	NPN型のトランジスタ	
12	演算増幅器	
13	抵抗	
14	PNP型のトランジスタ	
15、16	NPN型のトランジスタ	
17、18	PNP型のトランジスタ	
19	演算増幅器	
20	NPN型のトランジスタ	
21	抵抗	30
22、23	PNP型のトランジスタ	
24、25	NPN型のトランジスタ	
26	コンデンサ	
27	反転回路	
100	ロジック回路	
200 - 1、200 - 2	演算増幅器	
300 - 1、300 - 2	相補接続回路	
301	pチャンネルのMOS型FET	
302	nチャンネルのMOS型FET	
400	Hブリッジ	40
500	負荷	
600	波形整形回路	
700 - 1、700 - 2	負帰還制御回路	

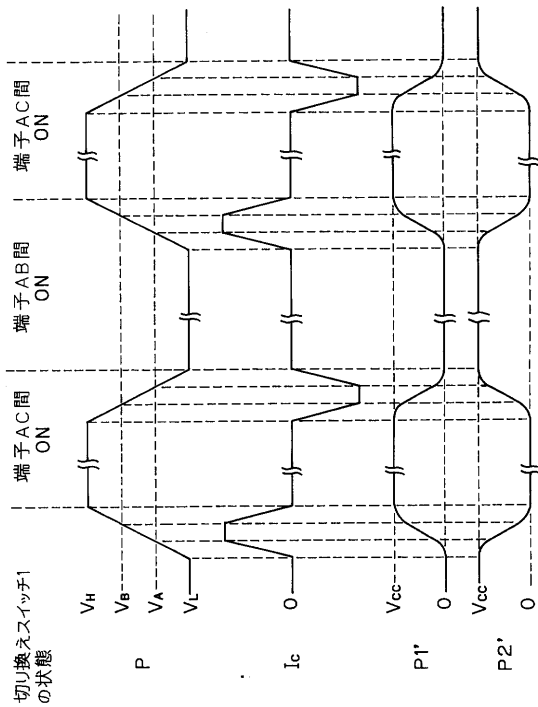
【 図 1 】



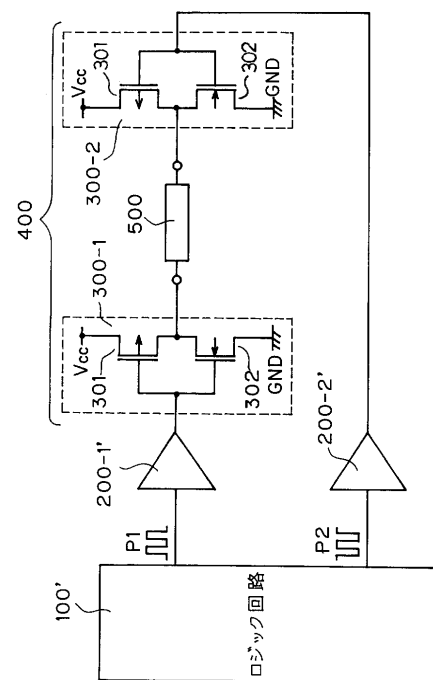
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

- (56)参考文献 特開平10-032976(JP,A)
特開平11-041085(JP,A)
特開平4-364606(JP,A)
特開平7-249974(JP,A)
特開平7-235844(JP,A)
特開昭62-48806(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00-17/70

H02M 1/00-1/30

3/00-3/44