



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0140967
(43) 공개일자 2019년12월20일

- (51) 국제특허분류(Int. Cl.)
H01L 21/67 (2006.01) H01L 21/76 (2006.01)
H01L 21/78 (2006.01) H01L 23/48 (2006.01)
- (52) CPC특허분류
H01L 21/67121 (2013.01)
H01L 21/67092 (2013.01)
- (21) 출원번호 10-2019-7033591
- (22) 출원일자(국제) 2018년04월24일
심사청구일자 없음
- (85) 번역문제출일자 2019년11월13일
- (86) 국제출원번호 PCT/US2018/029094
- (87) 국제공개번호 WO 2018/208500
국제공개일자 2018년11월15일
- (30) 우선권주장
62/504,834 2017년05월11일 미국(US)
15/960,179 2018년04월23일 미국(US)

- (71) 출원인
인벤스스 본딩 테크놀로지스 인코포레이티드
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
- (72) 발명자
유조 사이프리안 에메카
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
가오 쉐리언
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
(뒷면에 계속)
- (74) 대리인
유미특허법인

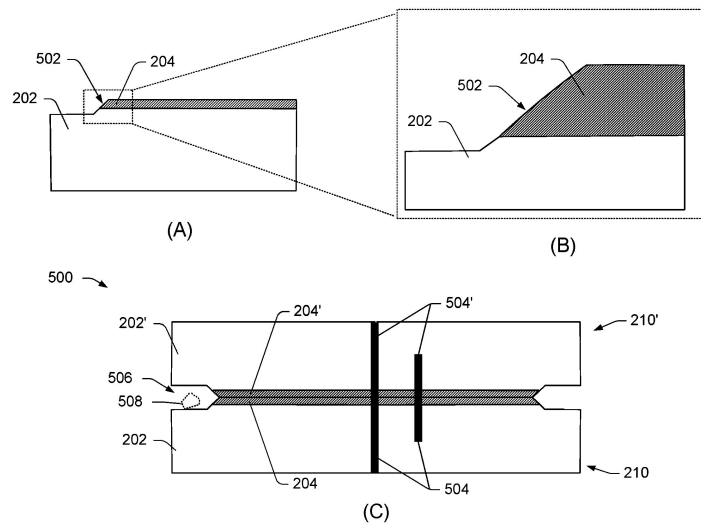
전체 청구항 수 : 총 31 항

(54) 발명의 명칭 **처리된 적층 다이들**

(57) 요약

기술 및 방법의 대표적인 구현에는 접합을 위한 준비로 싱글레이션된 다이들을 처리하는 것을 포함한다. 복수의 반도체 다이 컴포넌트들이 웨이퍼 컴포넌트로부터 싱글레이션될 수 있으며, 반도체 다이 컴포넌트들은 각각 실질적으로 평탄한 표면을 갖는다. 재료의 입자들 및 파편들이 복수의 반도체 다이 컴포넌트의 에지들로부터 제거될 수 있다. 또한, 복수의 반도체 다이 컴포넌트들 중 하나 이상이 실질적으로 평탄한 표면을 통해 준비된 접합 표면에 접합될 수 있다.

대표도 - 도5



(52) CPC특허분류

H01L 21/76 (2013.01)

H01L 21/78 (2013.01)

H01L 23/48 (2013.01)

(72) 발명자

미르카리미 로라 윌스

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

파운틴 주니어 가이우스 길맨

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

명세서

청구범위

청구항 1

마이크로 전자 시스템으로서,

적어도 베이스(base) 반도체 층 및 유전체 층으로 구성된 제1 마이크로 전자 컴포넌트 - 상기 유전체 층은 실질적으로 평탄한 표면을 가짐 -; 및

상기 제1 마이크로 전자 컴포넌트의 상기 유전체 층에 접촉제 없이 직접 접합된 제2 마이크로 전자 컴포넌트 - 상기 유전체 층은 상기 유전체 층의 주연부(periphery)에서 언더컷(undercut)을 가져, 상기 유전체 층의 면적이 상기 제1 및/또는 제2 마이크로 전자 컴포넌트들의 풋프린트(footprint)의 면적보다 작음 - 를 포함하는, 마이크로 전자 시스템.

청구항 2

제1항에 있어서, 상기 제1 마이크로 전자 컴포넌트의 상기 베이스 반도체 층은 상기 제1 마이크로 전자 컴포넌트의 상기 유전체 층의 상기 주연부에 있는 상기 언더컷에 대응하는 언더컷을 상기 베이스 반도체 층의 주연부에서 갖는, 마이크로 전자 시스템.

청구항 3

제1항에 있어서, 상기 제2 마이크로 전자 컴포넌트는 적어도 베이스 반도체 층 및 실질적으로 평탄한 표면을 갖는 유전체 층으로 구성되며, 상기 제1 마이크로 전자 컴포넌트의 상기 유전체 층은 상기 제2 마이크로 전자 컴포넌트의 상기 유전체 층에 직접 접합되고, 상기 제2 마이크로 전자 컴포넌트의 상기 유전체 층은 상기 제2 마이크로 전자 컴포넌트의 상기 유전체 층의 주연부에서 언더컷을 가져, 상기 제2 마이크로 전자 컴포넌트의 상기 유전체 층의 면적이 상기 제1 및/또는 제2 마이크로 전자 컴포넌트들의 상기 풋프린트의 상기 면적보다 작음, 마이크로 전자 시스템.

청구항 4

제3항에 있어서, 상기 제1 마이크로 전자 컴포넌트 및/또는 상기 제2 마이크로 전자 컴포넌트의 상기 베이스 반도체 층의 주연부에 있는 언더컷이 상기 제1 마이크로 전자 컴포넌트 및/또는 상기 제2 마이크로 전자 컴포넌트의 상기 유전체 층의 상기 주연부에 있는 언더컷에 대응하는, 마이크로 전자 시스템.

청구항 5

마이크로 전자 시스템으로서,

적어도 제1 베이스 반도체 층 및 제1 유전체 층으로 구성된 제1 마이크로 전자 컴포넌트 - 상기 제1 유전체 층은 제1 실질적으로 평탄한 표면을 가짐 -; 및

적어도 제2 베이스 반도체 층 및 제2 유전체 층으로 구성된 제2 마이크로 전자 컴포넌트 - 상기 제2 유전체 층은 제2 실질적으로 평탄한 표면을 갖고, 상기 제2 유전체 층은 상기 제1 및 제2 실질적으로 평탄한 표면들에서 상기 제1 유전체 층에 접촉제 없이 직접 접합되고, 상기 제1 베이스 반도체 층 및 상기 제2 베이스 반도체 층은 각각 상기 제1 및 제2 베이스 반도체 층들의 주연부에서 언더컷을 가져, 상기 제1 베이스 반도체 층의 풋프린트의 면적 및 상기 제2 베이스 반도체 층의 풋프린트의 면적이 상기 제1 및/또는 제2 유전체 층들의 면적보다 작음 - 를 포함하는, 마이크로 전자 시스템.

청구항 6

제5항에 있어서, 상기 언더컷은 상기 제1 마이크로 전자 컴포넌트 및/또는 상기 제2 마이크로 전자 컴포넌트의 상기 제1 및/또는 제2 유전체 층의 주연부에 있는 언더컷에 대응하는, 마이크로 전자 시스템.

청구항 7

마이크로 전자 시스템을 형성하기 위한 방법으로서,

웨이퍼 컴포넌트로부터 복수의 반도체 다이 컴포넌트들을 싱글레이션(singulation)하는 단계 - 상기 반도체 다이 컴포넌트들은 각각 실질적으로 평탄한 표면을 가짐 -;

상기 복수의 반도체 다이 컴포넌트들의 에지들로부터 재료의 입자들 및 파편들을 제거하는 단계; 및

상기 실질적으로 평탄한 표면을 통해 상기 복수의 반도체 다이 컴포넌트들 중 하나 이상을 준비된 접합 표면에 접합하는 단계를 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 8

제7항에 있어서, 상기 복수의 반도체 다이 컴포넌트들의 상기 에지들로부터 상기 입자들 및 파편들을 제거하기 위해 상기 복수의 반도체 다이 컴포넌트들의 상기 에지들을 에칭하는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 9

제8항에 있어서, 상기 복수의 반도체 다이 컴포넌트들이 다이싱 캐리어(dicing carrier) 상에 있는 동안 상기 복수의 반도체 다이 컴포넌트들의 상기 에지들을 에칭하는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 10

제8항에 있어서, 플루오르화수소산 및 질산과 함께 벤조트리아졸(BTA)을 포함하는 화학 에칭제를 사용하여 상기 복수의 반도체 다이 컴포넌트들의 상기 에지들을 에칭하는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 11

제8항에 있어서, 플라즈마 에칭을 사용하여 상기 복수의 반도체 다이 컴포넌트들의 상기 에지들을 에칭하는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 12

제8항에 있어서, 상기 복수의 반도체 다이 컴포넌트들 각각의 상기 에지들 중 하나 이상에 공간이 생성되도록 상기 복수의 반도체 다이 컴포넌트들의 두께를 감소시키기 위해 상기 복수의 반도체 다이 컴포넌트들의 상기 에지들을 에칭하는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 13

제8항에 있어서, 상기 반도체 다이 컴포넌트들은 상기 실질적으로 평탄한 표면으로서 산화물 층을 포함하고, 상기 에칭하는 단계는 상기 복수의 반도체 다이 컴포넌트들의 상기 에지들에서 상기 산화물 층의 적어도 일부를 제거하는 단계를 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 14

제8항에 있어서, 에칭제로부터 상기 실질적으로 평탄한 표면을 보호하기 위해 상기 에칭하는 단계 전에 상기 복수의 반도체 다이 컴포넌트들의 상기 실질적으로 평탄한 표면에 보호 코팅을 적용하는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 15

제14항에 있어서,

상기 보호 코팅이 상기 복수의 반도체 다이 컴포넌트들의 주연부로부터 뒤로 물러나게 하기 위해 싱글레이션하는 단계 후에 상기 복수의 반도체 다이 컴포넌트들을 가열하는 단계; 및

상기 복수의 반도체 다이 컴포넌트들의 상기 주연부를 사전 선택된 깊이까지 에칭하는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 16

제15항에 있어서, 상기 복수의 반도체 다이 컴포넌트들은 베이스 반도체 층 위에 유전체 층을 포함하고, 상기 복수의 반도체 다이 컴포넌트들의 상기 주연부를 에칭하는 단계는 상기 유전체 층을 제거하고 상기 복수의 반도체 다이 컴포넌트들의 상기 주연부에서 상기 베이스 반도체 층을 노출시키는 단계를 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 17

제7항에 있어서, 상기 복수의 반도체 다이 컴포넌트들의 상기 실질적으로 평탄한 표면을 에칭하는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 18

제17항에 있어서, 상기 실질적으로 평탄한 표면을 사전 선택된 깊이까지 또는 사전 선택된 지속 시간(duration) 동안 에칭하는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 19

제7항에 있어서, 상기 복수의 반도체 다이 컴포넌트들 중 상기 하나 이상은 접착제 없는 직접 접합 기술 또는 금속 대 금속 확산 접합(metal to metal diffusion bond)을 사용하여 접합되는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 20

제7항에 있어서, 상기 방법은 상기 복수의 반도체 다이 컴포넌트들의 측벽으로부터 재료의 입자들 및 파편들을 제거하는 단계를 추가로 포함하며, 상기 입자들 및 파편들은 상기 복수의 반도체 다이 컴포넌트들의 상기 측벽을 에칭함으로써 상기 측벽으로부터 제거되는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 21

제7항에 있어서, 상기 방법은 상기 복수의 반도체 다이 컴포넌트들의 측벽에 재료의 입자들 및 파편들을 코팅하는 단계를 추가로 포함하며, 상기 입자들 및 파편들은 상기 복수의 반도체 다이 컴포넌트들의 상기 측벽 상에 코팅 층을 침착(depositing)시킴으로써 상기 측벽에 코팅되는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 22

제21항에 있어서, 유리, 붕소 도핑된 유리, 또는 인 도핑된 유리로 상기 복수의 반도체 다이 컴포넌트들의 상기 측벽을 스핀 코팅(spin coating) 또는 일렉트로 코팅(electrocoating)하는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 23

제22항에 있어서, 상기 유리, 상기 붕소 도핑된 유리, 또는 상기 인 도핑된 유리를 상기 복수의 반도체 다이 컴포넌트들의 상기 측벽에 열 경화시키는 단계를 추가로 포함하는, 마이크로 전자 시스템을 형성하기 위한 방법.

청구항 24

기기로서,

적어도 유전체 층으로 구성된 제1 마이크로 전자 컴포넌트 - 상기 유전체 층은 실질적으로 평탄한 표면을 가진 -; 및

상기 제1 마이크로 전자 컴포넌트의 상기 유전체 층에 접착제 없이 직접 접합된 제2 마이크로 전자 컴포넌트 - 상기 유전체 층은 상기 제1 마이크로 전자 컴포넌트의 주연부에서 언더컷을 가져, 상기 유전체 층의 면적이 상기 제1 및/또는 제2 마이크로 전자 컴포넌트들의 풋프린트의 면적보다 작음 - 를 포함하는, 기기.

청구항 25

제21항에 있어서, 상기 제1 마이크로 전자 컴포넌트 또는 상기 제2 마이크로 전자 컴포넌트는 직접 밴드 갭 또

는 간접 밴드 갭 반도체를 포함하는, 기기.

청구항 26

기기로서,

적어도 평탄한 유전체 층으로 구성된 제1 컴포넌트;

상기 제1 컴포넌트의 상기 유전체 층에 접촉제 없이 직접 접합된 제2 컴포넌트 - 상기 유전체 층은 상기 제1 컴포넌트의 주연부에서 언더컷을 가짐 - 를 포함하는, 기기.

청구항 27

제26항에 있어서, 상기 제1 컴포넌트 또는 상기 제2 컴포넌트는 직접 밴드 갭 또는 간접 밴드 갭 반도체를 포함하는, 기기.

청구항 28

제26항에 있어서, 상기 제1 컴포넌트 또는 상기 제2 컴포넌트는 비-반도체 재료를 포함하는, 기기.

청구항 29

제26항에 있어서, 상기 제1 컴포넌트 및 상기 제2 컴포넌트는 마이크로 전자 다이를 포함하는, 기기.

청구항 30

기기를 형성하기 위한 방법으로서,

실질적으로 평탄한 표면을 갖는 마이크로 전자 컴포넌트를 복수의 서브-컴포넌트들로 싱글레이션하는 단계;

상기 서브-컴포넌트들의 에지들로부터 재료의 입자들 및 파편들을 제거하는 단계; 및

상기 서브-컴포넌트들 중 하나 이상을 실질적으로 평탄한 표면을 갖는 준비된 접합 표면에 접합하는 단계를 포함하는, 기기를 형성하기 위한 방법.

청구항 31

기기로서,

적어도 평탄한 유전체 층으로 구성된 제1 컴포넌트;

제2 컴포넌트 - 상기 제2 컴포넌트는 상기 제1 컴포넌트의 상기 유전체 층에 접촉제 없이 직접 접합되어, 상기 유전체 층의 면적이 상기 제1 및/또는 제2 마이크로 전자 컴포넌트들의 풋프린트의 면적보다 작음 - 를 포함하는, 기기.

발명의 설명

기술 분야

[0001] 관련 출원에 대한 우선권 주장 및 상호 참조

[0002] 본 출원은 2018년 4월 23일자로 출원된 미국 특허 출원 제15/960,179호 및 2017년 5월 11일자로 출원된 가출원 제62/504,834호의 35 U.S.C. § 119(e)(1)하의 이익을 주장하며, 이들 출원은 이에 의해 전체적으로 참고로 포함된다.

[0003] 기술분야

[0004] 하기의 설명은 집적 회로("IC")들의 처리에 관한 것이다. 보다 구체적으로, 하기의 설명은 접합을 위한 준비로 싱글레이션된 다이(singulated die)들을 처리하기 위한 기술에 관한 것이다.

배경 기술

[0005] 다이들은 다양한 마이크로 전자 패키징 스킴들의 일부로서 3차원 배열로 적층될 수 있다. 이것은 하나 이상의 다이의 층을 더 큰 베이스(base) 다이 상에 적층하는 것, 다수의 다이를 수직 배열로 적층하는 것, 및 이들 둘

모두의 다양한 조합을 포함할 수 있다. 다이들은 또한 웨이퍼들 상에 적층될 수 있거나, 웨이퍼들이 싱글레이션 전에 다른 웨이퍼들 상에 적층될 수 있다. 다이들 또는 웨이퍼들은 직접 유전체 접합, 비접착 기술, 예컨대 지본드(ZiBond)(등록상표) 직접 접합 기술 또는 DBI(등록상표) 하이브리드 접합 기술 - 이들 둘 모두는 엑스페리 코퍼레이션(Xperi Corp)의 자회사인, 인벤사스 본딩 테크놀로지스, 인크.(Invensas Bonding Technologies, Inc.)(이전에, 질트로닉스, 인크.(Ziptronix, Inc.))로부터 이용가능함 - 을 사용하는 것을 포함하여, 다양한 접합 기술을 사용해 적층 배열로 접합될 수 있다(예를 들어 전체적으로 본 명세서에 포함되는, 미국 특허 제 6,864,585호 및 제7,485,968호 참조).

[0006] 직접 접합 기술을 사용하여 적층 다이들을 접합할 때, 접합될 다이들의 표면들이 극도로 평평하고 매끄러운 것이 바람직하다. 예를 들어, 표면들이 지속적인 접합을 형성하도록 엄밀히 정합될 수 있도록, 표면들은 표면 토폴로지(surface topology)에 있어서 매우 낮은 변동을 가져야 한다. 표면들이 깨끗하고 표면들에 불순물, 입자, 및/또는 다른 잔류물이 없는 것이 또한 바람직하다. 예를 들어 바람직하지 않은 입자들의 존재는 입자들의 위치에서 접합을 불완전하거나 신뢰할 수 없게 만들 수 있다. 예를 들어, 접합 표면들 상에 남아 있는 몇몇 입자들 및 잔류물들은 적층 다이들 사이의 접합 계면들에서 공극(void)을 초래할 수 있다. 공극이 금속성의 전기 상호접속부 크기보다 상당히 작은 경우, 그것은 허용가능할 수 있다. 그러나, 전기 상호접속부 크기에 가깝거나 그것을 초과하는 크기의 접합 결함을 야기하는 입자들은 종종 용인될 수 없는데, 왜냐하면 그들이 상호접속부의 전기 전도율에 악영향을 미칠 수 있기 때문이다.

[0007] 반도체 웨이퍼(이를테면, 예를 들어, 규소 웨이퍼)가 부서지기 쉽기 때문에, 그것이 싱글레이션될 때 다이의 에지에서 결함 또는 입자가 생성되는 것이 일반적이다. 예로서, 규소는 절단 동안 부서져, 유리된(loose) 입자들을 형성할 수 있다. 기계적 절단 또는 소잉(sawing)은 종종 거친 에지를 남기며, 또한 절단된 다이의 에지 상에 또는 그 부근에 규소의 입자들 또는 파편들을 남길 수 있다. 또한, 기계적 소우 다이싱(saw dicing)은 전형적으로 다이싱 시트로부터 싱글레이션된 다이의 측면 및 에지로 재료를 전달한다. 레이저 절단이 또한 다이의 표면 또는 에지 상에 입자를 남길 수 있다. 절단 후에 다이의 표면을 세정하기 위해 다양한 공정이 사용될 수 있다. 그러나, 공정은 종종 다이의 주변부(periphery)에 또는 다이의 에지 벽에 몇몇 입자를 남길 수 있다. 다이 표면이 폴리싱되는 때에도, 파편들은 여전히 다이의 에지 또는 측면 상에 존재할 수 있다. 뒤에 남겨진 유리된 입자들 및 파편들은 신뢰할 수 있는 접합을 형성하는 데 문제가 될 수 있다. 추가적으로, 이러한 유리된 또는 부분적으로 유리된 입자들은 후속 작업들에서 관심 대상의 접합 표면 또는 접합 공구를 재오염시킬 수 있다.

발명의 내용

[0008] 다양한 실시예 및 기술이 접합을 위한 준비로 싱글레이션된 다이들을 처리하는 데 사용될 수 있다. 실시예는 다이 상에서 발견되는 결함의 축적을 개선하는 기술을 포함하며, 매끄러운 접합 표면을 제공하기 위해 다이의 에지에서 입자를 제거하거나, 용해시키거나, 에칭하는 것을 포함한다. 다이는 반도체 또는 비-반도체 재료로 구성될 수 있다. 반도체 재료는 예를 들어 직접 밴드 갭 또는 간접 밴드 갭 반도체 및 이들의 조합을 포함할 수 있다. 비-반도체 재료는 예를 들어 유전체 재료, 예를 들어 유리, 세라믹, 유리 세라믹, 탄화규소, 실리콘 옥시카바이드, 절화규소 또는 실리콘 옥시나이트라이드, 다이아몬드, 산화규소 등 또는 이들의 조합을 포함할 수 있다.

[0009] 마이크로 전자 시스템은 베이스 반도체 층 및 유전체 층을 포함하는 적어도 제1 마이크로 전자 컴포넌트를 포함할 수 있으며, 유전체 층은 실질적으로 평탄한 표면을 갖는다. 또한, 제2 마이크로 전자 컴포넌트가 제1 마이크로 전자 컴포넌트의 유전체 층에 접촉제 없이 직접 접합될 수 있으며, 유전체 층은 유전체 층의 주변부에서 언더컷(undercut)을 가져, 유전체 층의 면적이 제1 및/또는 제2 마이크로 전자 컴포넌트들의 풋프린트(footprint)의 면적보다 작다. 대안적으로, 제2 마이크로 전자 컴포넌트는 적어도 제2 베이스 반도체 층 및 제2 유전체 층을 포함할 수 있으며, 제2 유전체 층은 실질적으로 평탄한 표면을 갖는다. 또한, 제2 유전체 층은 제1 및 제2 실질적으로 평탄한 표면들에서 제1 유전체 층에 접촉제 없이 직접 접합될 수 있으며, 제1 베이스 반도체 층 및 제2 베이스 반도체 층은 각각 제1 및 제2 베이스 반도체 층들의 주변부에서 언더컷을 가져, 제1 베이스 반도체 층의 풋프린트의 면적 및 제2 베이스 반도체 층의 풋프린트의 면적이 제1 및/또는 제2 유전체 층들의 면적보다 작다.

[0010] 제1 실시예에서, 제1 마이크로 전자 컴포넌트 및/또는 제2 마이크로 전자 컴포넌트의 베이스 반도체 층의 주변부에 있는 언더컷이 제1 마이크로 전자 컴포넌트 및/또는 제2 마이크로 전자 컴포넌트의 유전체 층의 주변부에 있는 언더컷에 대응할 수 있다.

- [0011] 제2 실시예에서, 제2 마이크로 전자 컴포넌트는 적어도 베이스 반도체 층 및 실질적으로 평탄한 표면을 갖는 유전체 층을 포함할 수 있으며, 제1 마이크로 전자 컴포넌트의 유전체 층은 제2 마이크로 전자 컴포넌트의 유전체 층에 직접 접합되고, 제2 마이크로 전자 컴포넌트의 유전체 층은 제2 마이크로 전자 컴포넌트의 유전체 층의 주연부에서 언더컷을 가져, 제2 마이크로 전자 컴포넌트의 유전체 층의 면적이 제1 및/또는 제2 마이크로 전자 컴포넌트들의 풋프린트의 면적보다 작다.
- [0012] 마이크로 전자 시스템을 형성하기 위한 방법은 웨이퍼 컴포넌트로부터 복수의 반도체 다이 컴포넌트들을 싱글레이션하는 단계를 포함할 수 있으며, 반도체 다이 컴포넌트들은 각각 실질적으로 평탄한 표면을 갖는다. 재료의 입자들 및 파편들이 복수의 반도체 다이 컴포넌트들의 에지들로부터 제거될 수 있다. 또한, 복수의 반도체 다이 컴포넌트들 중 하나 이상이 실질적으로 평탄한 표면을 통해 준비된 접합 표면에 접합될 수 있다.
- [0013] 제3 실시예에서, 재료의 입자들 및 파편들은 복수의 반도체 다이 컴포넌트들의 에지들을 에칭함으로써 제거될 수 있다. 복수의 반도체 다이 컴포넌트들의 에지들은 복수의 반도체 다이 컴포넌트들이 다이싱 캐리어(dicing carrier)(예컨대, 다이싱 시트, 다이싱 테이프 등) 상에 있는 동안 에칭될 수 있다. 또한, 복수의 반도체 다이 컴포넌트들의 에지들은 화학 에칭제를 사용하여 에칭될 수 있다. 구현예에서, 화학 에칭제는 플루오르화수소산 및 질산과 함께 벤조트리아졸(BTA) 또는 에칭제 중의 Cu 용해를 억제하는 다른 화학물질을 포함할 수 있다. 또한, 복수의 반도체 다이 컴포넌트들의 에지들은 플라즈마 에칭을 사용하여 에칭될 수 있다. 또한, 복수의 반도체 다이 컴포넌트들의 에지들은 복수의 반도체 다이 컴포넌트들 각각의 에지들 중 하나 이상에 공간이 생성되도록 복수의 반도체 다이 컴포넌트들의 두께를 감소시키기 위해 에칭될 수 있다. 반도체 다이 컴포넌트들은 실질적으로 평탄한 표면으로서 산화물 층을 포함할 수 있고, 에칭하는 단계는 복수의 반도체 다이 컴포넌트들의 에지들에서 산화물 층의 적어도 일부를 제거하는 단계를 포함할 수 있다. 또한, 복수의 반도체 다이 컴포넌트들의 실질적으로 평탄한 표면이 에칭될 수 있다. 실질적으로 평탄한 표면은 사전 선택된 깊이까지 또는 사전 선택된 지속 시간(duration) 동안 에칭될 수 있다.
- [0014] 제4 실시예에서, 에칭제로부터 실질적으로 평탄한 표면을 보호하기 위해 에칭하는 단계 전에 복수의 반도체 다이 컴포넌트들의 실질적으로 평탄한 표면에 보호 코팅이 적용될 수 있다.
- [0015] 제5 실시예에서, 보호 코팅이 복수의 반도체 다이 컴포넌트들의 주연부로부터 뒤로 물러나게 하기 위해 싱글레이션하는 단계 후에 복수의 반도체 다이 컴포넌트들이 가열될 수 있다. 또한, 복수의 반도체 다이 컴포넌트들의 주연부는 사전 선택된 깊이까지 에칭될 수 있다. 또한, 복수의 반도체 다이 컴포넌트들은 베이스 반도체 층 위에 유전체 층을 포함할 수 있다. 또한, 복수의 반도체 다이 컴포넌트들의 주연부는 유전체 층을 제거하고 복수의 반도체 다이 컴포넌트들의 주연부에서 베이스 반도체 층을 노출시키기 위해 에칭될 수 있다.
- [0016] 제6 실시예에서, 복수의 반도체 다이 컴포넌트들 중 하나 이상은 접착제 없는 직접 접합 기술 또는 금속 대 금속 확산 접합(metal to metal diffusion bond)에 의해 접합될 수 있다.
- [0017] 제7 실시예에서, 재료의 입자들 및 파편들이 복수의 반도체 다이 컴포넌트들의 측벽으로부터 제거될 수 있으며, 여기서 입자들 및 파편들은 복수의 반도체 다이 컴포넌트들의 측벽을 에칭함으로써 측벽으로부터 제거된다.
- [0018] 일 실시예에서, 싱글레이션 단계 후에, 재료의 입자들 및 파편들이 하나 이상의 알칼리성 유체 중의 초음파 또는 메가소닉(megasonic) 방사에 의해 다이의 측벽으로부터 제거될 수 있다. 입자 제거 후에, 다이의 측벽은 다이의 평탄한 유전체 층의 부분들 및 측벽의 부분들을 제거하기 위해 추가로 에칭될 수 있다.
- [0019] 개시된 공정들 중 일부는 그래픽 흐름도들 및/또는 텍스트 흐름도들을 포함한 블록 흐름도들을 사용하여 예시될 수 있다. 개시된 공정들이 설명되는 순서는 제한으로 해석되도록 의도되지 않으며, 공정들, 또는 대안적인 공정들을 구현하기 위해 임의의 수의 설명된 공정 블록들이 임의의 순서로 조합될 수 있다. 게다가, 본 명세서에서 설명된 주제의 사상 및 범위로부터 벗어남이 없이 개개의 블록들이 공정들로부터 제거될 수 있다. 또한, 개시된 공정들은 본 명세서에서 설명된 주제의 범위로부터 벗어남이 없이, 임의의 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 조합과 함께, 임의의 적합한 제조 또는 처리 장치 또는 시스템에서 구현될 수 있다.
- [0020] 구현예들이 복수의 예를 사용하여 아래에서 더 상세히 설명된다. 다양한 구현예들 및 예들이 여기서 그리고 아래에서 논의되지만, 개개의 구현예들 및 예들의 특징들 및 요소들을 조합함으로써 추가의 구현예들 및 예들이 가능할 수 있다.

도면의 간단한 설명

- [0021] 상세한 설명은 첨부 도면들을 참조하여 기술된다. 도면들에서, 도면 부호의 가장 왼쪽의 숫자(들)는 그 도면

부호가 처음으로 나타나는 도면을 식별한다. 상이한 도면들에서의 동일한 도면 부호의 사용은 유사한 또는 동일한 아이টে임을 지시한다.

이러한 논의를 위해, 도면에 예시된 디바이스 및 시스템은 다수의 컴포넌트를 갖는 것으로 도시된다. 본 명세서에 설명된 바와 같은, 디바이스들 및/또는 시스템들의 다양한 구현에는 더 적은 컴포넌트들을 포함할 수 있으며 여전히 본 개시의 범위 내에 있다. 대안적으로, 디바이스들 및/또는 시스템들의 다른 구현예들은 추가 컴포넌트들, 또는 설명된 컴포넌트들의 다양한 조합을 포함할 수 있으며, 여전히 본 개시의 범위 내에 있다.

도 1의 (A)는 실시예에 따른, 다이의 상부 표면 상의 결함을 도시하는 측면도이다. 도 1의 (B)는 결함을 갖는 접합된 다이들의 단면을 도시하는 측면도이다. 도 1의 (C)는 결함을 갖지 않는 접합된 다이들의 단면을 도시하는 측면도이다.

도 2는 실시예에 따른, 적층 다이들을 처리하는 예시적인 공정을 예시하는 그래픽 흐름도이다.

도 3은 다른 실시예에 따른, 적층 다이들을 처리하는 예시적인 공정을 예시하는 그래픽 흐름도이다.

도 4는 추가 실시예에 따른, 적층 다이들을 처리하는 예시적인 공정을 예시하는 그래픽 흐름도이다.

도 5의 (A)는 실시예에 따른, 리세스된(recessed) 산화물 영역을 갖는 다이의 측면도이다. 도 5의 (B)는 리세스된 산화물 영역을 갖는 다이의 측면도의 확대도이다. 도 5의 (C)는 리세스된 산화물 영역을 갖는 접합된 다이 배열의 예이다.

도 6은 실시예에 따른, 적층 다이들을 처리하기 위한 예시적인 공정을 예시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0022] **개관**

[0023] 다양한 실시예 및 기술이 접합을 위한 준비로 싱글레이션된 다이들을 처리하는 데 사용될 수 있다. 실시예는 다이의 싱글레이션 동안 생성된 입자를 포함한, 다이 상에서 발견되는 입자의 축적을 개선하는 기술을 포함하며, 매끄러운 접합 표면을 제공하기 위해 다이의 에지에서 파편을 제거하거나, 용해시키거나, 에칭하는 것을 포함한다.

[0024] 도 1의 (A)는 실시예에 따른, 다이의 상부 표면 상의 결함을 도시하는 측면도이다. 도시된 바와 같이, 제1 다이(102)는 어떠한 결함도 갖지 않는 것으로 도시된다. 대조적으로, 제2 다이(104)는 결함(106)을 갖는 것으로 도시된다. 물론, 결함(106)이 제1 다이(102) 및/또는 제2 다이(104)의 임의의 표면, 측면, 및/또는 에지 상에 발생할 수 있다는 것이 인식되어야 한다.

[0025] 제1 다이(102) 및/또는 제2 다이(104)는 웨이퍼, 예를 들어 GaAs, 다이아몬드 코팅된 기판, 탄화규소, 산화규소, 질화규소, 규소 웨이퍼, 리튬 니오베이트, 리튬 탄탈레이트, 평면 패널, 유리, 세라믹, 회로 보드, 패키지, 인터포저, 매립된 금속 층을 갖거나 갖지 않는 구조체, 전도성 상호접속부(108), 디바이스 또는 디바이스들 등으로부터 싱글레이션되고/되거나 그로부터 제거될 수 있다. 일 실시예에서, 결함(106)은 입자 및/또는 파편을 포함할 수 있고, 제1 다이(102) 및/또는 제2 다이(104)의 다이 커팅, 다이싱, 및/또는 싱글레이션으로부터 기인할 수 있다. 예를 들어, 제1 다이(102) 및/또는 제2 다이(104)의 기계적 절단(즉, 소잉)은, 특히 에지 및/또는 측면에서, 입자(106)와 같은 결함을 야기할 수 있다. 추가적으로, 제1 다이(102) 및/또는 제2 다이(104)가 (심지어 레이저를 사용하여) 절단될 때, 제1 다이(102) 및/또는 제2 다이(104)가 부서지고/부서지거나 입자(106)(예컨대, 산화규소 입자)를 생성할 수 있다. 또한, 제1 다이(102) 및/또는 제2 다이(104)를 폴리싱한 후에, 입자(106)의 파편이 여전히 제1 다이(102) 및/또는 제2 다이(104)의 에지 및/또는 측면 상에 존재할 수 있다.

[0026] 도 1의 (B)는 입자(106)와 같은 결함을 갖는 접합된 다이들의 단면을 도시하는 측면도이다. 도시된 바와 같이, 제2 다이(104)의 접합 표면의 일부에 결함(106)이 존재하는 상태에서, 제1 다이(102)가 제2 다이(104)에 완전히 접합될 수는 없다. 이것은 제1 다이(102)와 제2 다이(104) 사이에서 발견되는 갭(110)(또는 공극)에 의해 도시된다. 이러한 갭(110)은 접합의 무결성(integrity)이 손상된다면, 또는 갭(110)이 다이(102, 104)의 접합 표면에 존재하는 경우 정합하는 전기 상호접속부(108)들의 전기 전도율에 악영향을 미치기에 충분히 크다면 용인 불가능할 수 있다. 위에서 논의된 바와 같이, 결함(106)이 제2 다이(104)의 접합 표면 상에서 발견될 수 있지만, 추가의 또는 다른 결함(예컨대, 입자)이 제1 다이(102) 및/또는 제2 다이(104)의 다른 표면 및/또는 측면을 따라 발견될 수 있다.

[0027] 도 1의 (C)는 결합을 갖지 않는 밀접하게 접합된 다이들의 단면을 도시하는 측면도이다. 도시된 바와 같이, 제 1 다이(102)는 제 2 다이(104)에 완전히 그리고 완벽하게 접합된다. 다이(102, 104)의 표면에서 임의의 전도성 상호접속부(108)들이 또한 상호접속부(108)들 사이의 신뢰할 수 있는 전기 전도율을 갖고서 접합된다. 도 1의 (C)는 각각이 접합을 위해 적절하게 준비된 후의 제 1 다이(102) 및 제 2 다이(104)를 도시한다. 예를 들어, 제 1 다이(102) 및/또는 제 2 다이(104)의 에지 및 측벽이 규소의 입자 및 파편을 제거하도록 세정 및 에칭될 수 있다. 제 1 다이(102) 및/또는 제 2 다이(104)가 싱글레이션 후에 캐리어(예컨대, 다이싱 시트 또는 테이프, 그립 링(grip ring) 등) 상에 여전히 있는 동안 제 1 다이(102) 및/또는 제 2 다이(104)의 에지가 건식(플라즈마) 에칭 및/또는 습식(화학) 에칭으로 에칭될 수 있다. 싱글레이션 및 에칭 동안 표면을 보호하기 위해 보호 코팅이 제 1 다이(102) 및/또는 제 2 다이(104)의 접합 표면에 적용될 수 있다. 일례에서, 제 1 다이(102) 및/또는 제 2 다이(104)의 표면 및 측벽이 에칭될 수 있는 반면, 다른 예에서 에칭은 제 1 다이(102) 및/또는 제 2 다이(104)의 측벽으로 제한될 수 있다. 상호접속부(108)가 단순화하여 도시되어 있으며 일정한 축척으로 작성되지 않은 것에 유의한다. 예를 들어, 상호접속부(108)는 상호접속부(108)를 함께 형성하는 하나 이상의 층을 포함할 수 있다. 또한, 상호접속부(108)는 어느 하나 또는 둘 모두의 다이(102, 104)를 통해 부분적으로 또는 완전히 연장될 수 있거나, 심지어 다이(들)(102, 104) 내의 디바이스들을 상호접속시키는 트레이스들의 패턴으로서 다이(102, 104)의 표면(들)에만 또는 표면(들)을 따라서만 제공될 수 있다.

[0028] **예시적인 실시예**

[0029] 도 2는 실시예에 따른, 적층 다이들을 처리하는 예시적인 공정(200)을 예시한다. (A)에서, 기관(202)(예를 들어, 규소 웨이퍼일 수 있음)은 절연체 또는 유전체 층, 예컨대 산화물, 또는 하이브리드 접합 층, 예컨대 절연 재료(예컨대 산화물)와 전기 전도성 상호접속 층의 조합을 포함할 수 있는 접합 층(204)을 포함할 수 있다. 이러한 접합 층(204)은 기관(202)의 하나의 면 또는 양쪽 면 상에 형성될 수 있다. 층(들)(204)은 제 1 보호 층(206) 및/또는 제 2 보호 층(208)에 의해 보호될 수 있다. 대안적으로, 기관(202)은 노출되고/되거나 임의의 수의 보호 층을 가질 수 있다.

[0030] (B)에서, 기관(202)은 캐리어(212) 상에서 복수의 싱글레이션된 다이(210)로 싱글레이션될 수 있다. 일 실시예에서, 캐리어(212)는 처리 시트, 다이싱 시트 또는 테이프, 그립 링 등을 포함할 수 있다. 또한, 기관(202)은 소우 다이싱, 습식 에칭 또는 건식 에칭, 또는 레이저 방법, 또는 이들의 조합들을 사용하여 싱글레이션될 수 있다. 일 실시예에서, 싱글레이션된 다이(210)는 실질적으로 평탄한 표면을 가질 수 있다.

[0031] (C)에서, 싱글레이션된 다이(210)는 (예를 들어, 기관(202)을 위한 캐리어(212)로서 사용되는 테이프 상의 접착제 층을 경화시키기 위해, 테이프와 접촉하는 다이(210) 표면 사이의 접착력을 감소시키기 위해, 등등) 자외 광(UV)에 노출될 수 있다. 또한, 일 실시예에서, 싱글레이션된 다이(210)를 세정하고 추가 처리하기 위한 준비로, 싱글레이션된 다이(210)가 캐리어(212) 상에 있는 동안 캐리어(212)가 신장될 수 있다. 추가 처리는 예를 들어 싱글레이션된 다이(210)의 두께를 감소시키는 것을 포함할 수 있다.

[0032] (D)에서, 싱글레이션된 다이(210)가 세정될 수 있고 싱글레이션된 다이(210)의 측벽이 에칭될 수 있다. 예를 들어, 세정은 보호 층(206) 및/또는 보호 층(208)을 포함한, 하나 이상의 보호 층을 제거할 수 있다. 실시예에서, 에칭은 산화규소, 질화규소, 및/또는 규소를 용해시켜 입자 및/또는 파편을 제거할 수 있다. 산을 포함한 화학 에칭제(211)가 접합 층(204)을 포함한 다이(210)의 표면의 주연부를 에칭하는 데 사용될 수 있고, 또한 싱글레이션된 다이(210)의 측벽을 에칭하는 데 사용될 수 있다. 싱글레이션된 다이(210)의 표면 및/또는 측벽이 에칭되는 예에서(예를 들어, 규소 다이(210)에 대해), 에칭제(211)는 플루오르화수소산과 적합한 산화제, 예를 들어 질산의 화학 혼합물을 포함할 수 있다. 몇몇 응용에서, 습식 에칭제는 산화제와 조합된 완충 플루오르화수소산과 적합한 유기산의 혼합물로 구성될 수 있다. 다른 응용에서, 에칭제로부터 다이(210) 접합 표면 상의 금속을 보호하기 위해 적합한 금속 착화제가 에칭 용액에 첨가될 수 있다. 일례에서, 금속 착화제 또는 부동태 화제는 트리아아졸 모이어티(moiety)를 갖는 분자, 예를 들어 벤조트리아아졸(BTA) 등으로 구성될 수 있다. 일 실시예에서, BTA는 에칭 용액에 의한 부식 또는 용해로부터 싱글레이션된 다이(210)의 표면 상의 구리를 보호할 수 있다.

[0033] 다이(210)의 표면(및 측벽)을 에칭하고 보호 층(206 및/또는 208)을 벗겨낸 후에, 착화제가 다이(210)의 접합 표면으로부터 세정된다. 습식 에칭에 대한 대안으로서, 다이(210)의 측벽은 또한 규소를 에칭하는 데 사용되는 공정과 유사한 플라즈마 처리를 사용하는 것을 비롯해 건식 에칭 방법을 사용해 세정될 수 있다. 건식 측벽 에칭 단계 후에, 보호 층(206)은 다이(210)의 측벽의 접합 표면으로부터 벗겨질 수 있다. 보호 층(206)을 세정하는 것은 또한 건식 에칭으로부터 기인하는 임의의 유기 재료 잔류물을 세정하는 것을 포함할 수 있다. 일 실시

예에서, 처리된 다이(210)의 측벽 상의 유기 잔류물은 온전한 상태로 두어질 수 있다. 강하게 접착된 측벽 유기 잔류물은 다이(210)로부터의 후속 입자 탈락(shedding)을 최소화할 수 있다.

- [0034] 또한, 싱글레이션된 다이(210)의 세정 및/또는 추가 처리는 스핀 픽스처(spin fixture)(214)(또는 이와 유사한 것) 상에서 발생할 수 있다. 화학 에칭제(211)는 다이싱된 웨이퍼 표면 상에 분무되고, 다이(210)의 상부 표면 위에 얇은 층을 형성하고, 다이(210)들 사이의 갭을 충전한다. 일 실시예에서, 싱글레이션된 다이(210)의 측벽을 에칭하는 것은 다이(210)의 측벽 상의 결함이 제거되게 할 수 있다.
- [0035] 선택적으로, 실시예에서, 측벽 및 측벽 상에 존재할 수 있는 임의의 입자 및/또는 파편에 코팅하도록 다이(210)의 측벽이 선택적으로 코팅될 수 있다. 예를 들어, 선택적 코팅(218)이 스핀 코팅 공정, 일렉트로 코팅 공정 등을 사용하여 측벽에 적용될 수 있다. 입자 및/또는 파편을 측벽에 접착시키도록 입자 및/또는 파편이 코팅(218)으로 측벽에 코팅되어, 입자 및/또는 파편이 다이(210)의 접합 표면을 포함한 다이(210)의 다른 영역을 오염시키는 것을 방지한다. 다양한 실시예에서, 코팅 층(218)은 측벽의 규모에 접착되고 임의의 다른 표면에는 일반적으로 접착되지 않을 유리, 붕소 도핑된 유리, 인 도핑된 유리 등과 같은 재료를 포함한다.
- [0036] 다양한 실시예에서, 코팅 층(218)은 입자 및 파편을 다이(210)의 측벽에 포획하고 측벽으로부터의 그들의 탈락을 방지하는, 대략 50 nm 이하인 층을 포함한다. 코팅 층(218)은 안정화를 위해 미리 정해진 온도(예컨대, 대략 80℃ 등)에서 미리 정해진 지속 시간 동안 다이(210)에 열 경화될 수 있다. 논의된 바와 같이 다이(210)를 세정한 후에 코팅 층(218)이 추가될 수 있지만, 다양한 실시예에서, 코팅 층(218)은 공정(200)의 다른 단계에서 측벽에 침착(depositing)될 수 있다.
- [0037] (E)에서, 싱글레이션된 다이(210)는 보호 층(206)의 임의의 잔류물을 제거하기 위해 (예를 들어, 애싱(ashing)과 같은) 플라즈마 공정을 겪을 수 있다. (F)에서, 싱글레이션된 다이(210)는 단계 (E)로부터 기인하는 잔해의 임의의 잔류물 또는 입자를 제거하도록 세정될 수 있다. (G)에서, 싱글레이션된 다이(210)(산화물 층(204)들 중 하나 또는 둘 모두를 포함함)는 직접 접합을 위해 싱글레이션된 다이(210)를 준비하기 위해서 플라즈마-활성화(표면 활성화)될 수 있다. (H)에서, 플라즈마-활성화된 싱글레이션 다이(210)가 세정될 수 있다. (I)에서, 싱글레이션된 다이(210)들 중 하나 이상이 제2 기관(216)의 준비된 표면에 접합될 수 있다. 특히, 싱글레이션된 다이(210)의 접합 층(204)(예컨대, 전도성 층을 갖거나 갖지 않는 산화물 또는 유전체 층)이 제2 기관(216)의 준비된 표면에 직접 접합될 수 있다. 일 실시예에서, 싱글레이션된 다이(210)는 (접합 층(204)을 통해) 지본드(등록상표) 직접 접합 또는 DBI(등록상표) 하이브리드 접합 기술 등을 사용하여 제2 기관(216)에 접합될 수 있으며, 여기서 싱글레이션된 다이(210)는 접착제의 사용 없이 제2 기관(216)의 표면의 부분들에 직접 접합(그리고, 몇몇 경우에, 전기적으로 접속)된다.
- [0038] 다양한 구현예에서, 기관(216)은 규모 웨이퍼, GaAs, 다이아몬드 코팅된 기관, 탄화규소, 산화규소, 질화규소, 리튬 니오베이트, 리튬 탄탈레이트, 평면 패널, 유리, 세라믹, 회로 보드, 패키지, 인터포저, 매립된 디바이스 또는 디바이스들을 갖거나 갖지 않는 구조체 등의 다른 준비된 표면을 포함할 수 있다. 일 실시예에서, 준비된 기관(216)은 아래에서 추가로 논의되는 바와 같이 다른 다이(210) 또는 다른 접합된 다이(304)의 표면을 포함한다.
- [0039] 도 3은 실시예에 따른, 적층 다이들을 처리하는 예시적인 공정(300)을 예시한다. 전술된 바와 같이, 공정(300)의 단계 (A) 내지 단계 (D)는 공정(200)의 단계 (A) 내지 단계 (D)와 일치하는 방식으로 기능한다. 이는 (동일한 또는 별개의 공정 단계에서) 다이(210)의 표면 및 주연부를 에칭하여 다이(210)의 표면 및 주연부로부터 규모 또는 산화물의 입자 및 파편을 제거하는 것을 포함한다.
- [0040] 선택적으로, 실시예에서, 전술된 바와 같이, 측벽 및 측벽 상에 존재할 수 있는 임의의 입자 및/또는 파편에 코팅하도록 다이(210)의 측벽이 선택적으로 코팅될 수 있다. 예를 들어, 선택적 코팅(218)이 스핀 코팅 공정, 일렉트로 코팅 공정 등을 사용하여 측벽에 적용될 수 있다. 입자 및/또는 파편을 측벽에 접착시키도록 입자 및/또는 파편이 코팅(218)으로 측벽에 코팅되어, 입자 및/또는 파편이 다이(210)의 접합 표면을 포함한 다이(210)의 다른 영역을 오염시키는 것을 방지한다. 다양한 실시예에서, 코팅 층(218)은 측벽의 규모에 접착되고 임의의 다른 표면에는 일반적으로 접착되지 않을 유리, 붕소 도핑된 유리, 인 도핑된 유리 등과 같은 재료를 포함한다.
- [0041] 다양한 실시예에서, 코팅 층(218)은 입자 및 파편을 다이(210)의 측벽에 포획하고 측벽으로부터의 그들의 탈락을 방지하는, 대략 50 nm 이하인 층을 포함한다. 코팅 층(218)은 안정화를 위해 미리 정해진 온도(예컨대, 대략 80℃ 등)에서 미리 정해진 지속 시간 동안 다이(210)에 열 경화될 수 있다. 논의된 바와 같이 다이(210)를

세정한 후에 코팅 층(218)이 추가될 수 있지만, 다양한 실시예에서, 코팅 층(218)은 공정(300)의 다른 단계에서 측벽에 침착될 수 있다.

[0042] 공정(300)을 계속 참조하면, (E)에서, 싱글레이션된 다이(210)는, 설명된 공정 단계들(몇몇 실시예에서, 싱글레이션을 포함함) 모두에 대해, 스핀 픽스처(214)(또는 이와 유사한 것)로 이송되고 스핀 플레이트(214) 등과 같은 단일 캐리어 상에 있는 동안 처리/세정될 수 있다. 대안적으로, 싱글레이션된 다이(210)는 각각의 스테이션에서 하나 이상의 공정에 대해 (스핀 플레이트(302)와 같은) 상이한 캐리어들 사이에서 이송될 수 있다. (F)에서, 싱글레이션된 다이(210)는 여전히 스핀 플레이트(302) 상에 있는 동안 (공정(200)의 단계 (E)와 유사한 방식으로) 보호 층(206)의 임의의 잔류물을 제거하기 위해 플라즈마 처리를 겪을 수 있다.

[0043] (G)에서, 싱글레이션된 다이(210)는 (F)에서의 플라즈마 공정으로부터 기인하는 잔류물을 제거하기 위해 세정될 수 있다. (H)에서, 싱글레이션된 다이(210)는 직접 접합을 위해 싱글레이션된 다이(210)(접합 층(들)(204)을 포함함)를 준비하기 위해서 플라즈마-활성화(표면 활성화)될 수 있다. (I)에서, 플라즈마-활성화된 싱글레이션된 다이(210)가 세정될 수 있다.

[0044] (J)에서, 싱글레이션된 다이(210)들 중 하나 이상이 제2 기관(216)의 준비된 표면에 접합될 수 있다. 특히, 접합 층(204)(예컨대, 전도성 층을 갖거나 갖지 않는 산화물 또는 유전체 층)이 제2 기관(216)의 준비된 표면에 접합될 수 있다. 일 실시예에서, 싱글레이션된 다이(210)는 (산화물 층(204)을 통해) (예를 들어, 접착제 또는 개재 층 없이) 지본드(등록상표) 직접 접합 또는 DBI(등록상표) 하이브리드 접합 기술 등을 사용하여 제2 기관(216)에 직접 접합될 수 있다.

[0045] (K)에서, 싱글레이션된 다이(210)와 유사하게 준비된, 하나 이상의 추가의 싱글레이션된 다이(304)(예컨대, 다이(304)가 또한 기관(202)으로부터 싱글레이션될 수 있음)가 싱글레이션된 다이(210)들 중 하나 이상의 노출된 제2 표면에 접합되어, 하나 이상의 다이 스택(die stack)을 형성할 수 있다. 특히, 싱글레이션된 다이(304)의 접합 층(306)(예컨대, 전도성 층을 갖거나 갖지 않는 산화물 또는 유전체 층)이 접합을 위해 또한 준비된 싱글레이션된 다이(210)의 제2 표면에 직접 접합될 수 있다. 접합을 위한 준비는 원하는 바에 따라 하나 이상의 세정, 표면 평탄화, 및 플라즈마 처리 공정 단계를 포함할 수 있다. 또한, 다이(210)의 제2 표면(주연부를 포함함)은 또한 바람직하지 않은 입자 및 파편 등을 제거하기 위해 에칭될 수 있다.

[0046] 원하는 양의 다이 층을 갖는 다이 스택을 형성하기 위해 추가의 싱글레이션된 다이(304)가 유사한 방식으로 추가될 수 있다. 몇몇 실시예에서, 싱글레이션된 다이(210) 및 제2 기관(216)은 싱글레이션된 다이(304)의 각각의 층이 추가된 후에 추가적인 열 처리에 의해 접합 후에 열 처리될 수 있다. 대안적으로, 싱글레이션된 다이(210), 싱글레이션된 다이(304), 및 제2 기관(216)은 일단 적층 다이(210, 304)의 여러 층 또는 모든 층이 제 위치에 있고 접합되면 열 처리된다.

[0047] 도 4는 실시예에 따른, 적층 다이들을 처리하는 다른 예시적인 공정(400)을 예시한다. (A)에서, 레지스트 층(402)이 싱글레이션된 다이(210) 상에 코팅되는데, 이 싱글레이션된 다이(210)는 접합 층(204)(예컨대, 전도성 층 또는 구조체를 갖거나 갖지 않는 절연 또는 유전체 층) 및 기관 영역(202)(예컨대, 규소)을 포함한다. 구현예에서, 레지스트 층(402)은 예를 들어 싱글레이션된 다이(210)의 표면의 나머지를 보호하면서 싱글레이션된 다이(210)의 주연부를 노출시키도록 패터닝될 수 있다. 다양한 실시예에서, 싱글레이션된 다이(210)는 다이싱 및/또는 스크라이빙(scribing)을 사용하여 싱글레이션될 수 있다.

[0048] (B)에서, 싱글레이션된 다이(210)의 노출된 에지 및 측벽은 세정 및 에칭되어, 싱글레이션된 다이(210)의 주연부에 언더컷 또는 리세스를 생성할 수 있다. 예를 들어, 싱글레이션된 다이(210)의 거칠게 절단된 에지는 에칭에 의해 매끄럽게 될 수 있다. 또한, 싱글레이션된 다이(210)의 주연부는 주연부에서 싱글레이션된 다이(210)의 감소된 전체 두께를 갖도록 리세스되어, 싱글레이션된 다이(210)의 에지에 공간을 생성할 수 있다. 예를 들어, 기관(202)(예컨대, 규소) 상의 접합 층(204)(예컨대, 유전체, 산화물 등)을 갖는 싱글레이션된 다이(210)는 싱글레이션된 다이(210)의 주연부에서 접합 층(204)의 산화물 중 일부를, 그리고 몇몇 경우에 또한 기관(202)의 규소의 일부를 제거하도록 에칭될 수 있다. 에칭은 접합 층(204)의 유전체 산화물이 싱글레이션된 다이(210)의 에지로부터 뒤로 리세스되게 하여, 리세스에서 아래의 기관(202)의 규소를 노출시킨다. 일 실시예에서, 리세스에 의해 형성되는 공간은 직접 접합 동안 접합 표면들에 대한 얼마간의 허용 오차를 허용하여, 직접 접합 기술의 신뢰성을 개선하고 접합으로부터의 응력을 제거할 수 있다.

[0049] 일 실시예에서, 싱글레이션된 다이(210)는 산화물 층(204) 상에 배치된 레지스트 층(402)이 유동하여 싱글레이션된 다이(210)의 에지로부터 후퇴하도록 승온(예컨대, 120°C)에서 처리될 수 있다. 싱글레이션된 다이(210)의

에지가 에칭될 때, 산화물 층(204)의 노출된 부분이 제거될 수 있다. 또한, 에칭에 사용되는 지속 시간 및 포물레리(formulary)에 따라, 기판(202)의 규소 중 일부가 추가적으로 제거될 수 있다. 예를 들어, 지속 시간이 길수록, 더 많은 양의 기판(202)이 제거될 수 있다. 몇몇 경우에, 유전체 산화물 층(204)은 싱글레이션된 다이(210)의 에칭의 결과로서 경사진 프로파일을 가질 수 있다. 이러한 경사진 프로파일은 에칭이 기판(202)의 깊이까지 수행되는 경우 기판(202)(예컨대, 규소) 내로 연장될 수 있다.

[0050] 몇몇 실시예에서, 유전체 층(204)을 에칭 백(etching back)하는 공정은 필요한 바에 따라 건식 에칭 습식 에칭 또는 둘 모두와 조합된 리소그래피 방법을 사용하여 수행될 수 있다. 예를 들어, 다이(210)의 표면이 패터닝될 수 있고, 유전체 층(204)의 원치 않는 부분이 건식 에칭 방법에 의해 제거될 수 있고, 임의의 원치 않는 노출된 전도성 특징부가 예를 들어 습식 에칭 방법에 의해 제거될 수 있다. 다른 응용에서, 하나의 작업에서 원치 않는 유전체 및 전도성 부분들을 제거하는 것이 바람직할 수 있다. 일례에서, 전도성 특징부를 산화시킬 수 있는 할로젠화물 이온을 함유하는 습식 에칭제, 예를 들어 완충 플루오르화수소산 및 과산화수소 또는 질산을 함유하는 포물레리(또는 이와 유사한 것)가 원치 않는 유전체 및 전도성 특징부들을 제거하기 위해 다이(210)의 표면에 적용될 수 있다. 원치 않는 유전체 및 전도성 특징부들의 제거 후에, 싱글레이션 작업을 위해 보호 층이 적용될 수 있다.

[0051] (C)에서, 레지스트 층(402)이 싱글레이션된 다이(210)의 표면으로부터 제거될 수 있다. 또한, (D)에서, 싱글레이션된 다이(210)가 세정될 수 있다.

[0052] (E) 및 (F)에서, 싱글레이션된 다이(210)는 위에서 논의된 바와 같이 접합을 위해 준비된 제2 기판(404)(예를 들어, 다른 다이(210 또는 304), 제2 기판(216) 등)에 접합될 수 있다. 일 실시예에서, 싱글레이션된 다이(210)는 지본드(등록상표) 또는 하이브리드 DBI(등록상표) 기술 등(예컨대, 접착제 또는 개재 층 없이)을 사용하여 기판(404)의 준비된 표면에 접합될 수 있다. 도 4의 예시에서, (E) 및 (F)에서, 다이(210)만이 산화물 층(204)을 갖는 것으로 도시되어 있다. 그러나, 몇몇 실시예에서, 접합될 컴포넌트들(예를 들어, 다이(210), 다이(304), 또는 기판(216)) 양자가 접합 표면에서 (예를 들어, 산화물 층(204)과 같은) 산화물 영역을 포함할 수 있다. 다시 말해서, 컴포넌트들은 각자의 산화물 영역들에서 접합된다. 몇몇 응용에서, 다이(210)의 유전체 또는 산화물 층(204) 및 기판(202)의 준비된 표면은 전도성 특징부들(도시되지 않음)을 포함할 수 있다. 다이(210) 및 기판(202)의 준비된 표면의 유전체 부분들은 초기에 더 낮은 온도에서 접합될 수 있다. 임의의 전도성 특징부들이 150 내지 350°C의 더 높은 온도에서 결합될 수 있다. 다른 응용에서, 유전체 부분과 전도성 특징부 접합은 동일한 온도에서 형성된다.

[0053] (E)에 도시된 구현예에서, 단계 (D)의 에칭의 결과로서, 싱글레이션된 다이(210)의 산화물 층(204)의 에지들이 언더컷(408)을 포함할 수 있다. 이 구현예에서, 싱글레이션된 다이(210)는 싱글레이션된 다이(210)의 주연부에서 언더컷(408)을 포함할 수 있으며, 따라서 산화물 층(204)의 면적이 기판(202) 및/또는 기판(404)의 풋프린트의 면적보다 작다. 추가적으로 또는 대안적으로, (F)에 도시된 구현예에서, 단계 (D)의 에칭의 결과로서, 기판(202) 및 기판(404)의 에지들이 언더컷(410)을 포함할 수 있다. 이 구현예에서, 싱글레이션된 다이(210)는 싱글레이션된 다이(210)의 주연부에서 언더컷(410)을 포함할 수 있으며, 따라서 산화물 층(204)의 면적이 기판(202) 및/또는 기판(404)의 풋프린트의 면적보다 크다. 이 구현예들에서, 기판(202) 및 기판(404)은 각각 제1 및 제2 접합된 마이크로 전자 컴포넌트들과 대응할 수 있다.

[0054] 다양한 실시예에 따르면, 본 명세서에 설명된 에지 또는 측벽 에칭 기술은 싱글레이션된 다이(210)의 대량 제조를 위한 직접 접합 공정의 복잡성 및 비용의 감소를 제공할 수 있다. 또한, 싱글레이션된 다이(210)의 주연부 및/또는 에지로부터의 다이싱 입자 및 파편의 제거는 웨이퍼-대-웨이퍼, 다이-대-웨이퍼, 다이-대-다이, 및 다이-대-시스템 패키징에서 공정-관련 결함을 감소시킬 수 있다. 또한, 적층된 싱글레이션된 다이(210)들의 에지들을 등글게 함으로써 3차원 배열로 적층된 패키징된 싱글레이션된 다이(210)들에서 응력이 감소될 수 있다. 본 명세서에 설명된 기술은 또한 더 적은 다이 처리 단계, 더 높은 제조 스루풋(through-put), 및 지본드(등록상표) 및 직접 접합 상호접속(DBI(등록상표)) 제조 디바이스에 대한 개선된 이익률을 생성할 수 있다. 개시된 기술들의 다른 이점들이 또한 당업자에게 명백할 것이다.

[0055] 도 5의 (A)는 실시예에 따른, 리세스된 접합 층(204)(예컨대, 전도성 층들을 갖거나 갖지 않는 절연 또는 유전체 층)을 갖는 예시적인 다이(210)의 일부분의 측면도이다. 또한, 도 5의 (B)는 리세스된 접합 층(204)(예컨대, 산화물 영역)을 갖는 다이(210)의 측면도의 확대도이다. 도시된 바와 같이, 다이(210)는 기판(202)으로부터 뒤로 리세스된 접합 층(204)을 포함할 수 있다. 도 5의 (B)의 측면도는 예를 들어 도 4의 단계 (D)에 도시된 측면도와 대응할 수 있다. 또한, 도 5의 (B)는 접합 층(204)의 하나의 면 상에 리세스를 포함하

지만, 도 4의 단계 (D) 및 도 5의 (C)에 도시된 바와 같이, 리세스는 또한 접합 층(204)의 양쪽(또는 다른) 면상에 위치될 수 있다.

[0056] 특히, 산화물 층(204)의 경사진 프로파일(502)은 (예를 들어, 도 4의 단계 (D)를 참조하여 설명된 바와 같이) 에칭으로 인해 기판(202) 내로 연장될 수 있다. 또한, 경사진 프로파일(502)은 기판(202)의 주변부(perimeter)에서 여유(clearance)를 제공할 수 있으며, 따라서 기판(202)의 주변부에 임의의 입자들이 존재하는 경우에도, 예를 들어 싱글레이션된 다이(210)와 제2 기판(216)(또는 이와 유사한 것)의 준비된 표면 사이에서 엄밀하고 밀접한 접합이 달성될 수 있다.

[0057] 예를 들어 이는 도 5의 (C)에 예시되어 있으며, 여기서 예시적인 다이(210)가 다른 예시적인 다이(210')에 접합되어, 예시적인 다이 스택 또는 예시적인 마이크로 전자 어셈블리(500)(또는 이와 유사한 것)를 형성하는 것으로 도시되어 있다. 도 5의 (C)의 예시에 도시된 바와 같이, 산화물과 같은 절연 또는 유전체 재료를 포함하며 하나 이상의 전도성 층 또는 구조체(504)를 또한 포함할 수 있는 접합 층(204)은, 산화물과 같은 절연 또는 유전체 재료를 또한 포함하며 하나 이상의 전도성 층 또는 구조체(504')를 또한 포함할 수 있는 접합 층(204')에 직접 접합된다. 전도성 특징부(504, 504')는 단지 각각의 접합 층(204, 204') 내로만 연장될 수 있거나, 부분적으로 또는 완전히 다이(201, 210')를 통해 연장될 수 있다. 접합 층(204)에 있는 리세스와 접합 층(204')(존재하는 경우)에 있는 리세스는 어셈블리(500)의 주변부에서 갭(506)을 형성할 수 있으며, 여기서 다이(210)는 다이(210')에 접합된다. 다양한 실시예에서, 갭(506)은 갭(506) 내에 남아 있는 임의의 입자(508)들이 전도성 구조체(504, 504')들 사이의 엄밀하고 전기 전도성의 신뢰성 있는 접합을 포함한 접합 표면(204, 204')들 사이의 엄밀하고 밀접한 접합의 형성을 방해하지 않을 수 있게 하는 크기를 가질 수 있다. 다양한 실시예에서, 갭(506)은 원하는 바에 따라, 예를 들어 봉지재(encapsulant), 유전체 재료, 언더필 재료(underfill material) 등으로 충전될 수 있다. 다른 실시예들에서, 갭(506)은 충전되지 않은 채로 유지될 수 있거나, 원하는 바에 따라 다른 불활성 또는 활성 재료로 충전될 수 있다. 도 5의 (A) 및 도 5의 (B)에 도시된 바와 같은 유사한 프로파일이 다이(210, 210')의 배면 상에 생성될 수 있고, 2개 초과인 다이가 함께 적층될 수 있다.

[0058] 도 6은 실시예에 따른, 적층 다이들을 처리하기 위한 예시적인 공정을 예시하는 흐름도(600)이다. 602에서, 공정은 (예를 들어, 기판(202)과 같은) 웨이퍼 컴포넌트로부터 (예를 들어, 싱글레이션된 다이(210)들 또는 싱글레이션된 다이(304)들과 같은) 복수의 반도체 다이 컴포넌트를 싱글레이션하는 것을 포함한다. 실시예에서, 반도체 다이 컴포넌트들 각각은 실질적으로 평탄한 표면을 갖는다. 다른 실시예에서, 공정은 (싱글레이션 전에 또는 후에) 반도체 다이 컴포넌트들의 실질적으로 평탄한 표면 위에 (예를 들어, 보호 코팅(206)과 같은) 보호 코팅을 침착시키는 것을 포함한다.

[0059] 일 실시예에서, 공정은 (보호 코팅(206)과 같은) 보호 코팅이 복수의 반도체 다이 컴포넌트의 주변부로부터 뒤로 물러나게 하기 위해, 싱글레이션 후에, 복수의 반도체 다이 컴포넌트를 가열하는 것을 포함한다. 또한, 복수의 반도체 다이 컴포넌트의 주변부 및/또는 복수의 반도체 다이 컴포넌트의 실질적으로 평탄한 표면이 사전 선택된 깊이까지 에칭될 수 있다.

[0060] 대안적으로, 복수의 반도체 다이 컴포넌트는 베이스 반도체 층 위에 유전체 층을 포함할 수 있다. 또한, 유전체 층은 실질적으로 평탄한 표면을 가질 수 있고, 전술된 바와 같이, 유전체 층은 하나 이상의 전도성 특징부를 포함할 수 있다. 일 실시예에서, 공정은 유전체 층의 적어도 일부가 제거되고 복수의 반도체 다이 컴포넌트의 주변부에서 베이스 반도체 층이 노출되도록 복수의 반도체 다이 컴포넌트의 주변부를 에칭하는 것을 포함한다.

[0061] 604에서, 공정은 복수의 반도체 다이 컴포넌트의 에지로부터 재료의 입자 및 파편을 제거하는 것을 포함한다. 대안적으로, 입자 및 파편은 복수의 반도체 다이 컴포넌트의 측벽으로부터 제거될 수 있다. 일 실시예에서, 입자 및 파편은 복수의 반도체 다이 컴포넌트의 에지 및/또는 측벽을 에칭함으로써 제거될 수 있다. 선택적으로, 에지 및/또는 측벽의 에칭은 복수의 반도체 다이 컴포넌트가 다이싱 캐리어 상에 있는 동안 일어난다. 추가적으로, 에칭은 플라즈마 에칭, 및/또는 플루오르화수소산 및 질산과 함께 벤조트리아아졸(BTA)을 포함하는 화학 에칭제를 사용할 수 있다. 대안적인 구현예에서, (보호 코팅(206)과 같은) 보호 코팅이 에칭체로부터 실질적으로 평탄한 표면을 보호하기 위해 복수의 반도체 다이 컴포넌트의 실질적으로 평탄한 표면에 적용될 수 있다.

[0062] 606에서, 공정은 실질적으로 평탄한 표면을 통해 복수의 반도체 다이 컴포넌트들 중 하나 이상을 준비된 접합 표면에 접합하는 것을 포함한다. 예를 들어, 접합은 접착제 또는 개재 층 없이 지본드(등록상표) 또는 DBI(등록상표) 접합 기술 등을 사용하여 직접 접합에 의해 일어날 수 있다. 접합은 다이(들)의 접합 표면들 및 준비된 접합 표면에 있는 서로 반대편에 있는 전도성 특징부들을 전기적으로 결합시키는 것을 포함할 수 있다.

[0063] 본 명세서에서 설명되는 개시된 공정들은 블록 흐름도를 사용하여 예시된다. 개시된 공정들이 설명되는 순서는 제한으로 해석되도록 의도되지 않으며, 공정들, 또는 대안적인 공정들을 구현하기 위해 임의의 수의 설명된 공정 블록들이 임의의 순서로 조합될 수 있다. 게다가, 본 명세서에서 설명된 주제의 사상 및 범위로부터 벗어남이 없이 개개의 블록들이 공정들로부터 제거될 수 있다. 또한, 개시된 공정들은 본 명세서에서 설명된 주제의 범위로부터 벗어남이 없이, 임의의 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 조합과 함께, 임의의 적합한 제조 또는 처리 장치 또는 시스템에서 구현될 수 있다.

[0064] 다양한 구현예들 및 예들이 여기서 논의되지만, 개개의 구현예들 및 예들의 특징들 및 요소들을 조합함으로써 추가의 구현예들 및 예들이 가능할 수 있다.

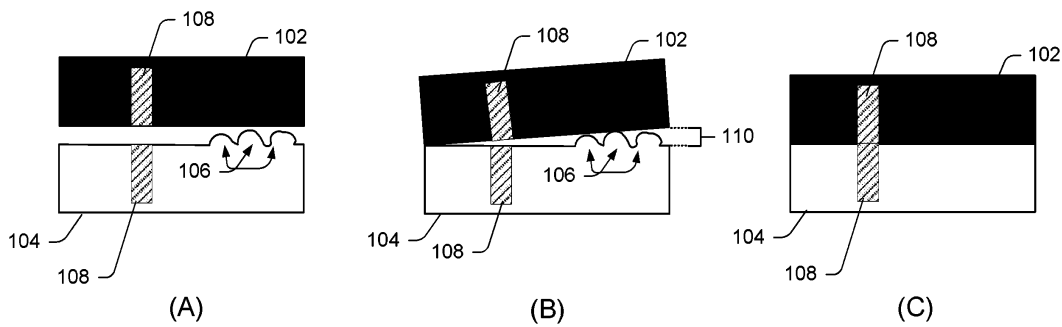
[0065] **결론**

[0066] 본 개시의 구현예들이 구조적 특징들 및/또는 방법론적 동작들에 특정한 언어로 설명되었지만, 구현예들은 반드시 설명된 특정 특징들 또는 동작들로 제한되지는 않는다는 것이 이해되어야 한다. 오히려, 특정 특징들 및 동작들은 예시적인 디바이스들 및 기술들을 구현하는 대표적인 형태들로서 개시된다.

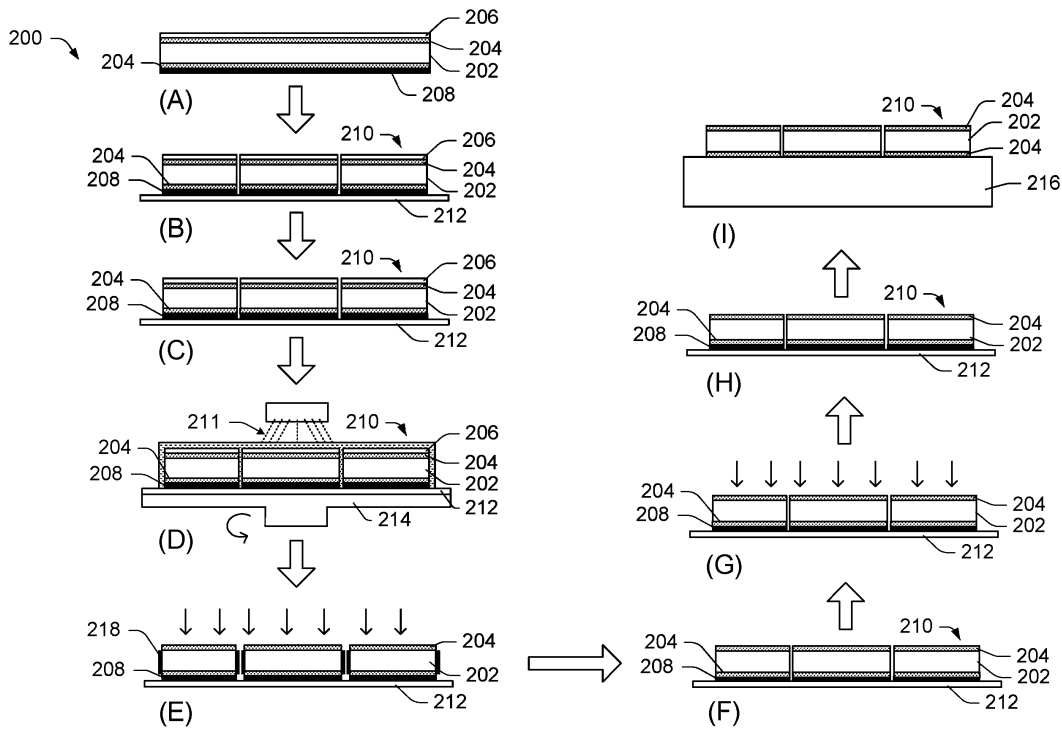
[0067] 본 문헌의 각각의 청구항은 별개의 실시예를 구성하며, 상이한 청구항들 및/또는 상이한 실시예들을 조합하는 실시예가 본 개시의 범위 내에 있고 본 개시의 검토 시에 당업자에게 명백할 것이다.

도면

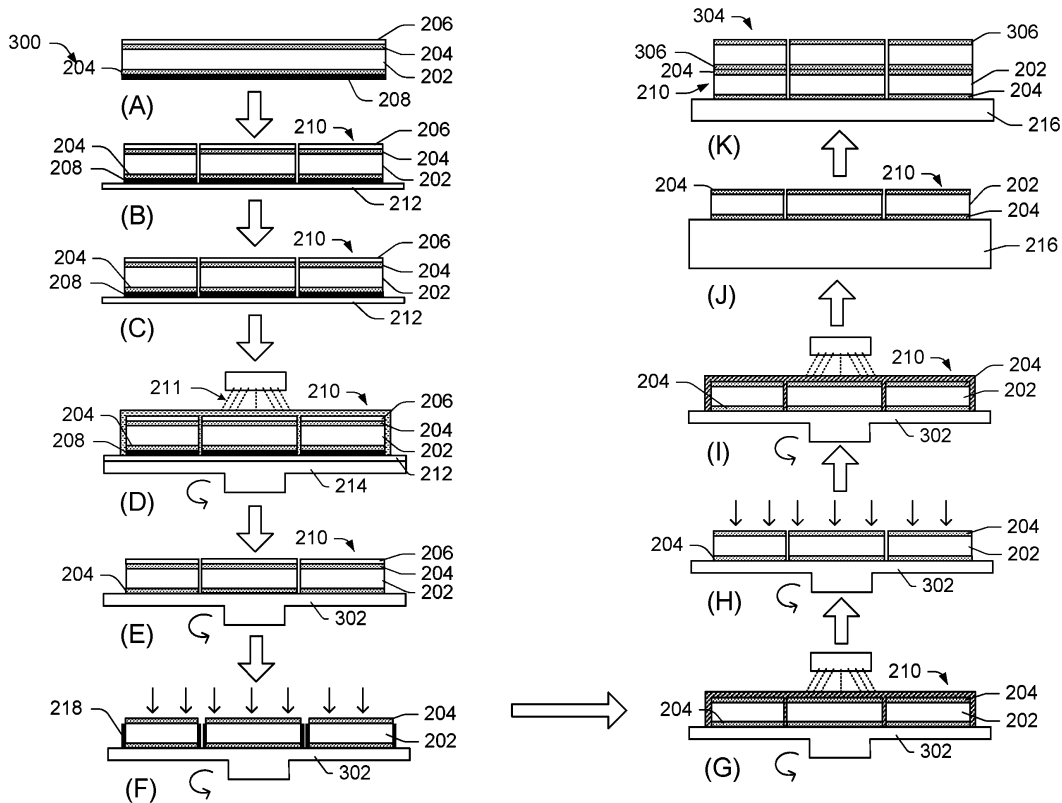
도면1



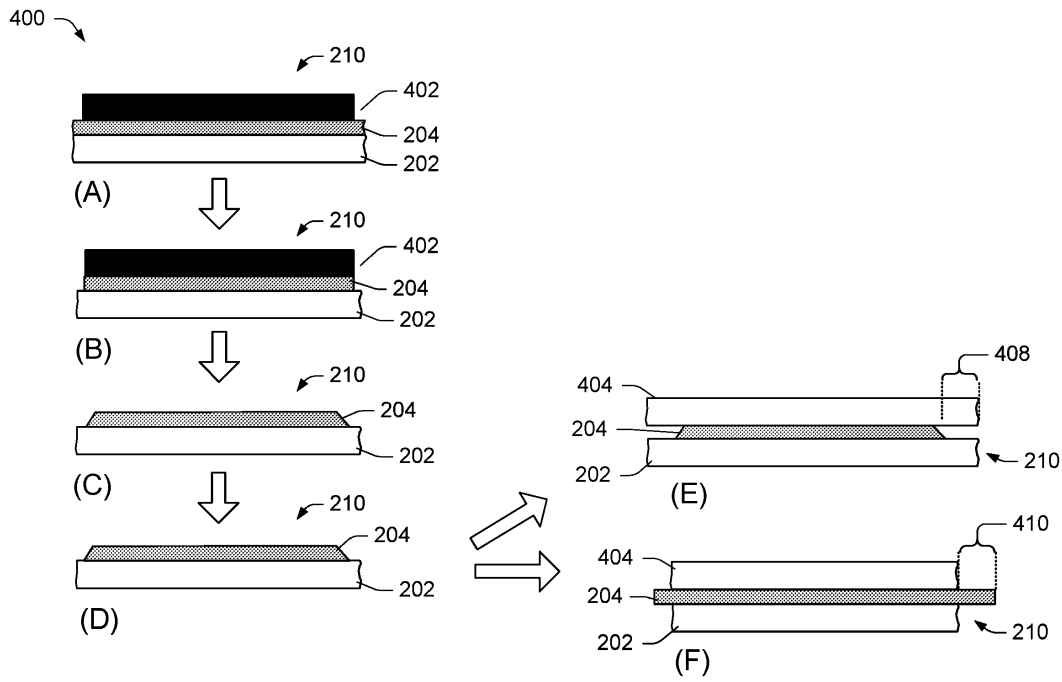
도면2



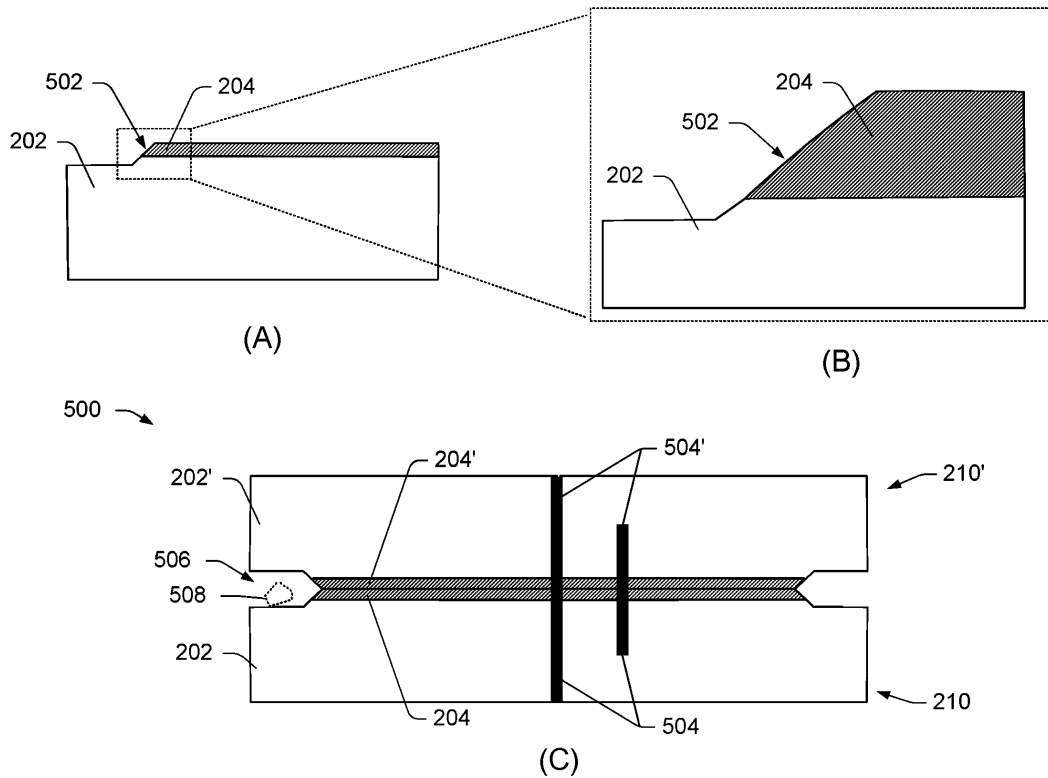
도면3



도면4



도면5



도면6

