

公告本

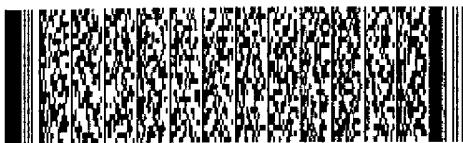
申請日期： <u>87.11.9</u>	案號： <u>87118257</u>
類別： <u>1403K³/₀₀</u>	

(以上各欄由本局填註)

437169

發明專利說明書

一、 發明名稱	中文	正反器之重設電路
	英文	
二、 發明人	姓名 (中文)	1. 佐佐木 晃
	姓名 (英文)	1.
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號日本電氣股份有限公司內
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 金子 尚志
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1997/11/10 特願平9-307263

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明(1)

技術領域

本發明係有關於重設電路，特別是有關於正反器之重設電路。

習知技術

習知，此種重設電路之目的在於：在具有資料匯流排之處理器中，為了防止當電源施加時會因控制匯流排用之正反器值之不定，而引起匯流排之邏輯值有所衝突，而造成之穿透電流。圖6所示之方塊圖為習知技術之重設電路之一例。其中，多數個資料匯流排區塊1、2、3連接於同一匯流排16。該匯流排16上連接著匯流排門鎖32。各區塊與匯流排之連接，就各區塊而言均為相同之構成。在此針對第3區塊詳加說明。第3區塊中，資料匯流排之單元6之資料輸出端子與三態緩衝器14、15連接，而資料輸入端子則與資料匯流排16連接。三態緩衝器之個數同於資料匯流排16之位元寬度。在此將資料匯流排16之位元寬度暫時設定為2。三態緩衝器之輸出連接到資料匯流排16。三態緩衝器14、15之控制端子則與正反器電路(以下簡稱FF)31之輸出端子連接。FF31之資料輸入端子與選擇信號17中之其中一條信號線連接，其時序信號端子與時序信號線20連接，其重設端子則與重設信號線25連接。控制電路19具有的輸出端子之個數同於連接於匯流排之資料匯流排區塊之個數，連接於選擇信號匯流排17。FF31之重設輸入端子則連接於電源開啟重設電路23之輸出。

接下來說明習知的重設電路之動作。圖6中，當電源



五、發明說明 (2)

施加時，附屬在各單元之FF的儲存內容變得不定。因此，假設沒有重設輸入的情況，例如FF30之輸出為「HIGH」、FF31之輸出為「HIGH」、三態緩衝器13之輸出為

「HIGH」、三態緩衝器14之輸出為「LOW」時，會有穿透電流通過匯流排而流動之可能性。但是，各FF之重設端子因為有電源開啟重設信號施加在上面，在電源施加時各FF會進行重設，各FF之輸出會變為0，連接於匯流排之所有的三態緩衝器之輸出值會變成高阻抗，匯流排則保持在匯流排閉鎖之值。此外，當輸入外部時序信號時，各FF之值會成為反應控制電路19之輸出的值，僅一個單元能驅動匯流排。

發明所欲解決之問題

此類習知的重設電路之問題點乃是如前述習知技術中所述，在重設電路中必須要具有與單元個數相同之附有重設功能的FF，並且此重設信號線必須接到許多地方，故在其電路規模以及搭載有LSI的情況所佔有的面積會相當大。

本發明之目的係提供一種重設電路，其可防止在電源施加時，以及迄於最初的時序信號輸入為止，其FF輸出值之不定。

解決問題之手段

為達成前述目的，根據本發明之正反器的重設電路具有：時序信號產生電路；及時序信號供給機構。該時序信號產生電路會產生一種時序信號，此時序信號有別於由外



五、發明說明 (3)

部供給予正反器，使正反器產生輸出之時序信號。該時序信號供給機構會造成正反器之輸出之不安時序信號。源施加予正反器時，將前述時序信號輸入端子，藉以消除當電源施加時正反器之輸出所呈現之不安定。

又，供給予前述正反器之輸入端子之時序信號乃是令重設時序信號產生電路產生信號的重設時序信號。

又，前述時序信號供給機構具有：電源開啟重設電路；及選擇器電路。該電源開啟重設電路會將電源開啟重設信號依內部之時間常數以一定之時間進行輸出。該選擇器電路則是在輸出之時間常數以一定之時間進行輸出。該選擇器產生電路所輸出之時序信號關閉後切換選擇，將外部時序信號供給予正反器之輸入端子。

又，前述時序信號供給機構具有電源開啟重設電路及OR閘，該電源開啟重設電路會將電源開啟重設信號依內部之時間常數以一定之時間進行輸出；OR閘則是將供給予正反器之輸入端子的電源開啟重設信號關閉後將外部輸入時序信號原封不動地供給予正反器之輸入端子。

又，時序信號產生電路係為環形振盪器。又，前述電源開啟重設電路兼具有時序信號產生電路的功能。

又，正反器之輸入端子兼具有重設輸入端子的功能。



五、發明說明(4)

本發明為一種正反器之重設電路，具有：時序信號產生電路；及在電源施加時將時序信號供給予正反器之時序信號輸入端子的機構。該電路因為在電源施加時將時序信號供給予正反器之時序信號輸入端子，故能使正反器之輸出呈現一定，例如將連接於匯流排之三態緩衝器之輸出輸入控制在正反器之輸出上進行之情況，能夠實現以較小的電路規模防止在匯流排上因輸出值之不定所造成之穿透電流的產生。

圖示之簡單說明

- 圖1 根據本發明之重設電路之一實施例的方塊圖。
 圖2 根據本發明之重設電路之一實施例的詳細電路圖。
 圖3 根據本發明之重設電路之動作的時間圖。
 圖4 根據本發明之重設電路之另一實施例的詳細電路圖。
 圖5 圖4之時間圖。
 圖6 習知的重設電路的方塊圖。

元件編號之說明

- | | |
|---|--------------------|
| 1 | 第1資料匯流排區塊(含有匯流排控制) |
| 2 | 第2資料匯流排區塊(含有匯流排控制) |
| 3 | 第3資料匯流排區塊(含有匯流排控制) |
| 4 | 第1資料匯流排區塊 |
| 5 | 第2資料匯流排區塊 |
| 6 | 第3資料匯流排區塊 |
| 7 | 第1正反器 |
| 8 | 第2正反器 |



五、發明說明 (5)

- 9 第3正反器
- 10 第1三態緩衝器
- 11 第2三態緩衝器
- 12 第3三態緩衝器
- 13 第4三態緩衝器
- 14 第5三態緩衝器
- 15 第6三態緩衝器
- 16 匯流排
- 17 選擇信號線
- 18 重設時序信號
- 19 控制回路
- 20 外部時序信號
- 21 重設時序信號產生電路
- 22 振盪電路
- 23 電源開啟重設電路
- 24 振盪電路之輸出信號
- 25 電源開啟重設信號
- 26 選擇電路
- 27 OR 閘
- 28 電源電壓
- 29 具有重設功能之第1正反器
- 30 具有重設功能之第2正反器
- 31 具有重設功能之第3正反器
- 32 匯流排門鎖



五、發明說明(6)

發明之具體實施形態

以下將以圖面說明根據本發明之重設電路之實施形態。圖1所示為根據本發明之重設電路。圖中與圖6之習知例相同之部份以相同之符號加以表示。FF7~9未具有重設輸入端子。又，FF7~9之時序信號端子连接有由重設時序信號產生回路21所輸出之信號線。圖2所示為該重設時序信號產生回路21之具體構成的電路圖。圖2中，22為進行自動振盪之振盪電路，例如像環形振盪器般之振盪電路。23為電源開啟重設電路，20為由外部輸入之時序信號，26為可選擇由外部輸入之時序信號或是內部振盪電路之時序信號24中其中之一的選擇器電路，選擇器電路26之控制係透過電源開啟重設電路23之輸出信號25之邏輯值加以控制。

其次，將依照圖面說明根據本發明之重設電路之動作。圖3所示為說明根據本發明之重設電路之動作的時間圖。28為電源電壓之變化，25為電源開啟重設電路23之輸出，24為內部振盪電路22之輸出，20為由外部進入之時序信號輸入信號，18為選擇器電路26之重設時序信號輸出，29為FF7~9之輸出。由電源電壓28之波形可以得知，圖3之動作係表示電源電壓施加後的瞬間之狀態。當電源電壓施加後的瞬間，重設電路輸出信號25會依內部之時間常數而在一定之時間進行輸出。

此時，選擇器26之輸入會因內部振盪電路23之輸出24受到選擇，重設時序信號產生回路21之輸出18會將內部振



五、發明說明 (7)

盪電路23之輸出24原封不動地輸出。該信號18因與FF7~9之時序信號輸入端子連接，FF7~9之輸出會在電源施加之瞬間後立即確定。當重設電路輸出信號25變成關閉後，選擇器26之輸入會切換成選擇外部時序信號20。因此，重設時序信號18會變成由外部進入之時序信號輸入信號，之後FF7~9會將由控制電路19來的輸入與時序信號同步並取入。因此在根據本發明之重設電路中，不會產生因電源施加的瞬間後FF之輸出值之不定而造成匯流排衝突。

在根據本發明之重設電路中，因為時序信號輸入端子兼具有重設輸入端子功能，相較於習知的重設電路，其可利用不具有重設輸入端子之FF而構成，能夠大幅縮小電路規模以及大幅縮小供給予該電路之配線規模。當然，必須重新準備內部振盪電路以及選擇器，內部振盪電路若使用環形振盪器，則可以少數個閘極加以構成，而選擇器則需要相當多之閘極。因此，在微處理器等具有大量連接於匯流排之單元之應用例中有非常大之效果。

圖4所示為根據本發明之重設電路之第二實施形態。圖4之例係與在圖1之電路中之重設時序信號電路(圖2)具有不同的構成。

在圖4中，20為由外部進入之時序信號輸入信號，23為電源開啟重設電路，27為OR閘。在圖4之例中，電源開啟重設電路23所產生之重設脈衝作為內部產生時序信號而使用。接下來，圖5之時間圖表示第二實施形態之動作。在電源開啟重設信號25輸出之期間，重設脈衝輸出端子18



五、發明說明(8)

會將電源開啟重設信號25通過OR閘27原封不動地輸出，當電源開啟重設信號25關閉後，重設脈衝產生電路21之輸出端子18會將由外部輸入時序信號20通過OR閘27原封不動地輸出。因此，由於當電源施加的瞬間後，電源開啟重設電路23所形成之重設脈衝之上昇緣，使得FF7~9之輸出設定在規定之狀態下，不會產生因電源施加的瞬間後FF之輸出值之不定而造成匯流排衝突。

根據第二實施形態之電路，可獲得與第一實施形態相同之效果之外，由於當電源施加的瞬間後將電源開啟重設電路23所產生之重設脈衝供給予FF作為時序信號，故沒有必要特別裝設內部振盪電路。

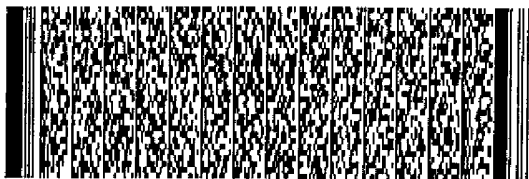
發明之效果

如以上所述，根據本發明之重設電路，由於具有時序信號產生電路以及在電源施加時將時序信號供給予正反器之時序信號輸入端子之機構，因在電源施加時將時序信號供給予正反器之時序信號輸入端子，故正反器之輸出能夠保持安定。例如在將連接於匯流排之三態緩衝器之輸出輸入控制在正反器之輸出上進行之情況時，能夠實現以比較小之電路規模防止在匯流排上因輸出值之不定所造成之穿透電流的產生。

四、中文發明摘要 (發明之名稱：正反器之重設電路)

本發明之目的在於防止當電源施加後，時序信號在最初到輸入之期間，正反器之輸出值會變得不一定之情況。達成方式如下：在電源施加時，由重設電路21將時序信號供給予正反器7~9之時序信號輸入端子，故正反器之輸出能夠保持一定。例如在將連接於匯流排之三態緩衝器之輸出輸入控制在正反器之輸出上進行之情況，能夠實現以比較小之電路規模防止在匯流排上因輸出值之不定所造成之穿透電流的產生。

英文發明摘要 (發明之名稱：)



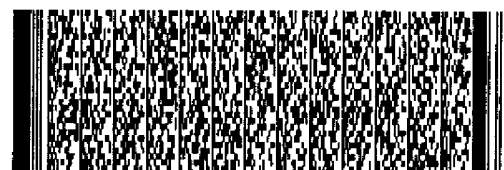
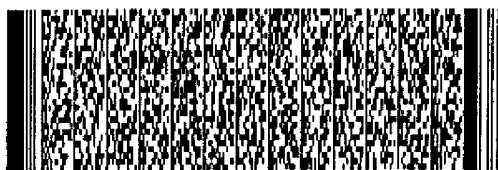
六、申請專利範圍

1. 一種正反器之重設電路，具有：時序信號產生電路，及時序信號供給機構，其特徵為：該時序信號產生電路會產生有別於由外部供給予正反器而使正反器產生輸出之時序信號的時序信號；該時序信號供給機構係在當施加使正反器之輸出值呈現不定之電源時，將前述時序信號產生電路所產生之時序信號供給予正反器之時序信號輸入端子，藉以消除當電源施加時正反器之輸出值呈現不定之情況。

2. 如專利申請範圍第1項之正反器之重設電路，其中：供給予正反器之時序信號輸入端子的時序信號乃是使重設時序信號產生電路產生信號的重設時序信號。

3. 如專利申請範圍第1或2項之正反器之重設電路，其中：前述時序信號供給機構具有電源開啟重設電路以及選擇器電路；該電源開啟重設電路會將電源開啟重設信號依內部之時間常數以一定之時間進行輸出，而選擇器電路則是在輸出電源開啟重設信號的期間將由時序信號產生電路所輸出之時序信號供給予正反器之輸入端子，在電源開啟重設信號關閉後切換選擇將外部時序信號供給予正反器之輸入端子。

4. 如專利申請範圍第1或2項之正反器之重設電路，其中：前述時序信號供給機構具有：電源開啟重設電路及OR閘；該電源開啟重設電路會將電源開啟重設信號依內部之時間常數以一定之時間進行輸出，OR閘則是將供給予正反器之輸入端子之電源開啟重設信號原封不動地作為時序



六、申請專利範圍

信號供給，在電源開啟重設信號關閉後將由外部輸入之時序信號原封不動地供給予正反器之輸入端子。

5. ~~如專利申請~~ 範圍第1或2項之正反器之重設電路，其中：時序信號產生電路係為環形振盪器。

6. ~~如專利申請~~ 範圍第4項之正反器之重設電路，其中：前述電源開啟重設電路兼具有時序信號產生電路的功能。

7. ~~如專利申請~~ 範圍第1或2項之正反器之重設電路，其中：正反器之輸入端子兼具有重設輸入端子的功能。



87118657

圖式

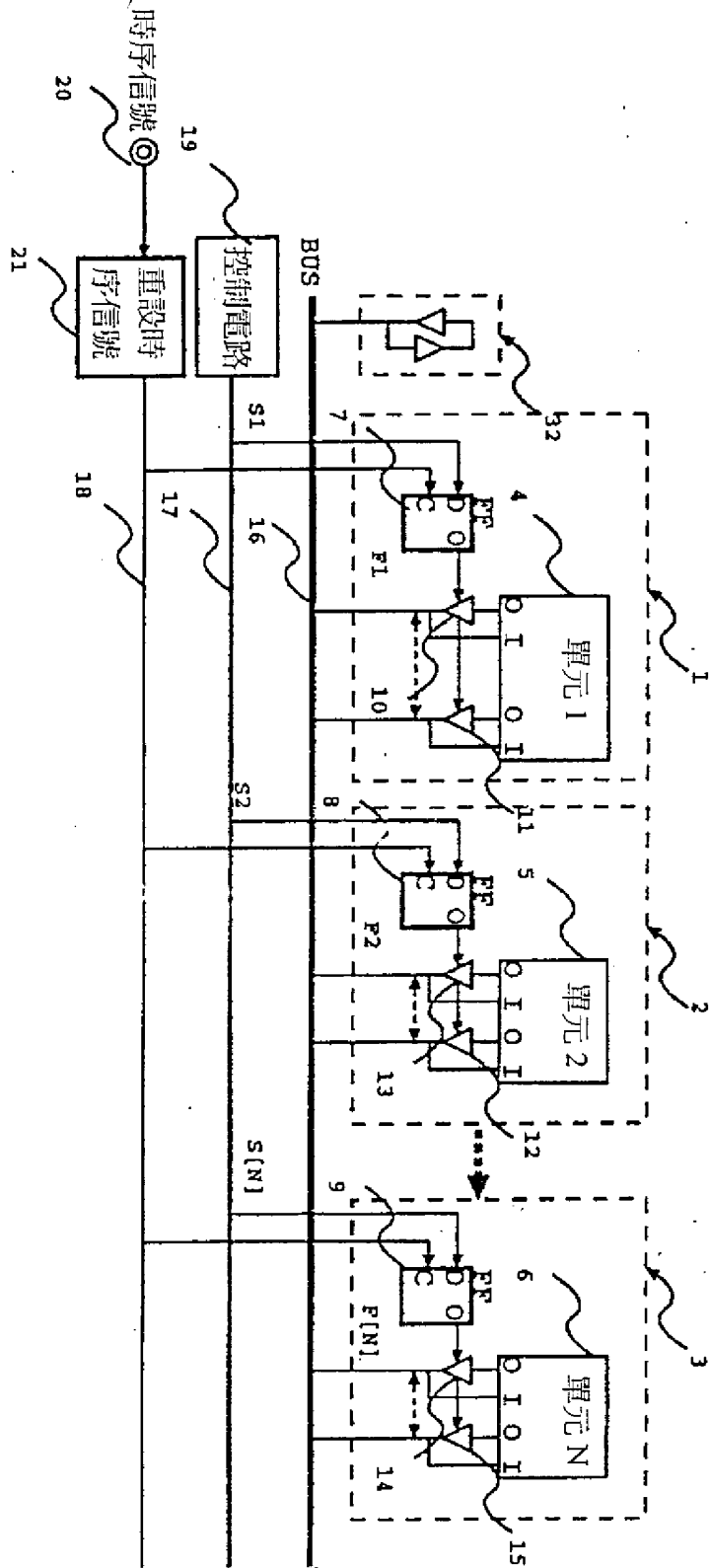


圖 1

圖式

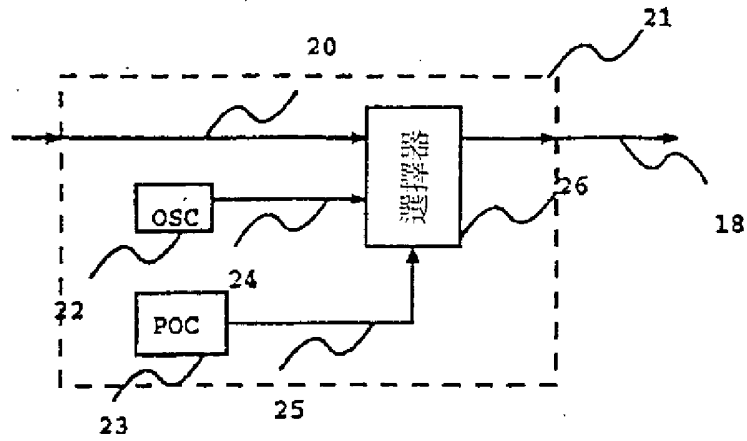


圖 2

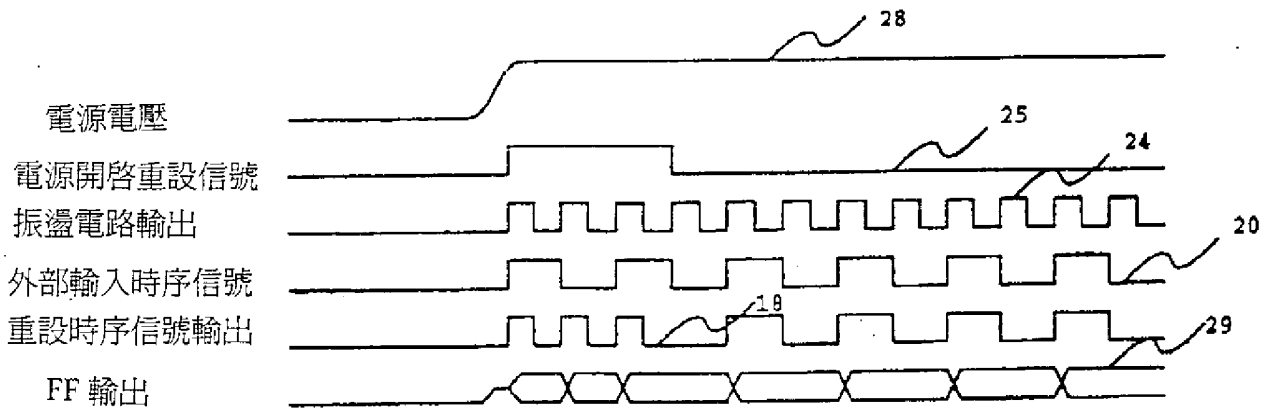


圖 3

圖式

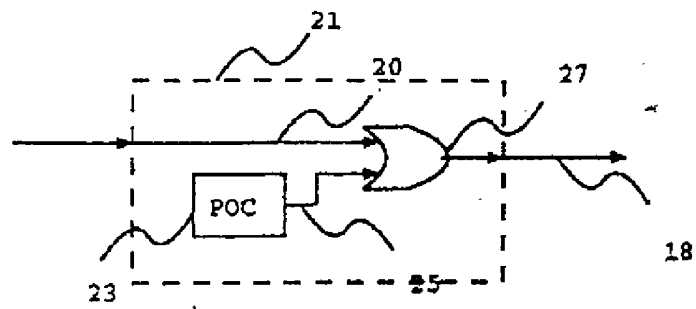


圖 4

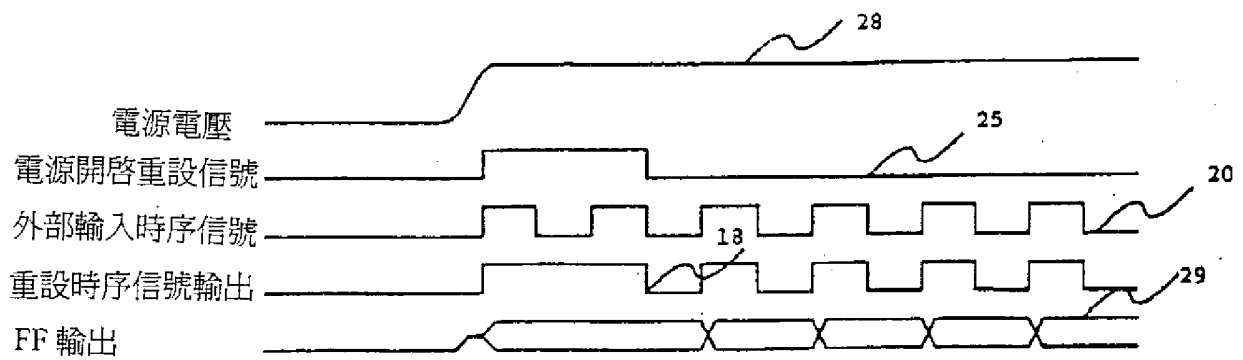


圖 5

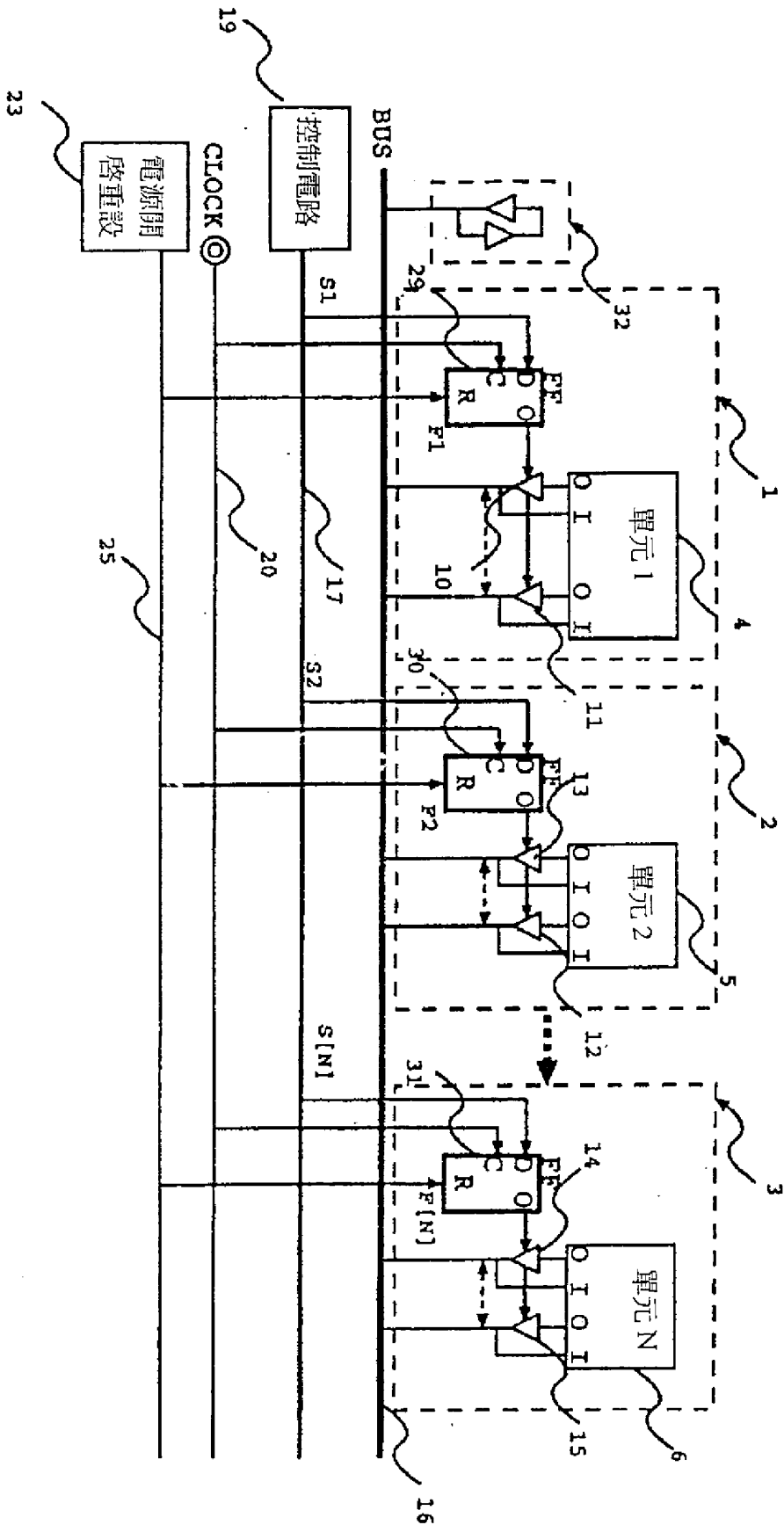


圖 6