

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成24年10月11日(2012.10.11)

【公開番号】特開2012-3266(P2012-3266A)

【公開日】平成24年1月5日(2012.1.5)

【年通号数】公開・登録公報2012-001

【出願番号】特願2011-136190(P2011-136190)

【国際特許分類】

G 0 2 F	1/1345	(2006.01)
G 0 2 F	1/1368	(2006.01)
H 0 1 L	29/786	(2006.01)
H 0 1 L	21/336	(2006.01)
G 0 9 F	9/30	(2006.01)
G 0 9 F	9/00	(2006.01)

【F I】

G 0 2 F	1/1345	
G 0 2 F	1/1368	
H 0 1 L	29/78	6 1 2 A
H 0 1 L	29/78	6 2 3 A
G 0 9 F	9/30	3 1 0
G 0 9 F	9/30	3 3 0 Z
G 0 9 F	9/00	3 3 8

【手続補正書】

【提出日】平成24年8月28日(2012.8.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも一つの表示領域及び上記表示領域の周辺のプレカッティング領域を有する基板を備え、

上記表示領域はゲートスキンライン及びデータスキンラインを有し、上記プレカッティング領域は電気的に接続されているゲートライン連通線とデータ連通線を有し、

上記ゲートライン連通線は上記表示領域におけるゲートスキンラインごとと電気的に接続され、上記データ連通線は上記表示領域におけるデータスキンラインごとと電気的に接続されていることを特徴とするマザーボード。

【請求項2】

上記ゲートライン連通線及び上記データ連通線はゲートスキンラインと同一層に形成し、上記ゲートライン連通線と上記データ連通線とは直接電気的に接続され、上記ゲートライン連通線と上記表示領域におけるゲートスキンラインとは直接電気的に接続され、

上記データ連通線はビアーホールを介して上記表示領域におけるデータスキンラインと電気的に接続されていることを特徴とする請求項1に記載のマザーボード。

【請求項3】

上記ゲートライン連通線及び上記データ連通線はデータスキンラインと同一層に位置し、上記ゲートライン連通線と上記データ連通線とは直接電気的に接続され、上記データ連通線と上記表示領域におけるデータスキンラインとは直接電気的に接続され、

上記ゲートライン連通線はビアーホールを介して上記表示領域におけるゲートスキャンラインと電気的に接続されていることを特徴とする請求項1に記載のマザーボード。

【請求項4】

上記ゲートライン連通線及び上記ゲートスキャンラインは同一層に位置するとともに、上記表示領域におけるゲートスキャンラインと直接電気的に接続され、上記データ連通線及び上記データスキャンラインは同一層に位置するとともに、上記表示領域におけるデータスキャンラインと直接電気的に接続され、

上記ゲートライン連通線と上記データ連通線はビアーホールを介して電気的に接続されていることを特徴とする請求項1に記載のマザーボード。

【請求項5】

上記ゲートライン連通線はゲートスキャンラインP A D領域が対向する側のプレカッティング領域に位置し、上記データ連通線はデータスキャンラインP A D領域が対向する側のプレカッティング領域に位置することを特徴とする請求項1～4のいずれか1項に記載のマザーボード。

【請求項6】

上記マザーボードに対してテストする前に、ゲートスキャンラインとゲートライン連通線との電気的接続が切斷され、データスキャンラインとデータ連通線との電気的接続が切斷されていることを特徴とする請求項1～5のいずれか1項に記載のマザーボード。

【請求項7】

上記データスキャンラインにおける切断領域は、上記データスキャンラインとデータ連通線とが電気的に接続する位置に位置され、或は、上記データスキャンラインとデータ連通線とが電気的に接続する位置からデータスキャンラインへ予定距離を偏移した位置に位置され、

上記ゲートスキャンラインにおける切断領域は、上記ゲートスキャンラインとゲートライン連通線とが電気的に接続する位置に位置され、或は、上記ゲートスキャンラインとゲートライン連通線とが電気的に接続する位置からゲートスキャンラインへ予定距離を偏移した位置に位置されていることを特徴とする請求項6に記載のマザーボード。

【請求項8】

アレイ基板のマザーボードの製造方法であって、上記マザーボードは少なくとも一つの表示領域を有し、上記表示領域の周辺にプレカッティング領域が設けられ、

上記製造方法は、

上記表示領域にゲートスキャンライン及びデータスキャンを形成し、上記プレカッティング領域に電気的に接続されているゲートライン連通線とデータ連通線を形成する工程を備え、

上記ゲートライン連通線は上記表示領域におけるゲートスキャンラインごとに電気的に接続し、上記データ連通線は上記表示領域におけるデータスキャンラインごとに電気的に接続していることを特徴とするアレイ基板のマザーボードの製造方法。

【請求項9】

上記表示領域にゲートスキャンライン及びデータスキャンを形成し、上記プレカッティング領域に電気的に接続されているゲートライン連通線とデータ連通線を形成する工程は、

- (1) 少なくとも一つの表示領域を有する基板にゲート金属層を堆積する工程と、
- (2) 上記ゲート金属層に対してパターニングを行って、ゲートスキャンラインと、ゲートスキャンラインに接続するゲート電極と、各表示領域の隣り合う両側に位置するゲートライン連通線及びデータ連通線とを形成し、上記データ連通線の、後で形成されるデータスキャンラインとの交差部にフォトレジストを予め残し、上記ゲートライン連通線をデータ連通線及びゲートスキャンラインとそれぞれ直接電気的に接続させる工程と、
- (3) ゲートパターンを有する上記基板にゲート絶縁薄膜と、活性薄膜とを順次堆積する工程と、
- (4) 上記活性薄膜に対してパターニングを行って、ゲート電極に重なる活性薄膜パタ

ーンを形成するとともに、予め残された上記フォトレジストを剥離して、予め残されたフォトレジストに対応する位置にあるゲート絶縁薄膜及び活性薄膜を除去する工程と、

(5) 活性薄膜パターンを有する基板に、ゲートスキャンラインと交差するデータスキャンラインと、薄膜トランジスタのソース電極及びドレイン電極とを形成し、上記データスキャンラインを予め残された上記フォトレジストの位置まで延ばせて、上記データ連通線と電気的に接続させる工程と、

を備えることを特徴とする請求項8に記載のアレイ基板のマザーボードの製造方法。

【請求項10】

上記表示領域にゲートスキャンライン及びデータスキャンを形成し、上記プレカッティング領域に電気的に接続されているゲートライン連通線とデータ連通線を形成する工程は、

(1) 少なくとも一つの表示領域を有する基板にゲート金属層を堆積する工程と、

(2) 上記ゲート金属層に対してパターニングを行って、ゲートスキャンラインと、ゲートスキャンラインに接続するゲート電極とを形成し、上記ゲートスキャンラインの、後で形成されるゲートライン連通線との交差部にフォトレジストを予め残す工程と、

(3) ゲートパターンを有する上記基板にゲート絶縁薄膜と、活性薄膜とを順次堆積する工程と、

(4) 上記活性薄膜に対してパターニングを行って、ゲート電極に重なる活性薄膜パターンを形成するとともに、予め残された上記フォトレジストを剥離して、予め残されたフォトレジストに対応する位置にあるゲート絶縁薄膜及び活性薄膜を除去する工程と、

(5) 活性薄膜パターンを有する基板に、ゲートスキャンラインと交差するデータスキャンラインと、薄膜トランジスタのソース電極及びドレイン電極と、各表示領域の隣り合う両側に位置するゲートライン連通線及びデータ連通線とを形成し、上記ゲートライン連通線を予め残されたフォトレジストの位置でゲートスキャンラインと電気的に接続させ、上記データ連通線をゲートライン連通線及びデータスキャンラインとそれぞれ直接電気的に接続させる工程と、

を備えることを特徴とする請求項8に記載のアレイ基板のマザーボードの製造方法。

【請求項11】

上記表示領域にゲートスキャンライン及びデータスキャンを形成し、上記プレカッティング領域に電気的に接続されているゲートライン連通線とデータ連通線を形成する工程は、

(1) 少なくとも一つの表示領域を有する基板にゲート金属層を堆積する工程と、

(2) 上記ゲート金属層に対してパターニングを行って、ゲートスキャンラインと、ゲートスキャンラインに接続するゲート電極と、各表示領域の一方の側に位置するゲートライン連通線とを形成し、上記ゲートライン連通線の、後で形成されるデータ連通線との交差部にフォトレジストを予め残し、上記ゲートライン連通線をゲートスキャンラインと直接電気的に接続させる工程と、

(3) ゲートパターンを有する上記基板にゲート絶縁薄膜と、活性薄膜とを順次堆積する工程と、

(4) 上記活性薄膜に対してパターニングを行って、ゲート電極に重なる活性薄膜パターンを形成するとともに、予め残された上記フォトレジストを剥離して、予め残されたフォトレジストに対応する位置にあるゲート絶縁薄膜及び活性薄膜を除去する工程と、

(5) 活性薄膜パターンを有する基板に、ゲートスキャンラインと交差するデータスキャンラインと、薄膜トランジスタのソース電極及びドレイン電極と、各表示領域における上記ゲートライン連通線と隣接する側に位置するデータ連通線とを形成し、上記データスキャンラインを予め残された上記フォトレジストの位置まで延ばせて、上記ゲートライン連通線と電気的に接続させ、上記データ連通線をデータスキャンラインと直接電気的に接続させる工程と、

を備えることを特徴とする請求項8に記載のアレイ基板のマザーボードの製造方法。

【請求項12】

パッシベーション層を堆積し、上記ゲートスキャンラインの、ゲートライン連通線と電気的に接続する一端に、パターニングによりビアーホールを形成して、上記ゲートスキャンラインを露出させ、上記データスキャンラインの、データ連通線と電気的に接続する一端に、パターニングによりビアーホールを形成して、上記データスキャンラインを露出させる工程と、

上記ビアーホールから露出されたデータスキャンライン及びゲートスキャンライアンをエッチングにより除去して切断領域を形成する工程と、

をさらに備えることを特徴とする請求項 8 ~ 11 のいずれか 1 項に記載のアレイ基板のマザーボードの製造方法。

【請求項 13】

上記データスキャンラインにおける切断領域は、上記データスキャンラインとデータ連通線とが電気的に接続する位置に位置され、或は、上記データスキャンラインとデータ連通線とが電気的に接続されている位置からデータスキャンラインへ所定距離を偏移した位置に位置され、

上記ゲートスキャンラインにおける切断領域は、上記ゲートスキャンラインとゲートライン連通線とが電気的に接続する位置に位置され、或は、上記ゲートスキャンラインとゲートライン連通線とが電気的に接続されている位置からゲートスキャンラインへ所定距離を偏移した位置に位置されることを特徴とする請求項 12 に記載のアレイ基板のマザーボードの製造方法。