(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G06F 9/28

(11) 공개번호 특1996-0029967
(43) 공개일자 1996년08월17일

(21) 출원번호 특1996-0001114
(22) 출원일자 1996년01월19일

(30) 우선권주장 95-24748 1995년01월19일 일본(JP)
(71) 출원인 텍사스 인스트루먼츠 인코포레이티드 윌리엄 이. 힐러
미합중국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500
(72) 발명자 야구찌 유지
일본국 이바라끼껭 니이하리궁 미쯔기 데지마-무라 618
(74) 대리인 주성민, 김성택

심사청구 : 없음

(54) 디지탈 신호 처리 방법 및 장치, 및 메모리 셀 독출 방법

요약

처리 스루풋을 증가시키는 디지탈 신호 장치 및 방법. 각각의 명령(Ii)에 대해서, 처리 소자(PEk)에서 4개의 단계(1)~(4)는 한 단계가 한 사이클 내에서 수행되면서 순서대로 수행된다. 4개의 연속한 명령(예를 들면, 제3사이클 〈m+2〉에서 명령(Ii+2,Ii+1,Ii,Ii-2)에 대해서, 4개의 단계 (1)~(4)는 각각 동시에 수행된다. 이러한 방식으로 해서, 파이프라인 처리가 처리 소자(PEk)에서 수행된다.

대표도

도1

명세서

[발명의 명칭]

디지탈 신호 처리 방법 및 장치, 및 메모리 셀 독출 방법

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 따른 SIMD 디지탈 신호 처리 장치에서 사용된 SVP 구성을 도시한 블록도, 제2도는 실시예에서 SVP의 기능을 도시한 개략도, 제3도는 실시예에서 SVP의 처리 소자에 대한 기본 구성을 도시한 블록도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

디지탈 신호 처리 방법에 있어서, 공통의 프로그램 명령에 따라 병렬 수행을 위해 배열된 복수의 처리 소자들을 가지며, 각각의 처리 소자는 명령에 대한 동작(operation) 전 또는 후에 데이타를 유지하기 위한 메모리, 설정된 수의 인접 처리 소자들과 데이타를 교환하기 위한 통신(communication) 수단, 및 상기 메모리로부터 독출된 데이타 또는 상기 통신 수단을 통해 수신된 데이타에 의해 지정된 동작을 수행하는 동작 수단을 갖는 데이타 프로세서를 제공하는 단계를 포함하고; 각각의 프로그램 명령에 대해서, 상기 메모리로부터 데이타를 독출하는 제1단계, 상기 통신 수단을 통해 상기 설정된 수의 인접 처리 소자들과 조건부 교환을 행하는 제2단계, 상기 동작 수단을 통해 상기 프로그램 명령에 의해 지정된 동작을 수행하는 제3단계, 및 상기 제1, 제2 및 제3단계에서 얻어진 데이타 중 하나를 상기 메모리에 기입하는 제4단계를 포함하며; 연속한 복수의 명령들에 대해서, 상기 제1, 제2, 제3 및 제4단계 중 적어도 두 개의 단계가 동시에 수행되는 것을 특징으로 하는 디지탈 신호 처리 방법.

청구항 2

제1항에 있어서, 상기 제1, 제2, 제3 및 제4단계 각각은 상기 데이타 프로세서의 한 사이클 내에 수행되며, 각각의 사이클 내에서, 상기 제1, 제2, 제3 및 제4단계들은 4개의 연속한 프로그램 명령들에 대해 동시에 수행되는 것을 특징으로 하는 디지탈 신호 처리 방법.

청구항 3

제1항에 있어서, 상기 제1 및 제2단계는 한 사이클 내에서 수행될 수 있으며, 상기 제3 및 제4단계는 한 사이클 내에서 수행될 수 있으며; 두개의 연속한 명령에 대해서, 상기 제1 및 제2단계와 상기 제3 및 제4단계는 각각 동시에 수행되는 것을 특징으로 하는 디지탈 신호 처리 방법.

청구항 4

디지탈 신호 프로세서에 있어서, 공통의 프로그램 명령에 따라 동일 처리를 병렬로 수행하기 위해 병렬로 배열된 복수의 처리 소자를 포함하며; 상기 각각의 처리 소자는 명령에 대한 동작 전 또는 동작 후에 데이타를 유지하는 메모리; 설정된 수의 인접 처리 소자들과 데이타를 교환하기 위한 통신 수단; 및 상기 메모리로부터 독출된 데이타 또는 상기 통신 수단에 의해서 수신된 데이타에 대한 설정된 동작을 수행하는 동작 수단; 상기 메모리의 데이타 출력 단에 결합된 데이타 입력 단, 및 상기 동작 수단의 데이타 입력 단에 결합된 데이타 출력 단을 가지며, 제1사이클 내에 상기 메모리로부터 독출한 데이타를 제2사이클 동안에 페치(fetch)하는 제1래치; 상기 제1레치의 상기 데이타 출력 단에 결합된 데이타 입력 단을 가지며, 상기 제2사이클에 이은 제3사이클 동안에, 상기 제1래치로부터 데이타를 페치하는 제2래치; 상기 통신 수단에 결합된 데이타 입력 단을 가지며, 상기 설정된 수의 인접 처리 소자들 중 임의의 한 소자로부터 상기 통신 수단에 의해서 상기 제2사이클 동안에 조건부 페치된 데이타를 상기 제3사이클 동안에 페치하는 제3래치; 상기 제2 및 제3래치의 데이타 출력단들과 상기 동작 수단에 결합된 데이타 입력 단들, 및 상기 메모리 수단의 상기 데이타 입력 단들에 결합된 데이타 출력 단들을 가지며, 상기 제3사이클 다음의 제4사이클 동안에, 상기 동작 수단으로부터의 데이타, 상기 제2래치로부터의 데이타, 또는 상기 제3래치로부터의 데이타를 선택적으로 페치하는 제4래치를 포함하며, 상기 제4사이클 동안에, 상기 제4래치로부터의 데이타는 상기 메모리에 기입되는 것을 특징으로 하는 디지탈 신호 프로세서.

청구항 5

각각의 명령에 따라 동일 처리를 병렬로 처리하도록 복수의 처리 소자들이 병렬로 배열되어 있는 디지탈 신호 처리 장치에서, 상기 처리 소자 각각은 동작 전 또는 동작 후에 데이타를 유지하는 메모리; 인접 처리 소자들로서의 설정된 수의 처리 소자들과 데이타를 교환하기 위한 통신 수단; 상기 메모리로부터 독출된 데이타 및/또는 상기 통신 수단에 의해서 수신된 데이타에 대한 설정된 동작을 수행하는 동작 수단; 상기 메모리의 데이타 출력 단에 결합된 데이타 입력 단, 및 상기 동작 수단의 데이타 입력 단에 결합된 데이타 출력 단을 가지며, 제1사이클 내에 상기 메모리로부터 독출한 데이타를 제2사이클 동안에 페치하는 제1래치; 및 상기 통신 수단의 데이타 출력 단에 결합된 데이타 입력 단, 및 상기 메모리의 데이타 입력 단에 결합된 데이타 출력 단을 가지며, 상기 제1사이클 내에 상기 통신 수단에 의해 상기 설정된 수의 인접 처리 소자들 중 임의의 소자로부터 조건부 수신된 데이타를 상기 제2사이클 동안에 페치하는 제2래치를 포함하며, 상기 제2사이클 내에, 상기 동작 수단, 상기 제1래치, 또는 상기 제2래치로부터의 데이타는 상기 메모리에 선택적으로 기입되는 것을 특징으로 하는 디지탈 신호 처리 장치.

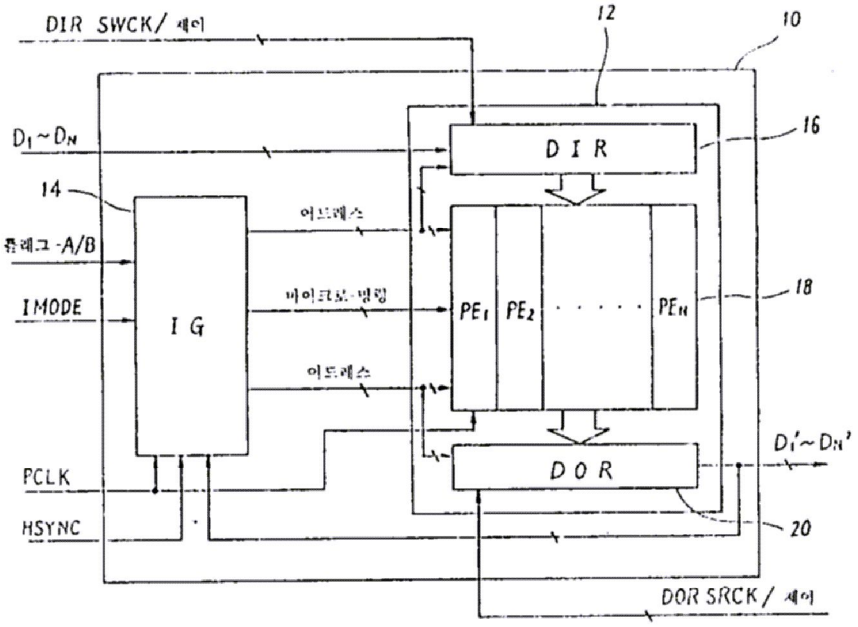
청구항 6

워드 라인에 결합된 제어 단자를 갖는 트랜지스터, 및 정보 비트를 유지하는 메모리 유닛을 가지며, 비트 라인을 통해 센스 증폭기에 결합된 메모리 셀을 독출하는 방법에 있어서, 상기 트랜지스터가 도통할 때, 설정된 시간 동안 상기 비트 라인을 프리차지(precharge)하는 단계; 및 설정된 시간에 상기 비트 라인의 전압을 판정하여 상기 정보 비트 독출을 수행하도록 상기 센스 증폭기를 제어하는 단계를 포함하는 것을 특징으로 하는 메모리 셀 독출 방법.

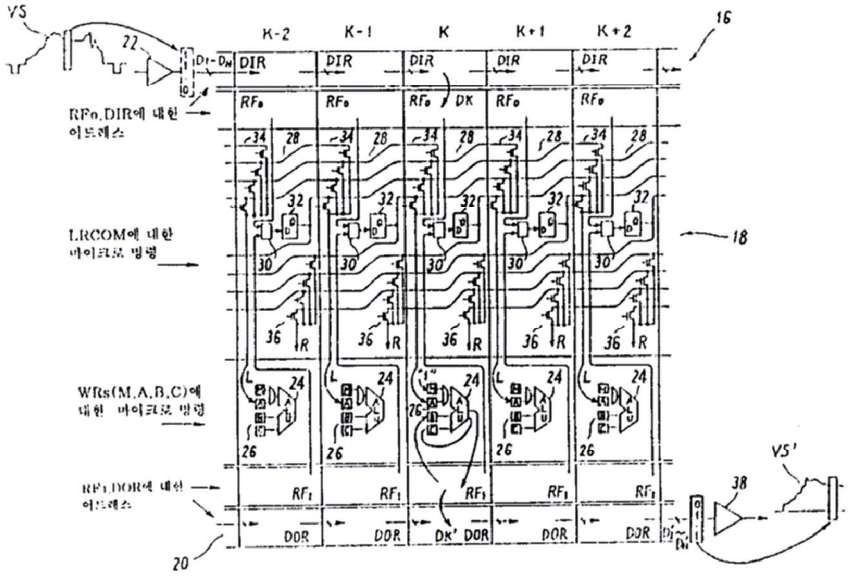
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

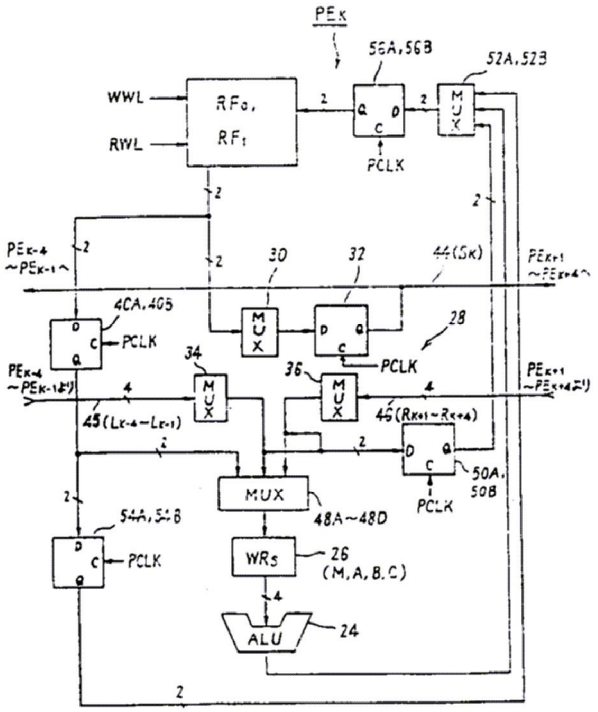
도면1


DIR SWCK/ 제어
12
10
D1~DN
D I R
16
14
어드레스
플래그-A/B
IMODE
I G
마이크로-명령
PE1
PE2
PEN
18
어드레스
D1'~DN'
PCLK
D O R
HSYNC
20
DOR SRCK/ 제어

도면2


VS
22
K-2
K-1
K
K+1
K+2
16
DIR
RF0
DK
RF0,DIR에 대한 어드레스
LRCOM에 대한 마이크로 명령
18
WRs(M,A,B,C)에 대한 마이크로 명령
RF1,DOR에 대한 어드레스
RF1
DOR
DK'
VS'
38
20

도면3


PEK
56A,56B
52A,52B
WWL
RWL
RF0,
RF1
PCLK
MUX
PEK-4
~PEK-1
30
32
44(SK)
PEK+1
~PEK+4
40A,40B
28
34
36
45(LK-4~LK-1)
46(RK+1~RK+4)
50A,
50B
MUX
48A~48D
54A,54B
WRS
26
(M,A,B,C)
ALU
24