

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 19 年 8 月 30 日 (2007.8.30)

【公表番号】特表 2003-503955 (P2003-503955A)

【公表日】平成 15 年 1 月 28 日 (2003.1.28)

【出願番号】特願 2001-508122 (P2001-508122)

【国際特許分類】

**H 0 4 L 12/56 (2006.01)**

**H 0 4 Q 3/52 (2006.01)**

【F I】

H 0 4 L 12/56 F

H 0 4 Q 3/52 A

【手続補正書】

【提出日】平成 19 年 6 月 22 日 (2007.6.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 入出力プロセッサへのポートとして機能する  $n$  個のポートと追加のポートとを備える  $n$  - ポート・スイッチ素子であって、

$n$  個のポートはそれぞれ、

スイッチ素子外のソースからデータ・フレームを受信する入力リンク、

スイッチ素子外の宛先へデータ・フレームを送信する出力リンク、

使用可能なデータ・チャネルをスイッチ素子の各ポートと一つおきのポートとの間に提供するスイッチ・クロスバー、及び

入力リンクから受信したデータ・フレームをスイッチ素子上の 1 つ以上の総称タイプのポートの出力リンクへ向けるステアリング・ステート・マシンを備え、

スイッチ素子の  $n$  個のポートは、各々、ファイバー・チャネル・ポート・タイプ F \_\_ P o r t、F L \_\_ P o r t 及び E \_\_ P o r t にとって総称的な総称タイプのポートであり、ファイバー・チャネル・ポート・タイプ F \_\_ P o r t、F L \_\_ P o r t 及び E \_\_ P o r t のいずれかの機能を有し、調停ループの監視或いはバイパス・モードで動作する場合には、ポートで受信したデータは、調停ループ経路を通して、同じポートの出力リンクへ送り返され、

単一の集積回路が  $n$  個の総称タイプのポートとスイッチ素子のスイッチ・クロスバーとを備える、ことを特徴とする  $n$  - ポートスイッチ素子。

【請求項 2】 前記スイッチ・クロスバーは、2 以上の独立クロスバーを含む、請求項 1 に記載のスイッチ素子。

【請求項 3】 前記スイッチ・クロスバーは、

各総称タイプポートが IC スwitch 素子上の 1 以上のいずれかの総称タイプポートヘタグを送ることができるようにするフレーム・タグクロスバー、

各総称タイプポートがタグの受信元である IC スwitch 素子上のいずれかの総称タイプポートヘフレーム要求を送ることができるようにするフレーム要求クロスバー、

フレーム要求に応じて、各総称タイプポートが IC スwitch 素子上の 1 以上のいずれかの総称タイプポートヘ追加フレーム情報を送ることができるようにするフレーム状態クロスバー、及び、

各総称タイプポートがフレーム要求に応じて、IC スwitch 素子上の 1 以上のいずれか

の総称タイプポートへ、適切なフレーム処理をするための事前条件付フレーム状態情報を送り、要求されたフレームを送ることができるようにする状態／フレーム転送クロスバーを含む、請求項 2 に記載のスイッチ素子。

【請求項 4】 IC スイッチ素子上の全ての総称タイプポートが同じであり、各総称タイプポートは、受信したデータ・フレームを方向付けする為のネイティブドメイン、ネイティブエリア及びネイティブポートを識別するネイティブ識別子を含む、前項のいずれか 1 項に記載のスイッチ素子。

【請求項 5】 IC スイッチ素子上の各総称タイプポートは、フレーム・プル転送方法によってフレームを転送する回路を含み、宛先ポートがデータ・フレームを要求した場合に、ソースポートが宛先ポートにデータ・フレームを送ってヘッド・オブ・ライン・ブロッキングを防ぐ、前項のいずれか 1 項に記載のスイッチ素子。

【請求項 6】 ステアリング・ステート・マシンは、IC スイッチ素子上の複数の総称タイプポートに複数のタグを書き込み、複数の総称タイプポートへデータ・フレームをマルチキャストするために用いられる、前項のいずれか 1 項に記載のスイッチ素子。

【請求項 7】 ステアリング・ステート・マシンは 1 以上のテーブルを有し、各テーブルは 1 以上のエントリを含み、各エントリはデータ・フレームを 1 以上の使用可能なデータ・チャンネルヘルディングすることを防ぐ有効ビットを含む、前項のいずれか 1 項に記載のスイッチ素子。

【請求項 8】 ステアリング・ステート・マシンはエイリアス・キャッシュを備え、選択されたアドレスを保管して、スイッチ素子上の複数の総称タイプポートへデータ・フレームをブロードキャスト、マルチキャスト及びユニキャストする、前項のいずれか 1 項に記載のスイッチ素子。

【請求項 9】 ステアリング・ステート・マシンは、受信したデータ・フレームを構文解析するトポロジにおける IC スイッチ素子の位置を識別するトポロジ識別子を備える前項のいずれか 1 項に記載のスイッチ素子。

【請求項 10】 ステアリング・ステート・マシンは、所望のスイッチ・ドメインへのチップ経路を識別するドメイン・ステアリング・テーブル、所望のスイッチ・ドメイン内の所望の IC スイッチ素子へのチップ経路を識別するエリア・ステアリング・テーブル、及び所望の IC スイッチ素子と所望のスイッチ・ドメイン内の所望のポートへのチップ経路を識別するポート・ステアリング・テーブルを備える、前項のいずれか 1 項に記載のスイッチ素子。

【請求項 11】 ドメイン・ステアリング・テーブル、エリア・ステアリング・テーブル及びポート・ステアリング・テーブルは、各々 1 以上のエントリを含み、各テーブル内の各エントリは、データ・フレームが 1 以上の使用可能データ・チャンネルヘルディングされることを防ぐためのハード・ゾーニングに使用する有効ビットを含む、前項のいずれか 1 項に記載のスイッチ素子。

【請求項 12】 ステアリング・ステート・マシンは、  
IC スイッチ素子上の複数の総称タイプポートへデータ・フレームをブロードキャスト、マルチキャスト及びユニキャストするための選択アドレスを保管するエイリアス・キャッシュと、

受信したデータ・フレームがエイリアス・キャッシュ内のエントリと一致しない場合に、IC スイッチ素子上の単一の総称タイプポートへデータ・フレームをユニキャストするために、所望のデータ・チャンネルへのチップ経路を識別する 1 以上のテーブルを含む、前項のいずれか 1 項に記載のスイッチ素子。

【請求項 13】 エイリアス・キャッシュは宛先フレームアドレスと比較される多数のエイリアス・キャッシュ・エントリを含み、

エイリアス・キャッシュは、エイリアス・キャッシュ・エントリと少なくとも一部の宛先フレームアドレスとの比較に基づき、選択された宛先内の 1 以上の総称タイプポートへ選択的に向けることができる、請求項 12 に記載のスイッチ素子。

【請求項 14】 エイリアス・キャッシュ・エントリは、ドメイン・ＩＤ・フィールド、エリア・ＩＤ・フィールド及びポート・ＩＤ・フィールドの比較ができる３つのビットを含む、請求項 13 に記載のスイッチ素子。

【請求項 15】 スイッチ・シャーシであり、  
装置や他のスイッチ・シャーシのポートと接続できる所定数のシャーシ・ポートと、  
前項のいずれか 1 項に記載の少なくとも 1 つの  $n$  - ポート集積回路（ＩＣ）スイッチ素子とを含み、

$n$  個の総称タイプポートのうち少なくともいくつかは、上記所定数のシャーシ・ポートと接続されるスイッチ・シャーシ。

【請求項 16】 少なくとも 1 つのＩＣスイッチ素子は 1 つの  $n$  - ポート・スイッチ素子であり、該ＩＣスイッチ素子の  $n$  個の総称タイプポート各々をシャーシ・ポートの 1 つと接続して  $n$  - ポート・スイッチ・シャーシを形成する、請求項 15 に記載のスイッチ・シャーシ。

【請求項 17】 前記少なくとも 1 つのＩＣスイッチ素子は複数の  $n$  - ポート・スイッチ素子を含み、

該複数の  $n$  - ポート・スイッチ素子各々について、 $n$  個の総称タイプポートは、第一のグループの総称タイプポートと第二のグループの総称タイプポートを含み、

スイッチ・シャーシは、複数の  $n$  - ポート・スイッチ素子内の第一のグループの総称タイプポートを使用してＩＣスイッチ素子間に形成される素子間リンクを更に含み、

スイッチ・シャーシは、第二のグループの総称タイプポートを使用して形成されるシャーシ・ポートへのデータリンクを更に含む、請求項 15 又は 16 に記載のスイッチ・シャーシ。

【請求項 18】 素子間リンクが縦続構造である、請求項 15 ~ 17 のいずれか 1 項に記載のスイッチ・シャーシ。

【請求項 19】 素子間リンクがメッシュ構造である、請求項 15 ~ 17 のいずれか 1 項に記載のスイッチ・シャーシ。

【請求項 20】 少なくとも 1 つのＩＣスイッチ素子が第一のグループの  $n$  - ポート・スイッチ素子と第二のグループの  $n$  - ポート・スイッチ素子を含み、

第一のグループの  $n$  - ポート・スイッチ素子について、各々の  $n$  個の総称タイプポートは、第一のグループの総称タイプポートと第二のグループの総称タイプポートを含み、

スイッチ・シャーシは、第一のグループのＩＣ・ $n$  - ポート・スイッチ素子内の第一のグループの総称タイプポートと第二のグループの  $n$  - ポート・スイッチ素子内の総称タイプポートとの間に形成される素子間リンクを更に含み、

スイッチ・シャーシは、シャーシ・ポートと第一のグループの  $n$  - ポート・スイッチ素子内の第二のグループの総称タイプのポートとの間に形成されるデータリンクを更に含む、請求項 15 又は 16 に記載のスイッチ・シャーシ。

【請求項 21】 第一のグループのＩＣスイッチ素子各々について、 $n$  個の総称タイプポートは、第三のグループの総称タイプポートを更に含み、

スイッチ・シャーシは、第一のグループのＩＣスイッチ素子の第三のグループの総称タイプポートを用い、第一のグループのＩＣスイッチ素子内の各素子間に形成される縦続素子間リンクを更に含む、請求項 20 に記載のスイッチ・シャーシ。

【請求項 22】 スイッチ・シャーシは 1 以上の他のスイッチ・シャーシと接続してスイッチ・ネットワークを形成する、請求項 15 ~ 21 のいずれか 1 項に記載のスイッチ・シャーシ。

【請求項 23】 スイッチ・システムであり、

請求項 1 に記載の  $n$  - ポート・スイッチ素子を複数有し、該  $n$  - ポート・スイッチ素子は互いに相互接続して、各スイッチ素子のポートがシャーシ内の隣接するスイッチ素子と接続する縦続リンク相互接続によりスイッチ・シャーシを形成する、スイッチ・システム。

【請求項 24】 スイッチ・システムであり、

請求項 1 に記載の  $n$  - ポート・スイッチ素子を複数有し、該  $n$  - ポート・スイッチ素子は互いに相互接続して、各スイッチ素子のポートがシャーシ内のそれぞれ別のスイッチ素子と直接接続するメッシュリンク相互接続によりスイッチ・シャーシを形成する、スイッチ・システム。

【請求項 25】 スイッチ・システムであり、

請求項 1 に記載の  $n$  - ポート・スイッチ素子を複数有し、該  $n$  - ポート・スイッチ素子は互いに相互接続して、いくつかのスイッチ素子はシャーシ・チャンネルに接続し、かつリンクを形成する別の所定数のスイッチ素子各々にも接続するポートを有するマイクロステージリンク相互接続によりスイッチ・シャーシを形成する、スイッチ・システム。