

發明專利說明書 200301959

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：91135285 ※IPC分類：H01L 23/48, 23/31

※申請日期：91-12-05

壹、發明名稱

(中文) 封裝之積體電路及其方法

(英文) PACKAGED INTEGRATED CIRCUIT AND METHOD THEREFOR

貳、發明人 (共 1 人)

發明人 1 (如發明人超過一人，請填**說明書發明人續頁**)

姓名：(中文) 納特 D. 佛

(英文) NHAT D. VO

住居所地址：(中文) 美國德州奧斯汀市崔賽大道 2605-B 號

(英文) 2605-B TRAILSIDE DRIVE, AUSTIN, TEXAS 78704,

U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填**說明書申請人續頁**)

姓名或名稱：(中文) 美商摩托羅拉公司

(英文) MOTOROLA INC.

住居所或營業所地址：(中文) 美國伊利諾州史堪伯市東阿崗崑路 1303 號

(英文) 1303 EAST ALGONQUIN ROAD,

SCHAUMBURG, ILLINOIS 60196, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

代表人：(中文) 派翠西亞 S. 高達

(英文) PATRICIA S. GODDARD

捌、聲明事項

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 美國；2001年12月11日；10/013,401

2. _____

3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國；2001年12月11日；10/013,401

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

先前專利申請案參考

本專利申請案已於2002年12月11日於美國申請為專利申請案第10/013,401號。

發明領域

本發明係關於封裝之半導體，而更特定言之，係關於以封膠封裝積體電路。

發明背景

在以塑膠球柵陣列(PBGA)封裝積體電路時，為了保護裝置免於環境損害，通常執行塑模填充過程以封膠積體電路。為了執行封膠，將空腔放在半導體晶粒上，覆蓋封裝的基板，而封膠的材料則流到半導體晶粒上面與空腔下面。可是，由於封裝基板與空腔底部邊緣的間隙，此一過程通常導致封膠流到空腔下面的區域(溢出)，而該間隙則是由封裝基板上存在跡線(金屬線)所引起的。此一溢出降低了所得之封裝的品質，並且可能是封裝與封膠設備的可靠性問題。此外，溢出是很不美觀的。因此，執行額外的後續清理製程步驟，以從封裝基板與封膠設備，移除溢出的材料。

一種處理溢出的方法是對半導體封裝的頂部與底部表面，施加大的壓力，使封裝基板與空腔之間的間隙最小化。此一大的壓力導致銲接抗蝕劑破裂，而銲接抗蝕劑是形成於積體電路與跡線上面的保護層。舉例來說，銲接抗蝕劑破裂可能使封裝基板易於腐蝕，導致裝置可靠性的降低。

(2)

為了降低銲接抗蝕劑破裂，並於封膠形成期間，允許施加大的壓力，如圖1所示，可以在封裝基板5上形成虛構的跡線10。積體電路20上的黏合襯墊30係藉由電線黏合劑40與結合指狀物45連接到電跡線50。電跡線50包含一黏合連接12，一信號部分15與一電鍍部分17。虛構的跡線與封裝基板5的邊緣垂直，與/或平行於電鍍部分17。虛構的跡線10並不電氣地連接到積體電路20。使用虛構跡線10的一個問題是其不足以避免精細的填充物封裝材料溢出，而精細的填充封裝材料係通往精細樹脂電線黏合的工業策略，這意味著減少黏合襯墊30之間的距離到少於約60微米。對於精細樹脂電線黏合，在封裝材料上，需要較小的填充物，以減少電線延展。(電線延展是鄰接電線的接觸或短路。)封膠之虛構跡線10之間間隙並不足以擋住粒子，特別是用於精細填充物封膠材料的那些。因此，使用精細填充材料作為精細樹脂封裝時，需要避免溢出。

實施方式

為了處理塑膠半導體封裝中封膠塑模溢出與銲劑光罩破裂，而在鄰接的電跡線對之間，形成屏障跡線。通常，屏障跡線是對應於鄰接電跡線對的複數個屏障跡線。屏障跡線實質上平行於最靠近封裝封膠周圍的部分。屏障跡線通常也垂直於主(最大部分的)電跡線。屏障跡線可以是電跡線的一部分，連接到電跡線，電氣地與電跡線隔離，或不與電跡線接觸。此外，屏障跡線可以是單行的跡線，交錯結合的線路，多行實質上平行的跡線，其類似之線路，或上

(3)

述之結合。

圖2顯示PBGA之頂視圖，其包含安裝於封裝基板130之上表面的積體電路或半導體晶粒60的上表面。積體電路60包含黏合劑襯墊70，其藉由電線黏合劑80電氣地連接到黏合連接105。如圖2所示，黏合連接105是黏合指狀物，意味著其為電線黏合連接的跡線部分。可是，如果積體電路60不是電線黏合到封裝基板130的，而是，舉例來說，使用覆晶製程封裝積體電路60，則黏合連接105可以是黏合襯墊。或者是，可以使用任何其他類型的黏合連接105。

黏合連接105可以連接到電跡線100，而如所說明的，在黏合連接105是黏合指狀物的具體實施例中，黏合指狀物可以是電跡線100的一部分。電跡線100包含一信號部分或跡線117，其於後續處理之後，經由小孔90傳輸任何信號，如電源與電壓供應，其中信號部分或跡線117係與封裝下面的錫接球狀物接觸。錫接球狀物從封裝外面的積體電路晶粒60傳輸信號。對於電跡線100，其可能只是信號部分，而電跡線100則可能包含其他的部分或跡線。

電跡線100也可以包含電鍍部分110，其當作封裝基板上所有跡線之後續電路的陰極。舉例來說，封裝積體電路200的所有跡線可以是銅，並藉由無電或有電電鍍，與一層鎳與一層金一起電鍍。如所示，類似於黏合連接105，電鍍部分110可以是電跡線100的一部分。如所示，如果使用電鍍過程電鍍跡線，電跡線100的電鍍部分110應該終止於封裝基板130的邊緣。如果改用無電電路過程，則電跡線100可

(4)

以不在封裝基板130的邊緣終止，因為無電電鍍過程不需要電鍍部分。

在電跡線100之間的是屏障跡線或障壁跡線120。屏障跡線120可以是電跡線100的一部分或獨立或分開的跡線。在圖2所示的具體實施例中，電跡線100具有信號部分117，電鍍部分110，黏合連接105與屏障電鍍部分118。而且，分開的障壁部分119係連接到電跡線100。屏障電鍍部分118與分開的障壁部分119形成障壁跡線120。在圖2中，每一障壁跡線120係連接到一電跡線100，並且不連接到其他的電跡線100。在下面討論的具體實施例中，障壁跡線120不與任何電跡線100相交或電氣地連接。在一些具體實施例中，情況為電跡線是共用電源或接地，要求障壁跡線120連接到多個電跡線100可以是有用的或需要的。可是，障壁跡線120將不電氣地連接到所有電跡線100。

在圖2所示的具體實施例中，屏障跡線120形成實質上的「S」形結構，其重疊以形成行，但不彼此連接。實質上「S」形狀意味著至少一部分跡線具有少於180角度，或是彎曲的。在一具體實施例中，屏障跡線120與電跡線100是以最近點彼此不超過50微米相分隔，或最好不超過25微米。實質上「S」形狀的屏障跡線120包含屏障電鍍部分118與分開的障壁部分119，其皆彼此鄰接或實質上互相平行。

如圖2所示，障壁跡線120係在鄰接電跡線100之間，因為在障壁跡線120之間，沒有其他的電跡線100置放於其間。可是，電跡線100可能交錯安排，使障壁跡線120不在直接

(5)

鄰接的電跡線100之間。如本文中所述的，「鄰接」意指彼此相鄰的兩結構，但其間可以具有結構，而「直接鄰接」意指彼此相鄰的兩結構，而且其間不具任何結構。

在圖2所示的具體實施例中，所有障壁跡線120終止電鍍部分110。可是，這不是必要的。舉例來說，屏障跡線可以在小孔90或在具有小孔90的電跡線100上終止，其中小孔90在基板之另一層上包含電鍍部分110。屏障跡線120不終止電鍍部分110的另一實例，是使用無電鍍時。屏障跡線120的主要目的，是在封膠期間，尤其使用封膠，以精細樹脂電線黏合覆蓋或防護積體電路時，阻礙或避免塑模封膠流到放在封裝基板上面之空腔的外面。通常，精細樹脂電線黏合意指黏合劑襯墊70彼此相距少於60微米。封膠中的粒子通常具有直徑20微米大小的填充粒子。在圖2所示的具體實施例中，屏障跡線是彎曲的，以幫助阻礙進封膠材料的流動。此外，多行中跡線的存在也幫助阻礙封膠流動。

當形成電跡線100時，可以製造屏障跡線120。通常，這些步驟是在製造封裝基板130期間實施。使用傳統製程沉積與圖案化金屬層。因此，為了將屏障跡線120添加到封裝基板，封裝基板130上蝕刻的金屬圖案，不需要製程化學或次序上的改變。可以改變光罩圖案成為所需的組態。

在積體電路60電線黏合至黏合連接105之後，使用任何理想的沉積方法，在封裝基板130，電跡線100與障壁跡線120頂部表面，沉積鍍接抗蝕層140。接著，執行塑模封膠製程。圖3說明塑模封膠之後，封裝積體電路200之一部分的剖

(6)

發明說明書頁

面圖。對於塑模封膠製程，空腔係放在封裝的積體基板130上面，並且在障壁跡線120之鄰接或一部分上面終止。在一較佳具體實施例中，空腔是放在或鄰接屏障跡線120的最內邊緣。接著，空腔填充塑模封膠，然後在後續熱處理使封膠150形成於封裝基板130與積體電路60上面之後，移除塑模封膠。封膠的周圍(外緣)顯示如圖2中的線170。

如圖2所示，至少一部分屏障跡線120位於封膠外面，並且實質上平行於封膠周圍170的最靠近部分。在一具體實施例中，每個屏障跡線120之大部分(超過50%)位於封膠周圍的外面，而每個屏障跡線120的小部分(少於50%)則位於封膠的裡面。但是，所有或一部份屏障跡線120位於封膠周圍170的外面並不重要。屏障跡線120或其一部分，可以與封膠的外圍排成一行。換句話說，一部分屏障跡線120是在距離基板最近的位置，其少於或等於封膠的周圍與基板最近邊緣的距離。一部分屏障跡線120離基板邊緣的距離，不比距離封膠周圍遠。

在屏障跡線120具有屏障跡線120之多重平行行的具體實施例中，較內部的行可以是僅有實質上與封膠之周圍鄰近的行，因為其存在將阻礙或避免封膠通過。或者是，最內部的行可以是在所需之塑模封膠裡面，而較外面的行則可以是在封膠周圍裡面，外面或與其鄰接。因此，如果有的話，沒有很多封膠通過屏障跡線120，而一部分屏障跡線120可能是實質上與封膠周圍鄰接或排成一行的。

在形成所述之封膠之後，執行額外的傳統處理，以使銲

(7)

接球狀附著於封裝基板130。所得之完整封裝積體電路可以安裝於印刷電路板，以執行所需的功能。

圖4顯示屏障跡線的另一具體實施例。屏障跡線121是交叉的，並且是實質上的「Y」形狀。屏障跡線121具有內部跡線122，外部跡線123與中間跡線124，其中中間跡線比外部跡線123靠近半導體晶粒60，但比內部跡線遠離半導體晶粒60。此外，中間跡線124緊鄰內部跡線122與外部跡線123，並位於其間。內部跡線122，外部跡線123，與中間跡線124可以藉由共同電跡線100，電氣地連接。內部跡線122，外部跡線123與中間跡線124，所有均實質上與封膠150之邊緣170平行。內部跡線122與中間跡線124實質上彼此平行，而在一具體實施例中，彼此相隔不超過50微米，而以25微米較佳。在此一具體實施例中，中間跡線124與內部跡線122鄰接，並且實質上與其平行。此外，在一具體實施例中，中間跡線124與外部跡線123實質上彼此平行，而且彼此相隔不超過50微米，或以25微米較佳。在此一具體實施例中，中間跡線124係與外部跡線123鄰接，並且實質上與其平行。

在圖4所示之具體實施例中，每一屏障跡線121係電氣地連接到一電跡線100，而且每一個終止於電鍍部分110。在所示的具體實施例中，每一屏障跡線121並不是電氣地連接超過一個電跡線100。而在某些情況中，每一屏障跡線121可以連接超過一個電跡線100，而且每一屏障跡線121可以不終止於電鍍部分110。

(8)

發明說明續頁

圖5說明本發明之另一具體實施例。圖5所示之屏障跡線125可以取代圖2中的屏障跡線120。屏障跡線125是長方形的跡線，其不電氣地連接到任何電跡線100，但是連接到電鍍跡線110。屏障跡線125可以是一個長方形，其比封裝基板130上的電跡線100，等於，或實質上較寬。或者是，屏障跡線125可以是兩條平行且較瘦的的長方形跡線。在屏障跡線125是實質上比電跡線100寬的具體實施例中，屏障跡線125至少是電跡線100寬度的三倍。在另一具體實施例中，屏障跡線125可以連接到至少一電跡線100，而如果有的話，至少可以連接到電鍍部分110上之一電跡線100。

如先前所討論之屏障跡線120，121與125的存在，幫助封膠溢出的阻礙或避免，阻隔封膠能夠離開空腔的區域。既然減少了封膠能夠離開空腔的空間，較精細的粒子較不能溢出。因此，不像先前技藝，屏障跡線120，121與125能夠使用具有精細填充物的封膠。

溢出是一個品質上的問題，而且應該避免。此外，減少溢出降低從塑模移除溢出碎片的維護頻率，以避免對電線黏合與積體電路的損害，而這可能引起可靠性的問題。

屏障跡線120，121，與125的另一優點是減少銲接抗蝕劑破裂，因而增加封裝的可靠性與良率。此外，屏障跡線120，121與125使在流動塑模封膠製程期間，施用的力可以增加。如先前所討論的，銲接抗蝕劑破裂係由用來減少空腔與封裝互連電路200之間間隙的壓力所引起。可是，屏障跡線120，121與125的存在，使封裝積體電路200形成比任何

(9)

發明說明續頁

先前技藝方法更平坦的表面。此一增加之平坦度相信能減少銲接抗蝕劑破裂的數量，即使在封膠填充期間，對封裝互連電路200施用更大的力。為了減少封裝基板130與空腔之間的間隙，塑模封膠製程期間，使用較大的力是需要的。愈小的間隙，將發生越少的溢出。因此，屏障跡線120，121與125的存在，至少阻礙溢出，尤其是使用精細填充材料供精細樹脂封裝時。

雖然如附圖所示，障壁跡線係與封膠在封裝基板130的同一側面，可是障壁跡線可以形成於反面，或封裝基板130內的任何金屬層。在此一具體實施例中，障壁跡線在封膠的周圍排成一行。舉例來說，其可以在外面排成一行，與其鄰接，或在周圍的內部。障壁層將提供基板增加均勻的厚度。此一改良之均勻度於封膠期間，協助減少基板與塑模空腔之間的間隙，從而進一步減少溢出。熟諳此藝之士應了解障壁跡線可以與封膠在封裝基板的同一側面，與封膠在封裝基板的反面，在封裝基板內的金屬層上，或上述的組合。舉例來說，如果金屬層存在封裝基板之頂部側面，可能希望障壁層在頂部側面。如果金屬層，如用來附著銲接球狀物的金屬，是在封裝基板的底部側面上，則可能希望障壁層在底部側面。而如果金屬層在兩面上，則可能希望障壁層在兩面上。或者是，如果其提供增加的均勻度，則障壁層可以在封裝基板內的金屬層。

雖然以BGA's敘述以上之本發明，屏障跡線120的存在對任何藉由流動形成封膠的封裝都是有益的，此等封裝如附

晶與鉛封。加鉛封裝使用鉛而不是銲接球狀物，供信號從封裝積體電路移動到印刷電路板。此外，附圖顯示積體電路60之封膠是在單一的封裝基板130上，可是，如在塑模陣列封裝(MAP)製程所做的，在封膠期間，於封裝基板130之頂部表面上具有多積體電路60的地方，也可以使用障壁跡線。

在前述說明書中，已經參考特定具體實施例敘述本發明。可是，熟諳此藝之士了解可以做各種不同的修改與改變，而不脫離下面所提出之申請專利範圍的範圍。舉例來說，可以使用關於圖2，4與5中所顯示或敘述之屏障跡線的其他設計，如屏障跡線120，121或125，可以垂直於電跡線100。此外，可以改變所使用之屏障跡線的數目。在設計中，可以使用少於或超過所顯示或所敘述的那些。此外，障壁跡線可以是任何形狀，包含未描述之規則或不規則的形狀。舉例來說，障壁跡線可能是花生形狀的，三角形，凹月形狀的，或其類似之形狀。此外，銲接抗蝕劑可以存在於障壁跡線與封膠之間。因此，如果封膠與障壁跡線鄰近，銲接抗蝕劑可能是在封膠與障壁跡線之間。因此，說明書與附圖是一種說明，而不是限制之意，而所有這些修改傾向於包含於本發明之範圍中。

此外，敘述中或申請專利範圍中之前，後，上，下，上面，下面等詞，與其類似之名詞，如果有的話，是為了說明的目的，而沒有必要敘述固定的相對位置。應了解的是所用的詞語在適當的環境下是可以交換的，所以，舉例來

(11)

說，本文所敘述之具體實施例，能夠以本文所說明或敘述的那些之外的其他方向操作。已經以特定具體實施例敘述益處，其他優點，與問題的解決方法。可是，可能引起任何益處，優點或解決方案的發生，或變得更顯著的益處，優點，問題的解決方法，與其他元件，並不當成任何或所有申請專利範圍之緊要的，必要的，或基本特徵或元件。如本文所使用的，「包括」，「包含」或其任何其他變化，傾向於涵蓋非排他性的包含，所以過程，方法，項目，或包括一系列元件之裝置，並不是僅包含這些元件，而是可能包含未明確列出，或此等過程，方法，項目，或裝置固有的其他元件。

圖式簡單說明

以上藉由實例說明本發明，並且不受限於附圖，其中相似的參考數字指示類似的元件，而其中：

圖1說明使用虛構跡線之先前技藝BGA封裝的頂視圖；

圖2說明一種封裝之頂視圖，其係根據本發明之一具體實施例；

圖3說明圖2之剖面圖；及

圖4與5說明本發明之其他具體實施例的頂視圖。

熟諳此藝之士了解附圖中的元件是為了簡單與清楚說明，而不需要按照尺度繪製。舉例來說，附圖中某些元件的大小可能相對其他元件誇大，以幫助對本發明之具體實施例的了解。

圖式代表符號說明

(12)

5,130	封裝基板
10	虛構的跡線
20,200	積體電路
30,70	黏合劑襯墊
50, 100	電跡線
40,80	電線黏合劑
45	黏合指狀物
12,105	黏合連接
15,117	信號部分
17,110	電鍍部分
60	半導體晶粒
90	小孔
120,121,125	屏障跡線
119	屏障跡線
118	電鍍部分
130	基板
140	銲接抗蝕層
150	封膠
170	封膠周圍
122	內部跡線
123	外部跡線
124	中間跡線

肆、中文發明摘要

為了減輕塑膠半導體封裝中之封膠塑模溢出與錫劑光罩破裂，而形成以金屬跡線建構而成的閘結構(119, 123, 125)，此一閘結構並與塑模周邊(170)成一直線。在一具體實施例中，每一閘跡線僅連接至一電跡線，此一電跡線包含熱壓錫連接(105)，信號部分(100)與電鍍部分(118)。舉例來說，閘跡線可以由比任何信號跡線或多行跡線寬的跡線(125)組成。結果是封膠塑模溢出的減少，也因此，完全不需要執行清除溢出的製程。

伍、英文發明摘要

To mitigate mold encapsulant bleeding and solder mask cracking in plastic semiconductor packages, a damming structure (119, 123, 125) constructed from metal traces is formed in-line with the encapsulant perimeter (170). In one embodiment, each damming trace is connected to only one electrical trace, which includes a bonding connection (105), a signal portion (100) and a plating portion (118). The damming traces can consist of one trace (125) that is wider than any of the signal traces or multiple rows of traces, for example. The result is a reduction in mold encapsulant bleeding and, thus, an eradication of the processes performed to clean the bleeding.

拾、申請專利範圍

1. 一種封裝積體電路(200)，包括：
 - 一基板(130)，其具有一頂部表面與一邊緣；
 - 一積體電路晶粒(60)，其安裝於基板(130)上；基板(130)之頂部表面上的封膠，其中該封膠具有一周圍(170)，其中周圍的第一部分是離開基板之邊緣的第一距離；及
 - 頂部表面上之第一障壁跡線(123，119，125)，其靠近封膠之周圍(170)的第一部分，並且實質上與封膠之周圍(170)的第一部分平行，其中一部分第一障壁跡線是離開基板邊緣之第二距離，而且第二距離少於或等於第一距離。
2. 如申請專利範圍第1項之封裝積體電路，其中第一障壁跡線(119，123，123)是在封膠之周圍外面。
3. 如申請專利範圍第1項之封裝積體電路(200)，進一步包括
 - 第一黏合連接(105)，其位於頂部表面上與周圍內部；
 - 第二黏合連接(105)，其位於頂部表面上與周圍內部；
 - 第一電跡線(100)，其位於基板上，並電氣地連接到第一黏合連接；及
 - 第二電跡線(100)，其緊鄰第一電跡線，並電氣地連接到第二黏合連接，其中第一障壁跡線係位於第一與第二電跡線之間。
4. 如申請專利範圍第3項之封裝積體電路，其中第一障壁

- 跡線(119, 123, 125)連接到第一電跡線(100)。
5. 如申請專利範圍第4項之封裝積體電路，進一步包括：
 第三黏合連接(105)，其位於頂部表面上與周圍內部；
 第三電跡線(100)，其緊鄰第二電跡線，位於基板上，
 並電氣地連接到第三黏合連接；及
 第二障壁跡線(124)，其位於頂部表面，其中一部分第二障壁跡線是離開基板邊緣之第三距離，而且第三距離不大於第一距離，而第二障壁跡線係位於第二與第三電跡線之間，並且實質上與周圍之第一部分平行。
 6. 如申請專利範圍第5項之封裝積體電路，第二障壁跡線(124)係連接到第二電跡線(100)。
 7. 如申請專利範圍第4項之封裝積體電路，進一步包括連接到第二電跡線之第二障壁跡線(119, 125, 124)，其中第二障壁跡線緊鄰第一障壁跡線之第一側面上的第一障壁跡線(119, 125, 123)，並且實質上平行於第一障壁跡線。
 8. 如申請專利範圍第7項之封裝積體電路，進一步包括第三障壁跡線(122)，其連接到緊鄰第二障壁跡線之第一電跡線(100)，並且實質上平行於第二障壁跡線。
 9. 一種封裝積體電路，包括：
 一基板(130)，其具複數個黏合連接(105)，複數個小孔(90)，與一邊緣；
 一積體電路晶粒(60)，其安裝於基板(130)上，並黏合到複數個黏合連接(105)；

複數個信號跡線(100)，從複數個黏合連接到複數個小孔；

基板上面的封膠，其環繞黏合連接，在積體電路之上面，並具有封裝周圍(170)；及

第一複數個障壁跡線(119, 123, 125)，其到基板的周圍不比到封膠周圍的距離遠，而且位於緊鄰之信號跡線對之間，而其中一部分第一複數個跡線係實質上平行於封膠周圍之最近的部分。

10. 一種使基板上之封裝積體電路具有一封膠周圍(170)與一邊緣之方法，包括：

形成封膠周圍(170)內之第一黏合連接(105)，封膠周圍(170)內之第二黏合連接(105)，第一電跡線(100)電氣地連接到第一黏合連接，第二電跡線(100)電氣地連接到第二黏合連接，而第一障壁跡線(119, 123, 125)實質上平行於其最靠近之封膠周圍的部分；

安裝積體電路晶粒(60)於基板上；

電氣地將積體電路晶粒(60)連接(80)到第一與第二黏合連接(100)；及

在積體電路晶粒上面形成一封膠，並於封膠周圍(170)終止。

拾壹、圖式

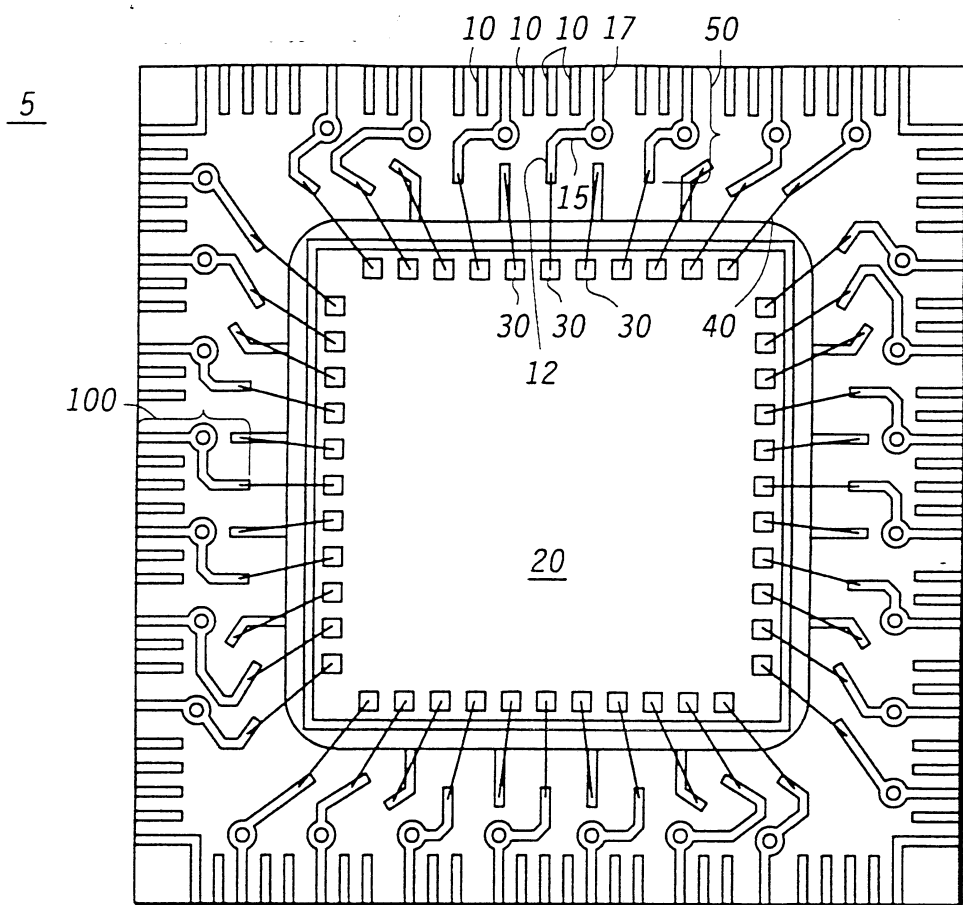


圖 1 先前技藝

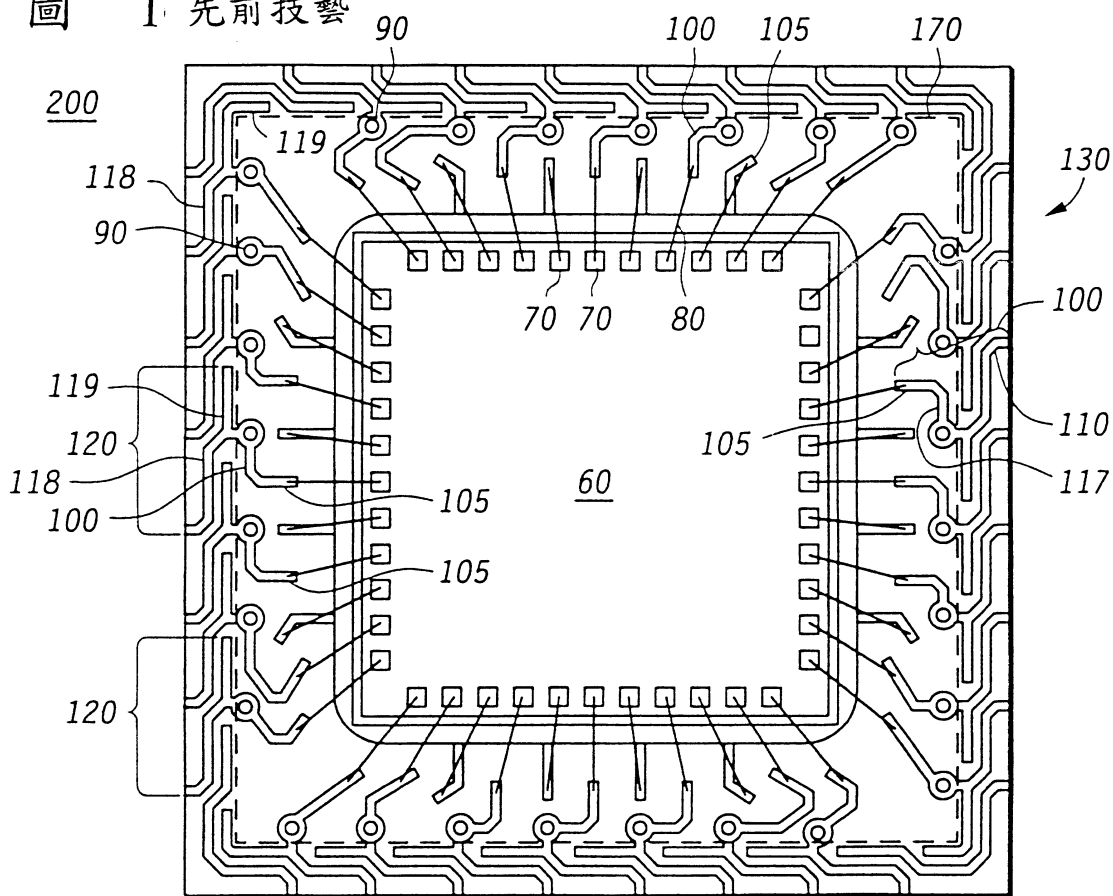


圖 2

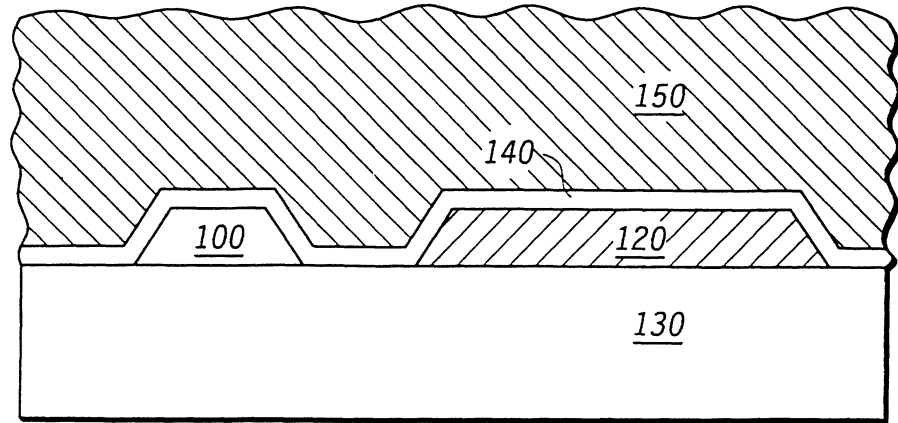


圖 3 200

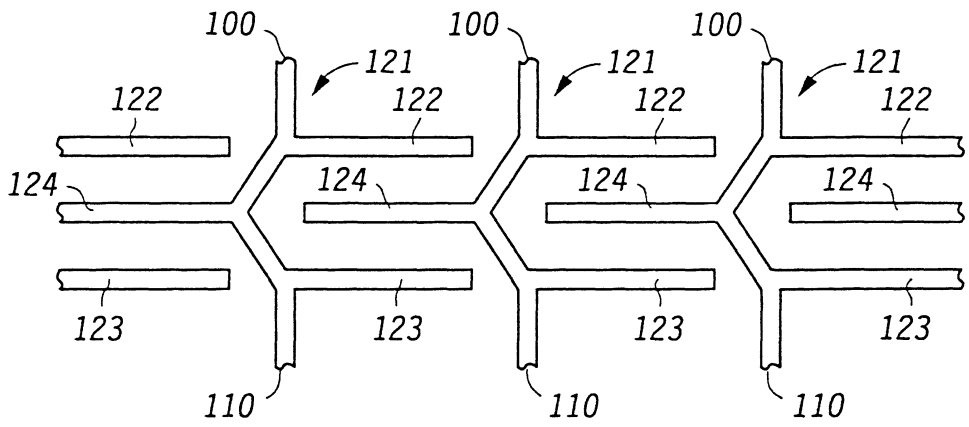


圖 4

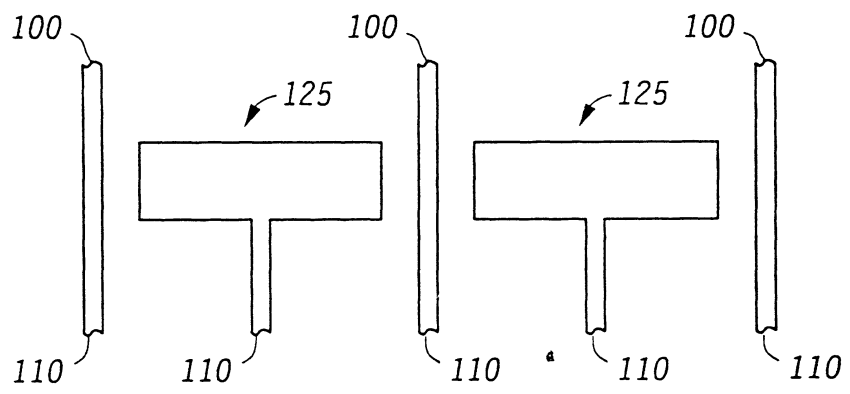


圖 5

陸、(一)、本案指定代表圖為：第 2 圖

(二)、本代表圖之元件代表符號簡單說明：

60	積體電路或半導體晶粒
70	黏合劑襯墊
80	電線黏合劑
90	小孔
100	電跡線
105	黏合連接
110	電鍍部分
117	跡線
118	電鍍部分
119,120	屏障跡線
130	基板
170	封膠周圍
200	封裝積體電路

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：