

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
1. September 2016 (01.09.2016)



(10) Internationale Veröffentlichungsnummer
WO 2016/134981 A1

(51) Internationale Patentklassifikation:

H01L 33/48 (2010.01) H01L 33/54 (2010.01)
H01L 25/075 (2006.01) H01L 33/62 (2010.01)
H01L 33/52 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2016/053018

(22) Internationales Anmeldedatum:
12. Februar 2016 (12.02.2016)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102015102699.6 25. Februar 2015 (25.02.2015) DE

(71) Anmelder: OSRAM OPTO SEMICONDUCTORS
GMBH [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: HERRMANN, Siegfried; Hauptstr. 24, 94362
Neukirchen (DE).

(74) Anwalt: EPPING HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT MBH;
Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

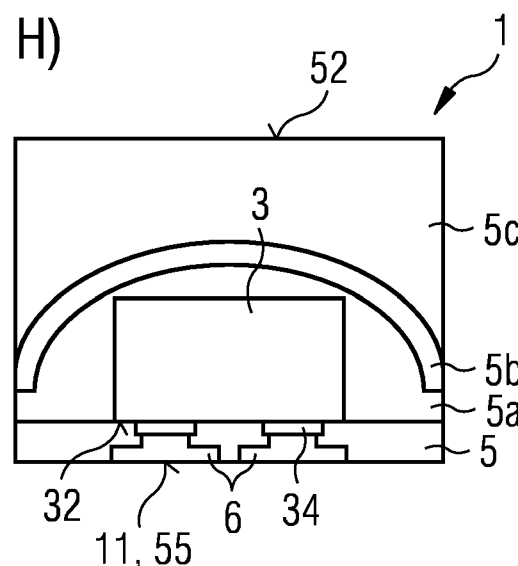
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING OPTOELECTRONIC SEMICONDUCTOR COMPONENTS, AND OPTOELECTRONIC SEMICONDUCTOR COMPONENT

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG VON OPTOELEKTRONISCHEN HALBLEITERBAUTEILEN UND OPTOELEKTRONISCHES HALBLEITERBAUTEIL

FIG 1 H)



(57) Abstract: The invention relates in at least one embodiment to the production of optoelectronic semiconductor components and comprises the steps: A) providing an intermediate carrier (2) having a plurality of fixing points (23), B) providing optoelectronic semiconductor chips (3) each having a chip upper side (30) and a mounting side (32) located opposite thereto, wherein electric contact points (34) of the semiconductor chips (3) are each located on the mounting sides (32), C) attaching connecting means (4), D) fixing the contact points (34) to the fixing points (23) by means of the connecting means (4), E) producing a potting layer (5), such that the semiconductor chips (3) and the contact points (34) and the connecting means (4) are directly surrounded all round by the potting layer (5), F) detaching the semiconductor chips (3), such that the connecting means (4) are removed from the semiconductor chips (3) and recesses (44) are each provided at the contact points (34) as a negative form in relation to the connecting regions (4), and G) producing

electric contact structures (6).

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

**Veröffentlicht:**

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

In mindestens einer Ausführungsform ist das Verfahren zur Herstellung von optoelektronischen Halbleiterbauteilen eingerichtet und umfasst die Schritte: A) Bereitstellen eines Zwischenträgers (2) mit mehreren Befestigungsstellen (23), B) Bereitstellen von optoelektronischen Halbleiterchips (3) mit je einer Chipoberseite (30) und einer dieser gegenüberliegenden Montageseite (32), wobei sich elektrische Kontaktstellen (34) der Halbleiterchips (3) je an den Montageseiten (32) befinden, C) Anbringen von Verbindungsmitteln (4), D) Befestigen der Kontaktstellen (34) auf den Befestigungsstellen (23) mittels der Verbindungsmittel (4), E) Erzeugen einer Vergusschicht (5), sodass die Halbleiterchips (3) und die Kontaktstellen (34) und die Verbindungsmittel (4) ringsum direkt von der Vergusschicht (5) umgeben sind, F) Ablösen der Halbleiterchips (3), sodass die Verbindungsmittel (4) von den Halbleiterchips (3) entfernt werden und an den Kontaktstellen (34) als Negativform zu den Verbindungsmitteln (4) je Ausnehmungen (44) entstehen, und G) Erzeugen von elektrischen Kontaktstrukturen (6).

Beschreibung

Verfahren zur Herstellung von optoelektronischen
Halbleiterbauteilen und optoelektronisches Halbleiterbauteil

5

Es wird ein Verfahren zur Herstellung von optoelektronischen
Halbleiterbauteilen angegeben. Darüber hinaus wird ein
optoelektronisches Halbleiterbauteil angegeben.

- 10 Eine zu lösende Aufgabe besteht darin, ein Verfahren
anzugeben, mit dem optoelektronische Halbleiterbauteile
effizient und kostengünstig herstellbar sind.

- 15 Diese Aufgabe wird unter anderem durch ein Verfahren und
durch ein optoelektronisches Halbleiterbauteil mit den
Merkmalen der unabhängigen Patentansprüche gelöst. Bevorzugte
Weiterbildungen sind Gegenstand der abhängigen Ansprüche.

- 20 Gemäß zumindest einer Ausführungsform ist das Verfahren zur
Herstellung einer Mehrzahl von optoelektronischen
Halbleiterbauteilen eingerichtet. Das Herstellen erfolgt
bevorzugt in einem Trägerverbund. Bei den fertigen
Halbleiterbauteilen handelt es sich insbesondere um
Leuchtdioden oder um Fotodetektoren.

25

- Gemäß zumindest einer Ausführungsform weist das Verfahren den
Schritt des Bereitstellens eines Zwischenträgers auf. Der
Zwischenträger weist eine Trägeroberseite auf. An der
Trägeroberseite befinden sich mehrere Befestigungsstellen.
30 Bei einem Material des Zwischenträgers kann es sich um ein
anorganisches Material handeln, beispielsweise um ein Glas
oder eine Keramik oder eine Metallfolie. Ebenso ist es
möglich, dass für den Zwischenträger organische Materialien

herangezogen werden, insbesondere Polymere, speziell duroplastische Materialien.

5 Gemäß zumindest einer Ausführungsform wird zumindest ein optoelektronischer Halbleiterchip bereitgestellt. Bei dem Halbleiterchip handelt es sich insbesondere um einen Leuchtdiodenchip oder um einen Fotodetektorchip.

10 Gemäß zumindest einer Ausführungsform weist der Halbleiterchip eine Chipoberseite und eine dieser gegenüberliegende Montageseite auf. Bei der Chipoberseite kann es sich um eine Strahlungshauptseite des Halbleiterchips handeln. Bevorzugt emittiert der Halbleiterchip im bestimmungsgemäßen Gebrauch sowohl Strahlung an der
15 Chipoberseite als auch an Seitenflächen des Halbleiterchips, wobei die Seitenflächen die Chipoberseite mit der Montageseite verbinden. In diesem Fall kann es sich bei dem optoelektronischen Halbleiterchip um einen so genannten Volumenemitter handeln.

20 Gemäß zumindest einer Ausführungsform befindet sich zumindest eine oder befinden sich alle elektrischen Kontaktstellen des Halbleiterchips jeweils an der Montageseite. Insbesondere weist der Halbleiterchip genau zwei elektrische
25 Kontaktstellen auf, die jeweils an der Montageseite angebracht sind. Mit anderen Worten handelt es sich bei dem Halbleiterchip dann um einen so genannten Flip Chip.

30 Gemäß zumindest einer Ausführungsform werden lokal an den Kontaktstellen und/oder an den Befestigungsstellen mehrere Verbindungsmittel angebracht. Das heißt, die Verbindungsmittel werden entweder an den Kontaktstellen an den Halbleiterchips angebracht oder alternativ an den

Befestigungsstellen an dem Zwischenträger. Der Begriff lokal bedeutet dabei insbesondere, dass das Verbindungsmittel nicht vollflächig aufgebracht wird, sondern dass das Verbindungsmittel begrenzt auf die Kontaktstelle und/oder

5 Befestigungsstellen aufgebracht wird. Das Aufbringen des Verbindungsmittels erfolgt beispielsweise über ein Druckverfahren oder über ein nur lokal benetzendes Abscheideverfahren, bei dem ein Material der Verbindungsmittel zum Beispiel nur an den Befestigungsstellen

10 haftet und von anderen Bereichen der Trägersoberseite abperl.

Gemäß zumindest einer Ausführungsform werden die Kontaktstellen und damit die Halbleiterchips an den Befestigungsstellen des Zwischenträgers befestigt. Das

15 Befestigen erfolgt mittels der Verbindungsmittel. Jede Kontaktstelle ist dabei bevorzugt über genau ein Verbindungsmittel eineindeutig mit der zugehörigen Befestigungsstelle verbunden. Die Befestigung der Halbleiterchips an dem Zwischenträger ist insbesondere

20 derart, sodass kein vorzeitiges Lösen der Halbleiterchips von dem Zwischenträger im bestimmungsgemäßen Verfahrensablauf erfolgt.

Gemäß zumindest einer Ausführungsform wird eine oder werden

25 mehrere Vergussschichten an der Trägersoberseite erzeugt. Durch die mindestens eine Vergussschicht sind die Halbleiterchips und die Kontaktstellen sowie bevorzugt auch die Verbindungsmittel ringsum von der Vergussschicht umgeben. Das heißt, in Draufsicht auf die Trägersoberseite gesehen

30 umgibt dann ein Material der Vergussschicht die Halbleiterchips sowie die Verbindungsmittel und die Kontaktstellen jeweils ringsum in einer geschlossenen Bahn. Dabei steht ein Material der Vergussschicht bevorzugt

stellenweise oder ganzflächig in direktem Kontakt mit dem Halbleiterchip, den Kontaktstellen und/oder den Verbindungsmitteln. Die Trägeroberseite kann dabei eben oder auch gekrümmt geformt sein. Mit gekrümmten Trägeroberseiten lassen sich beispielsweise Reflektorformen erzeugen, insbesondere wenn die Vergussschicht mit einer gleichmäßigen Dicke auf die Trägeroberseite aufgebracht wird.

Gemäß zumindest einer Ausführungsform bedeckt ein Material der Vergussschicht Seitenflächen der Kontaktstellen und der Verbindungsmittel vollständig. Die Seitenflächen sind dabei senkrecht oder im Wesentlichen senkrecht oder schräg zu der Trägeroberseite und/oder der Montageseite orientiert. Die Seitenflächen der Halbleiterchips sind bevorzugt nur teilweise von derjenigen Vergussschicht bedeckt, die dem Zwischenträger am nächsten liegt.

Gemäß zumindest einer Ausführungsform umfasst das Verfahren den Schritt des Ablösens der Halbleiterchips von dem Zwischenträger. Bei diesem Schritt werden bevorzugt die Verbindungsmittel teilweise oder vollständig von den Halbleiterchips entfernt. Hierdurch ist es möglich, dass die Kontaktstellen freigelegt werden und zumindest stellenweise frei zugänglich sind.

Gemäß zumindest einer Ausführungsform erfolgt das Ablösen der Halbleiterchips von dem Zwischenträger derart, dass an den Kontaktstellen je eine Ausnehmung in der Vergussschicht zurückbleibt. Die Ausnehmungen haben je eine Form, die einer Negativform zu den zuvor auf den Kontaktstellen angebrachten Verbindungsmitteln entspricht. Mit anderen Worten umformt die Vergussschicht zuerst die Verbindungsmittel ringsum und die Verbindungsmittel werden anschließend herausgelöst, so dass

anstelle der Verbindungsmittel in der Vergussschicht die Ausnehmungen entstehen.

Gemäß zumindest einer Ausführungsform werden elektrische Kontaktstrukturen an den Kontaktstellen erzeugt. Die elektrischen Kontaktstrukturen sind bevorzugt zu einer mechanischen und auch elektrischen Befestigung der Halbleiterbauteile eingerichtet. Über die Kontaktstrukturen können die fertigen Halbleiterbauteile bevorzugt über Löten oder über elektrisch leitfähiges Kleben etwa an einer Leiterplatte oder einer Wärmesenke mit Leiterbahnen montiert werden.

In mindestens einer Ausführungsform ist das Verfahren zur Herstellung von optoelektronischen Halbleiterbauteilen eingerichtet und umfasst die folgenden Schritte:

- A) Bereitstellen eines Zwischenträgers mit einer Trägeroberseite mit mehreren Befestigungsstellen,
- B) Bereitstellen von optoelektronischen Halbleiterchips mit je einer Chipoberseite und einer dieser gegenüberliegenden Montageseite, wobei sich elektrische Kontaktstellen der Halbleiterchips je an den Montageseiten befinden,
- C) Anbringen von Verbindungsmitteln lokal auf den Kontaktstellen und/oder auf den Befestigungsstellen,
- D) Befestigen der Kontaktstellen und damit der Halbleiterchips auf den Befestigungsstellen mittels der Verbindungsmittel,
- E) Erzeugen mindestens einer Vergussschicht an der Trägeroberseite, so dass die Halbleiterchips und die Kontaktstellen und die Verbindungsmittel seitlich ringsum direkt von der Vergussschicht umgeben sind und sich die Vergussschicht wenigstens stellenweise zwischen den Montageseiten und der Trägeroberseite befindet,

F) Ablösen der Halbleiterchips von dem Zwischenträger, sodass die Verbindungsmittel von den Halbleiterchips entfernt werden und an den Kontaktstellen als Negativform zu den Verbindungsmitteln je Ausnehmungen entstehen, und

- 5 G) Erzeugen von elektrischen Kontaktstrukturen an den Kontaktstellen.

Die Verfahrensschritte C) bis G) werden bevorzugt in der angegebenen Reihenfolge durchgeführt, wobei die

- 10 Verfahrensschritte A) und B) vorausgehen. Die Verfahrensschritte A) und B) können in ihrer Reihenfolge auch miteinander vertauscht werden.

Bei dem hier beschriebenen Verfahren werden durch die

- 15 reversibel an den Kontaktstellen anbringbaren Verbindungsmittel in der Vergussschicht die Ausnehmungen geformt. Die Ausnehmungen dienen somit als Form für die später zu erzeugenden elektrischen Kontaktstrukturen. Hierdurch ist es möglich, auf eine fotolithographische
- 20 Strukturierung der elektrischen Kontaktstrukturen zu verzichten. Da fotolithographische Strukturierungsschritte vergleichsweise kostenintensiv sind, ist das hier beschriebene Verfahren daher kosteneffizient durchführbar.

- 25 Gemäß zumindest einer Ausführungsform werden im Schritt G) die elektrischen Kontaktstrukturen derart in die Ausnehmungen eingebracht, so dass die Kontaktstrukturen die Ausnehmungen vollständig ausfüllen. Dabei können die erzeugten Kontaktstrukturen in Richtung weg von den Halbleiterchips
- 30 bündig mit der Vergussschicht abschließen, insbesondere mit einer Toleranz von höchstens 0,4 µm oder 1 µm oder 2 µm oder 5 µm. Alternativ ist es möglich, dass die Kontaktstrukturen,

in Richtung weg von den Halbleiterchips, die Vergussschicht überragen.

Gemäß zumindest einer Ausführungsform bedecken die fertig
5 erzeugten Kontaktstrukturen eine den Halbleiterchips
abgewandte Vergussschichtunterseite je zum Teil. Das heißt,
in Richtung hin zu den Halbleiterchips nimmt ein mittlerer
Durchmesser der Kontaktstrukturen zumindest bereichsweise ab.

10 Gemäß zumindest einer Ausführungsform wird ein Material der
elektrischen Kontaktstrukturen nur lokal in den Ausnehmungen
und/oder nahe der Ausnehmungen aufgebracht. Insbesondere wird
beim Erzeugen der Kontaktstrukturen keine durchgehende
Schicht aus einem Material der Kontaktstrukturen erzeugt. Das
15 heißt, das Material der Kontaktstrukturen wird inselartig an
den Ausnehmungen aufgebracht. Benachbarte Ausnehmungen sind
dann nicht durch eine durchgehende Bahn aus einem Material
der Kontaktstrukturen miteinander verbunden. Besonders
bevorzugt wird das aufgebrachte Material der
20 Kontaktstrukturen nachträglich nicht wieder entfernt. Mit
anderen Worten erfolgt das Aufbringen der Kontaktstrukturen
strukturiert und gezielt, ohne nachgelagerten Materialabtrag.

Gemäß zumindest einer Ausführungsform werden die
25 Verbindungsmittel lokal nur auf den Befestigungsstellen
aufgebracht. Das heißt, die Verbindungsmittel sind, in
Draufsicht auf die Trägeroberseite gesehen, inselförmige
Bereiche, die sich nur auf den Befestigungsstellen befinden.
Benachbarte Befestigungsstellen sind dann nicht durch ein
30 Material der Verbindungsmittel miteinander verbunden. Es
erfolgt im Schritt C) nach dem Aufbringen des Materials für
die Verbindungsmittel bevorzugt kein nachträgliches Entfernen
eines Teils dieses Materials.

Gemäß zumindest einer Ausführungsform sind die Verbindungsmittel je aus einem thermoplastischen Material geformt, insbesondere aus einem thermoplastischen Kunststoff.

- 5 Bevorzugt liegt eine Verarbeitungstemperatur und/oder ein Schmelzpunkt des thermoplastischen Materials bei mindestens 50 °C oder 100 °C oder 150 °C oder 175 °C und/oder bei höchstens 350 °C oder 275 °C oder 220 °C.
- 10 Gemäß zumindest einer Ausführungsform ist im Schritt D) der Zwischenträger auf eine Temperatur oberhalb Raumtemperatur, also oberhalb 23 °C, geheizt. Dabei liegt die Temperatur des Zwischenträgers unterhalb einer Verarbeitungstemperatur des thermoplastischen Materials. Die Verarbeitungstemperatur des
- 15 thermoplastischen Materials ist insbesondere eine solche Temperatur, bei der durch das Verbindungsmittel eine mechanisch feste Verbindung zwischen den Halbleiterchips und dem Zwischenträger erzeugt werden kann.
- 20 Gemäß zumindest einer Ausführungsform liegt im Schritt D) die Temperatur der Halbleiterchips oberhalb der Verarbeitungstemperatur des thermoplastischen Materials. Mit anderen Worten werden die Halbleiterchips vergleichsweise heiß auf die Verbindungsmittel aufgedrückt. Durch das
- 25 Aufdrücken der heißen Halbleiterchips auf die Verbindungsmittel werden die Verbindungsmittel kurzzeitig über die Verarbeitungstemperatur gebracht. Hierdurch erfolgt bevorzugt ein temporäres Anschmelzen oder ein Aufschmelzen der Verbindungsmittel, so dass die Halbleiterchips an das
- 30 Verbindungsmittel anhaften.

Gemäß zumindest einer Ausführungsform werden die Halbleiterchips im Schritt D) mit einem Bestückungsautomaten

auf den Verbindungsmitteln platziert. Bevorzugt erfolgt dabei ein Heizen der Halbleiterchips durch den Bestückungsautomaten. Das Heizen erfolgt zumindest oder ausschließlich in einer Bewegung des Halbleiterchips durch den Bestückungsautomaten. Das heißt, während die Bestückungsautomaten etwa von einem Wafer auf den Zwischenträger bewegt werden, sogenannte on the fly, werden die Halbleiterchips aufgeheizt. Das Heizen erfolgt bevorzugt auf eine Temperatur knapp, also zum Beispiel mindestens 10 °C oder 25°C und/oder höchstens 100 °C oder 50 °C, oberhalb der Schmelztemperatur des thermoplastischen Materials der Verbindungsmittel.

Gemäß zumindest einer Ausführungsform weisen die Kontaktstellen, in Draufsicht auf die Montageseite gesehen, einen größeren Durchmesser auf als die Verbindungsmittel. Insbesondere überragen die Kontaktstellen die je zugeordneten Verbindungsmittel ringsum, in Draufsicht gesehen.

Gemäß zumindest einer Ausführungsform weisen die fertigen Kontaktstrukturen einen größeren Durchmesser auf als die Kontaktstellen und/oder die Verbindungsmittel. Insbesondere überdecken die Kontaktstrukturen die Kontaktstellen und/oder die Verbindungsmittel vollständig, in Draufsicht gesehen.

Gemäß zumindest einer Ausführungsform ist an der Trägeroberseite des Zwischenträgers stellenweise eine Antihafschicht angebracht, beispielsweise eine Schicht aus einem perfluorierten Material wie Polytetrafluorethylen.

Durch die Antihafschicht ist ein Anhaften der Verbindungsmittel und/oder der Vergussschicht an dem Zwischenträger stellenweise verringert oder verhindert. Beispielsweise ist es durch eine solche Antihafschicht

möglich, dass sich ein Material der aufgeschmolzenen Verbindungsmittel nicht flächig über die Trägersoberseite verteilt, insbesondere nicht über die Befestigungsstellen oder bestimmter, vorgegebener Teilgebiete der

5 Befestigungsstellen hinaus.

Gemäß zumindest einer Ausführungsform ist die Vergussschicht reflektierend für die von dem Halbleiterchip im Betrieb emittierte Strahlung gestaltet. Insbesondere ist die

10 Vergussschicht auch undurchlässig für diese Strahlung. Beispielsweise erscheint die Vergussschicht einem Betrachter weiß.

Gemäß zumindest einer Ausführungsform ist eine

15 Bauteilunterseite der fertigen Halbleiterbauteile vollständig durch die Vergussschicht zusammen mit den Kontaktstrukturen gebildet. Das heißt, das Bauteil wird nach unten hin ausschließlich durch die Kontaktstrukturen und die Vergussschicht gebildet.

20

Gemäß zumindest einer Ausführungsform sind mindestens die Verfahrensschritte C) bis G) frei von fotolithographischen Strukturierungsprozessen. Insbesondere werden die Kontaktstrukturen nur lokal und somit strukturiert

25 aufgebracht, speziell nur im Bereich der Ausnehmungen in der Vergussschicht.

Gemäß zumindest einer Ausführungsform sind die Befestigungsstellen an der Trägersoberseite durch Podeste

30 ausgebildet. Das heißt, die Befestigungsstellen überragen dann verbleibende Bereiche der Trägersoberseite. Ein Überstand der Podeste über die verbleibenden Bereiche der Trägersoberseite liegt beispielsweise bei mindestens 0,5 µm

oder 1 μm oder 2 μm und/oder bei höchstens 10 μm oder 5 μm oder 2 μm . Die Podeste werden von den Verbindungsmitteln insbesondere in den Schritten D) und E) nur unvollständig bedeckt.

5

Gemäß zumindest einer Ausführungsform werden die Podeste ringsum im Schritt E) von dem Vergusskörper umgeben. Das heißt, Seitenflächen der Podeste sind dann bevorzugt vollständig von einem Material der Vergussschicht in direktem Kontakt bedeckt.

10

Gemäß zumindest einer Ausführungsform schließen die Kontaktstrukturen, in Richtung weg von den Halbleiterchips, nach dem Schritt G) bündig mit der Vergussschicht ab, bevorzugt mit einer Toleranz von höchstens 5 μm oder 2 μm oder 0,5 μm . Alternativ hierzu ist es möglich, dass die Kontaktstrukturen die Vergussschicht überragen, in Richtung weg von den Halbleiterchips.

15

Gemäß zumindest einer Ausführungsform werden im Verfahrensschritt E) mehrere Vergussschichten erzeugt, die bevorzugt jeweils unmittelbar aufeinander folgen. Hierbei reicht die Vergussschicht, die die Kontaktstellen berührt und die dem Zwischenträger am nächsten liegt, bevorzugt zu höchstens 10 % oder 25 % oder 45 % einer Dicke der Halbleiterchips, in Richtung weg von dem Zwischenträger. Das heißt, Seitenflächen der Halbleiterchips sind dann nur zu einem kleinen Teil von dieser Vergussschicht bedeckt.

25

Gemäß zumindest einer Ausführungsform weist eine oder mehrere der Vergussschichten zumindest einen Leuchtstoff auf. Der Leuchtstoff ist dazu eingerichtet, einen Teil oder die gesamte vom Halbleiterchip im Betrieb emittierte Strahlung in

30

eine Strahlung einer anderen, größeren Wellenlänge umzuwandeln.

Gemäß zumindest einer Ausführungsform sind genau zwei, genau
5 drei, genau vier oder mehr als vier Vergussschichten
vorhanden. Die Vergussschichten unterscheiden sich bevorzugt
wenigstens zum Teil hinsichtlich ihrer optischen
Eigenschaften. Beispielsweise ist genau eine Vergussschicht
mit einem Leuchtstoff vorhanden, die zwischen zwei
10 transparente Vergussschichten eingebettet ist. Die
Vergussschicht an den Kontaktstellen ist bevorzugt
reflektierend gestaltet.

Gemäß zumindest einer Ausführungsform sind alle
15 Vergussschichten unmittelbar nach dem Schritt E)
durchgehende, ununterbrochene Schichten. Das heißt, jede der
Vergussschichten wird dann lückenlos und ganzflächig
aufgebracht.

20 Gemäß zumindest einer Ausführungsform ist eine oder sind
mehrere der Vergussschichten linsenförmig gestaltet,
wenigstens in Teilbereichen. In diesem Fall kann durch die
Vergussschichten insbesondere eine konvexe Linsenform
realisiert werden. Jede der Linsenformen kann genau einem der
25 Halbleiterchips zugeordnet sein.

Gemäß zumindest einer Ausführungsform weist eine der
Vergussschichten eine ebene Vergussschichtoberseite auf, die
dem Halbleiterchip abgewandt ist. Diese ebene
30 Vergussschichtoberseite ist bevorzugt in den fertigen
Halbleiterbauteilen vorhanden. Hierdurch ist es möglich, dass
die fertigen Halbleiterbauteile quaderförmig, also kubisch,
oder auch würfelförmig geformt sind.

Gemäß zumindest einer Ausführungsform des Verfahrens wird die oder wird zumindest eine der Vergussschichten aus oder mit einer Folie erzeugt. Hierzu wird im Schritt E), nach dem

5 Schritt D), zuerst zumindest eine Folie aufgebracht. Die Folie oder wenigstens eine der Folien weist vorgefertigte Löcher für die Halbleiterchips auf. Die mindestens eine Folie wird so auf den Zwischenträger angebracht, sodass sich die Halbleiterchips in den Löchern befinden. Nachfolgend wird die

10 zumindest eine Folie aufgeschmolzen oder angeschmolzen oder es wird alternativ oder zusätzlich ein weiteres Vergussmaterial eingebracht, sodass die zumindest eine Folie und/oder das weitere Vergussmaterial in direktem Kontakt zu den Kontaktstellen, den Verbindungsmitteln und den

15 Halbleiterchips gelangen. Durch diese Art des Formpressens, englisch Molding, wird die mindestens eine Vergussschicht ausgebildet.

Darüber hinaus wird ein optoelektronisches Halbleiterbauteil

20 angegeben. Das Halbleiterbauteil ist bevorzugt mit einem Verfahren hergestellt, wie in Verbindung mit einer oder mehrerer der oben genannten Ausführungsformen angegeben. Merkmale des Verfahrens sind daher auch für das Halbleiterbauteil offenbart und umgekehrt.

25

In mindestens einer Ausführungsform weist das Halbleiterbauteil einen oder mehrere Leuchtdiodenchips auf, die eine Chipoberseite und eine dieser gegenüberliegende Montageseite aufweisen. Elektrische Kontaktstellen des

30 mindestens einen Leuchtdiodenchips befinden sich ausschließlich an der Montageseite. Das Halbleiterbauteil umfasst ferner mindestens eine Vergussschicht und elektrische Kontaktstrukturen an den Kontaktstellen. Der

Leuchtdiodenchip, die Kontaktstellen und die Kontaktstrukturen sind seitlich ringsum direkt von der Vergussschicht umgeben. Die Vergussschicht ist dabei undurchlässig und reflektierend für eine von dem

5 Leuchtdiodenchip im Betrieb emittierte Strahlung. Ferner ist die Vergussschicht bevorzugt elektrisch isolierend. Die Vergussschicht bildet, zusammen mit den elektrischen Kontaktstrukturen, vollständig eine Bauteilunterseite. In Draufsicht auf die Bauteilunterseite gesehen weisen die

10 Kontaktstrukturen bevorzugt einen größeren Durchmesser auf als die Kontaktstellen. Ferner verkleinern sich bevorzugt die Kontaktstrukturen in Richtung hin zur Montageseite bereichsweise. Hierdurch befindet sich stellenweise die Vergussschicht zwischen den Kontaktstrukturen und den

15 Kontaktstellen, in Richtung senkrecht zur Montageseite.

Nachfolgend werden ein hier beschriebenes Verfahren und ein hier beschriebenes optoelektronisches Halbleiterbauteil unter Bezugnahme auf die Zeichnung anhand von Ausführungsbeispielen

20 näher erläutert. Gleiche Bezugszeichen geben dabei gleiche Elemente in den einzelnen Figuren an. Es sind dabei jedoch keine maßstäblichen Bezüge dargestellt, vielmehr können einzelne Elemente zum besseren Verständnis übertrieben groß dargestellt sein.

25

Es zeigen:

Figuren 1, 4 und 5 schematische Schnittdarstellungen von Verfahrensschritten eines hier beschriebenen

30 Verfahrens zur Herstellung von hier beschriebenen optoelektronischen Halbleiterbauteilen,

Figur 2 schematische Schnittdarstellungen von
optoelektronischen Halbleiterchips für hier
beschriebene optoelektronische Halbleiterbauteile,
und

5

Figur 3 schematische Schnittdarstellungen einer Abwandlung
eines Verfahrens.

In Figur 1 ist ein Ausführungsbeispiel eines Verfahrens zur
Herstellung von optoelektronischen Halbleiterbauteilen 1
gezeigt.

Gemäß Figur 1A werden mehrere optoelektronische
Halbleiterchips 3, insbesondere Leuchtdiodenchips,
15 bereitgestellt. Die Leuchtdiodenchips 3 weisen eine
Chipoberseite 30 und eine dieser gegenüberliegende
Montageseite 32 auf. Elektrische Kontaktstellen 34 der
Halbleiterchips 3 befinden sich an der Montageseite 32. Bei
dem Halbleiterchip 3 handelt es sich bevorzugt um einen
20 Volumenemitter, der dazu eingerichtet ist, Strahlung an der
Chipoberseite 30 und auch an Seitenflächen zu emittieren.

Ferner wird ein Zwischenträger 2 bereitgestellt. Der
Zwischenträger 2 ist bevorzugt thermisch stabil. Dies kann
25 bedeuten, dass der Zwischenträger 2 bei Temperaturen von zum
Beispiel 250 °C oder 300 °C temperaturbeständig ist und
mechanisch stabil. Beispielsweise ist der Zwischenträger 2
durch eine Glasplatte, eine Metallfolie, eine Keramikscheibe,
einen Wafer etwa aus Silizium, einer Metallplatte etwa aus
30 Molybdän oder aus einem duroplastischen Kunststoff gebildet.
Ebenso können Verbundmaterialien für den Zwischenträger 2
eingesetzt werden.

An einer Trägeroberseite 20 des Zwischenträgers 2 befinden sich mehrere Befestigungsstellen 23. Die Befestigungsstellen 23 erheben sich bevorzugt podestartig über restliche Bereiche der Trägeroberseite 20.

5

Optional, wie auch in allen anderen Ausführungsbeispielen, kann sich an der Trägeroberseite 20 und auch an den Befestigungsstellen 23 stellenweise eine Antihafschicht 7, etwa eine Polytetrafluorethylenschicht, befinden. Durch diese Antihafschicht 7 wird ein Ablösen der nachfolgend hergestellten Halbleiterbauteile 1 von den Zwischenträgern 2 vereinfacht.

Ferner werden gemäß Figur 1A mehrere Verbindungsmittel 4 angebracht. Die Verbindungsmittel 4 werden entweder unmittelbar an den Befestigungsstellen 23, siehe die linke Figurenhälfte, oder an den Kontaktstellen 34 angebracht, siehe die rechte Figurenseite. Durch die Antihafschicht 7 ist erreichbar, dass bei einem Zusammenfügen der Halbleiterchips 3 mit dem Zwischenträger 2, vergleiche auch Figur 1B, ein Verfließen der Verbindungsmittel 4 unterbleibt.

Sind die Verbindungsmittel 4, wie in Figur 1A, linke Seite, gezeigt, an den Zwischenträger 2 angebracht, so wird bevorzugt der Zwischenträger 2 auf einer Temperatur gehalten, die unterhalb einer Verarbeitungstemperatur, insbesondere einer Schmelztemperatur der Verbindungsmittel 4 liegt. Zum Beispiel weist der Zwischenträger 2 eine Temperatur von ungefähr 80 °C auf. Die Halbleiterchips 3 werden insbesondere durch einen Bestückungsautomaten, englisch Pick and Place-Tool, insbesondere im Flug auf die Schmelztemperatur der Verbindungsmittel 4 gebracht. Eine Temperatur der Halbleiterchips liegt dann beispielsweise bei zirka 200 °C.

In diesem Fall kann es sich bei dem Verbindungsmittel 4 um das Material „Waferbond HT-10.10 Temporary Bonding Material“ handeln. Als Materialien für die Verbindungsmittel 4 kommen auch in Frage Acrylnitrilbutadienstyrol, kurz ABS, Polyamide, kurz PA, Polylactat, kurz PLA, Polymethylmethacrylat, kurz PMMA, Polycarbonat, kurz PC, Polyethylenterephthalat, kurz PET, Polyethylen, kurz PE, Polypropylen, kurz PP, Polystyrol, kurz PS, Polyetheretherketon, kurz PEEK, Polyvinylchlorid, kurz PVC, Zelluloid, Polyolefine.

10

Werden die Verbindungsmittel 4 vorab auf den Halbleiterchips 3 aufgebracht, siehe Figur 1A, rechte Seite, wird bevorzugt der Zwischenträger 2 lokal beheizt, beispielsweise elektrisch oder optisch.

15

Bevorzugt werden jeweils eine größere Anzahl der Halbleiterchips 3 matrixartig auf dem Zwischenträger 2 befestigt, siehe auch Figur 1C. In Figur 1C ist ferner gezeigt, dass eine erste Vergussschicht 5 aufgebracht wird.

20

Bei der Vergussschicht 5 handelt es sich bevorzugt um ein Strahlung reflektierendes Material. Insbesondere handelt es sich bei der ersten Vergussschicht 5 um eine Silikonschicht, der Titandioxid-Streupartikel beigegeben sind, beispielsweise in einem Masseanteil von ungefähr 25 %. Hierdurch erscheint die erste Vergussschicht 5 diffus reflektierend und weiß.

25

Die erste Vergussschicht 5 bildet eine dem Träger 2 zugewandte Vergussschichtunterseite 55 aus. Die erste Vergussschicht 5 umgibt die Verbindungsmittel 4, die Befestigungsstellen 23 sowie die elektrischen Kontaktstellen 34 ringsum und formschlüssig. Die gesamten, nicht von den Kontaktstellen 34 bedeckten Bereiche der Montageseite 32 sind von der ersten Vergussschicht 5 bedeckt.

30

Anders als dargestellt ist es möglich, dass die reflektierende, erste Vergussschicht 5 Seitenflächen der Halbleiterchips 3 nicht nur teilweise, sondern auch vollständig bedeckt. Gemäß Figur 1C reicht die erste Vergussschicht 5, in Richtung weg von dem Zwischenträger 2, jedoch nur bis knapp über die Montageseite 32. Beispielsweise bedeckt die erste Vergussschicht 5 die Seitenflächen der Halbleiterchips 3, gemessen ab der Montageseite 32, mit einer Höhe von mindestens 5 µm oder 10 µm oder 25 µm und/oder mit einer Höhe von höchstens 100 µm oder 50 µm oder 15 µm. Eine Gesamtdicke der ersten Vergussschicht 5 liegt zum Beispiel zwischen 10 µm und 50 µm oder zwischen 15 µm und 40 µm.

Eine Dicke der elektrischen Kontaktstellen 34 beträgt beispielsweise mindestens 200 nm oder 400 nm und/oder höchstens 5 µm oder 2 µm. Die Dicke der Verbindungsmittel 4 liegt bevorzugt bei mindestens 0,5 µm oder 1,5 µm und/oder bei höchstens 5 µm oder 2 µm. Ferner weisen die podestartig geformten Befestigungsstellen 23 insbesondere eine Höhe von mindestens 0,5 µm oder 2 µm und/oder von höchstens 100 µm oder 50 µm oder 25 µm oder 5 µm oder 2,5 µm auf.

In Figur 1D ist gezeigt, dass eine optionale, zweite Vergussschicht 5a aufgebracht wird. Zum Beispiel wird die zweite Vergussschicht 5a durch Aufsprühen oder durch Spritzpressen erzeugt. Ebenso kann die zweite Vergussschicht 5a aufgedruckt werden. Insbesondere handelt es sich bei der zweiten Vergussschicht 5a um eine Schicht aus einem transparenten Material, etwa um eine Silikonschicht. An den Halbleiterchips 3 kann die zweite Vergussschicht 5a linsenförmig, insbesondere ähnlich zu Konvexlinsen, geformt sein. Das heißt, an den Halbleiterchips 3 ist die zweite

Vergussschicht 5a dann kuppelförmig und/oder sphärisch geformt.

In Figur 1E ist zu sehen, dass auf die zweite Vergussschicht 5a eine dritte Vergussschicht 5b aufgebracht wird, beispielsweise mittels Übersprühen oder Aufdrucken.

Alternativ kann es sich bei der dritten Vergussschicht 5b um eine Folie handeln, die aufgelegt und/oder auflaminiert wird.

Bei einem Material der dritten Vergussschicht 5b handelt es

sich bevorzugt auch um ein Silikon. Ferner kann die dritte

Vergussschicht 5b einen Leuchtstoff oder eine

Leuchtstoffmischung enthalten. Eine Dicke der dritten

Vergussschicht 5b liegt insbesondere bei mindestens 10 µm

oder 20 µm und/oder bei höchstens 100 µm oder 60 µm.

Außerdem ist in Figur 1E zu sehen, dass eine vierte

Vergussschicht 5c aufgebracht wird, beispielsweise mittels

Formpressen oder Formspritzen, englisch Molding. Ein Material

der vierten Vergussschicht 5c ist wiederum bevorzugt ein

Silikon. Weiterhin bevorzugt ist die vierte Vergussschicht 5c

klarsichtig und transparent, kann alternativ aber auch

Partikel etwa zu einer Lichtstreuung oder zu einer Einfärbung

aufweisen. Durch die vierte Vergussschicht 5c ist eine

Vergussschichtoberseite 52 gebildet.

Gemäß Figur 1F werden der Zwischenträger 2 und die

Verbindungs mittel 4 abgelöst. Dies erfolgt beispielsweise

durch ein Erwärmen und ein Abschieben des Zwischenträgers 2.

Ebenso ist es möglich, dass die Verbindungs mittel 4 über

Laserablation aufgelöst werden. In diesem Fall handelt es

sich bei dem Zwischenträger 2 bevorzugt um einen

lichtdurchlässigen Träger, etwa um einem Glasträger.

Durch das Ablösen vom Zwischenträger 2 und das Auslösen der Verbindungsmittel 4 entstehen Ausnehmungen 44. Die Ausnehmungen 44 stellen eine Negativform der Befestigungsstellen 23 und der Verbindungsmittel 4, wie noch
5 im Verfahrensschritt gemäß Figur 1E vorhanden, dar. Das heißt, die elektrischen Kontaktstellen 34 sind dann stellenweise oder vollständig freigelegt. Bevorzugt sind die Kontaktstellen 34 nur stellenweise freigelegt.

- 10 In Figur 1G ist dargestellt, dass elektrische Kontaktstrukturen 6 an den elektrischen Kontaktstellen 34 ausgebildet werden. Die elektrischen Kontaktstrukturen 6 füllen die Ausnehmungen aus dem Verfahrensschritt gemäß Figur 1F bevorzugt vollständig aus und können bündig mit der
15 Vergusschichtunterseite 55 abschließen. Die Kontaktstrukturen 6 werden insbesondere durch ein Druckverfahren, beispielsweise durch Siebdrucken, erstellt. Die Kontaktstrukturen 6 sind bevorzugt aus zumindest einem Metall oder zumindest einer Metalllegierung gebildet.
- 20 Beispielsweise handelt es sich bei einem Material für die Kontaktstrukturen 6 um eine Legierung mit Sn, Ag und/oder Cu. Die Kontaktstellen 34 können aus einer von den Kontaktstrukturen 6 verschiedenen Materialzusammensetzung hergestellt sein und beispielsweise Ti, Au, Pt, Pd und/oder
25 Ni aufweisen oder hieraus bestehen.

- Im Verfahrensschritt, wie in Figur 1H dargestellt, erfolgt ein Vereinzeln zu den fertigen Halbleiterbauteilen 1. Bei diesem Vereinzeln ist es möglich, dass nur die
30 Vergusschichten 5, 5a, 5b, 5c, die bevorzugt allesamt aus weichen Materialien, speziell aus Silikonmaterialien, gebildet sind, durchtrennt werden müssen. Beim Vereinzeln

bleiben die kuppelförmigen Bereiche der zweiten Vergussschicht 5a bevorzugt vollständig erhalten.

Eine Bauteilunterseite 11 der fertigen Halbleiterbauteile 1 ist damit vollständig durch die erste Vergussschicht 5 und durch die Kontaktstrukturen 6 gebildet. Eine Fläche der Kontaktstrukturen 6, in Draufsicht auf die Bauteilunterseite 11 gesehen, ist bevorzugt größer als eine Fläche der Kontaktstellen 34. In Richtung hin zu den Halbleiterchips 3 weisen die Kontaktstrukturen 6 stellenweise eine kleinere Fläche und/oder einen kleineren Durchmesser auf als unmittelbar an der Bauteilunterseite 11. Mit anderen Worten ist eine Fläche der Kontaktstrukturen 6, gegenüber einer Fläche der Kontaktstellen 34, durch das hier beschriebene Verfahren expandierbar.

Außerdem können die Kontaktstrukturen 6 in dieser Anordnung thermische Verspannungen auffangen, insbesondere ermöglicht durch den Bereich der Kontaktstrukturen 6 nahe der Kontaktstellen 34 mit einem reduzierten Durchmesser. Aufgrund der vergleichsweise dünnen ersten Vergussschicht 5 kann zudem eine relativ große Emissionsfläche erzielt werden, insbesondere ist eine Emission von Licht an den Seitenflächen der Halbleiterchips 3 möglich. Durch die Gestaltung der weiteren Vergussschichten 5a, 5b, 5c können die optischen Eigenschaften, hinsichtlich Strahlverlauf und Wellenlänge, gezielt eingestellt werden.

In Figur 2 sind Beispiele für Halbleiterchips 3 gezeigt, die mit dem in Figur 1 beschriebenen Verfahren bearbeitet werden können. Gemäß der Figuren 2A und 2B weisen die Halbleiterchips 3 jeweils ein Substrat 31 auf, auf dem eine Halbleiterschichtenfolge 33 aufgebracht ist. Durch eine

aktive Zone hindurch sind eine Durchkontaktierung 36, siehe Figur 2A, oder mehrere Durchkontaktierungen 36, vergleiche Figur 2B, vorhanden. Insbesondere sind die Halbleiterchips 3 gemäß der Figuren 2A und 2B geformt, wie in der Druckschrift
5 US 2010/0171135 A1 angegeben. Der Offenbarungsgehalt dieser Druckschrift wird durch Rückbezug mit aufgenommen.

Bei dem Halbleiterchip 3, wie in Figur 2C gezeigt, ist die Halbleiterschichtenfolge 33 an einem Randbereich durch eine
10 aktive Zone hinweg entfernt. Die Kontaktstellen 34 sind damit direkt auf eine p-leitende Schicht sowie eine n-leitende Schicht der Halbleiterschichtenfolge 33 angebracht.

Eine Abwandlung des Herstellungsverfahrens gemäß Figur 1 ist
15 in Figur 3 skizziert. Gemäß Figur 3A werden die Halbleiterchips 3 mit den Kontaktstellen 34 auf ein Befestigungsband 91, das sich an dem Zwischenträger 2 befindet, aufgedrückt. Dabei können die Kontaktstellen 34 teilweise oder vollständig in das Befestigungsband 91
20 eingedrückt werden.

Anschließend werden eine Vergussschicht 5 und optional eine zwischenliegende weitere Vergussschicht 5a geformt, siehe Figur 3B. Nachfolgend werden das Befestigungsband 91 und der
25 Zwischenträger 2 entfernt, siehe Figur 3C.

Daraufhin wird eine elektrische Isolierschicht 92 aufgebracht, wobei die elektrischen Kontaktstellen 34 bevorzugt frei bleiben, siehe Figur 3D. Wie in Figur 3E
30 gezeigt, wird ganzflächig eine Metallanwachsschicht 93, auch als Metallization Seed Layer bezeichnet, etwa mittels Sputtern erzeugt.

Gemäß Figur 3F wird eine Fotomaske 94 aufgebracht und strukturiert. Nachfolgend geschieht, siehe Figur 3G, das Erzeugen einer Metallisierung 95, insbesondere galvanisch.

- 5 Gemäß Figur 3H erfolgt dann ein Ätzen der Metallisierung 95 sowie der Metallanwachsschicht 93 zu den elektrischen Kontaktstrukturen 6. Ein Vereinzeln zu Halbleiterbauteilen ist in Figur 3I gezeigt.
- 10 Bei dem Verfahren gemäß der Figur 3 ist zumindest eine Fotomaske 94 aufzubringen, um die Kontaktstrukturen 6 zu erzeugen. Beim Verfahren, wie in Figur 1 illustriert, ist zum Erzeugen der Kontaktstrukturen 6 keine fotolithographische Strukturierung und damit auch keine Fotomaske erforderlich.
- 15 Hierdurch ist das Verfahren gemäß Figur 1 kosteneffizienter durchführbar.

In Figur 4 ist ein weiteres erfindungsgemäßes Herstellungsverfahren angegeben. Gemäß Figur 4A werden die

20 Halbleiterchips 3 auf dem Zwischenträger 2 aufgebracht, analog zu den Figuren 1A und 1B. Zur Vereinfachung der Darstellung sind hierbei in Figur 4 die Kontaktstellen 34, die Verbindungsmittel 34 und die Befestigungsstellen 23 nur zusammengefasst gezeichnet.

25

In Figur 4B ist perspektivisch dargestellt, dass eine Folie 53 für die spätere Vergussschicht 5 bereitgestellt wird. Die Folie 53 weist mehrere Löcher oder Öffnungen 54 auf, die für die Halbleiterchips 3 vorgesehen sind.

30

Gemäß Figur 4C wird die Folie 53 aus Figur 4B auf den Zwischenträger 2 aufgebracht, wobei die Halbleiterchips 3 in den Öffnungen 54 platziert werden. Die Folie 53 kann dabei

beabstandet zu den Halbleiterchips 3 angeordnet werden.

Optional werden weitere Folien 53a, 53b aufgebracht und übereinander gestapelt. Die oberste Folie 53b ist dabei eine durchgehende Folie, die bevorzugt einen Leuchtstoff oder

5 einen Leuchtstoff und zusätzliche Streupartikel zur Lichtstreuung umfasst, wie dies auch in allen anderen Ausführungsbeispielen möglich ist. Dabei ist es möglich, dass die unterste Folie 53 dünner ist als die mittlere Folie 53a. Hinsichtlich der Folien 53, 53a kann im Übrigen dasselbe
10 gelten wie für die Vergussschichten 5, 5a, 5b aus Figur 1.

Anders als dargestellt ist es möglich, dass nur eine einzige Folie verwendet wird, die anstatt durchgehender Öffnungen 54 lediglich Sacklöcher für die Halbleiterchips 3 aufweist.

15

Im Verfahrensschritt, wie in Figur 5D gezeigt, werden über ein Formpressen die Folien 53, 53a, 53b aufgeschmolzen oder angeschmolzen und/oder durch Druckeinwirkung verformt und miteinander fest verbunden, sodass mittels Formpressen die
20 Vergussschichten 5, 5a, 5b entstehen. Bei diesem Verformen legen sich zumindest die untersten Folien 53, 53a direkt an die Halbleiterchips 3 mit den Kontaktstellen 34 an. Die unterste Folie 53 umformt die Verbindungsmittel 34 und die Befestigungsstellen 23.

25

Alternativ oder zusätzlich zum Verfahrensschritt der Figur 4D kann ein weiteres Vergussmaterial eingesetzt werden, um die Folien 53, 53a, 53b untereinander und mit den Halbleiterchips 3 dauerhaft zu verbinden. Bevorzugt jedoch ist kein solches
30 zusätzliches Material vorhanden.

Die weiteren Verfahrensschritte sind in Figur 4 nicht gezeigt und können in gleicher Weise wie in den Figuren 1F bis 1H durchgeführt werden.

- 5 In Figur 5A ist gezeigt, dass die Trägeroberseite 20 gekrümmt gestaltet ist. Dabei ist die Trägeroberseite 20 insbesondere nur in Bereichen neben und außerhalb der Befestigungsstellen 23 gekrümmt und kann im Bereich der Befestigungsstellen 23 und zwischen diesen eben verlaufen. Es steigt die
- 10 Trägeroberseite 20 in Richtung weg von den Befestigungsstellen 23 bevorzugt an.

- In Figur 5B ist das mit einem solchen Zwischenträger 2 hergestellte Halbleiterbauteil 1 gezeigt, die nicht
- 15 dargestellten Zwischenschritte verlaufen bevorzugt gemäß der Figuren 1C bis 1H. Die erste Vergussschicht 5 ist gleichmäßig dick, wie auch in Figur 1C. Jedoch aufgrund der gebogenen Trägeroberseite 20, siehe Figur 5A, ist die erste Vergussschicht 5 als konvexer Reflektor geformt. Im Übrigen
- 20 entspricht das Halbleiterbauteil 1 der Figur 5B dem der Figur 1H.

- Beim Ausführungsbeispiel der Figur 5C befindet sich die optionale vierte Vergussschicht 5c an der Bauteilunterseite
- 25 11. Somit planarisiert die vierte Vergussschicht 5c die Bauteilunterseite 11, im Vergleich zu Figur 5B.

- Darüber hinaus ist es möglich, dass die diffus reflektierende erste Vergussschicht 5 sich bis zu einer durch die
- 30 Chipoberseite 30 definierten Ebene erstreckt und bevorzugt bündig mit der Chipoberseite 30 abschließt. Ein Bereich zwischen der ersten Vergussschicht 5 und dem Halbleiterchip 3 ist bevorzugt vollständig von der transparenten, in

Draufsicht damit rahmenförmigen zweiten Vergussschicht 5a ausgefüllt.

Die als Konversionsschicht gestaltete dritte Vergussschicht
5 5b erstreckt sich in konstanter Dicke über das gesamte
Halbleiterbauteil 1 hinweg und bildet alleine die
Vergussschichtoberseite 52 aus, wie dies auch in allen
anderen Ausführungsbeispielen der Fall sein kann. Die erste,
die zweite und/oder die dritte Vergussschicht 5, 5b, 5c
10 schließen in seitlicher Richtung bevorzugt bündig miteinander
ab, sodass das Halbleiterbauteil 1 einen rechteckigen oder
näherungsweise rechteckigen Querschnitt aufweist, unter
Vernachlässigung der elektrischen Kontaktstruktur 6.

15 Die hier beschriebene Erfindung ist nicht durch die
Beschreibung anhand der Ausführungsbeispiele beschränkt.
Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede
Kombination von Merkmalen, was insbesondere jede Kombination
von Merkmalen in den Patentansprüchen beinhaltet, auch wenn
20 dieses Merkmal oder diese Kombination selbst nicht explizit
in den Patentansprüchen oder Ausführungsbeispielen angegeben
ist.

Diese Patentanmeldung beansprucht die Priorität der deutschen
25 Patentanmeldung 10 2015 102 699.6, deren Offenbarungsgehalt
hiermit durch Rückbezug aufgenommen wird.

Bezugszeichenliste

	1	optoelektronisches Halbleiterbauteil
	11	Bauteilunterseite
5	2	Zwischenträger
	20	Trägeroberseite des Zwischenträgers
	23	Befestigungsstellen des Zwischenträgers
	3	optoelektronischer Halbleiterchip
	30	Chipoberseite
10	31	Substrat
	32	Montageseite
	33	Halbleiterschichtenfolge
	34	elektrische Kontaktstelle
	36	Durchkontaktierung
15	4	Verbindungsmittel
	44	Ausnehmung
	5	Vergussschicht
	53	Folie
	54	Öffnung in der Folie
20	52	Vergussschichtoberseite
	55	Vergussschichtunterseite
	6	elektrische Kontaktstruktur
	7	Antihafschicht
	8	Leuchtstoff
25	91	Befestigungsband
	92	elektrische Isolierschicht
	93	Metallanwachsschicht
	94	Fotomaske
	95	Metallisierung

Patentansprüche

1. Verfahren zur Herstellung von optoelektronischen Halbleiterbauteilen (1) mit den Schritten:
- 5 A) Bereitstellen eines Zwischenträgers (2) mit einer Trägeroberseite (20) mit mehreren Befestigungsstellen (23),
- B) Bereitstellen von optoelektronischen Halbleiterchips (3) mit je einer Chipoberseite (30) und einer dieser
- 10 gegenüberliegenden Montageseite (32), wobei sich elektrische Kontaktstellen (34) der Halbleiterchips (3) je an den Montageseiten (32) befinden,
- C) Anbringen von Verbindungsmitteln (4) lokal auf den Kontaktstellen (43) und/oder auf den
- 15 Befestigungsstellen (23),
- D) Befestigen der Kontaktstellen (34) und damit der Halbleiterchips (3) auf den Befestigungsstellen (23) mittels der Verbindungsmittel (4),
- E) Erzeugen mindestens einer Vergussschicht (5) an der
- 20 Trägeroberseite (20), sodass die Halbleiterchips (3) und die Kontaktstellen (34) und die Verbindungsmittel (4) seitlich ringsum direkt von der Vergussschicht (5) umgeben sind und sich die Vergussschicht (5) wenigstens stellenweise zwischen den Montageseiten (32) und der
- 25 Trägeroberseite (20) befindet,
- F) Ablösen der Halbleiterchips (3) von dem Zwischenträger (2), sodass die Verbindungsmittel (4) von den Halbleiterchips (3) entfernt werden und an den Kontaktstellen (34) als Negativform zu den
- 30 Verbindungsmitteln (4) je Ausnehmungen (44) entstehen, und
- G) Erzeugen von elektrischen Kontaktstrukturen (6) an den Kontaktstellen (34).

2. Verfahren nach dem vorhergehenden Anspruch,
bei dem die im Schritt G) erzeugten Kontaktstrukturen
(6) die Ausnehmungen (44) je vollständig ausfüllen und
eine den Halbleiterchips (3) abgewandte
5 Vergussschichtunterseite (55) je zum Teil bedecken, und
umfassend einen nachfolgenden Schritt H), in dem die
Vergussschicht (5) zerteilt wird.
3. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem im Schritt C) die Verbindungsmittel (4) lokal
10 nur auf den Befestigungsstellen (23) aufgebracht
werden,
wobei es sich bei den Verbindungsmitteln (4) je um ein
thermoplastisches Material handelt, und
wobei im Schritt D) der Zwischenträger (2) eine
15 Temperatur unterhalb einer Verarbeitungstemperatur des
thermoplastischen Materials aufweist und die
Halbleiterchips (3) mit einer Temperatur oberhalb der
Verarbeitungstemperatur des thermoplastischen Materials
auf die Verbindungsmittel (4) aufgedrückt werden.
- 20 4. Verfahren nach dem vorhergehenden Anspruch,
bei dem im Schritt D) die Halbleiterchips (3) mit einem
Bestückungsautomaten auf den Verbindungsmitteln (4)
platziert werden, wobei in der Bewegung durch den
Bestückungsautomaten die Halbleiterchips (3) auf eine
25 Temperatur oberhalb einer Schmelztemperatur des
thermoplastischen Materials gebracht werden.
5. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem, in Draufsicht auf die Montageseiten (32)
gesehen, die Kontaktstellen (34) einen größeren
30 Durchmesser aufweisen als die Verbindungsmittel (4) und
die fertigen Kontaktstrukturen (6) einen größeren

Durchmesser als die Kontaktstellen (34) und die Verbindungsmittel (4).

6. Verfahren nach einem der vorhergehenden Ansprüche, bei dem an der Trägeroberseite (20) stellenweise eine Antihafschicht (7) angebracht ist, wobei die Antihafschicht (7) ein Anhaften der Verbindungsmittel (4) und/oder der Vergussschicht (5) an dem Zwischenträger (2) verringert oder verhindert.
7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Halbleiterchip (3) ein Leuchtdiodenchip ist, wobei die Vergussschicht (5) reflektierend für die von dem Halbleiterchip (3) im Betrieb emittierte Strahlung ist und elektrisch isolierend ist, und wobei die Vergussschicht (5), zusammen mit den Kontaktstrukturen (6), eine Bauteilunterseite (11) der fertigen Halbleiterbauteile (1) bildet.
8. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Kontaktstrukturen (6) strukturiert und nur lokal aufgebracht werden, wobei zumindest die Verfahrensschritte C) bis G) frei von fotolithographischen Strukturierungsprozessen sind.
9. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Befestigungsstellen (23) durch Podeste gebildet sind, die verbleibenden Bereiche der Trägeroberseite (20) überragen, wobei die Verbindungsmittel (4) die Podeste wenigstens in den Schritten D) und E) nur unvollständig bedecken.

10. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem die Kontaktstellen (6), in Richtung weg von den
Halbleiterchips (3), nach dem Schritt G) bündig mit der
Vergussschicht (5) abschließen, mit einer Toleranz von
5 höchstens 2 µm.
11. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem das Ablösen der Halbleiterchips (3) von dem
Zwischenträger (2) im Schritt F) durch ein Anschmelzen
oder ein Aufschmelzen der Verbindungsmittel (4)
10 erfolgt.
12. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem im Verfahrensschritt E) mehrere
Vergussschichten erzeugt werden,
wobei die Vergussschicht (5), die die Kontaktstellen
15 (34) berührt, bis zu höchstens 25 % einer Dicke der
Halbleiterchips (3) reicht, in Richtung weg von dem
Zwischenträger (2),
wobei auf diese Vergussschicht (5) mindestens zwei
weitere Vergussschichten (5a, 5b) aufgebracht werden,
20 von denen eine zumindest einen Leuchtstoff (8) enthält.
13. Verfahren nach dem vorhergehenden Anspruch,
bei dem alle Vergussschichten (5, 5a, 5b, 5c)
unmittelbar nach dem Schritt E) durchgehende,
ununterbrochene Schichten sind,
25 wobei eine der Vergussschichten (5b) linsenförmige
Bereiche aufweist und diese Vergussschicht (5a) von
einer Vergussschicht (5c) mit einer ebenen
Vergussschichtoberseite (52) überdeckt wird, sodass die
fertigen Halbleiterbauteile (1) kubisch geformt sind.

14. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Vergussschichten (5) oder zumindest eine der Vergussschichten (5) im Schritt E), nach dem Schritt D), zuerst als Folie (53) aufgebracht werden, wobei die Folie (53) oder eine der Folien (53) vorgefertigte Löcher (54) für die Halbleiterchips (3) aufweist, und wobei nachfolgend die zumindest eine Folie (53) aufgeschmolzen oder angeschmolzen wird oder ein weiteres Vergussmaterial eingebracht wird, sodass die zumindest eine Folie (53) und/oder das weitere Vergussmaterial in direktem Kontakt zu den Kontaktstellen (34), den Verbindungsmitteln (4) und den Halbleiterchips (3) gelangen.
15. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Trägeroberseite (20) gekrümmt geformt ist, sodass die Vergussschichtunterseite (54) genauso gekrümmt geformt wird, wobei die Vergussschicht (5) oder zumindest die dem Zwischenträger (2) nächstgelegene Vergussschicht (5) mit einer konstanten Dicke aufgebracht wird, sodass eine der Trägeroberseite (20) abgewandte Seite dieser Vergussschicht (5) die Trägeroberseite (20) formtreu nachformt, in Bereichen in Draufsicht gesehen neben dem Halbleiterchip (3).
16. Optoelektronisches Halbleiterbauteil (1) mit
- einem Leuchtdiodenchip (3), der eine Chipoberseite (30) und eine dieser gegenüberliegende Montageseite (32) aufweist und sich elektrische Kontaktstellen (34) des Leuchtdiodenchips (3) ausschließlich an der Montageseite (32) befinden,

- mindestens einer Vergussschicht (5), und
- elektrischen Kontaktstrukturen (6) an den Kontaktstellen (34),

wobei

- 5 - der Leuchtdiodenchip (3), die Kontaktstellen (34) und die Kontaktstrukturen (6) seitlich ringsum direkt von der Vergussschicht (5) umgeben sind,
- die Vergussschicht (5) undurchlässig und reflektierend für eine von dem Leuchtdiodenchip (3) im
- 10 Betrieb emittierte Strahlung und elektrisch isolierend ist, und
- die Vergussschicht (5), zusammen mit den Kontaktstrukturen (6), vollständig eine Bauteilunterseite (11) des Halbleiterbauteils (1)
- 15 bildet,
- in Draufsicht auf die Bauteilunterseite (11) gesehen, die Kontaktstrukturen (6) einen größeren Durchmesser als die Kontaktstellen (34) aufweisen, und
- die Kontaktstrukturen (6) sich in Richtung hin zur
- 20 Montageseite (32) verkleinern, sodass sich stellenweise die Vergussschicht (5) zwischen den Kontaktstrukturen (6) und den Kontaktstellen (34) befindet.

FIG 1

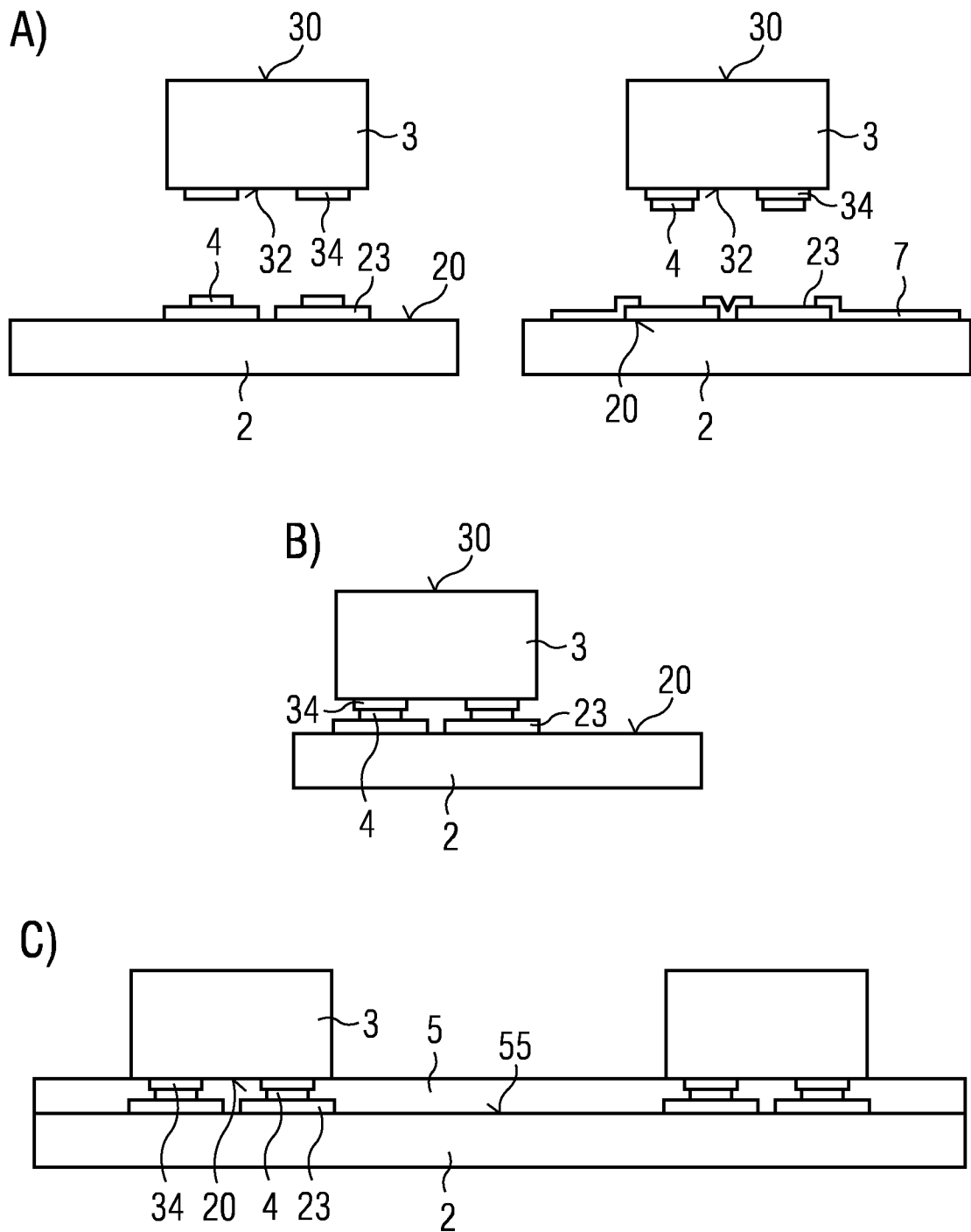


FIG 1

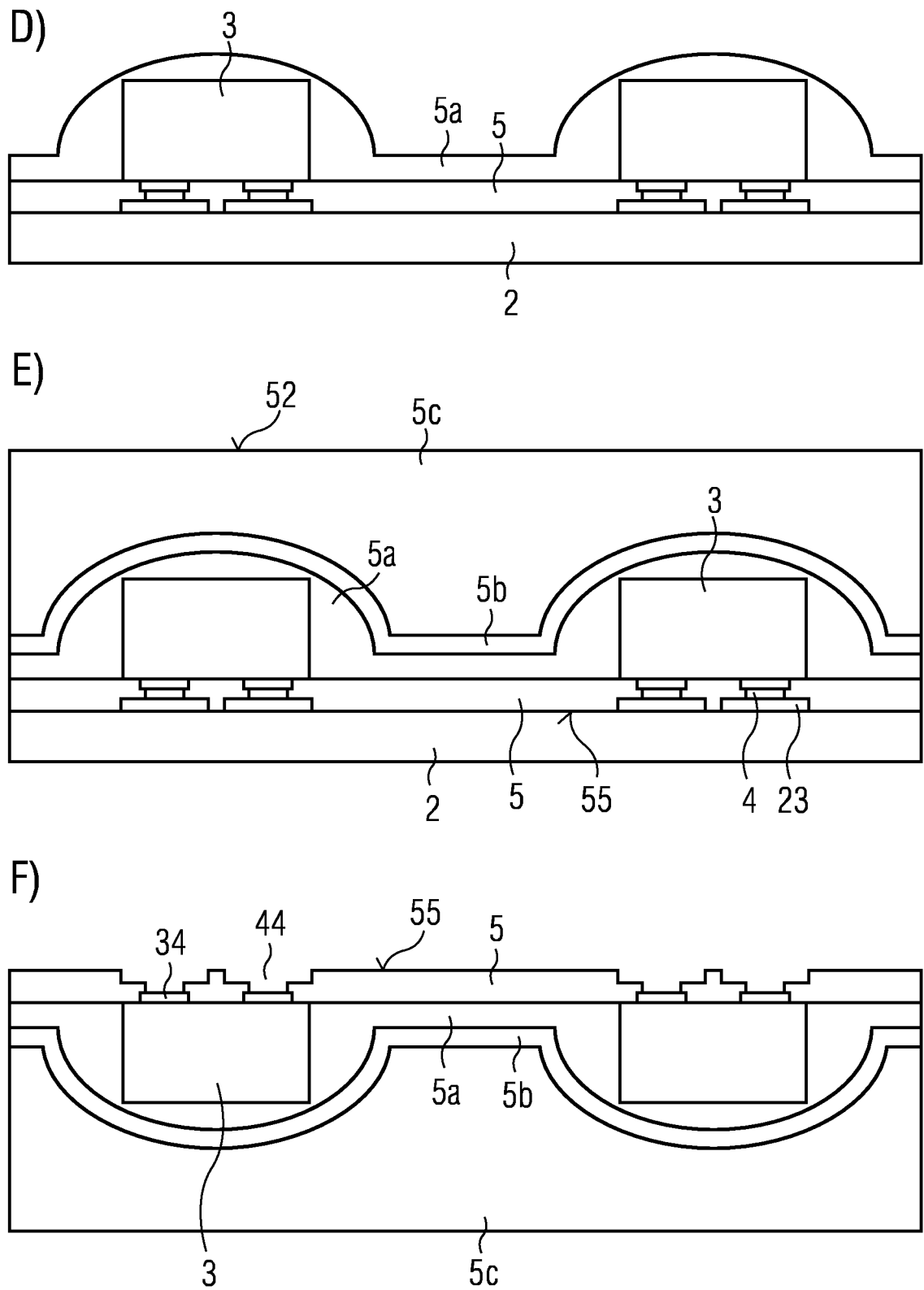
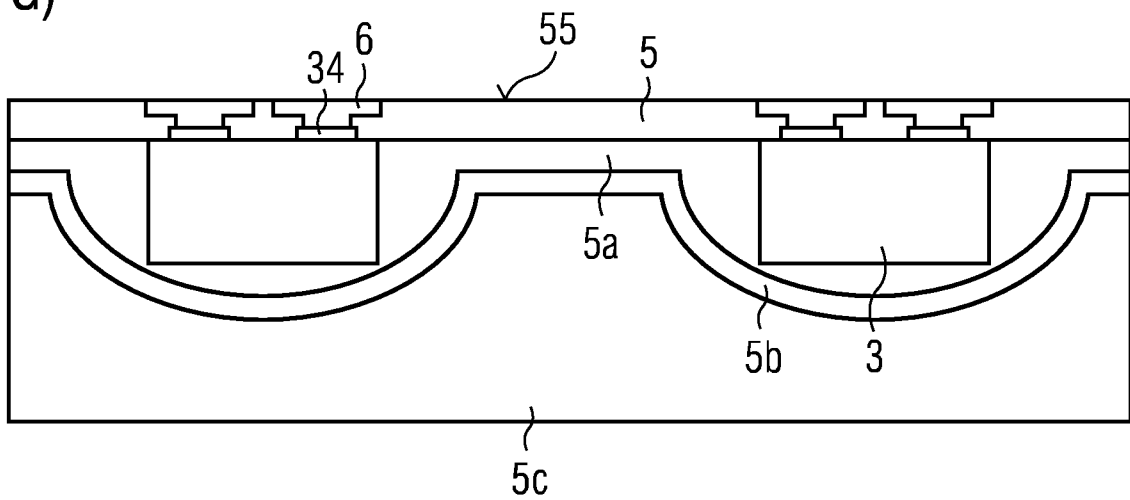


FIG 1

G)



H)

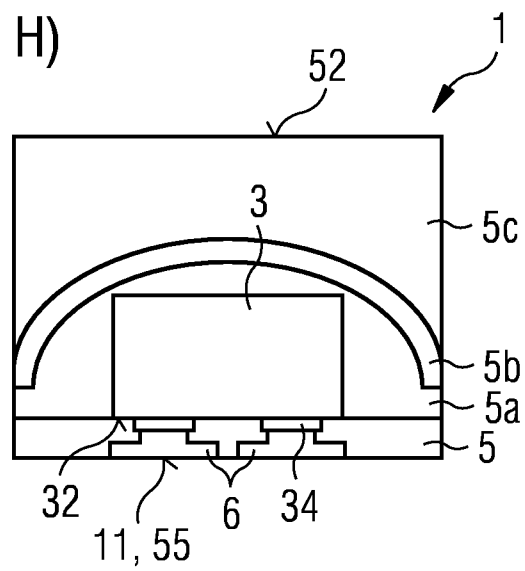


FIG 2

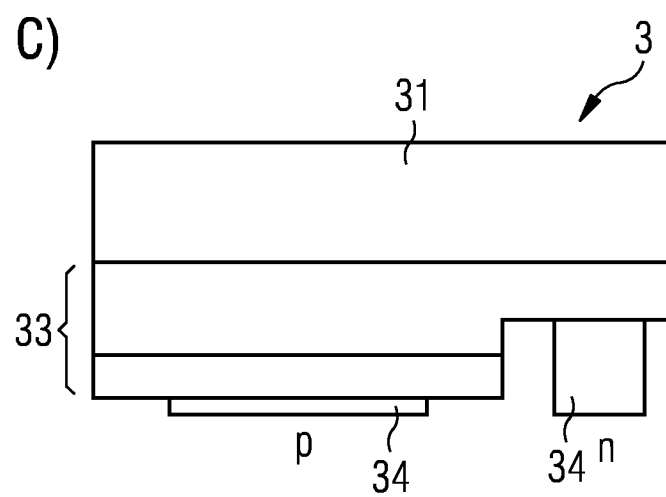
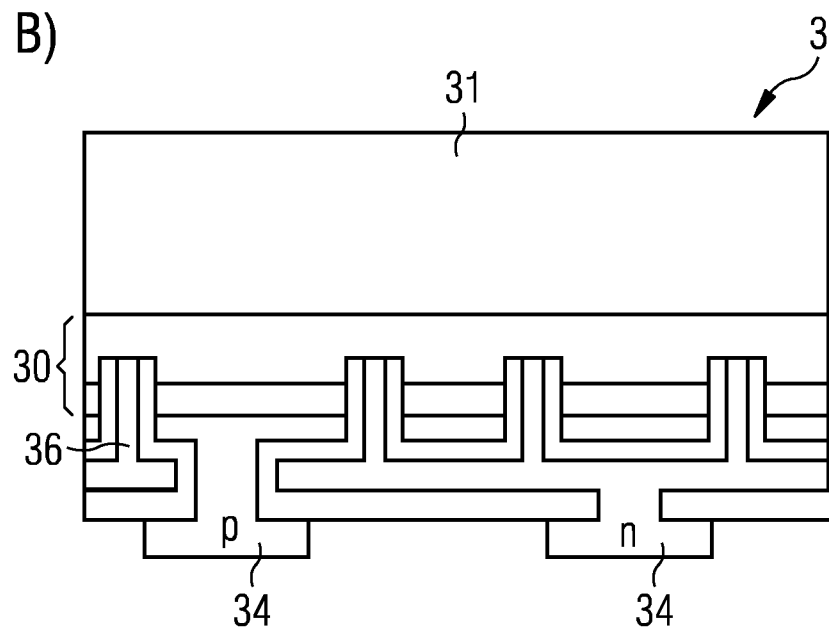
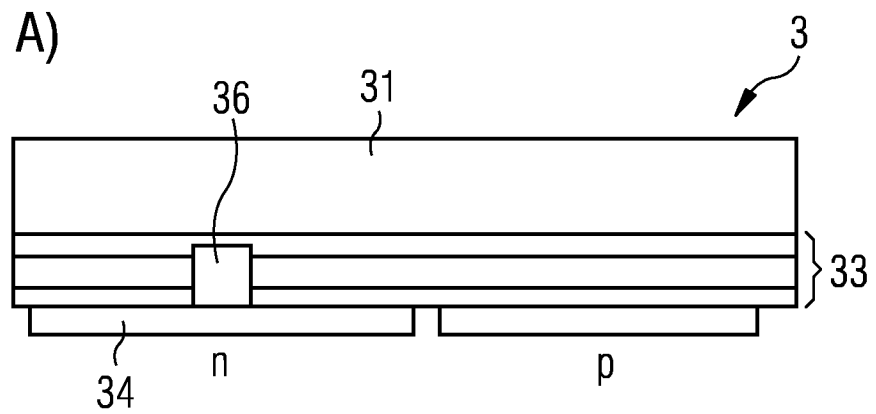


FIG 3

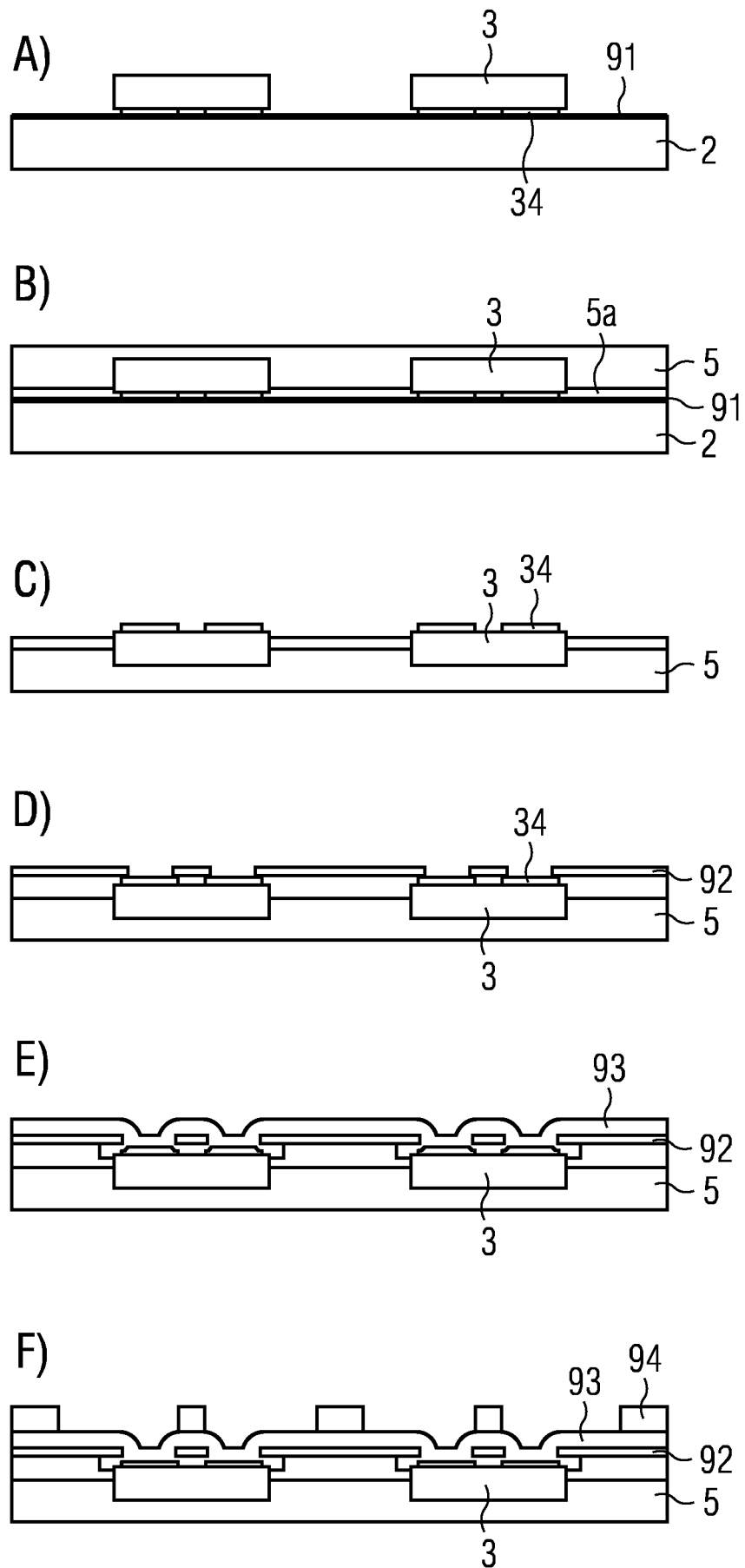
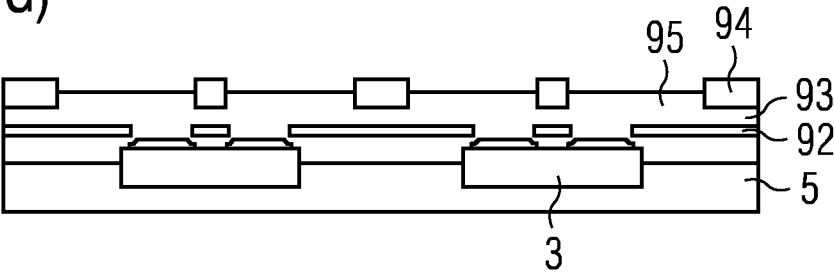
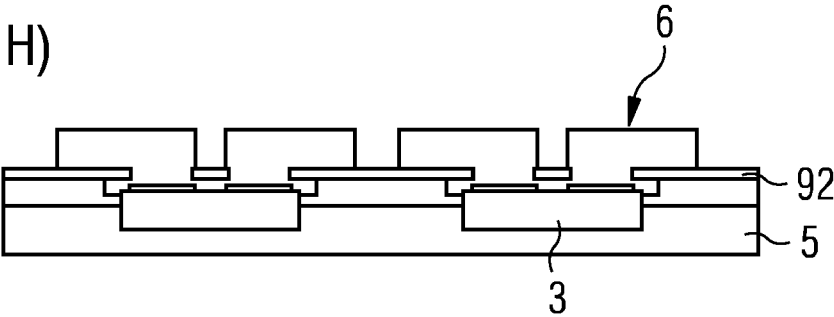


FIG 3

G)



H)



I)

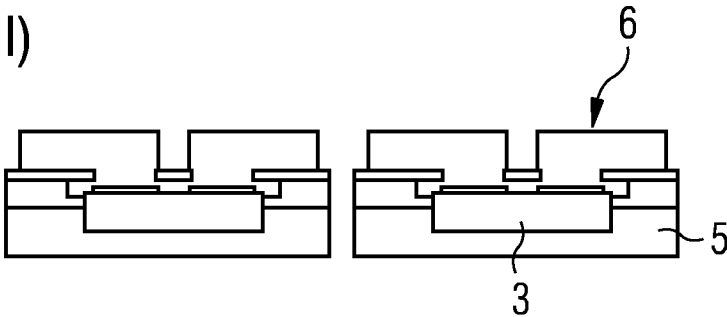


FIG 4

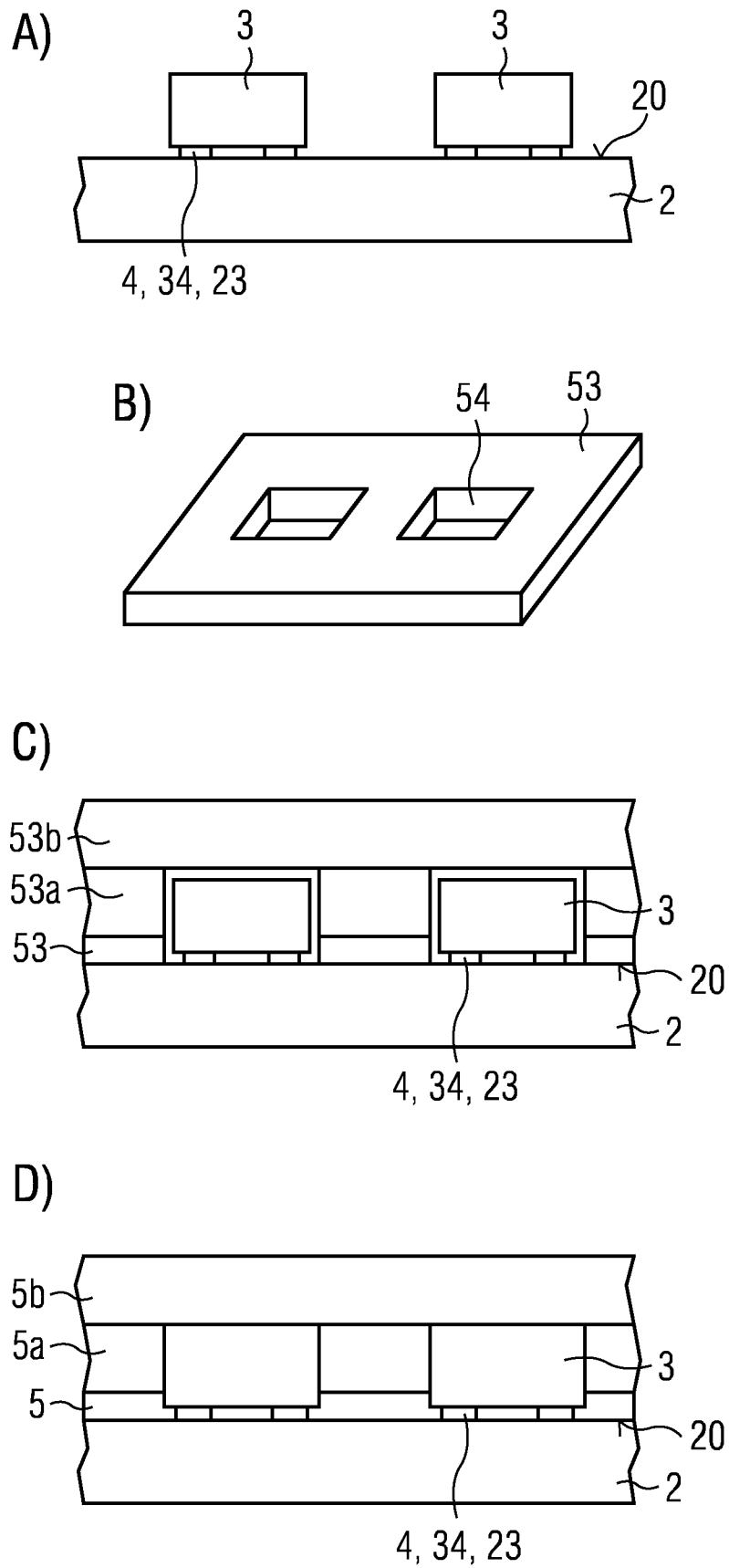
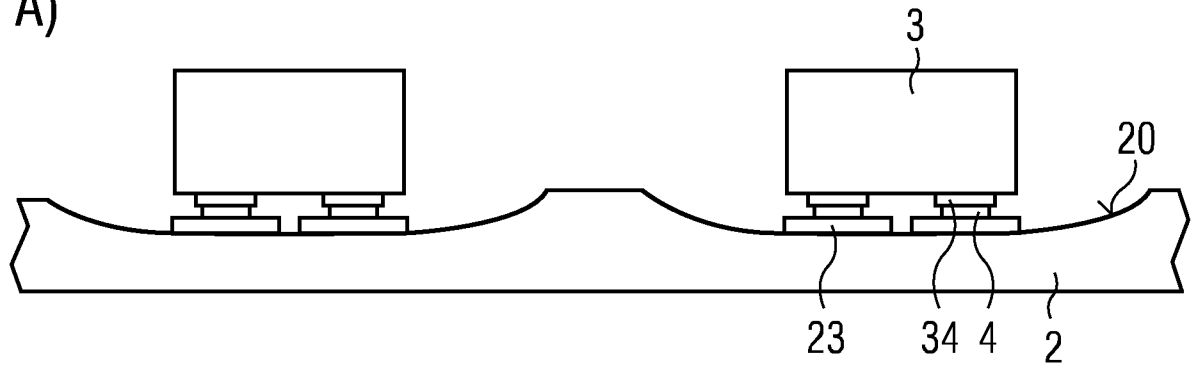
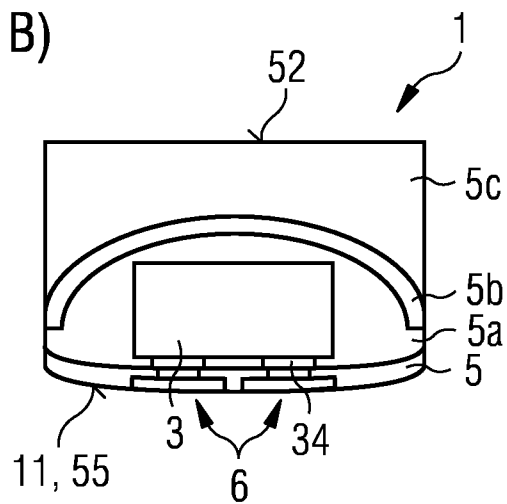


FIG 5

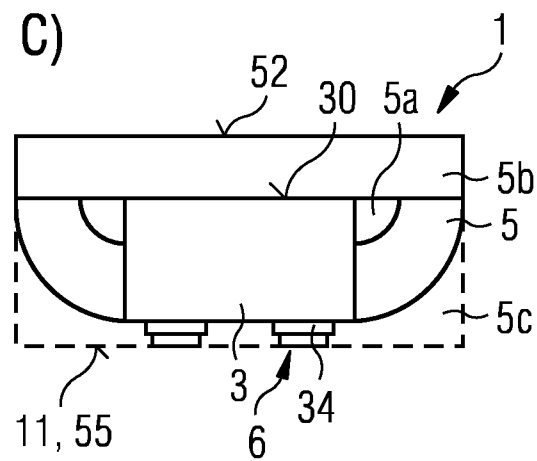
A)



B)



C)



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2016/053018

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/48 H01L25/075 H01L33/52 H01L33/54 H01L33/62
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2015/013399 A1 (COOLEGE LIGHTING INC [CA]; TISCHLER MICHAEL A [CA]) 29 January 2015 (2015-01-29)	1,12-14
A	paragraph [0062]; figure 4 -----	3-6,9,15
X	US 2014/231850 A1 (TISCHLER MICHAEL A [CA] ET AL) 21 August 2014 (2014-08-21) paragraphs [0073] - [0076]; figure 4 -----	1
X	DE 10 2012 002605 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 14 August 2013 (2013-08-14) paragraphs [0062], [0075], [0076]; figure 1 -----	1,2,7,8, 10,11,16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

13 April 2016

Date of mailing of the international search report

21/04/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Aichmayr, Günther

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2016/053018

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2015013399	A1	29-01-2015	NONE

US 2014231850	A1	21-08-2014	US 2014231850 A1 21-08-2014
			US 2015111326 A1 23-04-2015
			US 2015357533 A1 10-12-2015
			WO 2014128559 A1 28-08-2014

DE 102012002605	A1	14-08-2013	CN 104115292 A 22-10-2014
			DE 102012002605 A1 14-08-2013
			US 2015014737 A1 15-01-2015
			WO 2013120646 A1 22-08-2013

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H01L33/48 H01L25/075 H01L33/52 H01L33/54 H01L33/62 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 2015/013399 A1 (COOLEEDGE LIGHTING INC [CA]; TISCHLER MICHAEL A [CA]) 29. Januar 2015 (2015-01-29)	1,12-14
A	Absatz [0062]; Abbildung 4 -----	3-6,9,15
X	US 2014/231850 A1 (TISCHLER MICHAEL A [CA] ET AL) 21. August 2014 (2014-08-21) Absätze [0073] - [0076]; Abbildung 4 -----	1
X	DE 10 2012 002605 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 14. August 2013 (2013-08-14) Absätze [0062], [0075], [0076]; Abbildung 1 -----	1,2,7,8, 10,11,16
☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
13. April 2016		21/04/2016
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Aichmayr, Günther

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2016/053018

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 2015013399 A1	29-01-2015	KEINE	
US 2014231850 A1	21-08-2014	US 2014231850 A1	21-08-2014
		US 2015111326 A1	23-04-2015
		US 2015357533 A1	10-12-2015
		WO 2014128559 A1	28-08-2014
DE 102012002605 A1	14-08-2013	CN 104115292 A	22-10-2014
		DE 102012002605 A1	14-08-2013
		US 2015014737 A1	15-01-2015
		WO 2013120646 A1	22-08-2013