СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1129610 A

3 (51) G 06 F 7/552

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ВСЕСОЮЗНАЯ ПАТЕНТНО-ТЕХНИЧЕСКАЯ БИБЛИОТЕКА

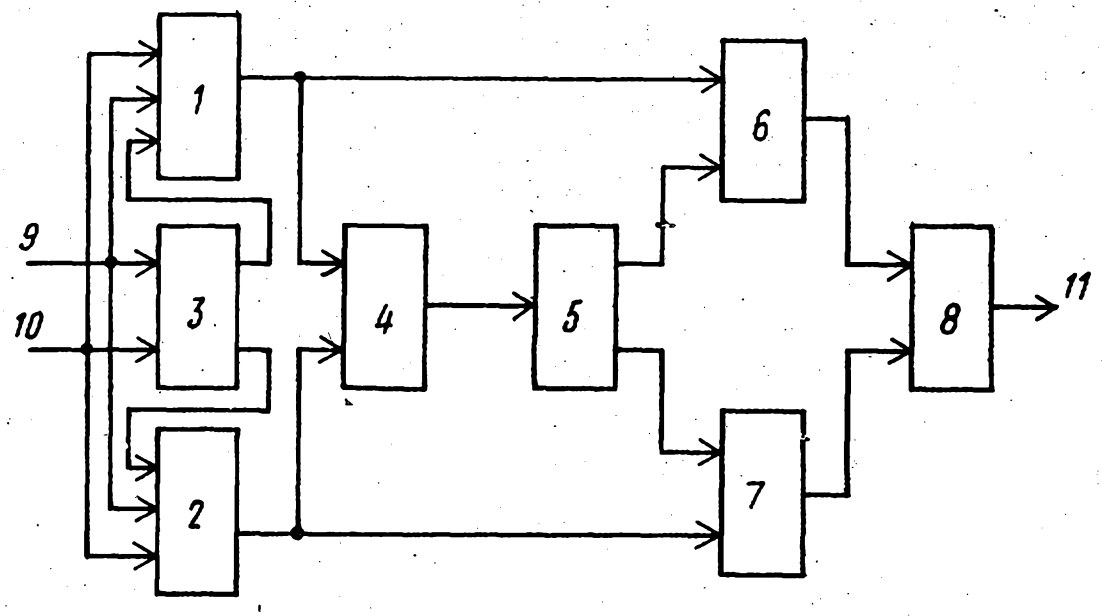
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3640686/24-24
(22) 12.09.83
(46) 15.12.84. Бюл. № 46
(72) Ю.М. Захарко и А.Ф. Теслюк
(53) 681.325 (088.8)
(56) 1. Патент США № 3829671, кл. 235-158, 1974.

2. Авторское свидетельство СССР № 943718, кл. G 06 F 7/552, 1980 (прототип).

(54)(57) УСТРОЙСТВО ДЛЯ ИЗВЛЕЧЕНИЯ КВАДРАТНОГО КОРНЯ ИЗ СУММЫ КВАДРАТОВ ДВУХ ЧИСЕЛ, содержащее компаратор, первый и второй выходы которого соединены с управляющими входами первого и второго блоков элементов И-ИЛИ соответственно, блок памяти, выходы старших и младших разрядов которого подключены соответственно к первым входам первого и второго умножителей, выходы которых соединены с первым и вторым входами сумматора соответственно, выход которого подключен к выходу устройства, входы первого и второго аргументов устройства соединены соответственно с первыми и вторыми информационными входами первого и второго блоков элементов И-ИЛИ и компаратора, выходы первого и второго блоков элементов И-ИЛИ подключены соответственно к вторым входам первого и второго умножителей, отличающееся тем, что, с целью повышения точности, в него введен блок деления, выход которого соединен с входом блока памяти, выходы первого и второго блоков элементов И-ИЛИ подключены к первому и второму входам блока деления соответственно.



(19) SU (11) 1129610 A

Изобретение относится к вычислительной технике и может быть использовано в специализированных цифровых устройствах.

Известно устройство, содержащее элементы И-ИЛИ, регистры сдвига, компаратор, сумматор, в котором путем приближенного вычисления находится значение квадратного корня из суммы квадратов двух чисел в соответствии с алгоритмом $\sqrt{X^2+Y^2}=$ $=X+0,5Y$ при $X>Y$ или $Y+0,5X$ при $Y>X$ [1].

Это устройство отличается простотой, высоким быстродействием, но низкой точностью вычисления (максимальная относительная погрешность вычисления около 12%).

Наиболее близким по технической сущности к предлагаемому является устройство для извлечения квадратного корня из суммы квадратов двух чисел, содержащее два блока элементов И-ИЛИ, два компаратора, регистр сдвига, блок памяти, два умножителя и сумматор. Работа этого устройства основана на использовании алгоритма приближенного вычисления квадратного корня из суммы квадратов и заключается в замене функции $Y=\sqrt{A^2+B^2}$ линейной аппроксимирующей функцией вида $Y = |A|q + |B|p$, где q и p - коэффициенты управления аппроксимирующей прямой. Возможный диапазон представления чисел A и B разбит на два поддиапазона $0,5A \leq B$ и $0,5A > B$, причем в каждом поддиапазоне p и q равны 0,986 и 0,236, а также 0,815 и 0,591 соответственно. При этом максимальная относительная погрешность вычисления составляет 1,4%, что не позволяет использовать данное устройство для класса задач теории измерений и обработки информации, где требуется более высокая точность вычислений корня квадратного из суммы квадратов двух чисел [2].

Недостатком известного устройства является ограниченная точность вычисления функции вида $\sqrt{X^2+Y^2}$.

Цель изобретения - повышение точности вычисления.

Поставленная цель достигается тем, что в устройство для извлечения квадратного корня из суммы квадратов двух чисел, содержащее компаратор, первый и второй выходы которого соединены с управляющими входами первого и второго блоков элементов И-ИЛИ соответственно, блок памяти, выходы старших и младших разрядов которого подключены соответственно к первым входам первого и второго умножителей, выходы которых соединены с первым и вторым входами сумматора соответственно, выход которого подключен к выходу устройства, входы первого и второго аргументов устройства соединены соответственно с первыми и вторыми информационными входами первого и второго блоков элементов И-ИЛИ и компаратора, выходы первого и второго блоков элементов И-ИЛИ подключены соответственно к вторым входам первого и второго умножителей, введен блок деления, выход которого соединен с входом блока памяти, выходы первого и второго блоков элементов И-ИЛИ подключены к первому и второму входам блока деления соответственно.

На чертеже представлена блок-схема предлагаемого устройства.

Устройство содержит первый и второй блоки элементов И-ИЛИ 1 и 2, компаратор 3, блок 4 деления, блок 5 памяти, первый и второй умножители 6 и 7, сумматор 8, вход 9 первого аргумента устройства, вход 10 второго аргумента устройства и выход 11 устройства.

Работа устройства основана на замене функции $Z = \sqrt{X^2+Y^2}$ линейной аппроксимирующей функцией вида

$$Z = K_1 |A| + K_2 B,$$

где $A = X$, $B = Y$, если $|X| \geq |Y|$;

$A = Y$, $B = X$, если $|X| < |Y|$;

K_1 и K_2 - коэффициенты управления аппроксимирующей прямой. Возможный диапазон представления чисел A и B разбивается на S^n поддиапазонов, где S - основание системы счисления, а n выбирается из соотношения

$$n = \left]-\log_S \operatorname{tg}\left(2\arccos\frac{1-\sigma}{1+\sigma}\right)\right[,$$

где σ - максимальная относительная погрешность вычислений корня квадратного из суммы квадратов двух чисел.

При этом в каждом из поддиапазонов используется своя аппроксимирующая функция.

1. Для первого поддиапазона коэффициенты равны:

$$K_{1(0)} = \frac{1}{1+\sigma_0},$$

$$K_{2(0)} = -\frac{1}{tg\left(\frac{\pi}{2} + \frac{1}{2}\operatorname{arctg} S^{-n}\right)},$$

где σ_0 – максимальная относительная погрешность вычислений в первом поддиапазоне $(\sigma_0 < \sigma)$,

$$\sigma_0 = \frac{1-\cos\left(\frac{1}{2}\operatorname{arctg} S^{-n}\right)}{1+\cos\left(\frac{1}{2}\operatorname{arctg} S^{-n}\right)}.$$

2. Для остальных поддиапазонов коэффициенты равны:

$$K_{1(i)} = \frac{\cos(\varphi_i + \theta_i)}{1-\sigma_i},$$

$$K_{2(i)} = -\frac{K_{1(i)}}{tg\left(\frac{\pi}{2} + \varphi_i + \theta_i\right)},$$

где $\varphi_i = \operatorname{arctg}(iS^{-n})$; $\theta_i = \frac{\varphi_{i+1} - \varphi_i}{2}$;

$$\sigma_i = \frac{1-\cos\theta_i}{1+\cos\theta_i}, \quad i = 1, 2, \ldots, S^n - 1.$$

Устройство работает следующим образом.

На вход компаратора 3 и первого и второго блоков элементов И-ИЛИ 1 и 2 подаются коды положительных входных чисел первого и второго аргументов. При этом выходной сигнал с компаратора 3 разрешает прохождение кода большего числа A на выход первого блока элементов И-ИЛИ 1 и меньшего числа B – на выход второго блока элементов И-ИЛИ 2. В блоке 4 деления производится деление числа B на A. При этом результат деления представляет собой n-разрядный код тангенса угла $\operatorname{arctg}\frac{B}{A}$. Этот код поступает в блок 5 памяти (коэффициентов) и считает из последнего по выходу старших и младших разрядов коды коэффициентов $K_{1(i)}$, $K_{2(i)}$ соответственно, принадлежащих тому поддиапазону, в который попадает угол $\operatorname{arctg}\frac{B}{A}$. Причем объем блока 5 памяти определяется количеством поддиапазонов и точностью заданий коэффициентов.

Код числа A и код соответствующего коэффициента $K_{1(i)}$ перемножаются в умножителе 6, а код числа B и соответствующего коэффициента $K_{2(i)}$ – в умножителе 7. Произведения с выходов умножителей 6 и 7 суммируются в сумматоре 8, на выходе которого образуется код результата вычисления. В таблице приведена максимальная относительная погрешность вычислений в зависимости от количества поддиапазонов, на которые разбивается возможный диапазон представления чисел A и B для S = 2.

Количество поддиапазонов (2)	Максимальная относительная погрешность вычислений, %
1	3,96
2	1,36
4	0,38
8	0,10
16	0,024
32	0,06

По сравнению с [1] и [2], в которых точность вычислений ограничена, предлагаемое изобретение позволяет производить вычисления с любой заданной точностью.

Составитель А. Шуляпов
Редактор М. Петрова Техред О.Неце Корректор М. Розман

Заказ 9454/39 Тираж 698 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная,4