(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0034870
(43) 공개일자 2025년03월11일

(51) 국제특허분류(Int. Cl.)
H04L 25/03 (2006.01) *H03K 19/017* (2006.01)
H04L 25/02 (2006.01) *H04L 25/49* (2006.01)
(52) CPC특허분류
H04L 25/03878 (2013.01)
H03K 19/01721 (2013.01)
(21) 출원번호 10-2024-0034314
(22) 출원일자 2024년03월12일
심사청구일자 2024년03월12일
(30) 우선권주장
1020230116813 2023년09월04일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
이선빈
서울특별시 송파구 풍성로26길 47 (풍납동, 송파해모로아파트)
(뒷면에 계속)
(74) 대리인
특허법인주연케이알피

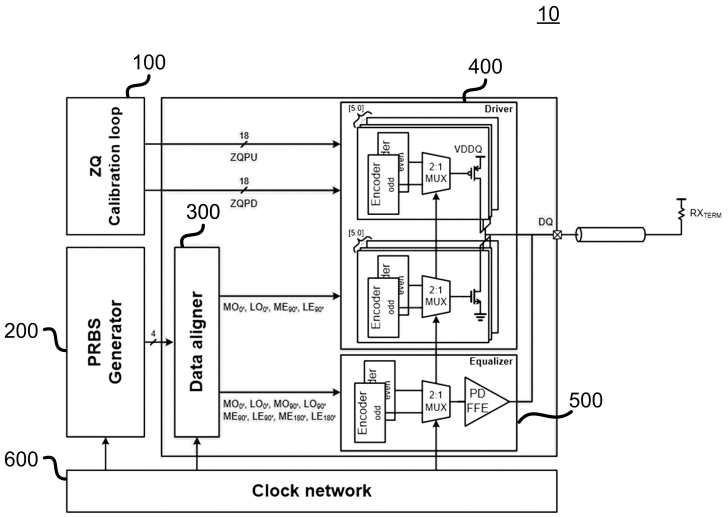
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **피드 포워드 등화기를 이용한 PAM-4 송신기 및 그 동작 방법**

(57) 요 약

본 발명은 PAM-4 송신기에 관한 것이다. 본 발명의 일 실시 예에 있어서 PAM-4 신호를 송신하는 송신기는, 상기 PAM-4 신호의 임피던스 정합을 위해 각각 기함수(ODD) 및 우함수(EVEN) 인코더를 포함하고, 상기 PAM-4 신호의 전압 레벨에 대응하는 출력 신호를 출력하는 드라이버; 및 상기 출력 신호의 이전 데이터와 현재 데이터에 기초하여 상기 출력 신호에 계수(Coefficient)를 더하는 피드 포워드 등화기를 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H04L 25/0278 (2013.01)
H04L 25/4917 (2013.01)
(72) 발명자
박승우
서울특별시 마포구 마포대로 195(아현동, 마포 래미안 푸르지오)
최종혁
경기도 수원시 영통구 삼성로 11(신동, 래미안 영통마크원 2단지)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711193394
과제번호	2022-0-01171-002
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	PIM인공지능반도체핵심기술개발(설계)
연구과제명	PIM 고속 데이터 송수신을 위한 지능형 PHY 인터페이스 기술 개발
과제수행기관명	고려대학교산학협력단
연구기간	2023.01.01 ~ 2023.12.31

명 세 서

청구범위

청구항 1

PAM-4 신호를 송신하는 송신기에 있어서,

상기 PAM-4 신호의 임피던스 정합을 위해 각각 기함수(ODD) 및 우함수(EVEN) 인코더를 포함하고, 상기 PAM-4 신호의 전압 레벨에 대응하는 출력 신호를 출력하는 드라이버; 및

상기 출력 신호의 이전 데이터와 현재 데이터에 기초하여 상기 출력 신호에 계수(Coefficient)를 더하는 피드포워드 등화기를 포함하는 PAM-4 송신기.

청구항 2

제1항에 있어서,

상기 PAM-4 송신기는,

1 클록 사이클마다 시드 값에 기초하여 의사 난수 이진 시퀀스(PRBS: Pseudo Random Binary Sequence)를 생성하는 이진 시퀀스 생성기; 및

상기 의사 난수 이진 시퀀스를 정렬하여 상기 이전 데이터와 상기 현재 데이터를 생성하는 데이터 정렬기를 더 포함하는 PAM-4 송신기.

청구항 3

제1항에 있어서,

상기 PAM-4 송신기는,

상기 PAM-4 신호의 임피던스 정합을 위한 제1 내지 제3 풀-업 코드 및 제1 내지 제3 풀-다운 코드를 생성하는 ZQ 캘리브레이션을 더 포함하는 PAM-4 송신기.

청구항 4

제3항에 있어서,

상기 드라이버는,

NMOS 트랜지스터를 포함하고, 상기 제1 내지 제3 풀-업 코드에 대응하여 턴온 또는 턴오프되는 풀-업 드라이버; 및

PMOS 트랜지스터를 포함하고, 상기 제1 내지 제3 풀-다운 코드에 대응하여 턴온 또는 턴오프되는 풀-다운 드라이버를 포함하는 PAM-4 송신기.

청구항 5

PAM-4 신호를 송신하는 송신기의 동작 방법에 있어서,

상기 PAM-4 신호의 임피던스 정합을 위해 각각 기함수(ODD) 및 우함수(EVEN) 인코더를 포함하고, 상기 PAM-4 신호의 전압 레벨에 대응하는 출력 신호를 출력하는 단계; 및

상기 출력 신호의 이전 데이터와 현재 데이터에 기초하여 상기 출력 신호에 계수(Coefficient)를 더하는 단계를 포함하는 PAM-4 송신기의 동작 방법.

청구항 6

제5항에 있어서,

상기 PAM-4 송신기의 동작 방법은,

1 클록 사이클마다 시드 값에 기초하여 의사 난수 이진 시퀀스(PRBS: Pseudo Random Binary Sequence)를 생성하는 단계; 및

상기 의사 난수 이진 시퀀스를 정렬하여 상기 이전 데이터와 상기 현재 데이터를 생성하는 단계를 더 포함하는 PAM-4 송신기의 동작 방법.

청구항 7

제5항에 있어서,

상기 PAM-4 송신기의 동작 방법은,

상기 PAM-4 신호의 임피던스 정합을 위한 제1 내지 제3 풀-업 코드 및 제1 내지 제3 풀-다운 코드를 생성하는 단계를 더 포함하는 PAM-4 송신기의 동작 방법.

청구항 8

제7항에 있어서,

상기 출력 신호를 출력하는 단계는,

NMOS 트랜지스터를 포함하고, 상기 제1 내지 제3 풀-업 코드에 대응하여 턴온 또는 턴오프되는 단계; 및

PMOS 트랜지스터를 포함하고, 상기 제1 내지 제3 풀-다운 코드에 대응하여 턴온 또는 턴오프되는 단계를 포함하는 PAM-4 송신기의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 피드 포워드 등화기를 이용한 PAM-4 송신기 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 모바일 장치의 급속한 공급과 인터넷 접속량의 급격한 증가에 따라 고용량 및 고속 데이터 전송에 대한 요구가 날로 증가하고 있다. 하지만, NRZ(Non-Return to Zero) 타입의 인코딩을 기반으로 하는 신호 변조 방식으로는 이러한 고용량 및 고속의 데이터 전송 요구를 만족시키기 어려운 실정이다. 최근에는 펄스 진폭 변조(Pulse Amplitude Modulation; PAM) 방식이 고용량과 고속 데이터 전송을 위한 신호 방식의 대안으로 활발하게 연구되고 있다.

[0003] 한편, 펄스 진폭 변조 방식의 데이터 전송 방식은 한정된 대역폭으로 인해 신호에 노이즈가 발생하게 되어 보상 회로가 필요하게 된다. 종래에서는 Pre-Emphasis 및 De-Emphasis 방식의 보상회로를 사용하였다. 다만, 종래의 De-Emphasis 방식의 보상회로는 신호 스윙(Signal Swing)의 폭이 작아진다는 문제점이 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 등록특허 제 10-2109591호

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 피드 포워드 등화기를 이용한 PAM-4 송신기 및 그 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명은 PAM-4 신호를 송신하는 송신기에 있어서, 상기 PAM-4 신호의 임피던스 정합을 위해 각각 기함수(ODD) 및 우함수(EVEN) 인코더를 포함하고, 상기 PAM-4 신호의 전압 레벨에 대응하는 출력 신호를 출력하는 드라이버; 및 상기 출력 신호의 이전 데이터와 현재 데이터에 기초하여 상기 출력 신호에 계수(Coefficient)를 더하는 피드 포워드 등화기를 포함할 수 있다.

[0007] 일 실시 예에 있어서, 상기 PAM-4 송신기는, 1 클록 사이클마다 시드 값에 기초하여 의사 난수 이진 시퀀스(PRBS: Pseudo Random Binary Sequence)를 생성하는 이진 시퀀스 생성기; 및 상기 의사 난수 이진 시퀀스를 정렬하여 상기 이전 데이터와 상기 현재 데이터를 생성하는 데이터 정렬기를 더 포함할 수 있다.

[0008] 일 실시 예에 있어서, 상기 PAM-4 송신기는, 상기 PAM-4 신호의 임피던스 정합을 위한 제1 내지 제3 풀-업 코드 및 제1 내지 제3 풀-다운 코드를 생성하는 ZQ 캘리브레이션을 더 포함할 수 있다.

[0009] 일 실시 예에 있어서, 상기 드라이버는, NMOS 트랜지스터를 포함하고, 상기 제1 내지 제3 풀-업 코드에 대응하여 턴온 또는 턴오프되는 풀-업 드라이버; 및 PMOS 트랜지스터를 포함하고, 상기 제1 내지 제3 풀-다운 코드에 대응하여 턴온 또는 턴오프되는 풀-다운 드라이버를 포함할 수 있다.

[0010] 본 발명은 PAM-4 신호를 송신하는 송신기의 동작 방법에 있어서, 상기 PAM-4 신호의 임피던스 정합을 위해 각각 기함수(ODD) 및 우함수(EVEN) 인코더를 포함하고, 상기 PAM-4 신호의 전압 레벨에 대응하는 출력 신호를 출력하는 단계; 및 상기 출력 신호의 이전 데이터와 현재 데이터에 기초하여 상기 출력 신호에 계수(Coefficient)를 더하는 단계를 포함할 수 있다.

[0011] 일 실시 예에 있어서, 상기 PAM-4 송신기의 동작 방법은, 1 클록 사이클마다 시드 값에 기초하여 의사 난수 이진 시퀀스(PRBS: Pseudo Random Binary Sequence)를 생성하는 단계; 및 상기 의사 난수 이진 시퀀스를 정렬하여 상기 이전 데이터와 상기 현재 데이터를 생성하는 단계를 더 포함할 수 있다.

[0012] 일 실시 예에 있어서, 상기 PAM-4 송신기의 동작 방법은, 상기 PAM-4 신호의 임피던스 정합을 위한 제1 내지 제3 풀-업 코드 및 제1 내지 제3 풀-다운 코드를 생성하는 단계를 더 포함할 수 있다.

[0013] 일 실시 예에 있어서, 상기 출력 신호를 출력하는 단계는, NMOS 트랜지스터를 포함하고, 상기 제1 내지 제3 풀-업 코드에 대응하여 턴온 또는 턴오프되는 단계; 및 PMOS 트랜지스터를 포함하고, 상기 제1 내지 제3 풀-다운 코드에 대응하여 턴온 또는 턴오프되는 단계를 포함할 수 있다.

발명의 효과

[0014] 본 발명에 따른 피드 포워드 등화기를 이용한 PAM-4 송신기는 드라이버의 출력 신호의 이전 데이터와 현재 데이터에 기초한 계수에 따라 출력 신호의 전압 레벨을 감소시켜 전압 레벨의 편차를 줄일 수 있으며, 디-엠파시스되는 전압 레벨을 통해 신호간 간섭으로 인한 데이터의 손실 및 왜곡을 줄일 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 실시 예에 있어서 PAM-4 송신기를 나타내는 블록도이다.

도 2는 본 발명의 실시 예에 따른 드라이버의 회로도를 간략하게 나타내는 도면이다.

도 3a 및 도 3b는 본 발명의 실시 예에 따른 인코더의 논리 게이트를 보여주는 도면이다.

도 4는 본 발명의 실시 예에 따른 피드 포워드 등화기를 보여주는 블록도이다.

도 5는 본 발명의 실시 예에 따른 피드 포워드 등화기의 회로도를 간략하게 보여주는 도면이다.

도 6은 피드 포워드 등화기의 동작을 통한 PAM-4 송신기의 전압 레벨을 보여주는 도면이다.

도 7a 및 도 7b는 피드 포워드 등화기의 결과를 보여주는 도면이다.

도 8은 본 발명의 실시 예에 따른 PAM-4 송신기의 동작 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본

발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0017] 도 1은 본 발명의 실시 예에 있어서 PAM-4 송신기를 나타내는 블록도이다.

[0018] 도 1을 참조하면, 본 발명의 실시 예에 따른 PAM-4(4-Level Pulse Amplitude Modulation) 송신기(10)는

[0019] 본 발명의 실시 예에 따른 PAM-4(4-Level Pulse Amplitude Modulation) 송신기(10)는 PAM-4 신호를 송신하는 송신 장치에 구현될 수 있다. 예를 들어, PAM-4 송신기(10)는 데스크톱 컴퓨터, 랩톱 컴퓨터, 태블릿 컴퓨터, 스마트 폰, 웨어러블(Wearable) 장치, 비디오 게임기, 가전기기, 의료기기 등과 같은 다양한 장치의 송신 장치에 구현될 수 있다.

[0020] ZQ 캘리브레이션(100)은 PAM-4 신호의 임피던스 정합을 위한 풀-업 코드(ZQPU) 및 풀-다운 코드(ZQPD)를 생성할 수 있다. 일 실시 예에 있어서, ZQ 캘리브레이션(100)은 외부로부터 제어 신호를 입력받아 캘리브레이션 동작을 수행하여 PAM-4 신호의 전압 레벨에 대응하는 풀-업 코드(ZQPU) 및 풀-다운 코드(ZQPD)를 생성하고, 풀-업 코드(ZQPU) 및 풀-다운 코드(ZQPD)를 통해 후술할 드라이버(400)의 동작을 제어할 수 있다.

[0021] 이진 시퀀스 생성기(200)는 1 클럭 사이클마다 시드 값에 기초하여 의사 난수 이진 시퀀스(PRBS: pseudo random binary sequence)를 생성할 수 있다. 일 실시 예에 있어서, 의사 난수 이진 시퀀스는 기함수(ODD)와 우함수(EVEN) 각각의 MSB(Most Significant Bit) 및 LSB(Least Significant Bit) 신호로 정의될 수 있다.

[0022] 데이터 정렬기(300)는 이진 시퀀스 생성기(200)로부터 생성된 의사 난수 이진 시퀀스를 위상 차에 기초하여 정렬할 수 있다. 일 실시 예에 있어서, 데이터 정렬기(300)는 MSB_EVEN 신호, MSB_ODD 신호, LSB_EVEN 신호 및 LSB_ODD의 신호를 위상 차에 따라 정렬하여 기함수(ODD)를 기준으로 현재 데이터인 MO(MSB_ODD) 0° 신호 및 LO(LSB_ODD) 0° 신호를 생성할 수 있으며, 우함수(EVEN)를 기준으로 현재 데이터인 ME(MSB_EVEN) 90° 신호 및 LE(LSB_EVEN) 90° 신호를 생성할 수 있다.

[0023] 또한, 데이터 정렬기(300)는 MSB_EVEN 신호, MSB_ODD 신호, LSB_EVEN 신호 및 LSB_ODD의 신호를 위상 차에 따라 정렬하여 기함수(ODD)를 기준으로 이전 데이터인 ME(MSB_EVEN) 180° 신호 및 LE(LSB_EVEN) 180° 신호를 생성할 수 있으며, 우함수(EVEN)를 기준으로 이전 데이터인 MO(MSB_ODD) 90° 신호 및 LO(LSB_ODD) 90° 신호를 생성할 수 있다.

[0024] 드라이버(400)는 풀-업 코드(ZQPU) 및 풀-다운 코드(ZQPD)와 MSB_EVEN 신호, MSB_ODD 신호, LSB_EVEN 신호 및 LSB_ODD의 신호의 현재 데이터(MO 0°, LO 0°, ME 90°, LE 90°)를 수신하여 PAM-4 신호의 전압 레벨에 대응하는 출력 신호를 출력할 수 있다. 이를 위해, 드라이버(400)는 각각 n개(여기서, n은 자연수)로 세그먼트(Segment)된 풀-업 드라이버(410) 및 풀-다운 드라이버(420)를 포함할 수 있다.

[0025] 일 실시 예에 있어서, 드라이버(400)의 PAM-4 신호의 전압 레벨이 -1인 경우, 드라이버(400)는 ZQ 캘리브레이션(100)으로부터 각각 n번째의 풀-업 드라이버(410) 및 풀-다운 드라이버(420)를 턴온시키는 제1 풀-업 코드(ZQPU_-1[N]')와 제1 풀-다운 코드(ZQPD_-1[N])를 수신할 수 있다. 또한, 드라이버(400)의 PAM-4 신호의 전압 레벨이 +1인 경우, 드라이버(400)는 ZQ 캘리브레이션(100)으로부터 각각 n번째의 풀-업 드라이버(410) 및 풀-다운 드라이버(420)를 턴온시키는 제2 풀-업 코드(ZQPU_+1[N]')와 제2 풀-다운 코드(ZQPD_+1[N])를 수신할 수 있다.

[0026] 피드 포워드 등화기(Feed Forward Equalizer, 500)는 이전 데이터와 현재 데이터에 기초하여 출력 신호의 전압 레벨에 계수(Coefficient)를 더할 수 있다. 보다 상세하게, 피드 포워드 등화기(500)는 MSB_EVEN 신호, MSB_ODD 신호, LSB_EVEN 신호 및 LSB_ODD의 신호의 이전 데이터와 현재 데이터에 기초하여 기 설정된 계수를 PAM-4 신호의 전압 레벨에 더하여 디-엠파시스(De-Emphasis)할 수 있다.

[0027] 클럭 네트워크(600)는 외부로부터 제공받은 클럭 신호를 출력 신호와 동일한 위상을 갖도록 동기화할 수 있으며, 동기화된 클럭 신호를 통해 PAM-4 송신기(10)를 동작시킬 수 있다.

[0028] 이상에서 상술한 바와 같이, PAM-4 송신기(10)는 기 설정한 계수에 따라 출력 신호의 전압 레벨을 감소시켜 전압 레벨의 편차를 줄일 수 있다. 이에 따라, PAM-4 송신기(10)는 신호간 간섭으로 인한 데이터의 손실 및 왜곡을 줄일 수 있다.

[0030] 도 2는 본 발명의 실시 예에 따른 드라이버의 회로도를 간략하게 나타내는 도면이다.

[0031] 도 2를 참조하면, 드라이버(400)는 세그먼트된 n개의 풀-업 드라이버(410) 및 n개의 풀-다운 드라이버(420)를 포함할 수 있다.

[0032] 각각의 풀-업 드라이버(410)는 제1 인코더(411), 제1 먹스(412) 및 PMOS(P-type Metal Oxide Semiconductor) 트랜지스터를 포함할 수 있다. 또한, 각각의 풀-다운 드라이버(420)는 제2 인코더(421), 제2 먹스(422) 및 NMOS(N-type Metal Oxide Semiconductor) 트랜지스터를 포함할 수 있다.

[0033] 일 실시 예에 있어서, ZQ 캘리브레이션(100)의 풀-업 코드(ZQPU) 및 풀-다운 코드(ZQPD)는 세그먼트된 n개의 풀-업 드라이버(410) 및 n개의 풀-다운 드라이버(420) 중 적어도 하나 이상을 턴온하여 PAM-4 신호의 출력 전압을 생성할 수 있다.

[0034] 예를 들어, 풀-업 드라이버(410) 및 풀-다운 드라이버(420)가 6개의 세그먼트로 구현되고 0 비트의 MSB와 1 비트의 LSB를 수신할 경우, 드라이버(400)는 PAM-4 신호의 -1 레벨을 만들기 위해 2, 4 및 6번째의 풀-업 드라이버(410)가 턴온되고, 1, 2 3 및 5번째의 풀-다운 드라이버(420)가 턴온되어 PAM-4 신호의 출력 전압을 생성할 수 있다.

[0036] 도 3a 및 도 3b는 본 발명의 실시 예에 따른 인코더의 논리 게이트를 보여주는 도면이다. 구체적으로, 도 3a는 풀-업 드라이버(410)의 제1 인코더(411)의 논리 게이트를 보여주는 도면이고, 도 3b는 풀-다운 드라이버(420)의 제2 인코더(421)의 논리 게이트를 보여주는 도면이다.

[0037] 도 3a를 참조하면, 제1 인코더(411)는 복수개의 NAND 게이트와 인버팅 버퍼를 포함할 수 있다. 제1 인코더(411)는 NAND 게이트에 MSB 및 LSB와 반전된 신호인 MSB' 및 LSB'가 NAND 게이트 각각에 연결되고, PAM-4 신호의 전압 레벨을 결정하는 제1 내지 제3 풀-업 코드(ZQPU_-1[N], ZQPU_+1[N], ZQPU_+3[N])가 연결될 수 있다. 이에 따라, 풀-업 드라이버(410)는 제1 내지 제3 풀-업 코드(ZQPU_-1[N], ZQPU_+1[N], ZQPU_+3[N])에 기초하여 턴온되거나 턴오프될 수 있다.

[0039] 도 3b를 참조하면, 제2 인코더(421)는 복수개의 NAND 게이트를 포함할 수 있다. 제2 인코더(421)는 NAND 게이트에 MSB 및 LSB와 반전된 신호인 MSB' 및 LSB'가 NAND 게이트 각각에 연결되고, PAM-4 신호의 전압 레벨을 결정하는 제1 내지 제3 풀-다운 코드(ZQPD_-1[N], ZQPD_+1[N], ZQPD_+3[N])가 연결될 수 있다. 이에 따라, 풀-다운 드라이버(420)는 제1 내지 제3 풀-다운 코드(ZQPD_-1[N], ZQPD_+1[N], ZQPD_+3[N])에 기초하여 턴온되거나 턴오프될 수 있다.

[0041] 도 4는 본 발명의 실시 예에 따른 피드 포워드 등화기를 보여주는 블록도이다.

[0042] 도 4를 참조하면, 피드 포워드 등화기(500)는 제3 인코더(510), 제3 먹스(520) 및 비교기(530)를 포함할 수 있다. 피드 포워드 등화기(500)는 제3 인코더(510)에서 MSB_EVEN 신호, MSB_ODD 신호, LSB_EVEN 신호 및 LSB_ODD의 신호의 이전 데이터와 현재 데이터를 수신하고, 제3 먹스(520)를 통해 직렬화되어 12개의 인코딩 데이터(FFE[0]~FFE[12])를 생성할 수 있다. 예를 들어, 인코딩 데이터(FFE[0]~FFE[12])는 아래의 표 1과 같이 정의될 수 있다.

표 1

PRE	MAIN	FFE[n]=1
01	11	FFE[0]
10	11	FFE[1]
11	11	FFE[2]
01	10	FFE[3]
⋮	⋮	⋮
01	00	FFE[11]

[0043]

[0044] 일 실시 예에 있어서, 피드 포워드 등화기(500)는 현재 데이터(MO 0° 신호, LO 0° 신호, ME 90° 신호 및 LE 90° 신호)와 이전 데이터(ME 180° 신호, LE 180° 신호, MO 90° 신호 및 LO 90°)를 이용하여 인코딩 데이터(FFE[0]~FFE[12])를 정의할 수 있다.

[0045] 이상에서 상술한 바와 같이, 피드 포워드 등화기(500)는 현재 데이터와 이전 데이터에 기초하여 인코딩 데이터(FFE[0]~FFE[12])를 정의하고, 인코딩 데이터(FFE[0]~FFE[12])에 대응하여 PAM-4 신호의 전압 레벨을 디-엠파시스할 수 있다.

[0047] 도 5는 본 발명의 실시 예에 따른 피드 포워드 등화기의 회로도를 간략하게 보여주는 도면이다.

[0048] 도 5를 참조하면, 피드 포워드 등화기(500)는 인코딩 데이터(FFE[0]~FFE[12])에 대응하도록 세그먼트될 수 있으며, 인코딩 데이터(FFE[0]~FFE[12])에 기초하여 신호간 간섭의 보상 정도를 결정하는 계수(C+[4:0]~C-1[4:0])를 정의할 수 있다.

[0049] 이에 따라, 피드 포워드 등화기(500)는 드라이버(400)에서 출력되는 PAM-4 신호의 신호간 간섭을 현재 데이터와 이전 데이터에 기초하여 출력 신호의 손실 및 왜곡을 줄일 수 있다.

[0051] 도 6은 피드 포워드 등화기의 동작을 통한 PAM-4 송신기의 전압 레벨을 보여주는 도면이다.

[0052] 도 6을 참조하면, 본 발명의 실시 예에 따른 PAM-4 송신기(10)는 피드 포워드 등화기(500)를 이용하여 PAM-4 신호의 전압 레벨에 기 설정된 계수를 더하여 디-엠파시스할 수 있다. 또한, PAM-4 송신기(10)는 전압 레벨간의 편차를 줄임으로써 출력 신호의 센싱 마진을 제공할 수 있다.

[0054] 도 7a 및 도 7b는 피드 포워드 등화기의 결과를 보여주는 도면이다. 구체적으로, 도 7a는 PAM-4 송신기(10)에 피드 포워드 등화기가 없을 경우를 보여주는 도면이고, 도 7b는 PAM-4 송신기(10)에 피드 포워드 등화기가 적용된 경우를 보여여주는 도면이다.

[0055] 도 7a를 참조하면, 피드 포워드 등화기가 없는 경우, PAM-4 송신기(10)는 출력된 신호가 채널 감쇄로 인해 왜곡되어 아이(Eye)가 불균형한 것을 확인할 수 있다. 즉, 피드 포워드 등화기가 없는 PAM-4 송신기(10)는 PAM-4 신호의 레벨을 출력하더라도 채널 간섭에 의해 신호가 왜곡되어 정확한 출력 레벨을 확인하기 어렵다는 문제가 있다.

[0057] 도 7b를 참조하면, 본 발명의 실시 예에 따른 PAM-4 송신기(10)는 피드 포워드 등화기(500)를 통해 드라이버(400)의 이전 데이터와 현재 데이터를 기초로 신호간 간섭을 보상해주는 회로를 구현함으로써, 기 설정된 계수만큼 PAM-4 신호를 보상할 수 있다. 이에 따라, 본 발명의 실시 예에 따른 PAM-4 송신기(10)는 각 전압 레벨 사이에 아이 오프닝(Eye Opening)된 것을 확인할 수 있다.

[0059] 도 8은 본 발명의 실시 예에 따른 PAM-4 송신기의 동작 순서도이다.

[0060] 도 8을 참조하면, S110 단계에서, ZQ 캘리브레이션(100)은 PAM-4 신호의 임피던스 정합을 위한 풀-업 코드(ZQPU) 및 풀-다운 코드(ZQPD)를 생성할 수 있다.

[0061] S120 단계에서, 이진 시퀀스 생성기(200)는 1 클럭 사이클마다 시드 값에 기초하여 의사 난수 이진 시퀀스(PRBS: pseudo random binary sequence)를 생성할 수 있다.

[0062] S130 단계에서, 데이터 정렬기(300)는 이진 시퀀스 생성기(200)로부터 생성된 의사 난수 이진 시퀀스를 위상 차에 기초하여 정렬할 수 있다.

[0063] S140 단계에서, 드라이버(400)는 풀-업 코드(ZQPU) 및 풀-다운 코드(ZQPD)와 MSB_EVEN 신호, MSB_ODD 신호, LSB_EVEN 신호 및 LSB_ODD의 신호의 현재 데이터(MO 0° , LO 0° , ME 90° , LE 90°)를 수신하여 PAM-4 신호의 전압 레벨에 대응하는 출력 신호를 출력할 수 있다.

[0064] S150 단계에서, 피드 포워드 등화기(Feed Forward Equalizer, 500)는 이전 데이터와 현재 데이터에 기초하여 출력 신호의 전압 레벨에 계수(Coefficient)를 더할 수 있다.

[0065] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0066] 10 : PAM-4 송신기

100 : ZQ 캘리브레이션

200 : 이진 시퀀스 생성기

300 : 데이터 정렬기

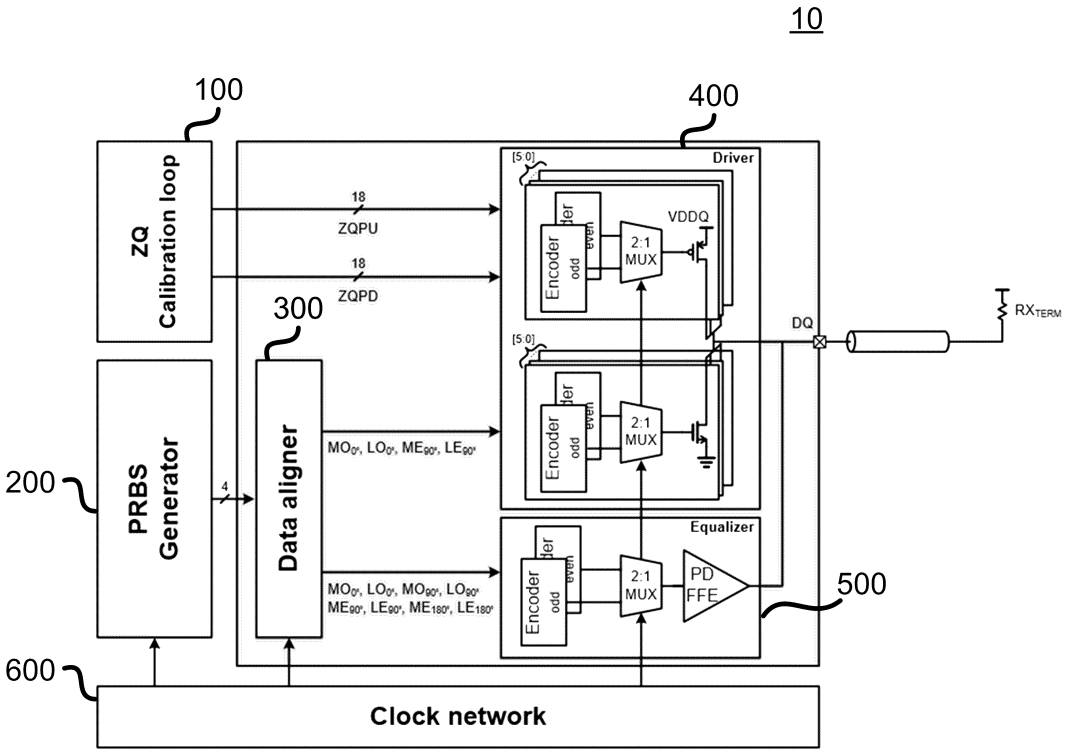
400 : 드라이버

500 : 피드 포워드 등화기

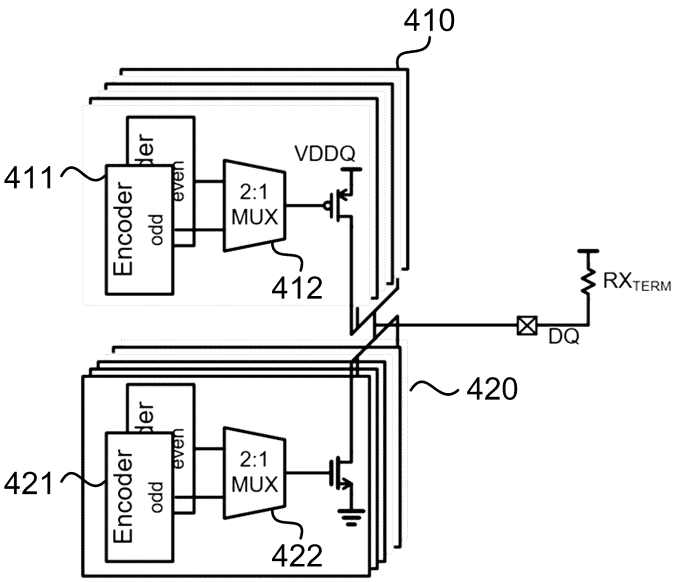
600 : 클럭 네트워크

도면

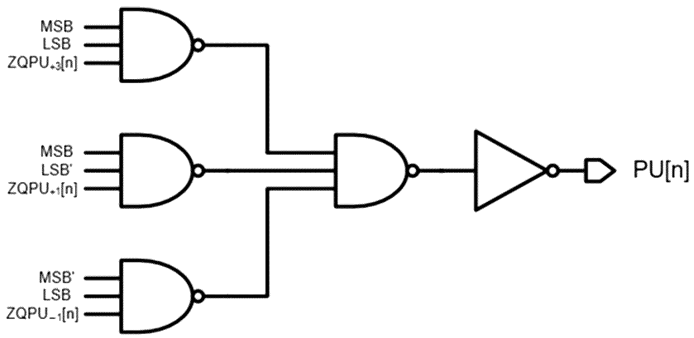
도면1



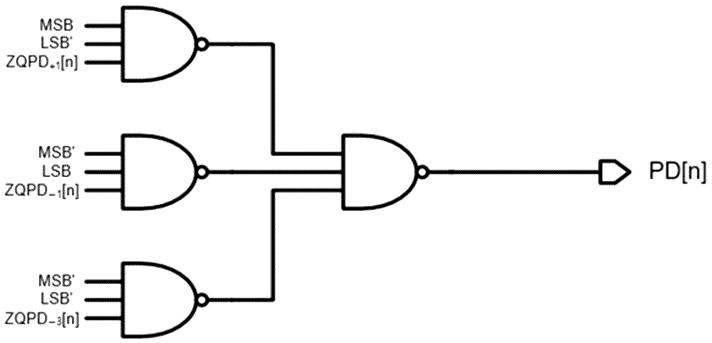
도면2



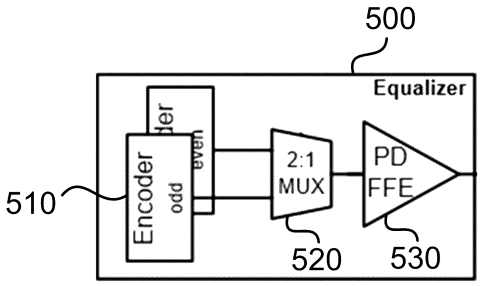
도면3a



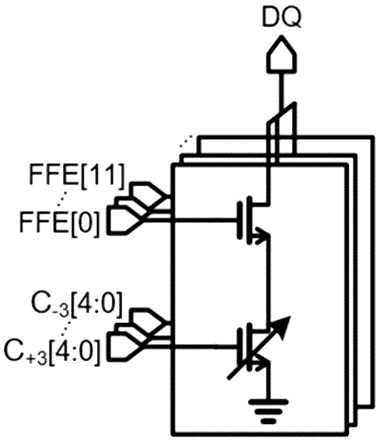
도면3b



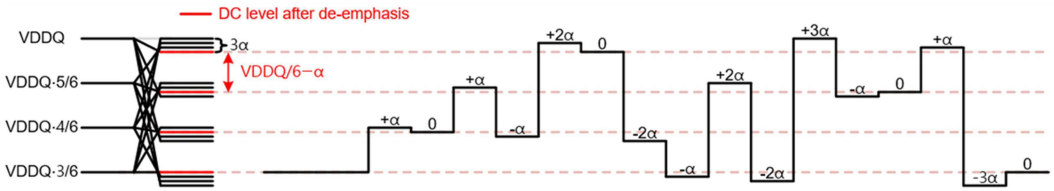
도면4


500
Equalizer
510
Encoder
odd
even
2:1
MUX
PD
FFE
520
530

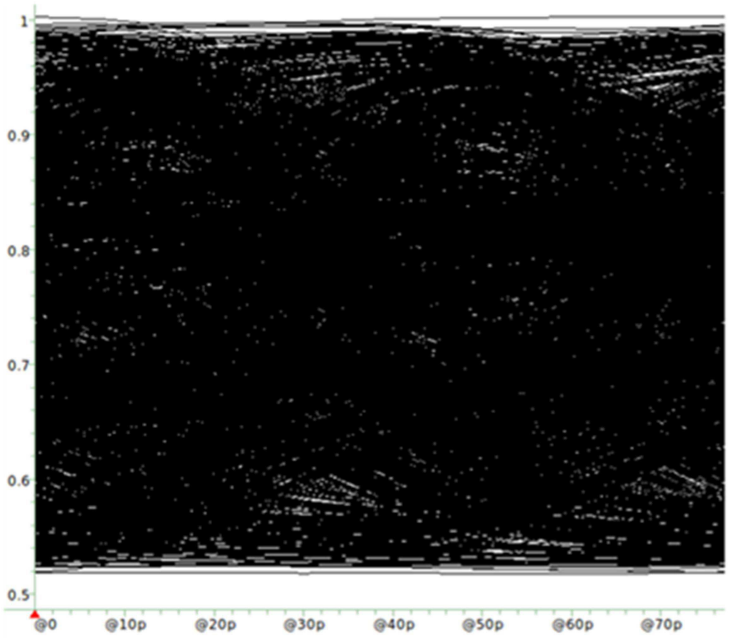
도면5


DQ
FFE[11]
FFE[0]
C-3[4:0]
C+3[4:0]

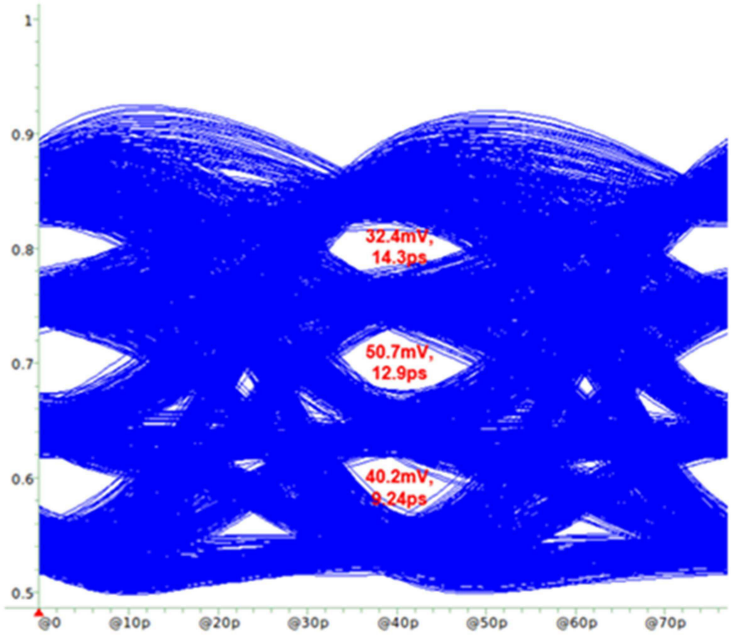
도면6


DC level after de-emphasis
VDDQ
VDDQ·5/6
VDDQ·4/6
VDDQ·3/6
3α
VDDQ/6−α
+α
0
-α
+2α
-2α
+3α
-3α

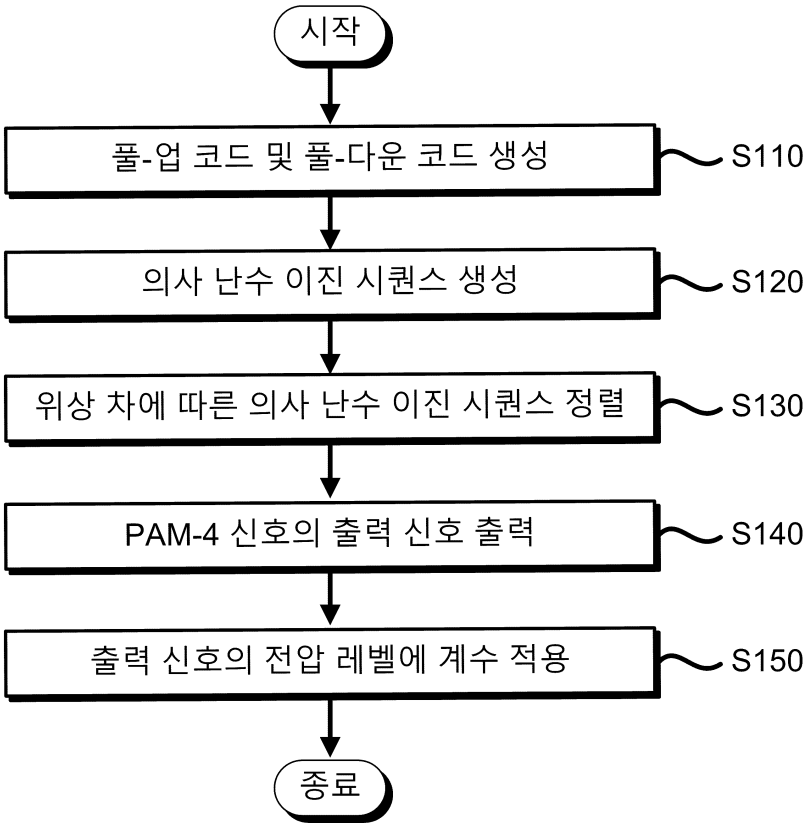
도면7a


1
0.9
0.8
0.7
0.6
0.5
@0
@10p
@20p
@30p
@40p
@50p
@60p
@70p

도면7b


1
0.9
0.8
0.7
0.6
0.5
32.4mV,
14.3ps
50.7mV,
12.9ps
40.2mV,
9.24ps
@0
@10p
@20p
@30p
@40p
@50p
@60p
@70p

도면8


시작
풀-업 코드 및 풀-다운 코드 생성
S110
의사 난수 이진 시퀀스 생성
S120
위상 차에 따른 의사 난수 이진 시퀀스 정렬
S130
PAM-4 신호의 출력 신호 출력
S140
출력 신호의 전압 레벨에 계수 적용
S150
종료