

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4636110号
(P4636110)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月3日(2010.12.3)

(51) Int. Cl. F I
 HO 1 L 21/02 (2006.01) HO 1 L 27/12 B
 HO 1 L 27/12 (2006.01) HO 1 L 21/20
 HO 1 L 21/20 (2006.01)

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2008-102586 (P2008-102586)	(73) 特許権者	000190149
(22) 出願日	平成20年4月10日(2008.4.10)		信越半導体株式会社
(65) 公開番号	特開2009-253212 (P2009-253212A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成21年10月29日(2009.10.29)	(74) 代理人	100102532
審査請求日	平成22年3月10日(2010.3.10)		弁理士 好宮 幹夫
		(72) 発明者	岡 哲史
			群馬県安中市 中野谷字松原507 信越半導体株式会社 横野平工場内
		(72) 発明者	能登 宣彦
			群馬県安中市 中野谷字松原507 信越半導体株式会社 横野平工場内
		審査官	河本 充雄

最終頁に続く

(54) 【発明の名称】 SOI基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

厚膜SOI層を有するSOI基板の製造方法であって、少なくとも、
 ボンドウェーハの表面から水素イオン、希ガスイオンの少なくとも一種類のガスイオンをイオン注入してイオン注入層を形成し、前記ボンドウェーハのイオン注入した表面とベースウェーハの表面とを酸化膜を介して貼り合わせた後、前記イオン注入層でボンドウェーハを剥離させることによりSOI層を有するSOI基板を作製し、該SOI層を有するSOI基板に水素を含む還元性雰囲気もしくは塩化水素ガスを含む雰囲気で熱処理を行い、その後前記SOI層の表面をCMPで研磨した後に、該CMPで研磨した後のSOI層を有するSOI基板の該SOI層をパーティクル測定し、良否判別を行った後に、良品と判別された基板は前記SOI層上にシリコンエピタキシャル層を成長させることにより厚膜SOI層を形成させ、不良と判別された基板は前記SOI層表面をCMPで再研磨した後に、再度該SOI層をパーティクル測定し、前記良否判別を行うことをくり返すことを特徴とする厚膜SOI層を有するSOI基板の製造方法。

10

【請求項2】

前記熱処理を、1000以上で行うことを特徴とする請求項1に記載の厚膜SOI層を有するSOI基板の製造方法。

【請求項3】

前記熱処理を、1000~1100で行う第一段階熱処理と、1100より高い温度で行う第二段階熱処理を連続で行うことを特徴とする請求項2に記載の厚膜SOI層を

20

有するSOI基板の製造方法。

【請求項4】

厚膜SOI層を有するSOI基板の製造方法であって、少なくとも、

ボンドウェーハの表面から水素イオン、希ガスイオンの少なくとも一種類のガスイオンをイオン注入してイオン注入層を形成し、前記ボンドウェーハのイオン注入した表面とベースウェーハの表面とを酸化膜を介して貼り合わせた後、前記イオン注入層でボンドウェーハを剥離させることによりSOI層を有するSOI基板を作製し、該SOI層を有するSOI基板に、塩化水素ガスを含む雰囲気で、1000～1100で行う第一段階熱処理と、1100より高い温度で行う第二段階熱処理を連続で行う熱処理を枚葉式エビ装置で行い、その後前記SOI層の表面をCMPで研磨した後に、前記SOI基板のSOI層上にシリコンエピタキシャル層を成長させることにより厚膜SOI層を形成させることを特徴とする厚膜SOI層を有するSOI基板の製造方法。

10

【請求項5】

前記シリコンエピタキシャル層の成長時の温度を、前記熱処理の温度より高い温度にすることを特徴とする請求項1乃至請求項4のいずれか一項に記載の厚膜SOI層を有するSOI基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イオン注入剥離法を用いて得られるSOI基板のSOI層上にエピタキシャル層を積層させるSOI基板の製造方法に関する。

20

【背景技術】

【0002】

貼り合わせSOI基板の作製方法として、SOI層の薄膜化を研削・研磨で行う方法とイオン注入剥離法（スマートカット（登録商標）法とも呼ばれる。）が一般的に知られている。まず、研削・研磨で行う方法であるが、これは、2枚のシリコン単結晶ウェーハを、酸化膜を介して接着剤を用いることなく接合し、熱処理（1000～1200）により接合強度を高めた後、片方のウェーハを薄膜化する方法であり、本手法の利点は、SOI層の結晶性や埋め込み酸化膜の信頼性が通常のシリコン単結晶ウェーハと同等であることであり、一方で欠点は、SOI層の膜厚均一性に限界（±0.3μm程度）があること

30

【0003】

一方、イオン注入剥離法は、2枚のシリコン単結晶ウェーハの少なくとも一方に酸化膜を形成し、一方のウェーハ（ボンドウェーハ）の一主面に水素イオン、または希ガスイオンの少なくとも一種類を注入し、ウェーハ内部にイオン注入層（剥離層）を形成させた後、該イオン注入した面と他方のシリコン単結晶ウェーハ（ベースウェーハ）の一主面を酸化膜を介して密着させ、その後500以上の熱処理を加えて剥離層で分離する方法であり、±10nm以下のSOI層膜厚均一性を有する薄膜SOI基板を容易に作製できる優位性と、剥離したボンドウェーハを複数回再利用し材料コストの低減が図れる優位性を有している。

40

【0004】

ところで、SOI層の膜厚が数μmから数10μmの厚膜SOI基板は、バイポーラデバイスやパワーデバイス用として極めて有用なウェーハであるが、低コストでかつ高品質のSOIウェーハを作製することは、上述した研削・研磨で行う方法やイオン注入剥離法を用いても比較的困難であることが知られている。

【0005】

その理由は、SOI層の薄膜化を研削・研磨で行う方法の場合、酸化膜付ウェーハとベースウェーハを貼り合せ、1100以上で接合熱処理を行い、研削および研磨処理して所望のSOI膜厚になるように造りこまなければならない、工程が複雑でかつSOI膜厚均一

50

性を良くすることは極めて困難であること、一方、イオン注入剥離法の場合は、SOI層の厚さは注入できる深さ（すなわちイオン注入装置の加速電圧）で決ってしまい、一般的な注入装置の場合、最大加速電圧は200keV程度であり、最大でも2μm程度のSOI層しか得ることができず、この方法のみで2μmより厚い厚膜SOI層は得られないということである。

【0006】

このようなSOI層が厚いSOI基板を得る方法として、上述のイオン注入剥離法により得られたSOI基板のSOI層上にエピタキシャル層を形成させてSOI層を厚くする方法がある。しかし、イオン注入剥離法で得られた剥離直後のSOI層表面は、ラフネスが悪く（P-V値：～50nm）、そのような表面にエピタキシャル成長を行うとラフネスやパーティクルレベルの悪い粗悪なエピタキシャル層となってしまうために、何らかの工夫が必要である。

10

【0007】

これに対して、特許文献1では、剥離後にCMPによる研磨を行いその表面にエピ成長を行うことが記載されているが、剥離後の凹凸の大きい表面をCMP装置にかけたのでは平坦化するのに長時間を要し生産性が悪い上に、取り代が大きいため、膜厚均一性を悪化させてしまう。また、接合強度が弱いためにCMPによる研磨中に膜剥離が生じたり、エピタキシャル成長後接合強度の不十分なSOI基板ができてしまう欠点があった。

【0008】

【特許文献1】特開2001-85649号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0009】

そこで本発明は、上記問題点に鑑みてなされたものであって、例えばイオン注入剥離法で得られたSOI基板のSOI層上に良質なシリコンエピタキシャル層を成長させるのと同時にSOI基板の接合強度も上げることができるSOI基板の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するために、本発明は、厚膜SOI層を有するSOI基板の製造方法であって、少なくとも、ボンドウェーハの表面から水素イオン、希ガスイオンの少なくとも一種類のガスイオンをイオン注入してイオン注入層を形成し、前記ボンドウェーハのイオン注入した表面とベースウェーハの表面とを酸化膜を介して貼り合わせた後、前記イオン注入層でボンドウェーハを剥離させることによりSOI層を有するSOI基板を作製し、該SOI層を有するSOI基板に水素を含む還元性雰囲気もしくは塩化水素ガスを含む雰囲気で熱処理を行い、その後前記SOI層の表面をCMPで研磨した後に、前記SOI基板のSOI層上にシリコンエピタキシャル層を成長させることにより厚膜SOI層を形成させることを特徴とする厚膜SOI層を有するSOI基板の製造方法を提供する。

30

【0011】

このようなSOI基板の製造方法であれば、イオン注入剥離法により得た膜厚均一性の高いSOI層の表面に上記の雰囲気で熱処理を行うことにより、膜厚均一性を高く保持しながら剥離面の凹凸のある程度まで平坦化することができるため、その後にCMPで仕上げのための研磨を効率的に行うことができ、研磨時間が短くても所望の平坦度に行うことができる。従って、膜厚均一性を劣化させることもない。その平坦度が高くされ膜厚均一性も良好なSOI層上にシリコンエピタキシャル層を形成させるため、平坦度が高く高品質のシリコンエピタキシャル層を形成させることができる。

40

【0012】

また、本発明の製造方法における熱処理は、SOI層を平坦にすると同時にSOI基板の接合強度も高めることができるため、CMPによる研磨時のみならずその後の工程でのSOI層の剥離を効率的に防止することができる。

50

【0013】

このとき、前記熱処理を、1000 以上で行うことが好ましい。

このように、本発明の製造方法において、熱処理を1000 以上で行えば、表面粗さの改善と接合強度を高めることの両方の効果をより確実に発揮することができる。

【0014】

また、前記熱処理を、1000～1100 で行う第一段階熱処理と、1100 より高い温度で行う第二段階熱処理を連続で行うことが好ましい。

このように、第一段階熱処理を比較的低温で行うことで、スリップ転位の発生を防止しながら平坦化を行い、その後第二段階熱処理をより高温で行うことで、SOI基板の接合強度を高めることができ、既に第一段階熱処理で表面は平坦化されているため、スリップ転位が発生しない程度の時間で第二段階の高温熱処理を行うことができる。これによって、スリップ転位がないとともに、平坦度と接合強度がより高いSOI基板を作製することができる。さらに、この二段階熱処理は、同一の熱処理装置で可能であるため装置から取り出さずに連続で行うことができるため工程を増やす必要がなく効率的に行うことができる。

10

【0015】

このとき、前記シリコンエピタキシャル層の成長時の温度を、前記熱処理の温度より高い温度にすることが好ましい。

このように、前記熱処理時の温度より高い温度でシリコンエピタキシャル層を成長させることで、上記のような二段階熱処理と同じ効果を発揮することができ、つまり、熱処理を上記の比較的低温の第一段階熱処理としてスリップ転位を防止しながら平坦化を行い、シリコンエピタキシャル層の成長時の温度は、上記の高温の第二段階熱処理と同様の接合強度を高めるように作用する。このため、さらに効率的に接合強度の高いSOI基板を得ることができる。

20

【0016】

また、前記CMPで研磨した後のSOI層を有するSOI基板の該SOI層をパーティクル測定し、良否判別を行った後に、良品と判別された基板は前記SOI層上に前記シリコンエピタキシャル層を成長させ、不良と判別された基板は前記SOI層表面をCMPで再研磨した後に、再度該SOI層をパーティクル測定し、前記良否判別を行うことをくり返すことが好ましい。

30

このように、SOI層の良否判別をしてシリコンエピタキシャル層を成長させることで、SOI層表面のLPD等が原因で、シリコンエピタキシャル層に欠陥が発生するのを防止することができる。また、シリコンエピタキシャル層に欠陥が発生してしまうと改善が困難であるが、成長させる前のSOI層表面であれば、再研磨すればその後のシリコンエピタキシャル層成長時に影響がなくなる程度までLPD等を低減することができるため、簡便な方法によって欠陥のほとんどない良質なシリコンエピタキシャル層を得ることができる。

【発明の効果】

【0017】

以上のように、本発明のSOI基板の製造方法によれば、水素を含む還元性雰囲気もしくは塩化水素ガスを含む雰囲気で行うことにより、イオン注入剥離法により作製されたSOI基板の剥離面を膜厚均一性を保ちながらある程度まで平坦にし、その後CMPにより研磨するため、研磨時間が短くて少ない取り代でも高い平坦度で膜厚均一性の高いSOI層にすることができる。このようなSOI層上にシリコンエピタキシャル層を成長させることで、高平坦度のシリコンエピタキシャル層を成長させることができ、良好な厚膜SOI層を有するSOI基板を製造することができる。また、CMP研磨前の熱処理により、SOI層の平坦化と同時に接合強度も高めることができるため、研磨時に剥離することもなく効率的に製造することができる。

40

【発明を実施するための最良の形態】

【0018】

50

高品質の厚いSOI層を有するSOI基板を効率良く製造する方法の開発が待たれていた。

発明者らは、鋭意調査を行った結果、イオン注入して剥離されたSOI基板に水素を含む還元性雰囲気もしくは塩化水素ガスを含む雰囲気中で熱処理を施し、ある程度までSOI層を平坦にしつつ同時に接合強度を高め、その後CMPにより研磨することで効率良く高平坦度のSOI層とし、そのSOI層上にシリコンエピタキシャル層を成長させることで高品質の厚膜SOI層を形成させることができることを見出し、本発明を完成させた。

【0019】

以下、本発明のSOI基板の製造方法について、実施態様の一例として、図1を参照しながら詳細に説明するが、本発明はこれに限定されるものではない。

10

尚、図1は本発明のSOI基板の製造方法の実施態様の一例を示すフロー図である。

【0020】

まず、図1の工程(a)では、用意したボンドウェーハ10とベースウェーハ12のうち、ボンドウェーハ10の貼り合わせる面から水素イオン、希ガスイオンの少なくとも一種類のガスイオンをイオン注入してイオン注入層13を形成する。

この際、加速電圧、注入量、注入温度等その他のイオン注入条件を、所定の厚さのSOI層を得ることができるように適宜選択することができるが、剥離後のSOI層の膜厚は、主に加速電圧に左右され、イオン注入装置の加速電圧には装置上の制限があるので、出来るだけ厚いSOI層を得ようとしても、現状では200keV程度の加速電圧で、例えば水素イオンの場合、2μm程度の膜厚が上限である。

20

【0021】

このとき用意するボンドウェーハ10とベースウェーハ12としては、例えば両面鏡面研磨されたシリコン単結晶ウェーハを用意することができる。

また、図1に示すように、ボンドウェーハ10にだけ予め酸化膜11が形成されているが、酸化膜11はベースウェーハ12にだけ形成されていてもよいし、両ウェーハに形成されていてもよい。なお、ウェーハに形成される酸化膜は、貼り合わせ面のみに形成されていてもよいが、裏面も含めたウェーハの全面に形成されてもよい。

【0022】

次に工程(b)では、ボンドウェーハ10とベースウェーハ12を酸化膜11を介して密着させて貼り合わせる。常温で清浄な雰囲気下でウェーハ同士を密着させることにより、接着剤等を用いない場合でもウェーハ同士が貼り合わされる。また、例えばこの貼り合わせ工程前に少なくともどちらか一方の貼り合わせ面にプラズマ処理を施して貼り合わせることにより、接合強度を高めることもできる。

30

【0023】

工程(c)では、ボンドウェーハ10をイオン注入層13で剥離させることにより、SOI層14を有するSOI基板17を作製する。

剥離させる方法として、特に限定されないが例えば、不活性ガス雰囲気下約500以上の温度で剥離熱処理を加えれば、結晶の再配列と気泡の凝集によってイオン注入層で剥離される。

【0024】

次に、工程(d)では、作製されたSOI層14を有するSOI基板17に、水素を含む還元性雰囲気もしくは塩化水素ガスを含む雰囲気中で熱処理を行う。

40

このように、剥離されたSOI基板を上記の雰囲気下で熱処理を行うことにより、剥離面であるSOI層の表面を膜厚均一性を保ちながら概ね平坦にすることができ、同時に貼り合わせ面の接合強度も高めることができる。

【0025】

この熱処理の温度としては、1000以上で行うことが好ましい。このように1000以上であれば、SOI層の平坦化と接合強度を高めることの両方をより確実に行うことができる。

【0026】

50

また、この熱処理として、1000～1100で行う第一段階熱処理と、1100より高い温度で行う第二段階熱処理を連続で行うことがより好ましい。

第一段階熱処理を比較的低温で行うことにより、スリップ転位の発生を防止しながらSOI層を平坦にすることができ、このようにして、第一段階熱処理でSOI層を平坦にした後に、第二段階熱処理を高温で行うことにより、貼り合わせの接合強度をより高めることができる。この接合強度を高めるためには、高温で熱処理を行うことにより比較的短時間でも達成することができるため、第二段階熱処理は、スリップ転位が発生しない程度の時間で行うことができる。

【0027】

工程(e)では、SOI層14の表面をCMP(化学的機械研磨)で研磨する。

10

研磨量としては、特に限定されるものではなく、SOI層表面が十分に平坦になればよく、例えば100nm程度の研磨代で研磨すればポリッシュウェーハとほぼ同等の平坦度になる。このとき使用される装置としては、一般的なCMP装置でよく、使用される研磨布や研磨スラリーとしても特に限定されるものではなく、従来と同様のものとすることができる。

【0028】

このように、本発明ではCMPで研磨する前にSOI層を熱処理により、膜厚均一性を保ちながらある程度平坦にされているため、研磨量が少なくてもSOI層を十分な平坦度に行うことができる。また、上記熱処理の際に平坦にされると同時に貼り合わせ界面の接合強度も高くなるため、研磨の際に剥離することも防止されており、効率的な研磨が可能

20

【0029】

また、このようにCMPで研磨されたSOI層14をパーティクル測定し、良否判別を行った後に、良品と判断された基板は次の工程(f)を行い、不良と判別された基板はSOI層を再研磨して、再度パーティクル測定し良否判別を行うことを繰り返すのが好ましい。

研磨されたSOI層表面には研磨に起因するLPD(Light Point Defect)等の欠陥が生じている場合があり、欠陥のあるSOI層上にエピタキシャル層を成長させると欠陥を有するシリコンエピタキシャル層が形成されてしまう。このため、シリコンエピタキシャル層を成長させる前にパーティクル測定して良否判別し、不良と判別された基板は再度研磨して、良品のみにシリコンエピタキシャル層を成長させることで、高品質のシリコンエピタキシャル層をより確実に形成することができる。

30

【0030】

次に、工程(f)では、SOI基板17のSOI層14上にシリコンエピタキシャル層15を成長させることにより厚膜SOI層16を形成させる。

シリコンエピタキシャル層を成長させる方法としては、特に限定されないが、通常行われているCVD(Chemical Vapor Deposition)法により、例えば、1000～1200でSiCl₄、あるいはSiHCl₃、SiH₂Cl₂、SiH₄等を水素還元してSiを析出させてエピタキシャル成長させることができる。

あるいは、MBE(Molecular Beam Epitaxy)法により、超高真空下、600～900の低温でエピタキシャル成長させることもできる。

40

【0031】

本発明の製造方法によれば、平坦度が高く、欠陥の少ないSOI層上にシリコンエピタキシャル層を成長させることができるため、高平坦度で良質なシリコンエピタキシャル層を形成することができ、これにより、高品質の厚膜SOI層を有するSOI基板を製造することができる。

【0032】

また、このとき工程(d)の熱処理温度より高い温度でシリコンエピタキシャル層15を成長させることが好ましい。

このように、シリコンエピタキシャル層成長時の温度を、前の工程で行われる熱処理の

50

温度より高い温度で行うことで、上述の二段階熱処理と同様な効果が期待できる。つまり、前工程の熱処理時は比較的lowの温度でスリップ転位の発生を防止しながら、SOI層の平坦化を行い、エピタキシャル成長を高い温度で行うことで、効率的に貼り合わせ界面の接合強度を高めることができ、後の工程で剥離が生じない高品質のSOI基板にすることができる。

【実施例】

【0033】

以下、本発明を実施例によりさらに具体的に説明するが、本発明はこれに限定されない。

【0034】

10

(実施例1)

ボンドウェーハおよびベースウェーハとして、直径300mm、結晶方位<100>のシリコン単結晶ウェーハを用意し、ボンドウェーハに厚さ150nmのシリコン酸化膜を形成した。次にそのシリコン酸化膜を介してH⁺イオン注入(50keV、 $5 \times 10^{16} / \text{cm}^2$)を行い、ベースウェーハと室温で貼り合せた後、剥離熱処理温度500で剥離させて、SOI基板を作製した。

【0035】

この時のSOI層表面のラフネスをAFM(Atomic Force Microscope)で測定(30 $\mu\text{m} \times 30\mu\text{m}$)した結果、PV値:47.17nm、RMS:4.45nmであった。このときAFMでSOI層表面を観察したものを図2に示す。

20

この剥離後のSOI基板を枚葉式エピ装置を用い、塩化水素ガスを含む雰囲気での熱処理(HCl処理)を2つの異なる温度条件(1100および1150)で行い、その熱処理後のSOI層の表面をAFMでラフネスを測定した。このときの熱処理条件は、圧力(常圧:760torr(101.3kPa))、雰囲気(H₂:40slm、HCl:200scm)、時間(2分間)で行った。

【0036】

1100と1150の温度条件の熱処理ではエッチング量およびラフネスに大きな違いはなく、SOI層は2分間の処理で厚さ20nm程度エッチングされ、ラフネスは温度条件1100の場合、PV値:7.40nm、RMS:0.67nmとなり、温度条件1150の場合、PV値:7.20nm、RMS:0.63nmにまで改善された。このときAFMでSOI層表面を観察したものを図3に示す。

30

【0037】

この熱処理したSOI基板のSOI層を、研磨する厚さ30nmと100nmの2つの条件でCMPによる研磨(研磨レートは0.5nm/sec)を行うことにより平坦化した後に、そのSOI層上に厚さ3 μm のシリコンエピタキシャル層の成長を行った。このときのシリコンエピタキシャル成長条件は、圧力(減圧:80torr(10.7kPa))、温度(1080)、雰囲気(H₂:40slm、SiH₂Cl₂:450scm)で行った。

【0038】

エピタキシャル成長後のシリコンエピタキシャル層表面のラフネスをAFMで測定した結果、30nm研磨した基板ではPV値:6.3nm、RMS:0.26nmが、100nm研磨した基板ではPV値:1.4nm、RMS:0.15nmが得られた。このときAFMでシリコンエピタキシャル層表面を観察したものを図4に示す。

40

【0039】

尚、比較として通常の鏡面研磨されたシリコン単結晶ウェーハ(ポリッシュウェーハ)にシリコンエピタキシャル層を成長させたものは、PV値:1.3nm、RMS:0.11nmであったことから、HCl処理を行い100nm研磨することによって、ほぼポリッシュウェーハと同等の平坦性を有する表面が得られていると考えられる。一方、剥離直後のラフネスの悪いSOI基板に対して、HCl処理を行わずにCMPによる研磨だけでポリッシュウェーハと同等のラフネスを得ようとする場合、少なくとも150nm以上の

50

研磨代が必要になることは別の実験から得られており、このように、CMPによる研磨前にHCl処理等で表面ラフネスを改善することは、CMPによる研磨時間の短縮化及びSOI膜厚均一性の劣化防止に極めて有効であることがわかった。

【0040】

また、HCl処理を1150で行ったウェーハにはスリップ転位が若干見られており、HCl処理の高温化にともないスリップ転位フリーに対するマージンが少なくなっていることもわかった。尚、本実施例ではスリップ転位検査は、集光灯による目視で行っている。

【0041】

次に、SOI基板の重要な品質項目の一つである接合界面（本実施例では、ベースウェーハとボンドウェーハに形成させたシリコン酸化膜（BOX層）の界面が対応する）の接合強度についてであるが、本実施例では、それをBOX層のHFエッチング量（染込み量）の測定によって簡便に評価している。

評価サンプルは、前記と同様のイオン注入剥離法で作製した剥離後のSOI基板を、異なる4つの温度条件（1000、1100、1150および1200）で30秒間HCl処理し、その後CMPで100nm研磨し、その上に1080で厚さ3μmのシリコンエピタキシャル層の成長を行い作製した。各々のサンプルウェーハから50mm×50mmサイズのチップを劈開して切り出し、その劈開面を15%濃度のHFに5分間浸し、断面SEM（Scanning Electron Microscopy）観察を行った。このとき断面SEM観察したものを図5に示す。1000でHCl処理した

【0042】

図5によれば、HF染込み量は、HCl処理温度が高くなるに従って少なくなっており、接合強度が増加していることがわかった。各処理温度における染込み量の絶対値は図7の棒グラフ（左）に示す。

この接合強度の温度依存性は、図6のSEM写真に見られるように、接合界面側（Si基板とBOX層の界面側）と酸化膜界面側（SOI層とBOX層の界面側）のHF染込み量の差からも確認することができ、接合強度には処理温度が強く影響していることがわかった。各処理温度における両界面の染込み量の差は、図7の棒グラフ（右）に示す。

【0043】

図5、6、7に示すように、熱処理温度を1100以上、好ましくは1150以上にすれば、HF染込みをかなり抑制することができ、接合界面の完全性（すなわち、接合強度）を極めて高められることがわかった。

【0044】

（実施例2）

実施例1のようにエピタキシャル成長後の接合界面の接合強度を高めるためには、CMPによる研磨前のHCl処理温度はできるだけ高い方が有利であるが、1150以上ではスリップ転位が発生しやすくなるので注意が必要である。

そこで、実施例2ではHCl処理におけるスリップ転位発生を低減するために1100で2min処理後、装置から取出さずにそのまま昇温して1150で30秒間処理する二段階熱処理を行い、その後、CMPによる研磨およびエピタキシャル成長を行い、実施例1と同じ条件でスリップ転位検査およびHF染込み量の評価を行った。

【0045】

目視検査の結果、スリップ転位フリーでかつHF染込み量は実施例1の1150処理品と同等レベルであることが確認できた。本実施例の様に、剥離SOI表面のラフネス改善は、スリップ転位の発生しにくい1100以下の低温で行い、接合強度の向上は1150以上の高温短時間で処理するのが有効である。尚、本実施例では1100の処理中、1100から1150への昇温中、1150の処理中の全ての処理でHClを流しながら処理（HCl処理）を行ったが、1100のHCl処理後、HClを停止させ1150に昇温、H₂雰囲気のみで処理を行っても結果は同じであった。

10

20

30

40

50

【0046】

(実施例3)

実施例2ではエピタキシャル成長後の接合界面の接合強度の向上とスリップ転位フリーを両立させるために、CMP前のHCl処理温度を2段階に分けることは有効であることを示したが、同様の効果はシリコンエピタキシャル成長をHCl処理温度より高い温度で行う事によっても達成できる。

【0047】

実施例1と同じ条件で作製されたSOI基板を準備し、それを1100、2分間のHCl処理を行い、その後CMPで100nm研磨し平坦化を行った。シリコンエピタキシャル成長は、まず、1150、30秒間H₂雰囲気処理して自然酸化膜を除去した後、1130で厚さ3μmのシリコンエピタキシャル層の成長を行った。このSOI基板の品質を評価した結果、実施例2と同様、スリップ転位フリーでHF染込み量も同等レベルであった。

10

【0048】

なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【図面の簡単な説明】

【0049】

【図1】本発明のSOI基板の製造方法の工程の一例を示すフロー図である。

20

【図2】剥離直後のSOI層の表面をAFMで観察した図である。

【図3】熱処理後のSOI層の表面をAFMで観察した図である。

【図4】シリコンエピタキシャル層の表面をAFMで観察した図である。

【図5】HF処理後SOI基板断面をSEMで観察した図である。

【図6】1000でHCl処理したSOI基板断面をSEMで観察した図とその拡大図である。

【図7】HF染み込み量を示すグラフである。

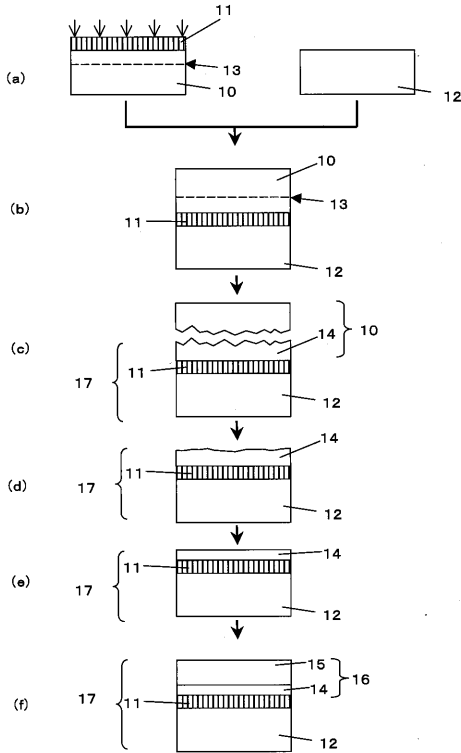
【符号の説明】

【0050】

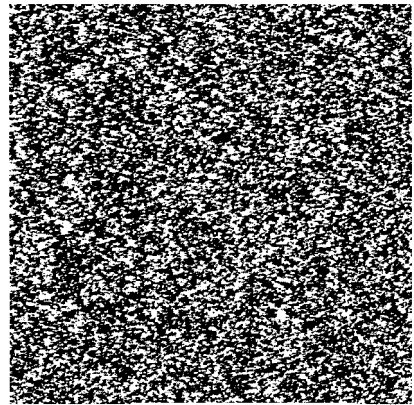
- 10...ボンドウェーハ、 11...酸化膜、 12...ベースウェーハ、
13...イオン注入層、 14...SOI層、 15...シリコンエピタキシャル層、
16...厚膜SOI層、 17...SOI基板。

30

【図1】

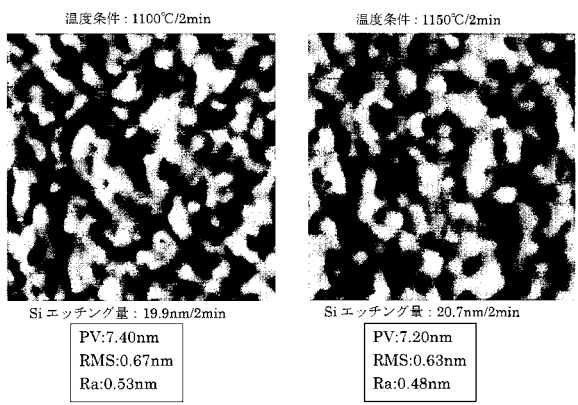


【図2】

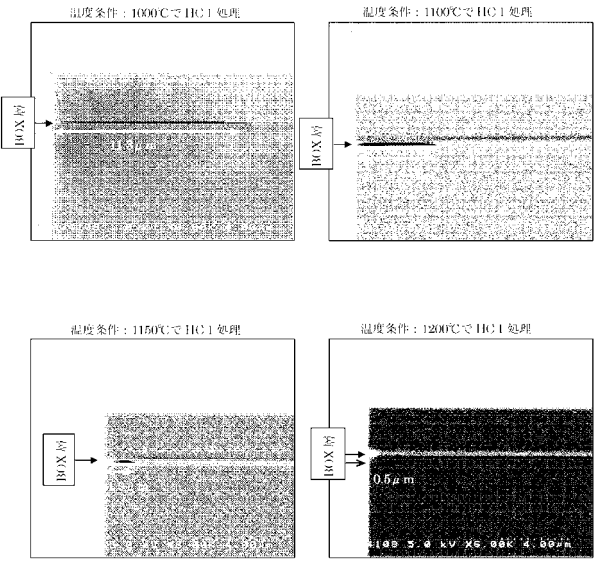


30 μm × 30 μm
 PV: 47.17nm
 RMS: 4.45nm
 Ra: 3.47nm

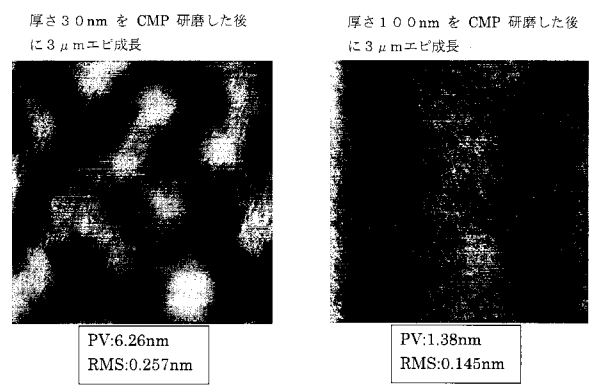
【図3】



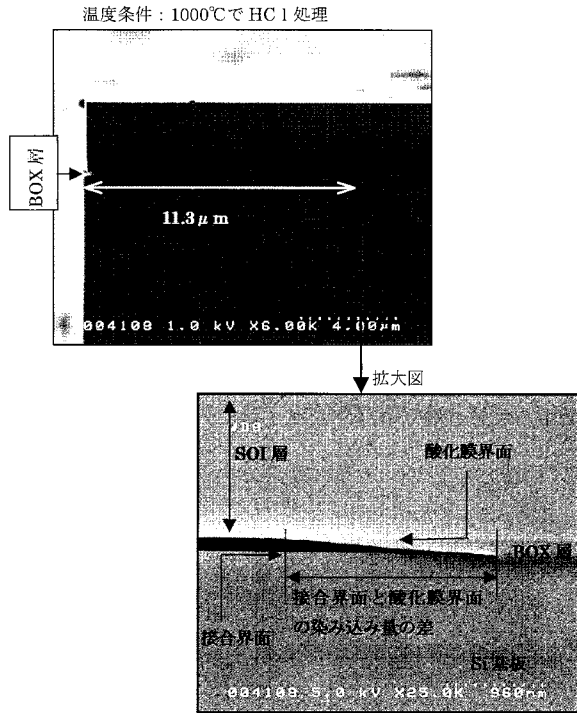
【図5】



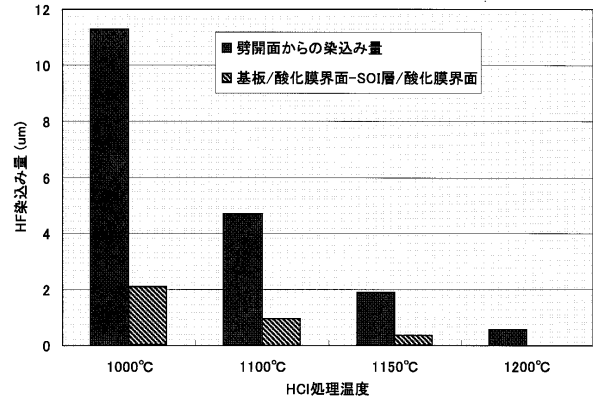
【図4】



【 図 6 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開平11-288858(JP,A)
特開2003-347176(JP,A)
特開2001-085649(JP,A)
特開2003-163193(JP,A)
特開2000-030995(JP,A)
国際公開第03/009386(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 27/12
H01L 21/02
H01L 21/20