

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 12 月 5 日(05.12.2013)



(10) 国際公開番号

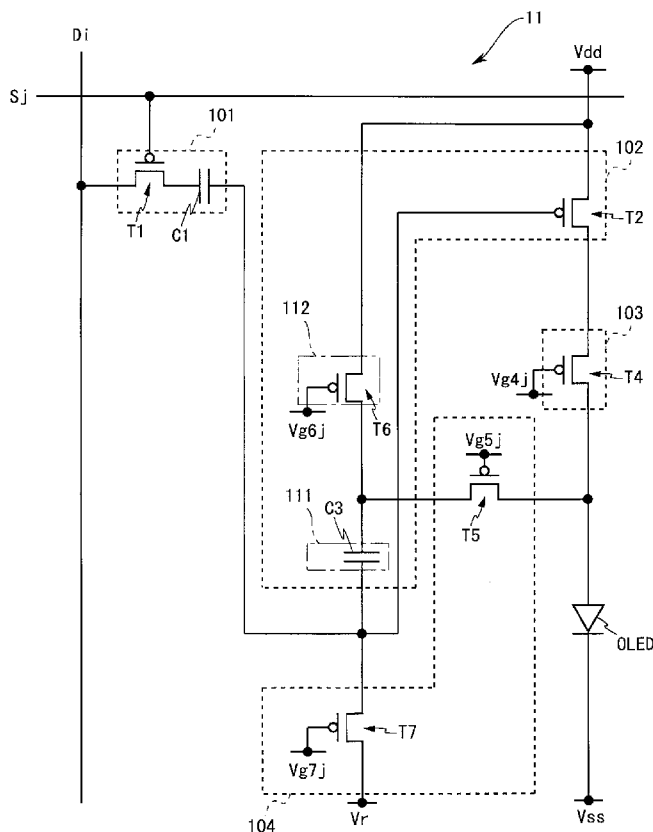
WO 2013/179846 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2013/062587
- (22) 国際出願日: 2013 年 4 月 30 日(30.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-123295 2012 年 5 月 30 日(30.05.2012) JP
特願 2012-256088 2012 年 11 月 22 日(22.11.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 杉原 利典(SUGIHARA, Toshinori). 野口 登(NOGUCHI, Noboru).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法



(57) Abstract: In a pixel circuit (11), during a period during which an organic EL element (OLED) is not emitting light, transistors (T5, T7) are in an "on" state and the organic EL element (OLED) is reversed-biased by a low-level power-supply potential (V_{ss}) and a reverse-biasing power-supply potential (V_r). A reverse-direction voltage (V_{oledr}) determined by a reverse-direction current (I_{oledr}) that depends on the degree to which degradation of the organic EL element (OLED) has progressed is thus written to a capacitor (C3). A data voltage (V_{sig}) is then supplied to said capacitor (C3) via another capacitor (C1), bringing the drive voltage of a transistor (T2) that controls the current that drives the organic EL element (OLED) to $V_{sig} + V_{oledr}$. This makes it possible to minimize decreases in the emission luminance of an electro-optical element such as an organic EL element due to degradation thereof over time.

(57) 要約: 画素回路 11 において、有機 EL 素子 OLED が非発光である期間に、トランジスタ T5、T7 がオン状態になり、ローレベル電源電位 V_{ss} および逆方向バイアス用電源電位 V_r により有機 EL 素子 OLED が逆方向バイアスされる。このため、有機 EL 素子 OLED の劣化の進行程度に応じた逆方向電流 I_{oledr} により決定される逆方向電圧 V_{oledr} がコンデンサ C3 に書き込まれる。その後、コンデンサ C1 を介してコンデンサ C3 にデータ電圧 V_{sig} が供給されることにより、有機 EL 素子 OLED の駆動電圧を制御するトランジスタ T2 の駆動電圧は「 $V_{sig} + V_{oledr}$ 」となる。これにより、有機 EL 素子などの電気光学素子の経時劣化による発光輝度の低下を抑制する。

WO 2013/179846 A1



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, — 国際調査報告 (条約第 21 条(3))
NE, SN, TD, TG).

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置に関し、より詳細には、有機EL (Electro Luminescence) 素子などの電流で駆動される電気光学素子を備えた表示装置およびその駆動方法に関する。

背景技術

[0002] 薄型、高画質、低消費電力の表示装置として、有機EL表示装置が知られている。有機EL表示装置には、電流で駆動される自発光型の電気光学素子である有機EL素子および駆動用トランジスタなどを含む複数の画素回路がマトリクス状に配置されている。

[0003] 上記有機EL素子は、経時劣化により発光効率が低下し、結果として発光輝度が低下することが従来から知られている。図18は、有機EL素子の経時劣化が画面表示に与える影響を説明するための図である。より詳細には、図18(A)は、長時間同じパターンを表示させる様子を示す図であり、図18(B)は、長時間同じパターンを表示させた後に全画素回路に同一輝度の信号を与えた様子を示す図である。図18(A)に示すように、明るい表示が長時間行われる領域PA(以下「第1領域」という。)における画素回路内の有機EL素子(以下「第1領域PAの有機EL素子」という。)の累積発光時間は、暗い表示が長時間行われる領域PB(以下「第2領域」という。)における画素回路内の有機EL素子(以下「第2領域PBの有機EL素子」という。)のものよりも長くなる。このため、第1領域PAの有機EL素子は、第2領域PBのものよりも劣化することにより、発光効率が低下する。その結果、図18(B)に示すように、第1領域PAにいわゆる面焼き付きが生じる。具体的には、第1領域PAでは、第2領域PBと同じ輝度の表示が本来行われるべきところ、第2領域PBよりも低い輝度の表示が行われる。

[0004] 図19は、有機EL素子の輝度低下を説明するための図である。ここでは、有機EL素子に定電流が供給されているものとする。有機EL素子の経時劣化が進行するにつれて、当該有機EL素子のインピーダンスが増加する。このため、図19に示すように、有機EL素子に印加される順方向バイアス電圧は、当該有機EL素子の経時劣化が進行するにつれて高くなる。また、上述のように、有機EL素子の経時劣化が進行するにつれて発光効率が低下し、その結果として図19に示すように輝度が低下する。上記第2領域PBの有機EL素子の経時劣化は上記第1領域PAのものに比べて進行していないので、第2領域PBにおける輝度低下は相対的に小さい。一方、上記第1領域PAの有機EL素子の経時劣化は上記第2領域PBのものに比べて進行しているので、第1領域PAにおける輝度低下は相対的に大きい。その結果、上述の図18(B)に示す表示状態が生じる。

[0005] 本願発明に関連して、特許文献1には、有機EL素子の経時劣化による順方向バイアス電圧の上昇に応じた補償を行う画素回路が開示されている。図20は、特許文献1に開示された画素回路91の構成を示す回路図である。図20では、説明の便宜上、特許文献1の図における符号を変更して用いている。画素回路91は、1個の有機EL素子OLED、6個のトランジスタT11～T16、2個のコンデンサC11、C12、および可変バイアス電圧源VSにより構成されている。トランジスタT12はpチャネル型であり、トランジスタT11、T13～T16はnチャネル型である。

[0006] まず、走査線S_jが選択されてトランジスタT11がオン状態になり、データ線D_iから供給されるデータ信号に応じた電圧がコンデンサC11に書き込まれる。次に、走査線S_jの選択が終了しトランジスタT11がオフ状態になると共に、制御線V_{g13j}、V_{g15j}が選択される。このため、トランジスタT13がオン状態になり、トランジスタT12のソースゲート間電圧に応じた駆動電流が有機EL素子OLEDに供給される。また、トランジスタT15がオン状態になり、トランジスタT16のゲート電位が、上記駆動電流に応じた有機EL素子OLEDのアノード電位と等しくなる。

有機EL素子OLEDのアノード電位 P_i は、当該有機EL素子OLEDの劣化により変化する。ここで、可変バイアス電圧源 V_S を用いて、トランジスタ T_{16} のソース電位 P_s が、次式(1)のように設定される。

$$P_s = P_i - V_{th} \quad \dots (1)$$

ここで、 V_{th} はトランジスタ T_{16} のしきい値電圧を表す。

[0007] トランジスタ T_{16} のソース電位 P_s を式(1)で決定される値に設定することにより、有機EL素子OLEDの劣化による順方向バイアス電圧の上昇分を、トランジスタ T_{16} のソース・ドレイン電流として取り出すことができる。トランジスタ T_{16} のソース・ドレイン電流が確定した後、制御線 V_{g15j} の選択が終了してトランジスタ T_{15} がオフ状態になると共に、制御線 V_{g14j} が選択されてトランジスタ T_{14} がオン状態になる。このため、トランジスタ T_{16} のソース・ドレイン電流に応じてトランジスタ T_{12} のゲート端子の電位が低下する。これにより、有機EL素子OLEDの経時劣化による順方向バイアス電圧の上昇に応じた輝度補償を行うことができる。したがって、有機EL素子OLEDの経時劣化による発光輝度の低下を抑制することができる。

先行技術文献

特許文献

[0008] 特許文献1：日本国特開2005-258427号公報

発明の概要

発明が解決しようとする課題

[0009] しかし、特許文献1に開示された画素回路では、トランジスタ T_{16} のソース・ドレイン電流を定める際に、有機EL素子OLEDが発光している。すなわち、順方向バイアス電圧の上昇に応じた補償を行う前の駆動電流に応じた輝度により表示が行われている。このため、有機EL素子などの電気光学素子の経時劣化による発光輝度の低下を十分に抑制できない。

[0010] そこで、本発明は、有機EL素子などの電気光学素子の経時劣化による発

光輝度の低下を従来よりも抑制した表示装置およびその駆動方法を提供することを目的とする。

課題を解決するための手段

- [0011] 本発明の第1の局面は、アクティブマトリクス型の表示装置であって、
それぞれがデータ信号を供給する複数のデータ線と、
それぞれが選択的に駆動される複数の走査線と、
第1電源電位を供給する第1電源線と、
第2電源電位を供給する第2電源線と、
制御電位を少なくとも第1所定期間において供給する逆方向バイアス用制御線と、
前記複数のデータ線と前記複数の走査線との交差点に対応して設けられた複数の画素回路とを備え、
前記画素回路は、
前記第1電源線と前記第2電源線との間に設けられた電気光学素子と、
前記第1電源線と前記第2電源線との間に前記電気光学素子と直列に設けられた駆動用トランジスタと、当該駆動用トランジスタを制御するための駆動電圧を保持する駆動用容量部とを含み、前記電気光学素子に流れる電流を制御する駆動部と、
対応する走査線を選択に応じて、対応するデータ線が供給するデータ信号の電圧を前記駆動部に供給する入力部と、
前記第2電源線と前記逆方向バイアス用制御線との間で前記電気光学素子に流れる逆方向電流を前記駆動用容量部に供給する補償部と、
前記第1電源線と前記電気光学素子との間に設けられ、前記第1所定期間を含む第2所定期間においてオフ状態となる発光制御用トランジスタとを含み、
前記駆動部は、少なくとも前記データ信号の電圧と前記逆方向電流とによって前記駆動電圧を決定することを特徴とする。

- [0012] 本発明の第2の局面は、本発明の第1の局面において、

前記駆動部は、少なくとも前記データ信号の電圧と前記逆方向電流に応じた補償用電圧とによって前記駆動電圧を決定することを特徴とする。

[0013] 本発明の第3の局面は、本発明の第2の局面において、

前記駆動用容量部は、前記駆動用トランジスタの制御端子と第1導通端子との間に設けられ、前記第1所定期間において前記逆方向電流が供給される第1駆動用容量素子を含み、

前記駆動部は、前記駆動用トランジスタの前記第1導通端子と前記第1駆動用容量素子との間に設けられ、前記第1所定期間においてオフ状態となる駆動電圧印加制御用トランジスタをさらに含むことを特徴とする。

[0014] 本発明の第4の局面は、本発明の第3の局面において、

前記入力部は、

対応する走査線に制御端子が接続され、対応するデータ線に第1導通端子が接続された入力用トランジスタと、

前記入力用トランジスタの第2導通端子と前記第1駆動用容量素子との間に設けられた入力用容量素子とを含むことを特徴とする。

[0015] 本発明の第5の局面は、本発明の第4の局面において、

前記補償部は、

前記電気光学素子と前記第1駆動用容量素子との間に設けられ、前記第1所定期間においてオン状態となる第1逆方向電流供給用トランジスタと、

前記第1駆動用容量素子と前記逆方向バイアス用制御線との間に設けられ、前記第1所定期間においてオン状態となる第2逆方向電流供給用トランジスタとを含むことを特徴とする。

[0016] 本発明の第6の局面は、本発明の第5の局面において、

前記画素回路は、前記第2所定期間内の前記第1所定期間前に設けられた前処理期間において前記駆動用容量部に保持された前記駆動電圧に対して前処理を行う前処理部をさらに含むことを特徴とする。

[0017] 本発明の第7の局面は、本発明の第6の局面において、

前記前処理部は、前記第1駆動用容量素子の端子間に設けられ、前記前処

理期間内の第 1 前処理期間においてオン状態となる第 1 前処理用トランジスタを含むことを特徴とする。

- [0018] 本発明の第 8 の局面は、本発明の第 7 の局面において、
前記駆動用容量部は、前記駆動用トランジスタの前記第 1 導通端子と第 2 導通端子との間に設けられた第 2 駆動用容量素子をさらに含み、
前記前処理部は、前記駆動用トランジスタの前記制御端子と前記第 2 導通端子との間に設けられ、前記前処理期間内且つ前記第 1 前処理期間後に設けられた第 2 前処理期間においてオン状態となる第 2 前処理用トランジスタをさらに含むことを特徴とする。

- [0019] 本発明の第 9 の局面は、本発明の第 8 の局面において、
前記第 1 前処理用トランジスタおよび前記駆動電圧印加制御用トランジスタのそれぞれは前記第 2 前処理期間においてオン状態となることを特徴とする。

- [0020] 本発明の第 10 の局面は、本発明の第 9 の局面において、
前記第 2 逆方向電流供給用トランジスタおよび前記駆動電圧印加制御用トランジスタのそれぞれは、前記第 1 前処理期間においてオン状態となることを特徴とする。

- [0021] 本発明の第 11 の局面は、本発明の第 3 の局面において、
前記駆動用トランジスタの前記第 1 導通端子は、前記第 1 電源線側に位置することを特徴とする。

- [0022] 本発明の第 12 の局面は、本発明の第 3 の局面において、
前記駆動用トランジスタの前記第 1 導通端子は、前記第 2 電源線側に位置することを特徴とする。

- [0023] 本発明の第 13 の局面は、本発明の第 1 の局面において、
前記駆動用トランジスタの導電型は、p チャネル型であることを特徴とする。

- [0024] 本発明の第 14 の局面は、本発明の第 1 の局面において、
前記駆動用トランジスタの導電型は、n チャネル型であることを特徴とする。

る。

[0025] 本発明の第 15 の局面は、本発明の第 1 の局面から第 14 の局面において、

前記逆方向バイアス用制御線は、前記第 2 所定期間において前記制御電位を供給し、

前記発光制御用トランジスタの制御端子は前記逆方向バイアス用制御線に接続されていることを特徴とする。

[0026] 本発明の第 16 の局面は、それぞれがデータ信号を供給する複数のデータ線と、それぞれが選択的に駆動される複数の走査線と、第 1 電源電位を供給する第 1 電源線と、第 2 電源電位を供給する第 2 電源線と、前記複数のデータ線と前記複数の走査線との交差点に対応して設けられた複数の画素回路とを備え、当該画素回路は、前記第 1 電源線と前記第 2 電源線との間に設けられた電気光学素子と、前記第 1 電源線と前記第 2 電源線との間に前記電気光学素子と直列に設けられた駆動用トランジスタおよび当該駆動用トランジスタを制御するための駆動電圧を保持する駆動用容量部を有し、前記電気光学素子に流れる電流を制御する駆動部とを含むアクティブマトリクス型の表示装置の駆動方法であって、

対応する走査線を選択に応じて、対応するデータ線が供給するデータ信号の電圧を前記駆動部に供給するステップと、

前記第 2 電源線と、制御電位を少なくとも第 1 所定期間において供給する逆方向バイアス用制御線との間で前記電気光学素子に流れる逆方向電流を前記駆動用容量部に供給するステップと、

少なくとも前記データ信号の電圧と前記逆方向電流とによって前記駆動電圧を決定するステップと、

前記電気光学素子の発光タイミングを制御し、前記第 1 所定期間を含む第 2 所定期間において、前記第 1 電源線と前記電気光学素子との間に流れる電流を遮断する発光制御ステップとを備えることを特徴とする。

発明の効果

[0027] 本発明の第1の局面によれば、逆方向バイアス時に電気光学素子（以下、発明の効果の説明においては有機EL素子であるとする。）に流れる逆方向電流が駆動用容量部に供給され、少なくとも当該逆方向電流とデータ信号の電圧とにより駆動電圧が決定される。そして、この駆動電圧に応じた順方向電流（駆動電流）が有機EL素子に供給される。逆方向電流は有機EL素子の経時劣化が進行するにつれて大きくなる。このため、駆動電流も有機EL素子の経時劣化の進行程度に応じた値となる。その結果、有機EL素子の経時劣化の進行程度に応じた輝度補償が行われる。さらに、この輝度補償動作は、有機EL素子が非発光となる第2所定期間内に行われる。したがって、輝度補償動作の完了前に有機EL素子が発光することがないので、有機EL素子の経時劣化による発光輝度の低下を従来よりも抑制できる。

[0028] 本発明の第2の局面によれば、逆方向電流に応じた補償用電圧が駆動用容量部に供給され、少なくとも当該補償用電圧とデータ信号の電圧とにより駆動電圧が決定される。そして、この駆動電圧に応じた順方向電流（駆動電流）が有機EL素子に供給される。逆方向電流は有機EL素子の経時劣化が進行するにつれて大きくなる。このため、逆方向電流に応じた電圧は、有機EL素子の経時劣化が進行するにつれて大きくなる。これにより、駆動電流も有機EL素子の経時劣化が進行するにつれて大きくなる。その結果、本発明の第1の局面と同様の効果を奏することができる。

[0029] 本発明の第3の局面によれば、第1駆動用容量素子に逆方向電流を供給し、駆動電圧印加制御用トランジスタにより駆動電圧の印加を制御することにより、本発明の第2の局面と同様の効果を奏することができる。

[0030] 本発明の第4の局面によれば、入力用トランジスタおよび入力用容量素子を用いて入力部が実現される。このため、走査線の選択タイミングに応じて、入力用容量素子を介してデータ信号の電圧を駆動用容量部に供給することができる。

[0031] 本発明の第5の局面によれば、第1、第2逆方向電流供給用トランジスタを用いて補償部が実現される。

- [0032] 本発明の第6の局面によれば、駆動電圧に対して前処理を行うことができる。前処理としては、初期化やしきい値電圧補償などがある。
- [0033] 本発明の第7の局面によれば、第1前処理期間において、第1前処理用トランジスタを介して第1駆動用容量素子の両端子が電氣的に互いに接続される。このため、第1駆動用容量素子の保持電圧が0Vに初期化される。これにより、第1駆動用容量素子に逆方向電流に応じた補償用電圧を確実に書き込むことができる。
- [0034] 本発明の第8の局面によれば、第2前処理期間において、少なくとも第2前処理用トランジスタを介して駆動用トランジスタの制御端子と第2導通端子とが電氣的に互いに接続される（ダイオード接続となる。）。このため、第2前処理期間において、駆動用トランジスタのしきい値電圧が第2駆動用容量素子に書き込まれる。これにより、このしきい値電圧を用いて、駆動用トランジスタのしきい値電圧のばらつきを補償できる。
- [0035] 本発明の第9の局面によれば、第2前処理期間において、第2前処理用トランジスタと共に第1前処理用トランジスタおよび駆動電圧印加制御用トランジスタをオン状態にすることにより、駆動用トランジスタのしきい値電圧のばらつきを確実に補償することができる。
- [0036] 本発明の第10の局面によれば、第1前処理期間において、第2逆方向電流供給用トランジスタおよび駆動電圧印加制御用トランジスタと第1前処理用トランジスタとによって、第2駆動用容量素子の端子と逆方向バイアス用制御線とが電氣的に互いに接続される。このため、第1前処理期間において、第2駆動用容量素子の保持電圧が、固定電位である制御電位に応じた値に初期化される。これにより、第2前処理期間において、駆動用トランジスタのしきい値電圧を第2駆動用容量素子に安定して書き込むことができる。したがって、駆動用トランジスタのしきい値電圧のばらつきを安定的に補償できる。
- [0037] 本発明の第11の局面によれば、駆動用トランジスタの制御端子と第1電源線側に位置する第1導通端子との間に駆動用容量部を設けることにより、

本発明の第3の局面と同様の効果を奏することができる。

[0038] 本発明の第12の局面によれば、駆動用トランジスタの制御端子と第2電源線側に位置する第1導通端子との間に駆動用容量部を設けることにより、本発明の第3の局面と同様の効果を奏することができる。

[0039] 本発明の第13の局面によれば、pチャネル型の駆動用トランジスタを使用して、本発明の第1の局面と同様の効果を奏することができる。

[0040] 本発明の第14の局面によれば、nチャネル型の駆動用トランジスタを使用して、本発明の第1の局面と同様の効果を奏することができる。

[0041] 本発明の第15の局面によれば、逆方向バイアス用制御線が接続された補償部内の構成要素と発光制御用トランジスタとで逆方向バイアス用制御線が共有化される。このため、配線数を削減できる。

[0042] 本発明の第16の局面によれば、表示装置の駆動方法において、本発明の第1の局面と同様の効果を奏することができる。

図面の簡単な説明

[0043] [図1]本発明の基礎検討における有機EL素子の輝度特性を示す図である。

[図2]上記基礎検討における有機EL素子の逆方向電流特性を示す図である。

[図3]本発明の第1の実施形態に係る表示装置の全体構成を示すブロック図である。

[図4]上記第1の実施形態における画素回路の構成を示す回路図である。

[図5]上記第1の実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図6]本発明の第2の実施形態における画素回路の構成を示す回路図である。

[図7]上記第2の実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図8]本発明の第3の実施形態における画素回路の構成を示す回路図である。

[図9]上記第3の実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図10]本発明の第4の実施形態における画素回路の構成を示す回路図である

。

[図11]上記第4の実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図12]本発明の第5の実施形態における画素回路の構成を示す回路図である

。

[図13]上記第5の実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図14]本発明の第6の実施形態における画素回路の構成を示す回路図である

。

[図15]上記第6の実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図16]本発明の第7の実施形態における画素回路の構成を示す回路図である

。

[図17]上記第7の実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図18]有機EL素子の経時劣化が画面表示に与える影響を説明するための図である。(A)は、長時間同じパターンを表示させる様子を示す図である。

(B)は、長時間同じパターンを表示させた後に全画素回路に同一輝度の信号を与えた様子を示す図である。

[図19]有機EL素子の輝度低下を説明するための図である。

[図20]従来の画素回路の構成を示す回路図である。

発明を実施するための形態

[0044] <0. 基礎検討>

本発明の実施形態について説明する前に、上記課題を解決すべく本願発明者によりなされた基礎検討について説明する。本願発明者は、 8 mm^2 の有機EL素子に 15 mA の定電流を供給し、定電流の供給開始時点からの経過時間36秒、3分、6分、12分、24分、1時間、2時間、5時間のそれぞれで、発光輝度と逆方向バイアス時の電流（以下「逆方向電流」といい、符

号 $I_{ole d r}$ で表す。) とを測定した。逆方向バイアス電圧は 2.8 V とした。

[0045] 図 1 は、上述の測定で得られた有機 EL 素子の輝度特性を示す。この輝度特性は、有機 EL 素子の初期輝度を L_0 として各経過時間における輝度 L を L_0 で除した値と、経過時間の対数との関係を示している。図 1 に示すように、時間が経過するにつれて、すなわち、有機 EL 素子の経時劣化が進行するにつれて、有機 EL 素子の発光輝度が低下することがわかる。

[0046] 図 2 は、上述の測定で得られた有機 EL 素子の逆方向電流特性を示す。この逆方向電流特性は、有機 EL 素子を流れる逆方向電流 $I_{ole d r}$ と、経過時間の対数との関係を示している。図 2 に示すように、時間が経過するにつれて、すなわち、有機 EL 素子の経時劣化が進行するにつれて、逆方向電流 $I_{ole d r}$ が大きくなることがわかる。

[0047] 図 1 および図 2 から、有機 EL 素子の経時劣化が進行するにつれて大きくなる逆方向電流 $I_{ole d r}$ を、有機 EL 素子の輝度補償に利用できることがわかる。以上の基礎検討に基づき本願発明者によりなされた本発明の第 1 ～第 7 の実施形態について、以下、添付図面を参照しながら説明する。

[0048] 各実施形態における画素回路に含まれるトランジスタは電界効果トランジスタであり、典型的には薄膜トランジスタ (Thin Film Transistor: 以下「TFT」と略記する場合がある。) である。画素回路に含まれるトランジスタとしては、酸化物半導体によりチャネル層が形成された酸化物 TFT、低温ポリシリコンによりチャネル層が形成された低温ポリシリコン TFT、アモルファスシリコンによりチャネル層が形成されたアモルファスシリコン TFT などが挙げられる。酸化物 TFT としては、特に、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、および酸素 (O) を主成分とする酸化物半導体である $InGaZnO_x$ (酸化インジウムガリウム亜鉛) によりチャネル層が形成された酸化インジウムガリウム亜鉛-TFT が挙げられる。酸化インジウムガリウム亜鉛-TFT などの酸化物 TFT は特に、画素回路に含まれる n チャネル型のトランジスタとして採用する場合に有効である。

ただし、本発明は、pチャネル型の酸化物TFTの使用を排除するものではない。また、酸化インジウムガリウム亜鉛以外の酸化物半導体として、例えばインジウム、ガリウム、亜鉛、銅(Cu)、シリコン(Si)、錫(Sn)、アルミニウム(Al)、カルシウム(Ca)、ゲルマニウム(Ge)、および鉛(Pb)のうち少なくとも1つを含む酸化物半導体によりチャネル層を形成した場合でも同様の効果が得られる。また、各実施形態における画素回路に含まれるトランジスタのうち、後述のトランジスタT2については、第1導通端子はソース端子に相当し、第2導通端子はドレイン端子に相当する。

[0049] ここで、酸化物TFTに含まれる酸化物半導体層について説明する。酸化物半導体層は、例えば、In-Ga-Zn-O系の半導体層である。酸化物半導体層は、例えばIn-Ga-Zn-O系の半導体を含む。In-Ga-Zn-O系半導体は、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)の三元系酸化物である。In、GaおよびZnの割合(組成比)は、特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2などでもよい。

[0050] In-Ga-Zn-O系半導体層を有するTFTは、高い移動度(アモルファスシリコンTFTに比べて20倍を超える)と低いリーク電流(アモルファスシリコンTFTに比べて100分の1未満)を有するので、画素回路内の駆動TFTおよびスイッチングTFTとして好適に用いられる。In-Ga-Zn-O系半導体層を有するTFTを用いれば、表示装置の消費電力を大幅に削減することができる。

[0051] In-Ga-Zn-O系半導体は、アモルファスでもよく、結晶質部分を含み、結晶性を有していてもよい。結晶質In-Ga-Zn-O系半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系半導体が好ましい。このようなIn-Ga-Zn-O系半導体の結晶構造は、例えば日本国特開2012-134475号公報に開示されている。参考のために、日本国特開2012-134475号公報の開示内容のすべてをこ

ここに援用する。

[0052] 酸化物半導体層は、 In-Ga-Zn-O 系半導体に代えて、他の酸化物半導体を含んでいてもよい。例えば Zn-O 系半導体(ZnO)、 In-Zn-O 系半導体(IZO (登録商標))、 Zn-Ti-O 系半導体(ZTO)、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO (酸化カドニウム)、 Mg-Zn-O 系半導体、 In-Sn-Zn-O 系半導体 (例えば $\text{In}_2\text{O}_3-\text{SnO}_2-\text{ZnO}$)、 In-Ga-Sn-O 系半導体などを含んでいてもよい。

[0053] 本明細書において、「構成要素Aが構成要素Bに接続された状態」は、構成要素Aが構成要素Bに物理的に直接接続される場合の他、構成要素Aが他の構成要素を介して構成要素Bに接続される場合も含む。また、「構成要素Cが構成要素Aと構成要素Bとの間に設けられた状態」は、構成要素Cが構成要素Aおよび構成要素Bに物理的に直接接続される場合の他、構成要素Cが他の構成要素を介して構成要素Aおよび構成要素Bに接続される場合も含む。ただし、他の構成要素は、本発明の概念に反しないものに限られる。

[0054] <1. 第1の実施形態>

<1. 1 全体構成>

図3は、本発明の第1の実施形態に係る表示装置1の全体構成を示すブロック図である。表示装置1は、有機EL表示装置であり、図3に示すように、表示部10、表示制御回路20、データドライバ30、走査ドライバ40、および選択ドライバ群50を備えている。走査ドライバ40および選択ドライバ群50は、例えば表示部10と一体的に形成されている。ただし、本発明はこれに限定されるものではない。

[0055] 表示部10には、 m 本のデータ線 D_i ($i=1\sim m$) およびこれらに直交する n 本の走査線 S_j ($j=1\sim n$) が配設されている。また、表示部10には、 m 本のデータ線 D_i と n 本の走査線 S_j の交差点に対応して $m\times n$ 個の画素回路11が設けられている。図3では、便宜上1個の画素回路11のみ示している。また、表示部10には、 n 本の走査線 S_j に沿って、 n 本の

制御線 V_{g4j} 、 n 本の制御線 V_{g5j} 、 n 本の制御線 V_{g6j} 、および n 本の制御線 V_{g7j} が配設されている。画素回路 11 には、対応する走査線 S_j に沿った制御線 V_{g4j} 、 V_{g5j} 、 V_{g6j} 、 V_{g7j} が接続されている。 m 本のデータ線 D_i はデータドライバ 30 に接続され、 n 本の走査線 S_j は走査ドライバ 40 に接続され、 n 本の制御線 V_{g4j} 、 n 本の制御線 V_{g5j} 、 n 本の制御線 V_{g6j} 、および n 本の制御線 V_{g7j} は選択ドライバ群 50 に接続されている。

[0056] また、表示部 10 には、ハイレベル電源電位 V_{dd} を供給する電源線（以下「ハイレベル電源線」といい、ハイレベル電源電位と同じく符号 V_{dd} で表す。）、ローレベル電源電位 V_{ss} を供給する電源線（以下「ローレベル電源線」といい、ローレベル電源電位と同じく符号 V_{ss} で表す。）、および逆方向バイアス用電源電位 V_r を供給する電源線（以下「逆方向バイアス用電源線」といい、逆方向バイアス用電源電位と同じく符号 V_r で表す。）が配設されている。ハイレベル電源電位 V_{dd} 、ローレベル電源電位 V_{ss} 、および逆方向バイアス用電源電位 V_r の大小関係は、次式（2）で与えられる。

$$V_{dd} > V_{ss} > V_r \quad \dots (2)$$

ハイレベル電源電位 V_{dd} 、ローレベル電源電位 V_{ss} 、および逆方向バイアス用電源電位 V_r は、図示しない電源回路から供給される。また、ハイレベル電源線 V_{dd} 、ローレベル電源線 V_{ss} 、および逆方向バイアス用電源線 V_r のそれぞれは各画素回路 11 に共通に接続される。本実施形態では、ハイレベル電源線 V_{dd} により第 1 電源線が実現され、ローレベル電源線 V_{ss} により第 2 電源線が実現され、逆方向バイアス用電源線 V_r により逆方向バイアス用制御線が実現されている。

[0057] 表示制御回路 20 は、データドライバ 30、走査ドライバ 40、および選択ドライバ群 50 に各種制御信号を出力する。より詳細には、表示制御回路 20 は、データドライバ 30 にデータスタートパルス DSP 、データクロック CLK 、表示データ DA 、およびラッチパルス LP を出力する。また、表

示制御回路20は、走査ドライバ40に走査スタートパルスSSP1および走査クロックCLK1を出力する。また、表示制御回路20は、選択ドライバ群50に選択スタートパルスSSP2および選択クロックCLK2を出力する。なお、選択スタートパルスSSP2は、実際には複数のスタートパルスを含んでいる。同様に、選択クロックCLK2は、複数のクロックを含んでいる。

[0058] データドライバ30は、図示しないmビットのシフトレジスタ、サンプリング回路、ラッチ回路、およびm個のD/Aコンバータなどを含んでいる。シフトレジスタは、互いに縦続接続されたm個の双安定回路を有し、初段に供給されたデータスタートパルスDSPをデータクロックCLKに同期して転送し、各段からサンプリングパルスを出力する。サンプリングパルスの出力タイミングに合わせて、サンプリング回路には表示データDAが供給される。サンプリング回路は、サンプリングパルスに従って表示データDAを記憶する。サンプリング回路に1行分の表示データDAが記憶されると、表示制御回路20はラッチ回路に対してラッチパルスLPを出力する。ラッチ回路は、ラッチパルスLPを受け取ると、サンプリング回路に記憶された表示データDAを保持する。D/Aコンバータは、m本のデータ線Diに対応して設けられており、ラッチ回路に保持された表示データDAをアナログ信号であるデータ信号に変換し、得られたデータ信号をm本のデータ線Diに供給する。

[0059] 走査ドライバ40はn本の走査線Sjを駆動する。走査ドライバ40は、図示しないシフトレジスタおよびバッファなどを含んでいる。シフトレジスタは、走査クロックCLK1に同期して走査スタートパルスSSP1を順次転送する。シフトレジスタの各段からの出力である走査信号は、バッファを経由して対応する走査線に供給される。アクティブな（本実施形態ではローレベルの）走査信号により、走査線Sjに接続されたm個の画素回路11が一括して選択される。

[0060] 選択ドライバ群50は、n本の制御線Vg4j、n本の制御線Vg5j、

n本の制御線Vg6j、およびn本の制御線Vg7jを駆動する。選択ドライバ群50は複数の選択ドライバにより構成され、各選択ドライバが1または複数種類の制御線を駆動する。各選択ドライバは、選択クロックSCK2に含まれるクロックに同期して選択スタートパルスSSP2に含まれるスタートパルスを順次転送する。シフトレジスタの各段からの出力である選択信号は、バッファを経由して対応する制御線に供給される。

[0061] <1. 2 画素回路の構成>

図4は、本実施形態における画素回路11の構成を示す回路図である。図4に示すように、画素回路11は、1個の有機EL素子OLED、入力部101、駆動部102、発光制御部103、および補償部としての逆方向電流補償部104を含んでいる。入力部101は、1個のトランジスタT1および1個のコンデンサC1を含んでいる。駆動部102は、1個のトランジスタT2、駆動用容量部111、および駆動電圧印加制御部112を含んでいる。駆動用容量部111は1個のコンデンサC3を含んでいる。駆動電圧印加制御部112は1個のトランジスタT6を含んでいる。発光制御部103は1個のトランジスタT4を含んでいる。逆方向電流補償部104は2個のトランジスタT5、T7を含んでいる。トランジスタT1、T2、T4～T7はpチャネル型である。

[0062] トランジスタT1は入力用トランジスタとして機能する。トランジスタT2は駆動用トランジスタとして機能する。トランジスタT4は発光制御用トランジスタとして機能する。トランジスタT5は第1逆方向電流供給用トランジスタとして機能する。トランジスタT6は駆動電圧印加制御用トランジスタとして機能する。トランジスタT7は第2逆方向電流供給用トランジスタとして機能する。コンデンサC1は入力用容量素子として機能する。コンデンサC3は第1駆動用容量素子として機能する。

[0063] 入力部101は、対応する走査線Sjの選択に応じて、対応するデータ線Diが供給するデータ信号に応じたデータ電圧を駆動部102に供給する。トランジスタT1は、走査線Sjにゲート端子が接続され、データ線Diに

第1導通端子が接続されている。コンデンサC1は、トランジスタT1の第2導通端子に第1端子が接続されている。

[0064] 駆動部102は、有機EL素子OLEDに流れる順方向電流（駆動電流）を制御する。駆動用容量部111は、トランジスタT2のゲート端子と第1導通端子との間に印加すべき駆動電圧を保持する。駆動電圧印加制御部112は、トランジスタT2への駆動電圧の印加を制御する。トランジスタT2は、コンデンサC3の第2端子にゲート端子が接続され、ハイレベル電源線Vddに第1導通端子が接続されている。トランジスタT6は、制御線Vg6jにゲート端子が接続され、コンデンサC3の第1端子とトランジスタT2の第1導通端子との間に設けられている。

[0065] 発光制御部103は、有機EL素子OLEDの発光タイミングを制御し、後述の非発光期間LSPにおいてハイレベル電源線Vdd（第1電源線）と有機EL素子OLEDとの間に流れる電流（順方向電流）を遮断する。言い換えると、非発光期間LSPにおいて有機EL素子OLEDをトランジスタT2から電氣的に切り離す。トランジスタT4は、制御線Vg4jにゲート端子が接続され、トランジスタT2の第2導通端子と有機EL素子OLEDのアノード端子との間に設けられている。

[0066] 逆方向電流補償部104は、有機EL素子OLEDに流れる逆方向電流I_{oledr}に応じた補償信号をコンデンサC3に供給する。より詳細には、逆方向電流補償部104は、有機EL素子OLEDに流れる逆方向電流I_{oledr}に応じた電圧をコンデンサC3に供給する。トランジスタT5は、制御線Vg5jにゲート端子が接続され、有機EL素子OLEDのアノード端子とコンデンサC3の第1端子との間に設けられている。トランジスタT7は、制御線Vg7jにゲート端子が接続され、コンデンサC3の第2端子と逆方向バイアス用電源線Vrとの間に設けられている。

[0067] <1.3 動作>

図5は、本実施形態における画素回路11の駆動方法を示すタイミングチャートである。本実施形態では、時刻t1a～t3aは非発光期間LSPで

ある。時刻 $t_1 \sim t_2$ は逆方向補償期間 ICP であり、時刻 $t_2 \sim t_3$ は書き込み期間 WP である。非発光期間 LSP は第 2 所定期間に対応し、逆方向補償期間 ICP は第 1 所定期間に対応する。なお、時刻 t_1 から非発光期間 LSP が開始するようにしても良い。また、図 5 に示すように、制御線 V_{g5j} 、 V_{g7j} は互いに電位変化が同じであるので、これらを 1 つの制御線としても良い（後述の第 2、第 3 の実施形態でも同様）。

[0068] 時刻 t_{1a} において、制御線 V_{g4j} の電位がローレベルからハイレベルに変化する。このため、トランジスタ T_4 がオフ状態に変化し、トランジスタ T_2 の第 2 導通端子と有機 EL 素子 OLED のアノード端子とが電氣的に互いに切り離される。これにより、有機 EL 素子 OLED が非発光状態になる。

[0069] 時刻 t_1 において、制御線 V_{g6j} の電位がローレベルからハイレベルに変化し、トランジスタ T_6 がオフ状態に変化する。このため、トランジスタ T_2 の第 1 導通端子とコンデンサ C_3 の第 1 端子とが電氣的に互いに切り離される。また、時刻 t_1 において、制御線 V_{g5j} 、 V_{g7j} の電位がハイレベルからローレベルに変化し、トランジスタ T_5 、 T_7 がオン状態に変化する。このため、ローレベル電源電位 V_{ss} および逆方向バイアス用電源電位 V_r により有機 EL 素子 OLED が逆方向バイアスされる。これにより、有機 EL 素子 OLED に流れる逆方向電流 I_{oledr} がコンデンサ C_3 に供給される。この逆方向電流 I_{oledr} は、上記基礎検討で示したように、有機 EL 素子 OLED の劣化の進行程度に応じた値となる。すなわち、コンデンサ C_3 には、有機 EL 素子 OLED の劣化の進行程度に応じた逆方向電流 I_{oledr} により決定される電圧（以下「逆方向電圧」といい、符号 V_{oledr} で表す。）が書き込まれる。逆方向電流 I_{oledr} は有機 EL 素子の劣化が進行するにつれて大きくなるので、コンデンサ C_3 に書き込まれる逆方向電圧 V_{oledr} も有機 EL 素子の劣化が進行するにつれて大きくなる。このようにして、本実施形態では、逆方向電圧 V_{oledr} が、逆方向電流 I_{oledr} に応じた電圧として駆動部 102 に供給される。本

実施形態および後述各実施形態では、逆方向電圧 V_{oledr} が逆方向電流に応じた補償電圧に相当する。また、本実施形態および後述の各実施形態では、逆方向電流補償部 104 が駆動部 102 に逆方向電圧 V_{oledr} を供給することは、逆方向電流補償部 104 が駆動部 102 に、逆方向電流 I_{oledr} に応じた補償信号を供給することに相当する。

[0070] 時刻 t_2 において、制御線 V_{g5j} 、 V_{g7j} の電位がローレベルからハイレベルに変化し、トランジスタ T_5 、 T_7 がオフ状態に変化する。このため、有機 EL 素子 OLED の逆方向バイアスが停止する。また、時刻 t_2 において、制御線 V_{g6j} の電位がハイレベルからローレベルに変化し、トランジスタ T_6 がオン状態に変化する。このため、トランジスタ T_2 のゲート端子と第 1 導通端子との間にコンデンサ C_3 が電氣的に接続される。また、時刻 t_2 において、走査線 S_j の電位がハイレベルからローレベルに変化し、トランジスタ T_1 がオン状態に変化する。このため、コンデンサ C_1 を介してコンデンサ C_3 の第 2 端子（トランジスタ T_2 のゲート電位）がブーストされることにより、コンデンサ C_3 に「 $V_{sig} + V_{oledr}$ 」が書き込まれる。ここで、 V_{sig} はデータ信号の電圧（以下「データ電圧」という。）である。データ電圧 V_{sig} は、本実施形態および後述の第 2～第 5 の実施形態では負電圧であり、後述の第 6、第 7 の実施形態では正電圧である。なお、コンデンサ C_1 の容量値はコンデンサ C_3 の容量値よりも十分に大きいことが望ましい。本実施形態では、このようなブースティングによってデータ電圧 V_{sig} が駆動部 102 に供給される。

[0071] 時刻 t_3 において、走査線 S_j の電位がローレベルからハイレベルに変化し、トランジスタ T_1 がオフ状態に変化する。このため、データ電圧 V_{sig} の駆動部 102 への供給が停止する。

[0072] 時刻 t_{3a} において、制御線 V_{g4j} の電位がハイレベルからローレベルに変化し、トランジスタ T_4 がオン状態に変化する。このため、次式（3）で与えられる駆動電流 I_1 が有機 EL 素子 OLED に供給され、駆動電流 I_1 の値に応じて有機 EL 素子 OLED が発光する。

$$I1 = (\beta 1/2) \cdot (V_{gs} - V_{thT2})^2 \quad \dots (3)$$

ここで、 $\beta 1$ は定数、 V_{gs} はトランジスタT2のソースゲート間電圧（駆動電圧）を表し、 V_{thT2} はトランジスタT2のしきい値電圧を表す。時刻t3a以降では、トランジスタT2の第1、第2導通端子はそれぞれソース端子およびドレイン端子として機能する。上述のようにコンデンサC3には「 $V_{sig} + V_{oledr}$ 」が保持されている、すなわち、駆動部102においてデータ電圧 V_{sig} および逆方向電圧 V_{oledr} により駆動電圧が決定されるので、式(3)は次式(4)に書き換えられる。

$$I1 = (\beta 1/2) \cdot (V_{sig} + V_{oledr} - V_{thT2})^2 \quad \dots (4)$$

[0073] このようにして、駆動電圧により駆動電流I1が定まる。逆方向電圧 V_{oledr} は、有機EL素子OLEDの経時劣化が進行するにつれて大きくなるので、式(4)で示される駆動電流I1も有機EL素子OLEDの経時劣化が進行するにつれて大きくなる。なお、本実施形態および後述の各実施形態において「逆方向電圧 V_{oledr} が大きくなる」とは、逆方向電圧 V_{oledr} の絶対値が大きくなることを意味する。

[0074] <1.4 効果>

本実施形態によれば、データ電圧 V_{sig} と、逆方向バイアス時に有機EL素子OLEDに流れる逆方向電流 I_{oledr} が駆動用容量部111に供給され、データ電圧 V_{sig} と逆方向電流 I_{oledr} に応じた電圧（補償信号）とにより駆動電圧が決定される。より詳細には、トランジスタT2の制御端子と第1導通端子との間に接続されるコンデンサC3（駆動用容量部111）に逆方向電圧 V_{oledr} が書き込まれる。その後、コンデンサC1を介したブースティングによりコンデンサC3にデータ電圧 V_{sig} と逆方向電圧 V_{oledr} との和が書き込まれることにより、データ電圧 V_{sig} と逆方向電圧 V_{oledr} との和により駆動電圧が決定される。そして、この駆動電圧とトランジスタT2のしきい値電圧との差の2乗に比例する駆動電流I1に応じて有機EL素子OLEDが発光する。逆方向電圧 V_{oledr} は、有機EL素子OLEDの経時劣化が進行するにつれて大きくなるの

で、駆動電流 I_1 も有機EL素子OLEDの経時劣化が進行するにつれて大きくなる。これにより、有機EL素子OLEDの経時劣化の進行程度に応じた輝度補償が行われる。さらに、この輝度補償動作は、有機EL素子が非発光となる非発光期間LSP内に行われる。したがって、輝度補償動作の完了前に有機EL素子OLEDが発光することがないので、有機EL素子の経時劣化による発光輝度の低下を従来よりも抑制できる。

[0075] <2. 第2の実施形態>

<2. 1 画素回路の構成>

図6は、本発明の第2の実施形態における画素回路11の構成を示す回路図である。本実施形態の構成要素のうち上記第1の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。図6に示すように、本実施形態では、トランジスタT4がnチャネル型となっている。また、上記第1の実施形態において逆方向バイアス用電源線V_rに接続された側のトランジスタT7の導通端子（第1導通端子）は、トランジスタT4のゲート端子と共に制御線V_{g4j}に接続されている。本実施形態では、制御線V_{g4j}により逆方向バイアス用制御線が実現されている。また、本実施形態では、逆方向バイアス用電源線V_rは設けられない。本実施形態における画素回路11内のその他の構成要素および構成要素間の接続関係は上記第1の実施形態におけるものと同様であるので、その説明を省略する。

[0076] <2. 2 動作>

図7は、本実施形態における画素回路11の駆動方法を示すタイミングチャートである。図7に示すように、本実施形態における制御線V_{g4j}の電位は基本的には上記第1の実施形態におけるものを反転させたものである。ただし、本実施形態における制御線V_{g4j}のローレベルは逆方向バイアス用電源電位V_rである。すなわち、非発光期間LSPには制御線V_{g4j}に逆方向バイアス用電源電位V_rが供給される。

[0077] 時刻t_{1a}において、制御線V_{g4j}の電位がハイレベルから逆方向バイアス用電源電位V_rに変化する。このため、トランジスタT4がオフ状態に

変化し、トランジスタT2の第2導通端子と有機EL素子OLEDのアノード端子とが電氣的に互いに切り離される。これにより、有機EL素子OLEDが非発光状態になる。非発光期間LSPでは制御線Vg4jに逆方向バイアス用電源電位Vrが供給されるので、当該非発光期間LSP中では、上記第1の実施形態と同様の動作が成り立つ。

[0078] 時刻t3aにおいて、制御線Vg4jの電位が逆方向バイアス用電源電位Vrからハイレベルに変化し、トランジスタT4がオン状態に変化する。このため、上記第1の実施形態と同様に上記式(4)で示される駆動電流I1に応じて有機EL素子OLEDが発光する。

[0079] <2.3 効果>

本実施形態によれば、トランジスタT4をnチャネル型とし、トランジスタT4のゲート端子とトランジスタT7の第1導通端子とで制御線Vg4jを共有することにより、上記第1の実施形態における逆方向バイアス用電源線Vrを削減できる。

[0080] <3. 第3の実施形態>

<3.1 画素回路の構成>

図8は、本発明の第3の実施形態における画素回路11の構成を示す回路図である。本実施形態の構成要素のうち上記第1の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。図8に示すように、本実施形態における画素回路11は、上記第1の実施形態における画素回路11に前処理部105を加えたものである。また、表示部10には、n本の走査線Sjに沿ってn本の制御線Vg8jが配設されている。n本の制御線Vg8jは選択ドライバ群50に接続されている。

[0081] 前処理部105は、非発光期間LSP内且つ逆方向補償期間ICP前に設けられた前処理期間PPにおいて駆動用容量部111に保持された駆動電圧に対して前処理を行う。前処理部105は初期化部121を含んでいる。初期化部121は第1前処理部に対応する。

[0082] 初期化部121は1個のトランジスタT8を含んでいる。トランジスタT

8はpチャネル型である。トランジスタT8は第1前処理用トランジスタとして機能する。初期化部121は、前処理期間PP内の後述の初期化期間IPにおいてコンデンサC3の第1端子と第2端子とを短絡させる。トランジスタT8は、制御線Vg8jにゲート端子が接続され、コンデンサC3の第1端子と第2端子との間に設けられている。本実施形態における画素回路11内のその他の構成要素および構成要素間の接続関係は上記第1の実施形態におけるものと同様であるので、その説明を省略する。

[0083] <3.2 動作>

図9は、本実施形態における画素回路11の駆動方法を示すタイミングチャートである。本実施形態では、時刻t1a～t4aは非発光期間LSPである。時刻t1～t2は前処理期間PPであり、時刻t2～t3は逆方向補償期間ICPであり、時刻t3～t4は書き込み期間WPである。前処理期間PPには初期化期間IPが含まれる。より詳細には、初期化期間IPが前処理期間PPと一致する。初期化期間IPは第1前処理期間に対応する。なお、本実施形態における時刻t1a、t4a、逆方向補償期間ICP、および書き込み期間WPでの動作は、上記第1の実施形態におけるものと基本的に同様であるので、その説明を省略する。

[0084] 時刻t1において、制御線Vg6jの電位がローレベルからハイレベルに変化し、トランジスタT6がオフ状態に変化する。このため、トランジスタT2の第1導通端子とコンデンサC3の第1端子とが電氣的に互いに切り離される。また、時刻t1において、制御線Vg8jの電位がハイレベルからローレベルに変化し、トランジスタT8がオン状態に変化する。このため、コンデンサC3の第1端子と第2端子とが短絡され、コンデンサC3に蓄積された電荷が消失する（保持電圧が0Vに初期化される）。

[0085] 時刻t2において、制御線Vg8jの電位がローレベルからハイレベルに変化し、トランジスタT8がオフ状態に変化する。このため、コンデンサC3の保持電圧の初期化が終了する。

[0086] <3.3 効果>

本実施形態によれば、初期化期間 I P においてオン状態になるトランジスタ T 8 がコンデンサ C 3 の第 1 端子と第 2 端子との間に設けられることにより、初期化期間 I P においてコンデンサ C 3 の第 1 端子と第 2 端子とが電氣的に互いに接続される。このため、コンデンサ C 3 の保持電圧が 0 V に初期化される。これにより、逆方向補償期間 I C P において逆方向電流 $I_{o l e d r}$ に応じた逆方向電圧 $V_{o l e d r}$ をコンデンサ C 3 に確実に書き込むことができる。

[0087] <4. 第 4 の実施形態>

<4. 1 画素回路の構成>

図 10 は、本発明の第 4 の実施形態における画素回路 11 の構成を示す回路図である。本実施形態の構成要素のうち上記第 1 または第 3 の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。図 10 に示すように、本実施形態における画素回路 11 は、上記第 3 の実施形態における駆動用容量部 111 にコンデンサ C 2 を加え、前処理部 105 にしきい値電圧補償部 122 を加えたものである。また、表示部 10 には、n 本の走査線 S_j に沿って n 本の制御線 V_{g3j} が配設されている。n 本の制御線 V_{g3j} は選択ドライバ群 50 に接続されている。

[0088] コンデンサ C 2 は、トランジスタ T 2 の第 1 導通端子とトランジスタ T 6 の第 1 導通端子との間に設けられている。コンデンサ C 2 は第 2 駆動用容量素子として機能する。

[0089] しきい値電圧補償部 122 は 1 個のトランジスタ T 3 を含んでいる。トランジスタ T 3 は p チャネル型である。トランジスタ T 3 は第 2 前処理用トランジスタとして機能する。しきい値電圧補償部 122 と、初期化部 121 および駆動電圧印加制御部 112 とは、前処理期間 P P 内且つ初期化期間 I P 後に設けられた後述のしきい値電圧補償期間 T C P において互いに連動することにより、トランジスタ T 2 の第 2 導通端子とゲート端子とを短絡する。トランジスタ T 3 は、制御線 V_{g3j} にゲート端子が接続され、トランジスタ T 6 の第 1 導通端子（駆動電圧印加制御部 112 のコンデンサ C 2 側の一

端)とトランジスタT2の第2導通端子との間に設けられている。しきい値電圧補償部122は第2前処理部に対応する。

[0090] 本実施形態における初期化部121、逆方向電流補償部104、および駆動電圧印加制御部112は、初期化期間IPにおいて互いに連動することにより、コンデンサC2の第1端子と逆方向バイアス用電源線V_rとを短絡する。本実施形態における画素回路11内のその他の構成要素および構成要素間の接続関係は上記第3の実施形態におけるものと同様であるので、その説明を省略する。

[0091] <4.2 動作>

図11は、本実施形態における画素回路11の駆動方法を示すタイミングチャートである。本実施形態では、時刻t_{1a}～t_{6a}は非発光期間LSPである。時刻t₁～t₃は前処理期間PPであり、時刻t₃～t₄は逆方向補償期間ICPであり、時刻t₅～t₆は書き込み期間WPである。時刻t₁～t₂は初期化期間IPであり、時刻t₂～t₃はしきい値電圧補償期間TCPである。しきい値電圧補償期間TCPは第2前処理期間に対応する。なお、書き込み期間WPを時刻t₄～t₅または時刻t₄～t₆としても良い。

[0092] 時刻t₁において、制御線V_{g6j}の電位はローレベルを維持しているのでトランジスタT6はオン状態である。また、時刻t₁において、制御線V_{g7j}、V_{g8j}がハイレベルからローレベルに変化し、トランジスタT7、T8がそれぞれオン状態に変化する。このため、コンデンサC3の第1端子と第2端子とが電氣的に互いに接続されてコンデンサC3の保持電圧が0Vに初期化される。さらに、コンデンサC2の第1端子と逆方向バイアス用電源線V_rとが電氣的に互いに接続されることにより、コンデンサC2の保持電圧が、互いに固定電位であるハイレベル電源電位V_{dd}と逆方向バイアス用電源電位V_rとの電位差に初期化される。なお、初期化期間IPにおける初期化として、コンデンサC3の保持電圧の0Vへの初期化のみを行っても良い。

[0093] 時刻 t_2 において、制御線 V_{g7j} の電位がローレベルからハイレベルに変化し、トランジスタ T_7 がオフ状態に変化する。このため、トランジスタ T_2 のゲート端子と逆方向バイアス用電源線 V_r とが電氣的に互いに切り離される。また、時刻 t_2 において、制御線 V_{g3j} の電位がハイレベルからローレベルに変化し、トランジスタ T_3 がオン状態に変化する。このため、トランジスタ T_2 のゲート端子と第2導通端子とが、トランジスタ T_3 , T_6 , T_8 を介して電氣的に互いに接続される（ダイオード接続となる。）。これにより、時刻 $t_2 \sim t_3$ のしきい値電圧補償期間 TC_P において、トランジスタ T_2 のしきい値電圧 V_{thT2} に応じた電圧がコンデンサ C_2 に書き込まれる。以下では、説明の便宜上、トランジスタ T_2 のしきい値電圧 V_{thT2} がコンデンサ C_2 に書き込まれるものとする。なお、上述の初期化により、時刻 t_2 の直前には、トランジスタ T_2 のしきい値電圧 V_{thT2} よりも絶対値の大きい電圧がコンデンサ C_2 に保持されている。

[0094] 時刻 t_3 において、制御線 V_{g3j} , V_{g6j} , V_{g8j} の電位がローレベルからハイレベルに変化し、トランジスタ T_3 , T_6 , T_8 がオフ状態に変化する。これにより、トランジスタ T_2 のしきい値電圧 V_{thT2} のコンデンサ C_2 への書き込みが完了する。また、時刻 t_3 において、制御線 V_{g5j} , V_{g7j} の電位がハイレベルからローレベルに変化し、トランジスタ T_5 , T_7 がオン状態に変化する。このため、ローレベル電源電位 V_{ss} および逆方向バイアス用電源電位 V_r により有機EL素子 $OLED$ が逆方向バイアスされる。これにより、有機EL素子 $OLED$ に流れる逆方向電流 I_{oledr} がコンデンサ C_3 に供給される。このため、上記第1の実施形態と同様に、コンデンサ C_3 に逆方向電圧 V_{oledr} が書き込まれる。

[0095] 時刻 t_4 において、制御線 V_{g5j} , V_{g7j} の電位がローレベルからハイレベルに変化し、トランジスタ T_5 , T_7 がオフ状態に変化する。このため、有機EL素子 $OLED$ の逆方向バイアスが停止する。また、時刻 t_4 において、制御線 V_{g6j} の電位がハイレベルからローレベルに変化し、トランジスタ T_6 がオン状態に変化する。これにより、コンデンサ C_2 , C_3 が

直列に接続され、駆動用容量部 111 全体での保持電圧は「 $V_{thT2} + V_{oledr}$ 」となる。

[0096] 時刻 t_5 において、走査線 S_j の電位がハイレベルからローレベルに変化し、トランジスタ T_1 がオン状態に変化する。このとき、 C_1 を介した上述のブースティングにより、駆動用容量部 111 全体での保持電圧は「 $V_{sig} + V_{thT2} + V_{oledr}$ 」となる。なお、コンデンサ C_1 の容量値は、コンデンサ C_2 、 C_3 の容量値よりも十分に大きいことが望ましい。

[0097] 時刻 t_6 において、走査線 S_j の電位がローレベルからハイレベルに変化し、トランジスタ T_1 がオフ状態に変化する。このため、データ電圧 V_{sig} の駆動部 102 への供給が停止する。

[0098] 時刻 t_{6a} において、制御線 V_{g4j} の電位がハイレベルからローレベルに変化し、トランジスタ T_4 がオン状態に変化する。駆動用容量部 111 全体には「 $V_{sig} + V_{thT2} + V_{oledr}$ 」が保持されている、すなわち、駆動部 102 においてデータ電圧 V_{sig} 、トランジスタ T_2 のしきい値電圧 V_{thT2} 、および逆方向電圧 V_{oledr} により駆動電圧が決定されるので、本実施形態では、次式 (5) で与えられる駆動電流 I_1 が有機 EL 素子 OLED に供給される。

$$I_1 = (\beta_1/2) \cdot (V_{sig} + V_{oledr})^2 \quad \dots (5)$$

上記式 (4) と異なり、式 (5) ではしきい値電圧 V_{thT2} の項がなくなっている。このため、トランジスタ T_2 のしきい値電圧 V_{thT2} のばらつきが補償される。

[0099] <4.3 効果>

本実施形態によれば、しきい値電圧補償期間 TC_P においてオン状態になるトランジスタ T_3 とコンデンサ C_2 とが設けられ、しきい値電圧補償期間 TC_P においてトランジスタ T_6 、 T_8 がオン状態になる。このため、しきい値電圧補償期間 TC_P において、トランジスタ T_2 のゲート端子と第 2 導通端子とが、トランジスタ T_3 、 T_6 、 T_8 を介して電氣的に互いに接続される（ダイオード接続となる。）。これにより、しきい値電圧補償期間 TC_P

Pにおいて、トランジスタT2のしきい値電圧 V_{thT2} がコンデンサC2に書き込まれる。したがって、コンデンサC2に保持されたトランジスタT2のしきい値電圧 V_{thT2} を用いて、トランジスタT2のしきい値電圧 V_{thT2} のばらつきを補償できる。

[0100] また、本実施形態によれば、初期化期間IPにおいて、トランジスタT8に加えてトランジスタT6、T7がオン状態になる。このため、トランジスタT6～T8を介してコンデンサC2の第1端子と逆方向バイアス用電源線 V_r とが電氣的に互いに接続される。これにより、コンデンサC2の保持電圧が、当該初期化期間IPにおいて互いに固定電位であるハイレベル電源電位 V_{dd} と逆方向バイアス用電源電位 V_r との電位差に初期化される。したがって、しきい値電圧補償期間TCPにおいて、トランジスタT2のしきい値電圧 V_{thT2} をコンデンサC2に安定して書き込むことができるので、トランジスタT2のしきい値電圧 V_{thT2} のばらつきを安定的に補償できる。

[0101] <5. 第5の実施形態>

<5. 1 画素回路の構成>

図12は、本発明の第5の実施形態における画素回路11の構成を示す回路図である。本実施形態の構成要素のうち上記第1の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。図12に示すように、本実施形態では、上記第1の実施形態から一部の構成要素の接続関係が変更されている。また、本実施形態では、上記各実施形態と異なり、ハイレベル電源線 V_{dd} により第2電源線が実現され、ローレベル電源線 V_{ss} により第1電源線が実現されると共に、ハイレベル電源電位 V_{dd} 、ローレベル電源電位 V_{ss} 、および逆方向バイアス用電源電位 V_r の大小関係は次式(6)で与えられる。

$$V_r > V_{dd} > V_{ss} \quad \cdots (6)$$

[0102] トランジスタT2は、コンデンサC3の第2端子にゲート端子が接続され、ローレベル電源線 V_{ss} に第2導通端子が接続されている。トランジスタ

T 4 は、制御線 V g 4 j にゲート端子が接続され、トランジスタ T 2 の第 1 導通端子と有機 E L 素子 O L E D のカソード端子との間に設けられている。トランジスタ T 5 は、制御線 V g 5 j にゲート端子が接続され、有機 E L 素子 O L E D のカソード端子とコンデンサ C 3 の第 2 端子との間に設けられている。トランジスタ T 6 は、制御線 V g 6 j にゲート端子が接続され、コンデンサ C 3 の第 1 端子とトランジスタ T 2 の第 1 導通端子との間に設けられている。トランジスタ T 7 は、制御線 V g 7 j にゲート端子が接続され、コンデンサ C 3 の第 1 端子と逆方向バイアス用電源線 V r との間に設けられている。なお、入力部 1 0 1 の接続関係は、上記第 1 の実施形態と同様であるので説明を省略する。

[0103] <5. 2 動作>

図 1 3 は、本実施形態における画素回路 1 1 の駆動方法を示すタイミングチャートである。本実施形態では、時刻 t 1 a ~ t 3 a は非発光期間 L S P である。時刻 t 1 ~ t 2 は逆方向補償期間 I C P であり、時刻 t 2 ~ t 3 は書き込み期間 W P である。

[0104] 時刻 t 1 a において、制御線 V g 4 j の電位がローレベルからハイレベルに変化する。このため、トランジスタ T 4 がオフ状態に変化し、トランジスタ T 2 の第 1 導通端子と有機 E L 素子 O L E D のカソード端子とが電氣的に互いに切り離される。これにより、有機 E L 素子 O L E D が非発光状態になる。

[0105] 時刻 t 1 において、制御線 V g 6 j の電位がローレベルからハイレベルに変化し、トランジスタ T 6 がオフ状態に変化する。このため、トランジスタ T 2 の第 1 導通端子とコンデンサ C 3 の第 1 端子とが電氣的に互いに切り離される。また、時刻 t 1 において、制御線 V g 5 j , V g 7 j の電位がハイレベルからローレベルに変化し、トランジスタ T 5 , T 7 がオン状態に変化する。このため、逆方向バイアス用電源電位 V r およびハイレベル電源電位 V d d により有機 E L 素子 O L E D が逆方向バイアスされる。これにより、上記第 1 の実施形態と同様に、コンデンサ C 3 には逆方向電圧 V o l e d r

が書き込まれる。

[0106] 時刻 t_2 において、制御線 V_{g5j} の電位がローレベルからハイレベルに変化し、トランジスタ T_5 がオフ状態に変化する。このため、有機EL素子 $OLED$ の逆方向バイアスが停止する。なお、トランジスタ T_7 はオン状態を維持するので、コンデンサ C_3 の第1端子には逆方向バイアス用電源電位 V_r が与えられている。また、時刻 t_2 において、走査線 S_j の電位がハイレベルからローレベルに変化し、トランジスタ T_1 がオン状態に変化する。このため、コンデンサ C_1 を介してコンデンサ C_3 の第2端子（トランジスタ T_2 のゲート電位）がブーストされることにより、上記第1の実施形態と同様にコンデンサ C_3 に「 $V_{sig} + V_{oledr}$ 」が書き込まれる。

[0107] 時刻 t_3 において、制御線 V_{g6j} の電位がハイレベルからローレベルに変化し、トランジスタ T_6 がオン状態に変化する。このため、トランジスタ T_2 のゲート端子と第1導通端子との間にコンデンサ C_3 が電氣的に接続される。また、時刻 t_3 において、制御線 V_{g7j} の電位がローレベルからハイレベルに変化し、トランジスタ T_7 がオフ状態に変化する。このため、コンデンサ C_3 の第1端子と逆方向バイアス用電源線 V_r とが電氣的に互いに切り離される。また、時刻 t_3 において、走査線 S_j の電位がローレベルからハイレベルに変化し、トランジスタ T_1 がオフ状態に変化する。このため、データ電圧 V_{sig} の駆動部 102 への供給が停止する。

[0108] 時刻 t_{3a} において、制御線 V_{g4j} の電位がハイレベルからローレベルに変化し、トランジスタ T_4 がオン状態に変化する。このため、上記第1の実施形態と同様に、有機EL素子 $OLED$ の経時劣化が進行するにつれて大きくなった駆動電流 I_1 の値に応じて有機EL素子 $OLED$ が発光する。

[0109] <5. 3 効果>

本実施形態によれば、上記式(6)で決定されるハイレベル電源電位 V_d 、ローレベル電源電位 V_{ss} 、および逆方向バイアス用電源電位 V_r を使用して、上記第1の実施形態と同様の効果を奏することができる。

[0110] <6. 第6の実施形態>

< 6. 1 画素回路の構成 >

図 1 4 は、本発明の第 6 の実施形態における画素回路 1 1 の構成を示す回路図である。本実施形態の構成要素のうち上記第 1 の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。図 1 4 に示すように、本実施形態では、上記第 1 の実施形態から一部の構成要素の接続関係が変更されると共に、トランジスタ T 1, T 2, T 4 ~ T 7 の導電型が n チャンネル型に変更されている。また、本実施形態では、上記第 1 の実施形態と同様に、ハイレベル電源線 V d d により第 1 電源線が実現され、ローレベル電源線 V s s により第 2 電源線が実現されると共に、ハイレベル電源電位 V d d、ローレベル電源電位 V s s、および逆方向バイアス用電源電位 V r の大小関係は上記式 (2) で与えられる。

[0111] トランジスタ T 2 は、コンデンサ C 3 の第 2 端子にゲート端子が接続され、ハイレベル電源線 V d d に第 2 導通端子が接続されている。トランジスタ T 4 は、制御線 V g 4 j にゲート端子が接続され、トランジスタ T 2 の第 1 導通端子と有機 E L 素子 O L E D のアノード端子との間に設けられている。トランジスタ T 5 は、制御線 V g 5 j にゲート端子が接続され、有機 E L 素子 O L E D のアノード端子とコンデンサ C 3 の第 2 端子との間に設けられている。トランジスタ T 7 は、制御線 V g 7 j にゲート端子が接続され、コンデンサ C 3 の第 1 端子と逆方向バイアス用電源線 V r との間に設けられている。なお、入力部 1 0 1 の接続関係は、上記第 1 の実施形態と同様であるので説明を省略する。

[0112] < 6. 2 動作 >

図 1 5 は、本実施形態における画素回路 1 1 の駆動方法を示すタイミングチャートである。本実施形態では、時刻 t 1 a ~ t 3 a は非発光期間 L S P である。時刻 t 1 ~ t 2 は逆方向補償期間 I C P であり、時刻 t 2 ~ t 3 は書き込み期間 W P である。

[0113] 時刻 t 1 a において、制御線 V g 4 j の電位がハイレベルからローレベルに変化する。このため、トランジスタ T 4 がオフ状態に変化し、トランジス

タ T 2 の第 1 導通端子と有機 E L 素子 O L E D のアノード端子とが電氣的に互いに切り離される。これにより、有機 E L 素子 O L E D が非発光状態になる。

[0114] 時刻 t_1 において、制御線 V_{g6j} の電位がハイレベルからローレベルに変化し、トランジスタ T 6 がオフ状態に変化する。このため、トランジスタ T 2 の第 1 導通端子とコンデンサ C 3 の第 1 端子とが電氣的に互いに切り離される。また、時刻 t_1 において、制御線 V_{g5j} 、 V_{g7j} の電位がローレベルからハイレベルに変化し、トランジスタ T 5、T 7 がオン状態に変化する。このため、ローレベル電源電位 V_{ss} および逆方向バイアス用電源電位 V_r により有機 E L 素子 O L E D が逆方向バイアスされる。これにより、上記第 1 の実施形態と同様に、コンデンサ C 3 には逆方向電圧 V_{oledr} が書き込まれる。

[0115] 時刻 t_2 において、制御線 V_{g5j} の電位がハイレベルからローレベルに変化し、トランジスタ T 5 がオフ状態に変化する。このため、有機 E L 素子 O L E D の逆方向バイアスが停止する。なお、トランジスタ T 7 はオン状態を維持するので、コンデンサ C 3 の第 1 端子には逆方向バイアス用電源電位 V_r が与えられている。また、時刻 t_2 において、走査線 S_j の電位がローレベルからハイレベルに変化し、トランジスタ T 1 がオン状態に変化する。このため、コンデンサ C 1 を介してコンデンサ C 3 の第 2 端子（トランジスタ T 2 のゲート電位）がブーストされることにより、上記第 1 の実施形態と同様にコンデンサ C 3 に「 $V_{sig} + V_{oledr}$ 」が書き込まれる。

[0116] 時刻 t_3 において、制御線 V_{g6j} の電位がローレベルからハイレベルに変化し、トランジスタ T 6 がオン状態に変化する。このため、トランジスタ T 2 のゲート端子と第 1 導通端子との間にコンデンサ C 3 が電氣的に接続される。また、時刻 t_3 において、制御線 V_{g7j} の電位がハイレベルからローレベルに変化し、トランジスタ T 7 がオフ状態に変化する。このため、コンデンサ C 3 の第 1 端子と逆方向バイアス用電源線 V_r とが電氣的に互いに切り離される。また、時刻 t_3 において、走査線 S_j の電位がハイレベルか

らローレベルに変化し、トランジスタT1がオフ状態に変化する。このため、データ電圧Vsigの駆動部102への供給が停止する。

[0117] 時刻t3aにおいて、制御線Vg4jの電位がローレベルからハイレベルに変化し、トランジスタT4がオン状態に変化する。このため、上記第1の実施形態と同様に、有機EL素子OLEDの経時劣化が進行するにつれて大きくなった駆動電流I1の値に応じて有機EL素子OLEDが発光する。

[0118] <6.3 効果>

本実施形態によれば、nチャネル型のトランジスタを使用して、上記第1の実施形態と同様の効果を奏することができる。

[0119] <7. 第7の実施形態>

<7.1 画素回路の構成>

図16は、本発明の第7の実施形態における画素回路11の構成を示す回路図である。本実施形態の構成要素のうち上記第1の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。本実施形態は、上記第6の実施形態から一部の構成要素の接続関係が変更されている。また、本実施形態では、上記第5の実施形態と同様に、ハイレベル電源線Vddにより第2電源線が実現され、ローレベル電源線Vssにより第1電源線が実現されると共に、ハイレベル電源電位Vdd、ローレベル電源電位Vss、および逆方向バイアス用電源電位Vrの大小関係は上記式(6)で与えられる。

[0120] トランジスタT2は、コンデンサC3の第2端子にゲート端子が接続され、ローレベル電源線Vssに第1導通端子が接続されている。トランジスタT4は、制御線Vg4jにゲート端子が接続され、トランジスタT2の第2導通端子と有機EL素子OLEDのカソード端子との間に設けられている。トランジスタT5は、制御線Vg5jにゲート端子が接続され、有機EL素子OLEDのカソード端子とコンデンサC3の第1端子との間に設けられている。トランジスタT6は、制御線Vg6jにゲート端子が接続され、コンデンサC3の第1端子とトランジスタT2の第1導通端子との間に設けられ

ている。トランジスタ T_7 は、制御線 V_{g7j} にゲート端子が接続され、コンデンサ C_3 の第2端子と逆方向バイアス用電源線 V_r との間に設けられている。なお、入力部 101 の接続関係は、上記第1の実施形態と同様であるので説明を省略する。

[0121] <7.2 動作>

図17は、本実施形態における画素回路11の駆動方法を示すタイミングチャートである。図17に示すように、本実施形態におけるタイミングチャートは、上記第6の実施形態と同様である（図15を参照）。

[0122] 時刻 t_{1a} において、制御線 V_{g4j} の電位がハイレベルからローレベルに変化する。このため、トランジスタ T_4 がオフ状態に変化し、トランジスタ T_2 の第2導通端子と有機EL素子 $OLED$ のカソード端子とが電氣的に互いに切り離される。これにより、有機EL素子 $OLED$ が非発光状態になる。なお、時刻 $t_2 \sim t_{3a}$ の動作は上記第6の実施形態と基本的に同様であるので説明を省略する。

[0123] 時刻 t_1 において、制御線 V_{g6j} の電位がハイレベルからローレベルに変化し、トランジスタ T_6 がオフ状態に変化する。このため、トランジスタ T_2 の第1導通端子とコンデンサ C_3 の第1端子とが電氣的に互いに切り離される。また、時刻 t_1 において、制御線 V_{g5j} , V_{g7j} の電位がローレベルからハイレベルに変化し、トランジスタ T_5 , T_7 がオン状態に変化する。このため、逆方向バイアス用電源電位 V_r およびハイレベル電源電位 V_{dd} により有機EL素子 $OLED$ が逆方向バイアスされる。これにより、上記第1の実施形態と同様に、コンデンサ C_3 には逆方向電圧 V_{oledr} が書き込まれる。

[0124] <7.3 効果>

本実施形態によれば、上記式(6)で決定されるハイレベル電源電位 V_{dd} 、ローレベル電源電位 V_{ss} 、および逆方向バイアス用電源電位 V_r を使用すると共に、 n チャネル型のトランジスタを使用して、上記第1の実施形態と同様の効果を奏することができる。

[0125] <8. その他>

本発明は、上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、上記各実施形態において、図2に示す逆方向電流 $I_{ole d r}$ の初期値 ($4.8 \mu A$) に対応した電圧を駆動用容量部 111 においてオフセットするようにしても良い。これにより、当該初期値による不要な補償効果を相殺することができる。

[0126] また、上記第3～第5の実施形態において、上記第2の実施形態と同様に、トランジスタ T4 を n チャンネル型とし、トランジスタ T4 のゲート端子とトランジスタ T7 の第1導通端子とで制御線 V_{g4j} を共有するようにしても良い。また、上記第6、第7の実施形態において、トランジスタ T4 を p チャンネル型とし、トランジスタ T4 のゲート端子とトランジスタ T7 の第1導通端子とで制御線 V_{g4j} を共有するようにしても良い。

[0127] また、上記第5～第7の実施形態において初期化および／またはしきい値電圧補償を行うようにしても良い。この場合、少なくとも、トランジスタ T2 のゲート端子と第2導通端子との間にしきい値電圧補償部 122 (トランジスタ T3) が設けられる。

[0128] また、上記第1～第3、第6の実施形態において、トランジスタ T4 を設ける位置を、ハイレベル電源線 V_{dd} (第1電源線) とトランジスタ T2 との間に変更しても良い。また、上記第5、第7の実施形態において、トランジスタ T4 を設ける位置を、ローレベル電源線 V_{ss} (第1電源線) とトランジスタ T2 との間に変更しても良い。

[0129] <9. 付記>

<付記 A1>

アクティブマトリクス型の表示装置であって、
それぞれがデータ信号を供給する複数のデータ線と、
それぞれが選択的に駆動される複数の走査線と、
第1電源電位を供給する第1電源線と、

第2電源電位を供給する第2電源線と、
制御電位を少なくとも第1所定期間において供給する逆方向バイアス用制御線と、
前記複数のデータ線と前記複数の走査線との交差点に対応して設けられた複数の画素回路とを備え、
前記画素回路は、
前記第1電源線と前記第2電源線との間に設けられた電気光学素子と、
前記第1電源線と前記第2電源線との間に前記電気光学素子と直列に設けられた駆動用トランジスタと、当該駆動用トランジスタを制御するための駆動電圧を保持する駆動用容量部とを含み、前記電気光学素子に流れる電流を制御する駆動部と、
対応する走査線の選択に応じて、対応するデータ線が供給するデータ信号の電圧を前記駆動部に供給する入力部と、
前記第2電源線と前記逆方向バイアス用制御線との間で前記電気光学素子に流れる逆方向電流を前記駆動用容量部に供給する補償部と、
前記第1電源線と前記電気光学素子との間に設けられ、前記第1所定期間を含む第2所定期間においてオフ状態となる発光制御用トランジスタとを含み、
前記駆動部は、少なくとも前記データ信号の電圧と前記逆方向電流とによって前記駆動電圧を決定することを特徴とする、表示装置。

[0130] このような付記A1に記載の表示装置によれば、逆方向バイアス時に電気光学素子（以下、付記の説明においては有機EL素子であるとする。）に流れる逆方向電流が駆動用容量部に供給され、少なくとも当該逆方向電流とデータ信号の電圧とにより駆動電圧が決定される。そして、この駆動電圧に応じた順方向電流（駆動電流）が有機EL素子に供給される。逆方向電流は有機EL素子の経時劣化が進行するにつれて大きくなる。このため、駆動電流も有機EL素子の経時劣化の進行程度に応じた値となる。その結果、有機EL素子の経時劣化の進行程度に応じた輝度補償が行われる。さらに、この輝

度補償動作は、有機EL素子が非発光となる第2所定期間内に行われる。したがって、輝度補償動作の完了前に有機EL素子が発光することがないので、有機EL素子の経時劣化による発光輝度の低下を従来よりも抑制できる。

[0131] <付記A2>

前記第2電源電位は前記第1電源電位よりも低く、

前記制御電位は前記第2電源電位よりも低いことを特徴とする、付記A1に記載の表示装置。

[0132] このような付記A2に記載の表示装置によれば、第1電源線から第2電源線に向けて順方向電流（駆動電流）を流し、第2電源線から逆方向バイアス用制御線に向けて逆方向電流を流すことによって、付記A1に記載の表示装置と同様の効果を奏することができる。

[0133] <付記A3>

前記第2電源電位は前記第1電源電位よりも高く、

前記制御電位は前記第2電源電位よりも高いことを特徴とする、付記A1に記載の表示装置。

[0134] このような付記A3に記載の表示装置によれば、第2電源線から第1電源線に向けて順方向電流（駆動電流）を流し、逆方向バイアス用制御線から第2電源線に向けて逆方向電流を流すことによって、付記A1に記載の表示装置と同様の効果を奏することができる。

[0135] <付記B1>

アクティブマトリクス型の表示装置であって、

それぞれがデータ信号を供給する複数のデータ線と、

それぞれが選択的に駆動される複数の走査線と、

第1電源電位を供給する第1電源線と、

第2電源電位を供給する第2電源線と、

制御電位を少なくとも第1所定期間において供給する逆方向バイアス用制御線と、

前記複数のデータ線と前記複数の走査線との交差点に対応して設けられた

複数の画素回路とを備え、

前記画素回路は、

前記第 1 電源線と前記第 2 電源線との間に設けられた電気光学素子と、

前記第 1 電源線と前記第 2 電源線との間に前記電気光学素子と直列に設けられた駆動用トランジスタを含み、前記電気光学素子に流れる電流を制御する駆動部と、

対応する走査線の選択に応じて、対応するデータ線が供給するデータ信号の電圧を前記駆動部に供給する入力部と、

前記第 2 電源線と前記逆方向バイアス用制御線との間で前記電気光学素子に流れる逆方向電流に応じた補償信号を前記駆動部に供給する補償部と、

前記電気光学素子の発光タイミングを制御し、前記第 1 所定期間を含む第 2 所定期間において、前記第 1 電源線と前記電気光学素子との間に流れる電流を遮断する発光制御部とを含み、

前記駆動部は、前記駆動用トランジスタを制御するための駆動電圧を、少なくとも前記データ信号の電圧と前記補償信号とによって決定することを特徴とする、表示装置。

- [0136] このような付記 B 1 に記載の表示装置によれば、逆方向バイアス時に電気光学素子（有機 EL 素子）に流れる逆方向電流に応じた補償信号が駆動部に供給され、少なくとも当該補償信号とデータ信号の電圧とにより駆動電圧が決定される。そして、この駆動電圧に応じた順方向電流（駆動電流）が有機 EL 素子に供給される。逆方向電流は有機 EL 素子の経時劣化が進行するにつれて大きくなる。このため、補償信号も有機 EL 素子の経時劣化の進行程度に応じた値となる。これにより、駆動電流も有機 EL 素子の経時劣化の進行程度に応じた値となる。その結果、有機 EL 素子の経時劣化の進行程度に応じた輝度補償が行われる。さらに、この輝度補償動作は、有機 EL 素子が非発光となる第 2 所定期間内に行われる。したがって、輝度補償動作の完了前に有機 EL 素子が発光することがないので、有機 EL 素子の経時劣化による発光輝度の低下を従来よりも抑制できる。

[0137] <付記 B 2>

前記補償信号は、前記逆方向電流に応じた補償用電圧を示し、

前記駆動部は、少なくとも前記データ信号の電圧と前記補償用電圧とによって前記駆動電圧を決定することを特徴とする、付記 B 1 に記載の表示装置。

[0138] このような付記 B 2 に記載の表示装置によれば、逆方向電流に応じた補償用電圧が駆動部に供給され、少なくとも当該補償用電圧とデータ信号の電圧とにより駆動電圧が決定される。そして、この駆動電圧に応じた順方向電流（駆動電流）が有機 EL 素子に供給される。逆方向電流は有機 EL 素子の経時劣化が進行するにつれて大きくなる。このため、逆方向電流に応じた補償用電圧は、有機 EL 素子の経時劣化が進行するにつれて大きくなる。これにより、駆動電流も有機 EL 素子の経時劣化が進行するにつれて大きくなる。その結果、付記 B 1 に記載の表示装置と同様の効果を奏することができる。

[0139] <付記 B 3>

前記駆動部は、前記駆動用トランジスタの制御端子と第 1 導通端子との間に設けられ、前記駆動電圧を保持する駆動用容量部を含み、

前記入力部は、前記駆動用容量部に前記データ信号の電圧を供給し、

前記補償部は、前記第 1 所定期間の少なくとも一部の期間において、前記駆動用容量部に前記補償用電圧を供給することを特徴とする、付記 B 2 に記載の表示装置。

[0140] このような付記 B 3 に記載の表示装置によれば、駆動用容量部に供給される補償用電圧を用いて駆動電圧を決定することができる。

[0141] <付記 B 4>

前記補償部は、前記第 1 所定期間において前記逆方向電流を前記駆動用容量部に供給し、

前記入力部は、入力用容量素子を含み、当該入力用容量素子を介して前記データ信号の電圧を前記駆動用容量部に供給することを特徴とする、付記 B 3 に記載の表示装置。

[0142] このような付記 B 4 に記載の表示装置によれば、逆方向電流を駆動用容量部に供給する場合に、入力用容量素子を介してデータ信号の電圧を駆動用容量部に供給することにより、少なくとも補償用電圧とデータ信号の電圧とにより駆動電圧を決定することができる。このようにして、有機 EL 素子の経時劣化の進行程度に応じた輝度補償を行うことができる。

[0143] <付記 B 5>

前記駆動用容量部は、前記第 1 所定期間において前記逆方向電流が供給される第 1 駆動用容量素子を含み、

前記駆動部は、前記駆動用トランジスタへの前記駆動電圧の印加を制御する駆動電圧印加制御部をさらに含むことを特徴とする、付記 B 4 に記載の表示装置。

[0144] このような付記 B 5 に記載の表示装置によれば、第 1 駆動用容量素子に逆方向電流を供給し、駆動電圧印加制御部により駆動電圧の印加を制御することにより、有機 EL 素子の経時劣化の進行程度に応じた輝度補償を行うことができる。

[0145] <付記 B 6>

前記画素回路は、前記第 2 所定期間内且つ前記第 1 所定期間前に設けられた前処理期間において前記駆動用容量部に保持された前記駆動電圧に対して前処理を行う前処理部をさらに含むことを特徴とする、付記 B 5 に記載の表示装置。

[0146] このような付記 B 6 に記載の表示装置によれば、駆動電圧に対して前処理を行うことができる。前処理としては、初期化やしきい値電圧補償などがある。

[0147] <付記 B 7>

前記前処理部は、前記前処理期間内の第 1 前処理期間において、前記第 1 駆動用容量素子の両端子を短絡させる第 1 前処理部を含むことを特徴とする、付記 B 6 に記載の表示装置。

[0148] このような付記 B 7 に記載の表示装置によれば、第 1 前処理部により、第

1 前処理期間において第 1 駆動用容量素子の両端子が電氣的に互いに接続される。このため、第 1 駆動用容量素子の保持電圧が 0 V に初期化される。これにより、第 1 駆動用容量素子に補償用電圧を確実に書き込むことができる。

[0149] <付記 B 8>

前記駆動用容量部は、前記駆動用トランジスタの前記第 1 導通端子と第 2 導通端子との間に設けられた第 2 駆動用容量素子をさらに含み、

前記前処理部は、前記駆動用トランジスタの前記制御端子と前記第 2 導通端子との間に設けられた第 2 前処理部をさらに含み、

少なくとも前記第 2 前処理部は、前記前処理期間内且つ前記第 1 前処理期間後に設けられた第 2 前処理期間において前記駆動用トランジスタの前記制御端子と前記第 2 導通端子とを短絡させることを特徴とする、付記 B 7 に記載の表示装置。

[0150] このような付記 B 8 に記載の表示装置によれば、少なくとも第 2 前処理部により、第 2 前処理期間において駆動用トランジスタの制御端子と第 2 導通端子とが電氣的に互いに接続される（ダイオード接続となる。）。このため、第 2 前処理期間において、駆動用トランジスタのしきい値電圧が第 2 駆動用容量素子に書き込まれる。これにより、このしきい値電圧を用いて、駆動用トランジスタのしきい値電圧のばらつきを補償できる。

[0151] <付記 B 9>

前記第 1 前処理部、前記補償部、および前記駆動電圧印加制御部の少なくともいずれかは、前記第 1 前処理期間において、前記第 2 駆動用容量素子の端子と前記逆方向バイアス用制御線とを短絡させることを特徴とする、付記 B 8 に記載の表示装置。

[0152] このような付記 B 9 に記載の表示装置によれば、第 1 前処理部、補償部、および駆動電圧印加制御部の少なくともいずれかによって、第 1 前処理期間において第 2 駆動用容量素子の端子と逆方向バイアス用制御線とが電氣的に互いに接続される。このため、第 1 前処理期間において、第 2 駆動用容量素

子の保持電圧が、制御電位に応じた値に初期化される。これにより、第2前処理期間において、駆動用トランジスタのしきい値電圧を第2駆動用容量素子に安定して書き込むことができる。したがって、駆動用トランジスタのしきい値電圧のばらつきを安定的に補償できる。

[0153] <付記B 1 0>

前記逆方向バイアス用制御線は、前記第2所定期間において前記制御電位を供給し、

前記発光制御部は、前記逆方向バイアス用制御線により制御され、当該制御線に前記制御電位が供給されているときに前記第1電源線と前記電気光学素子との間に流れる電流を遮断することを特徴とする、付記B 1 からB 9までのいずれかに記載の表示装置。

[0154] このような付記B 1 0に記載の表示装置によれば、逆方向バイアス用制御線が接続された補償部内の構成要素と発光制御部とで逆方向バイアス用制御線が共有化される。このため、配線数を削減できる。

[0155] <付記B 1 1>

それぞれがデータ信号を供給する複数のデータ線と、それぞれが選択的に駆動される複数の走査線と、第1電源電位を供給する第1電源線と、第2電源電位を供給する第2電源線と、前記複数のデータ線と前記複数の走査線との交差点に対応して設けられた複数の画素回路とを含み、当該画素回路は、前記第1電源線と前記第2電源線との間に設けられた電気光学素子と、前記第1電源線と前記第2電源線との間に前記電気光学素子と直列に設けられた駆動用トランジスタを有し且つ前記電気光学素子に流れる電流を制御する駆動部とを含むアクティブマトリクス型の表示装置の駆動方法であって、

対応する走査線を選択に応じて、対応するデータ線が供給するデータ信号の電圧を前記駆動部に供給するステップと、

前記第2電源線と、制御電位を少なくとも第1所定期間において供給する逆方向バイアス用制御線との間で前記電気光学素子に流れる逆方向電流に応じた補償信号を前記駆動部に供給するステップと、

前記駆動用トランジスタを制御するための駆動電圧を、少なくとも前記データ信号の電圧と前記補償信号とによって決定するステップと、

前記電気光学素子の発光タイミングを制御し、前記第 1 所定期間を含む第 2 所定期間において、前記第 1 電源線と前記電気光学素子との間に流れる電流を遮断する発光制御ステップとを備えることを特徴とする、駆動方法。

[0156] このような付記 B 1 1 に記載の表示装置の駆動方法によれば、付記 B 1 に記載の表示装置と同様の効果を奏することができる。

産業上の利用可能性

[0157] 本発明の表示装置は、電気光学素子の経時劣化による発光輝度の低下を抑制できるという特徴を有するので、有機 EL ディスプレイなど、電気光学素子を備えた各種の表示装置に利用することができる。

符号の説明

[0158] 1 0 …表示部

1 1 …画素回路

3 0 …データドライバ

4 0 …走査ドライバ

5 0 …選択ドライバ群

1 0 1 …入力部

1 0 2 …駆動部

1 0 3 …発光制御部

1 0 4 …逆方向電流補償部

1 0 5 …前処理部

1 1 1 …駆動用容量部

1 1 2 …駆動電圧印加制御部

1 2 1 …初期化部（第 1 前処理部）

1 2 2 …しきい値電圧補償部（第 2 前処理部）

T 1 ～ T 8 …トランジスタ

C 1 ～ C 3 …コンデンサ（容量素子）

O L E D…有機E L 素子（電気光学素子）

D i （i = 1 ～ m）…データ線

S j （j = 1 ～ n）…走査線

V g 3 j ～ V g 8 j （j = 1 ～ n）…制御線

V d d…ハイレベル電源線（第1 電源線）

V s s…ローレベル電源線（第2 電源線）

V r…逆方向バイアス用電源線（逆方向バイアス用制御線）

I C P…逆方向補償期間（第1 所定期間）

P P…前処理期間

I P…初期化期間（第1 前処理期間）

T C P…しきい値電圧補償期間（第2 前処理期間）

W P…書き込み期間

請求の範囲

[請求項1]

アクティブマトリクス型の表示装置であって、
それぞれがデータ信号を供給する複数のデータ線と、
それぞれが選択的に駆動される複数の走査線と、
第1電源電位を供給する第1電源線と、
第2電源電位を供給する第2電源線と、
制御電位を少なくとも第1所定期間において供給する逆方向バイアス用制御線と、
前記複数のデータ線と前記複数の走査線との交差点に対応して設けられた複数の画素回路とを備え、
前記画素回路は、
前記第1電源線と前記第2電源線との間に設けられた電気光学素子と、
前記第1電源線と前記第2電源線との間に前記電気光学素子と直列に設けられた駆動用トランジスタと、当該駆動用トランジスタを制御するための駆動電圧を保持する駆動用容量部とを含み、前記電気光学素子に流れる電流を制御する駆動部と、
対応する走査線を選択に応じて、対応するデータ線が供給するデータ信号の電圧を前記駆動部に供給する入力部と、
前記第2電源線と前記逆方向バイアス用制御線との間で前記電気光学素子に流れる逆方向電流を前記駆動用容量部に供給する補償部と、
前記第1電源線と前記電気光学素子との間に設けられ、前記第1所定期間を含む第2所定期間においてオフ状態となる発光制御用トランジスタとを含み、
前記駆動部は、少なくとも前記データ信号の電圧と前記逆方向電流とによって前記駆動電圧を決定することを特徴とする、表示装置。

[請求項2]

前記駆動部は、少なくとも前記データ信号の電圧と前記逆方向電流

に応じた補償用電圧とによって前記駆動電圧を決定することを特徴とする、請求項 1 に記載の表示装置。

[請求項3] 前記駆動用容量部は、前記駆動用トランジスタの制御端子と第 1 導通端子との間に設けられ、前記第 1 所定期間において前記逆方向電流が供給される第 1 駆動用容量素子を含み、

前記駆動部は、前記駆動用トランジスタの前記第 1 導通端子と前記第 1 駆動用容量素子との間に設けられ、前記第 1 所定期間においてオフ状態となる駆動電圧印加制御用トランジスタをさらに含むことを特徴とする、請求項 2 に記載の表示装置。

[請求項4] 前記入力部は、

対応する走査線に制御端子が接続され、対応するデータ線に第 1 導通端子が接続された入力用トランジスタと、

前記入力用トランジスタの第 2 導通端子と前記第 1 駆動用容量素子との間に設けられた入力用容量素子とを含むことを特徴とする、請求項 3 に記載の表示装置。

[請求項5] 前記補償部は、

前記電気光学素子と前記第 1 駆動用容量素子との間に設けられ、前記第 1 所定期間においてオン状態となる第 1 逆方向電流供給用トランジスタと、

前記第 1 駆動用容量素子と前記逆方向バイアス用制御線との間に設けられ、前記第 1 所定期間においてオン状態となる第 2 逆方向電流供給用トランジスタとを含むことを特徴とする、請求項 4 に記載の表示装置。

[請求項6] 前記画素回路は、前記第 2 所定期間内の前記第 1 所定期間前に設けられた前処理期間において前記駆動用容量部に保持された前記駆動電圧に対して前処理を行う前処理部をさらに含むことを特徴とする、請求項 5 に記載の表示装置。

[請求項7] 前記前処理部は、前記第 1 駆動用容量素子の端子間に設けられ、前

記前処理期間内の第 1 前処理期間においてオン状態となる第 1 前処理用トランジスタを含むことを特徴とする、請求項 6 に記載の表示装置。

[請求項 8] 前記駆動用容量部は、前記駆動用トランジスタの前記第 1 導通端子と第 2 導通端子との間に設けられた第 2 駆動用容量素子をさらに含み、

前記前処理部は、前記駆動用トランジスタの前記制御端子と前記第 2 導通端子との間に設けられ、前記前処理期間内且つ前記第 1 前処理期間後に設けられた第 2 前処理期間においてオン状態となる第 2 前処理用トランジスタをさらに含むことを特徴とする、請求項 7 に記載の表示装置。

[請求項 9] 前記第 1 前処理用トランジスタおよび前記駆動電圧印加制御用トランジスタのそれぞれは前記第 2 前処理期間においてオン状態となることを特徴とする、請求項 8 に記載の表示装置。

[請求項 10] 前記第 2 逆方向電流供給用トランジスタおよび前記駆動電圧印加制御用トランジスタのそれぞれは、前記第 1 前処理期間においてオン状態となることを特徴とする、請求項 9 に記載の表示装置。

[請求項 11] 前記駆動用トランジスタの前記第 1 導通端子は、前記第 1 電源線側に位置することを特徴とする、請求項 3 に記載の表示装置。

[請求項 12] 前記駆動用トランジスタの前記第 1 導通端子は、前記第 2 電源線側に位置することを特徴とする、請求項 3 に記載の表示装置。

[請求項 13] 前記駆動用トランジスタの導電型は、p チャネル型であることを特徴とする、請求項 1 に記載の表示装置。

[請求項 14] 前記駆動用トランジスタの導電型は、n チャネル型であることを特徴とする、請求項 1 に記載の表示装置。

[請求項 15] 前記逆方向バイアス用制御線は、前記第 2 所定期間において前記制御電位を供給し、

前記発光制御用トランジスタの制御端子は前記逆方向バイアス用制

御線に接続されていることを特徴とする、請求項 1 から 14 までのいずれか 1 項に記載の表示装置。

[請求項16]

それぞれがデータ信号を供給する複数のデータ線と、それぞれが選択的に駆動される複数の走査線と、第 1 電源電位を供給する第 1 電源線と、第 2 電源電位を供給する第 2 電源線と、前記複数のデータ線と前記複数の走査線との交差点に対応して設けられた複数の画素回路とを備え、当該画素回路は、前記第 1 電源線と前記第 2 電源線との間に設けられた電気光学素子と、前記第 1 電源線と前記第 2 電源線との間に前記電気光学素子と直列に設けられた駆動用トランジスタおよび当該駆動用トランジスタを制御するための駆動電圧を保持する駆動用容量部を有し、前記電気光学素子に流れる電流を制御する駆動部とを含むアクティブマトリクス型の表示装置の駆動方法であって、

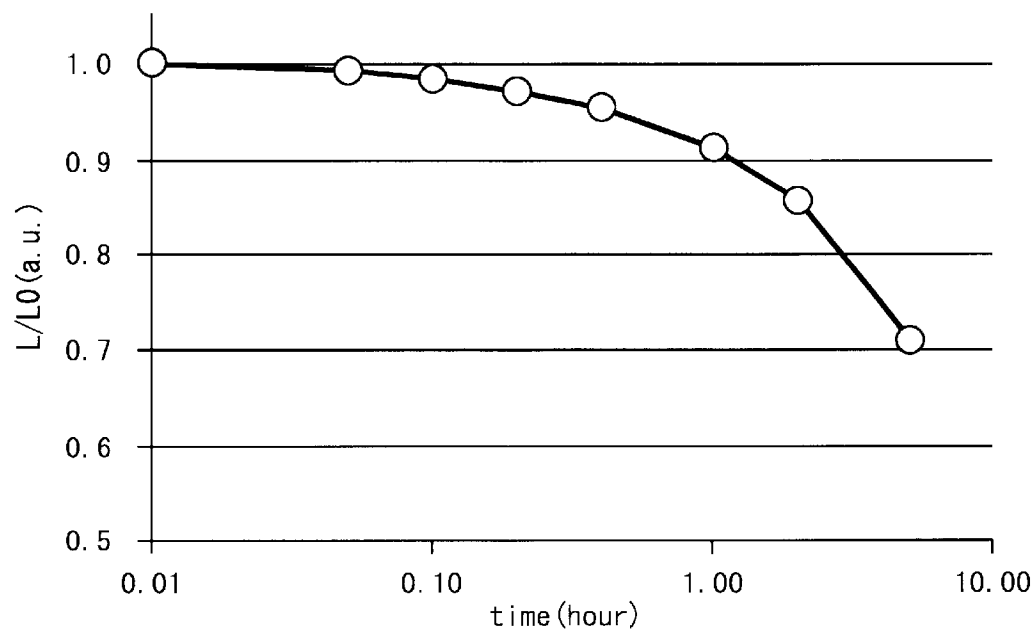
対応する走査線を選択に応じて、対応するデータ線が供給するデータ信号の電圧を前記駆動部に供給するステップと、

前記第 2 電源線と、制御電位を少なくとも第 1 所定期間において供給する逆方向バイアス用制御線との間で前記電気光学素子に流れる逆方向電流を前記駆動用容量部に供給するステップと、

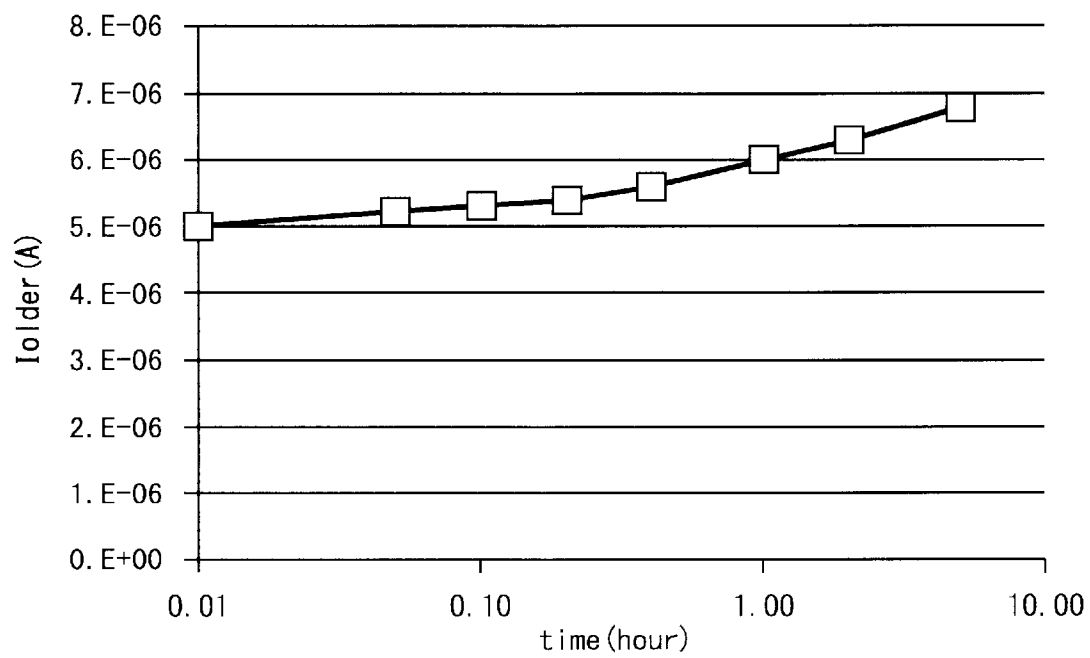
少なくとも前記データ信号の電圧と前記逆方向電流とによって前記駆動電圧を決定するステップと、

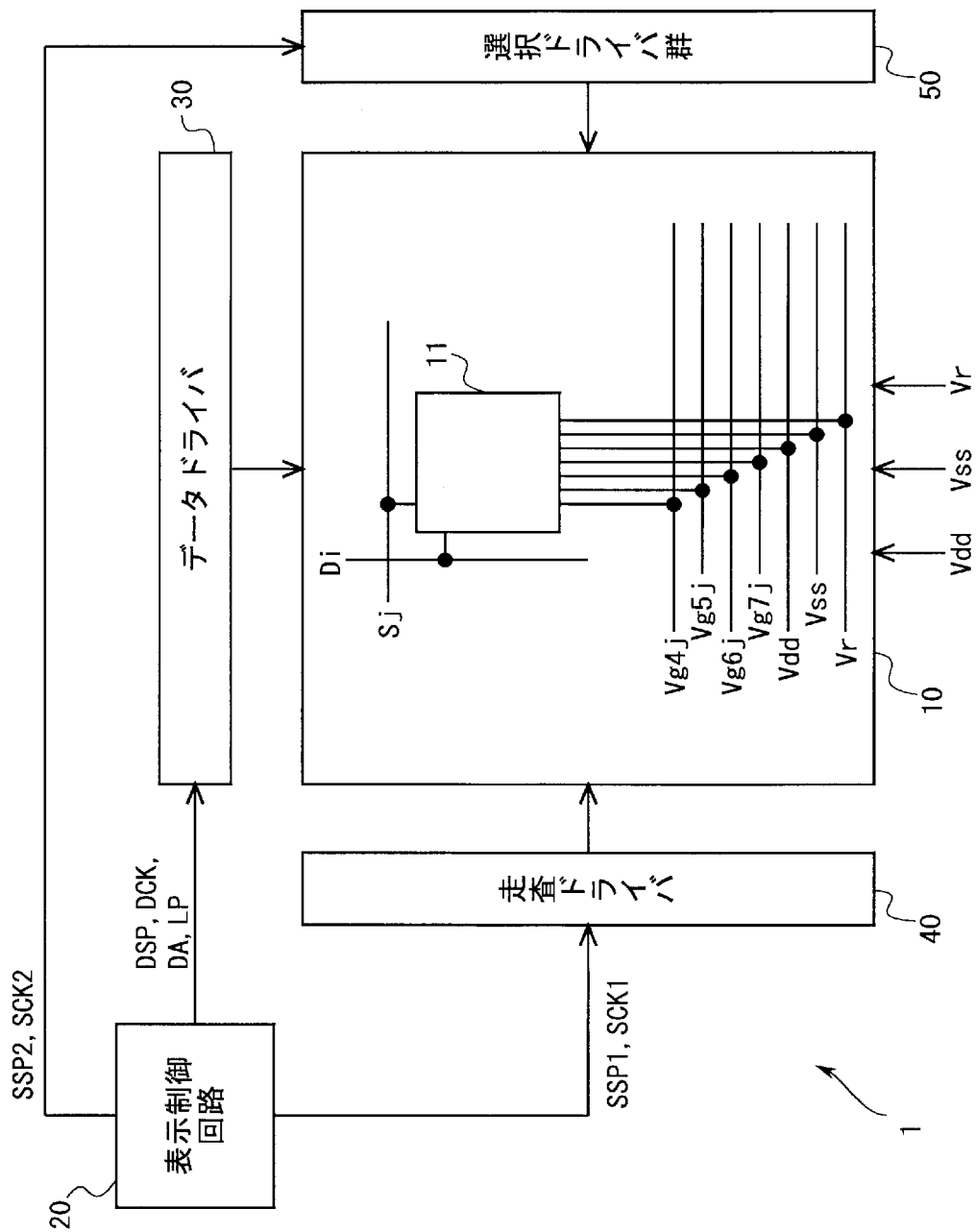
前記電気光学素子の発光タイミングを制御し、前記第 1 所定期間を含む第 2 所定期間において、前記第 1 電源線と前記電気光学素子との間に流れる電流を遮断する発光制御ステップとを備えることを特徴とする、駆動方法。

[図1]

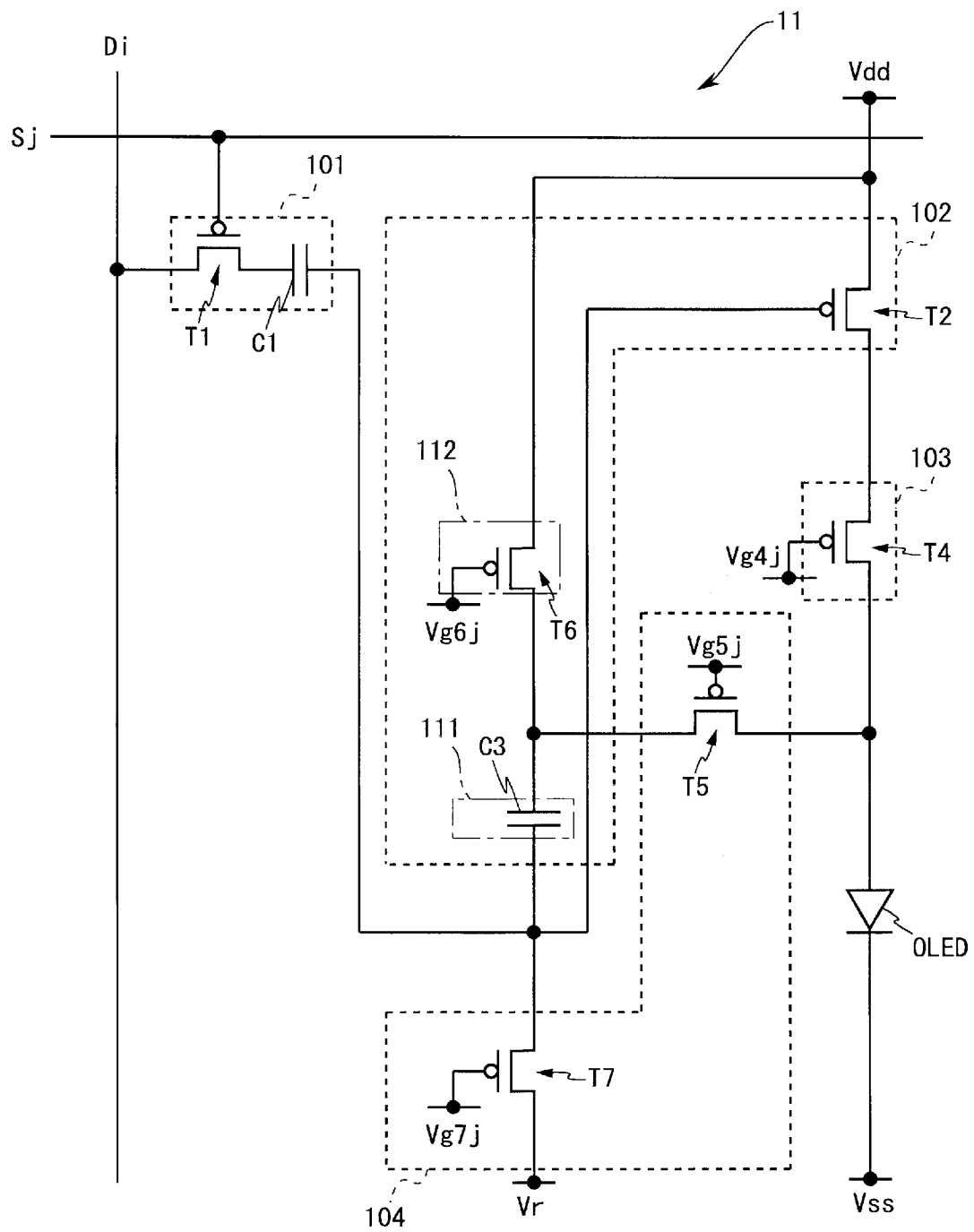


[図2]

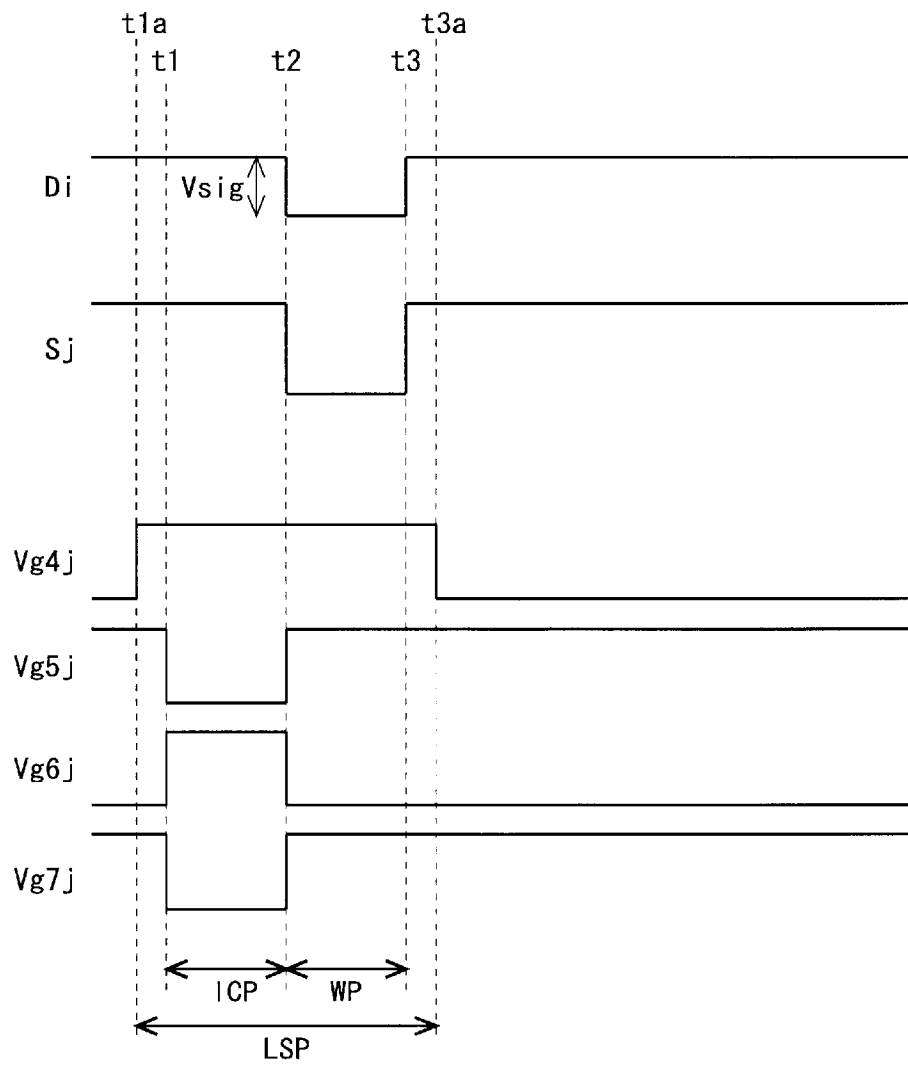




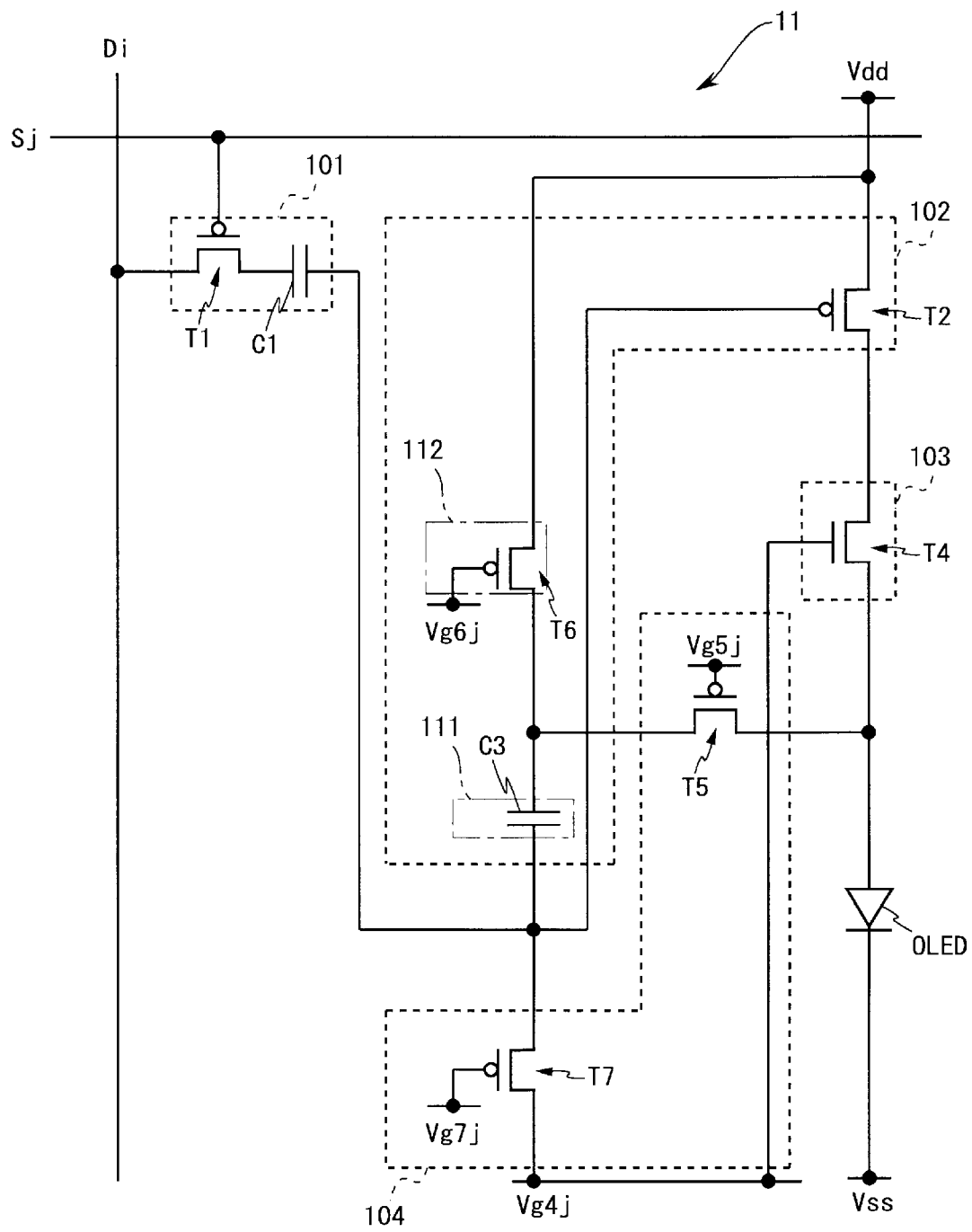
[図4]



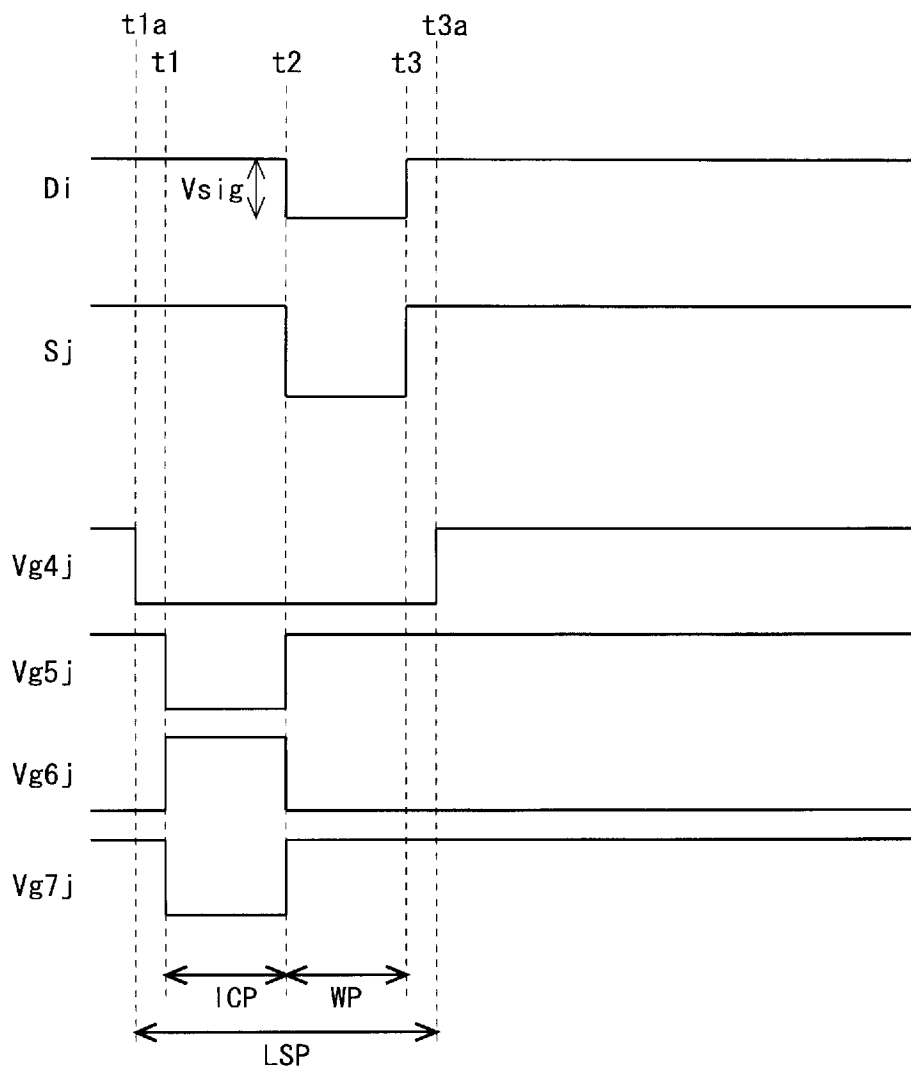
[図5]



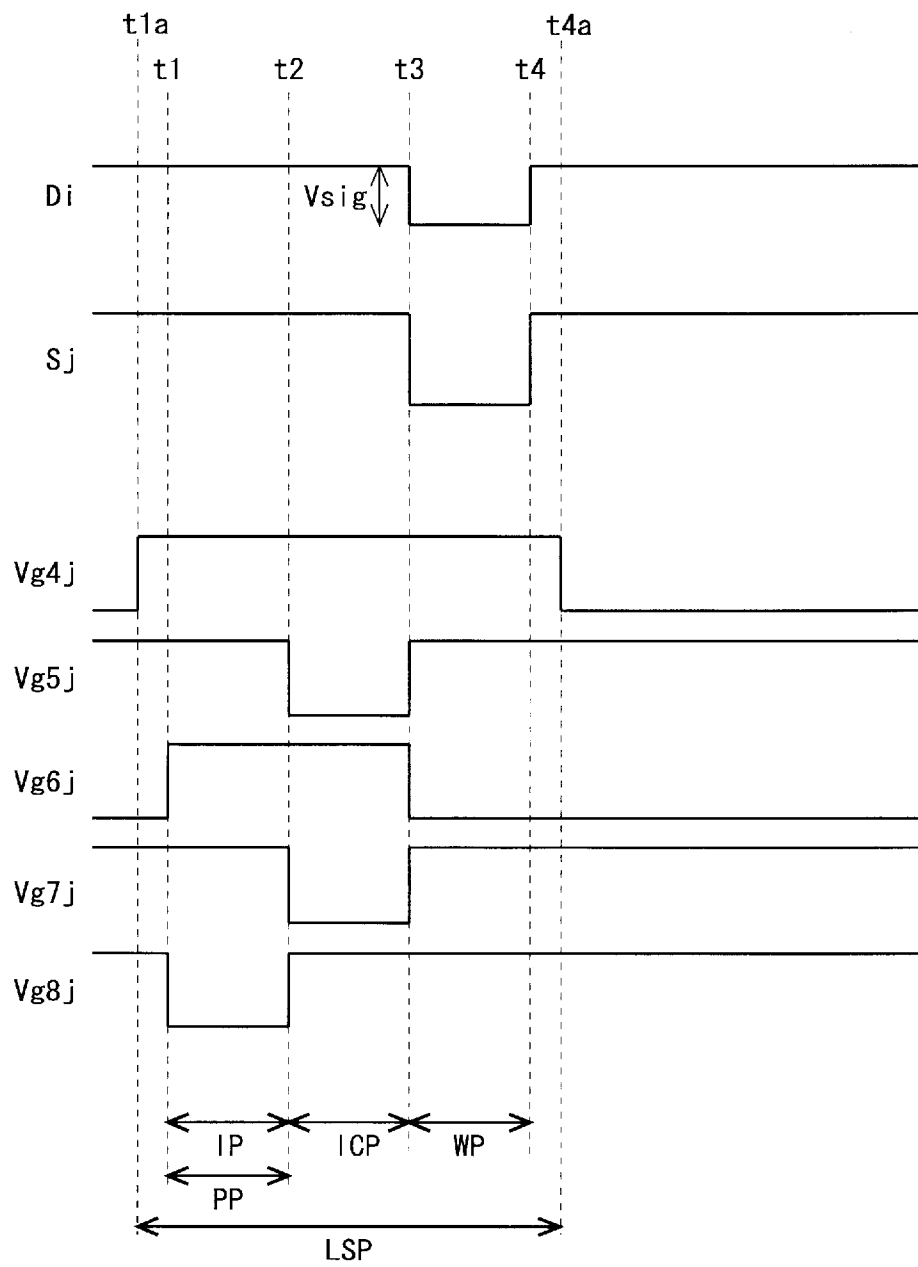
[図6]



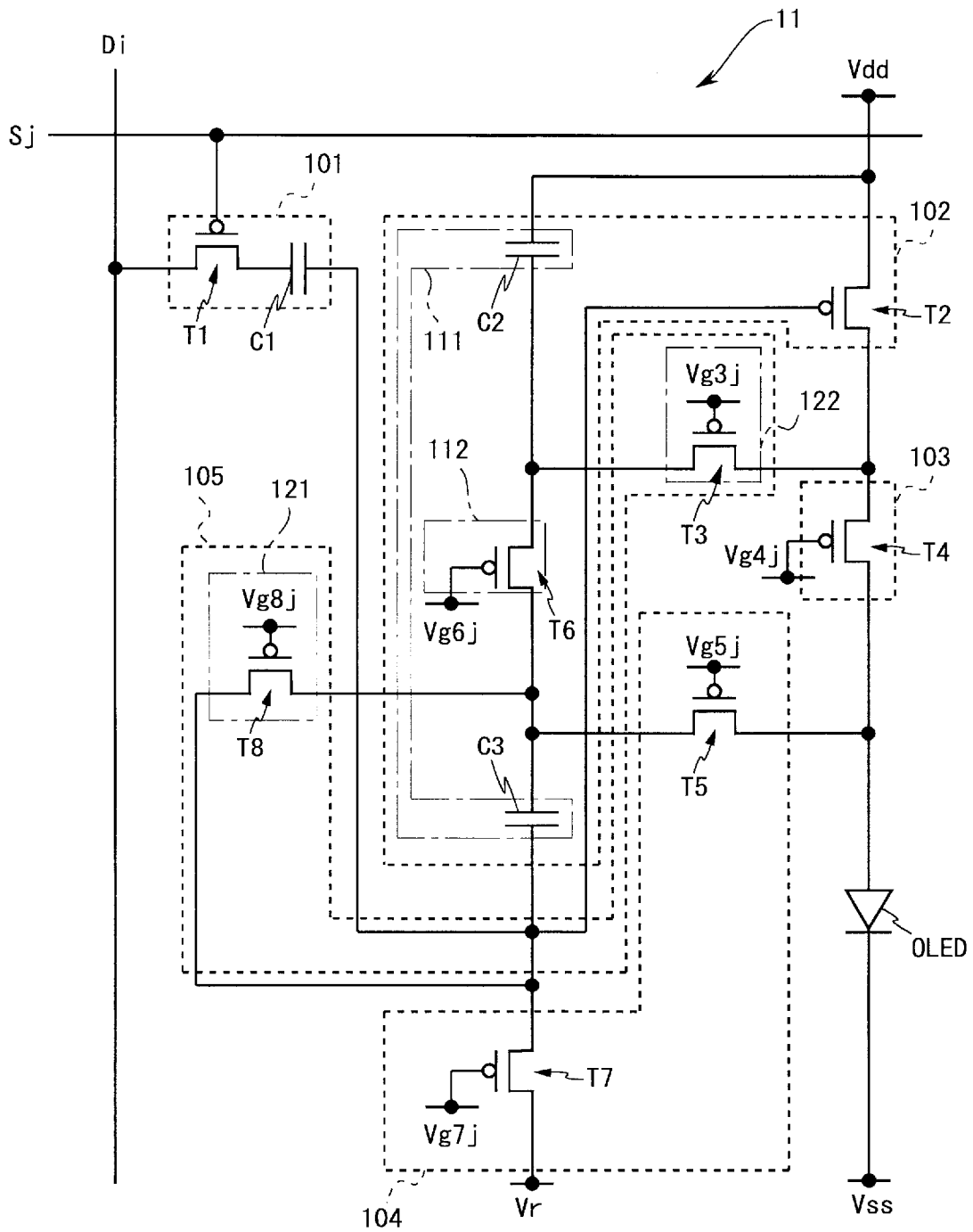
[図7]



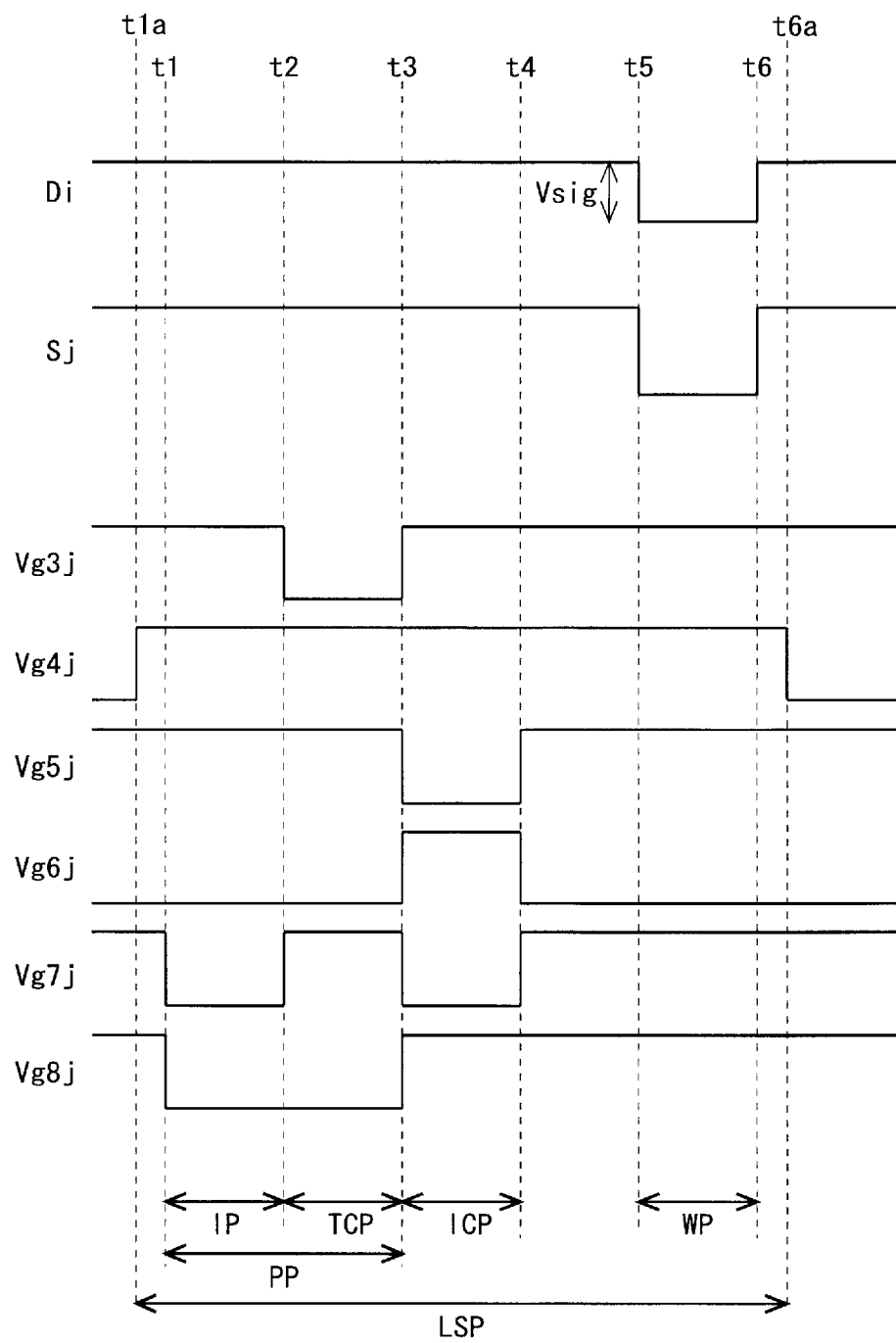
[図9]



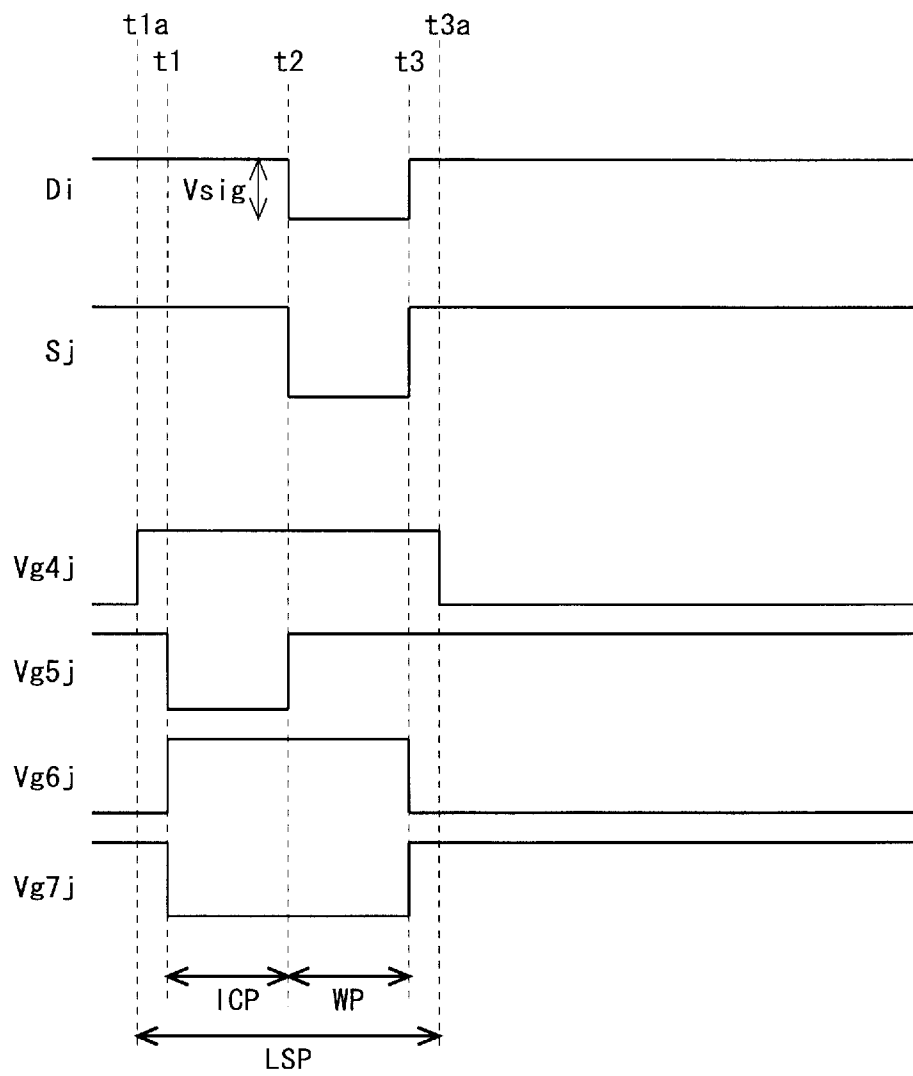
[図10]



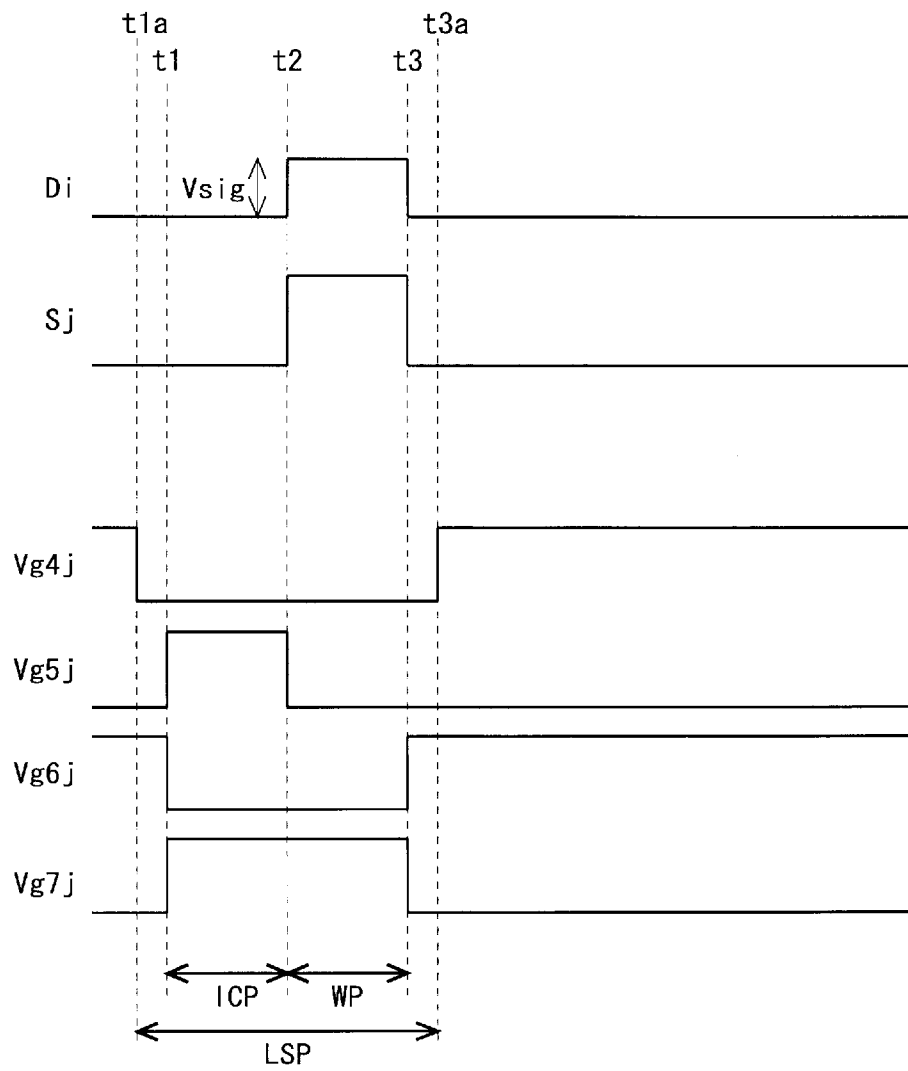
[図11]



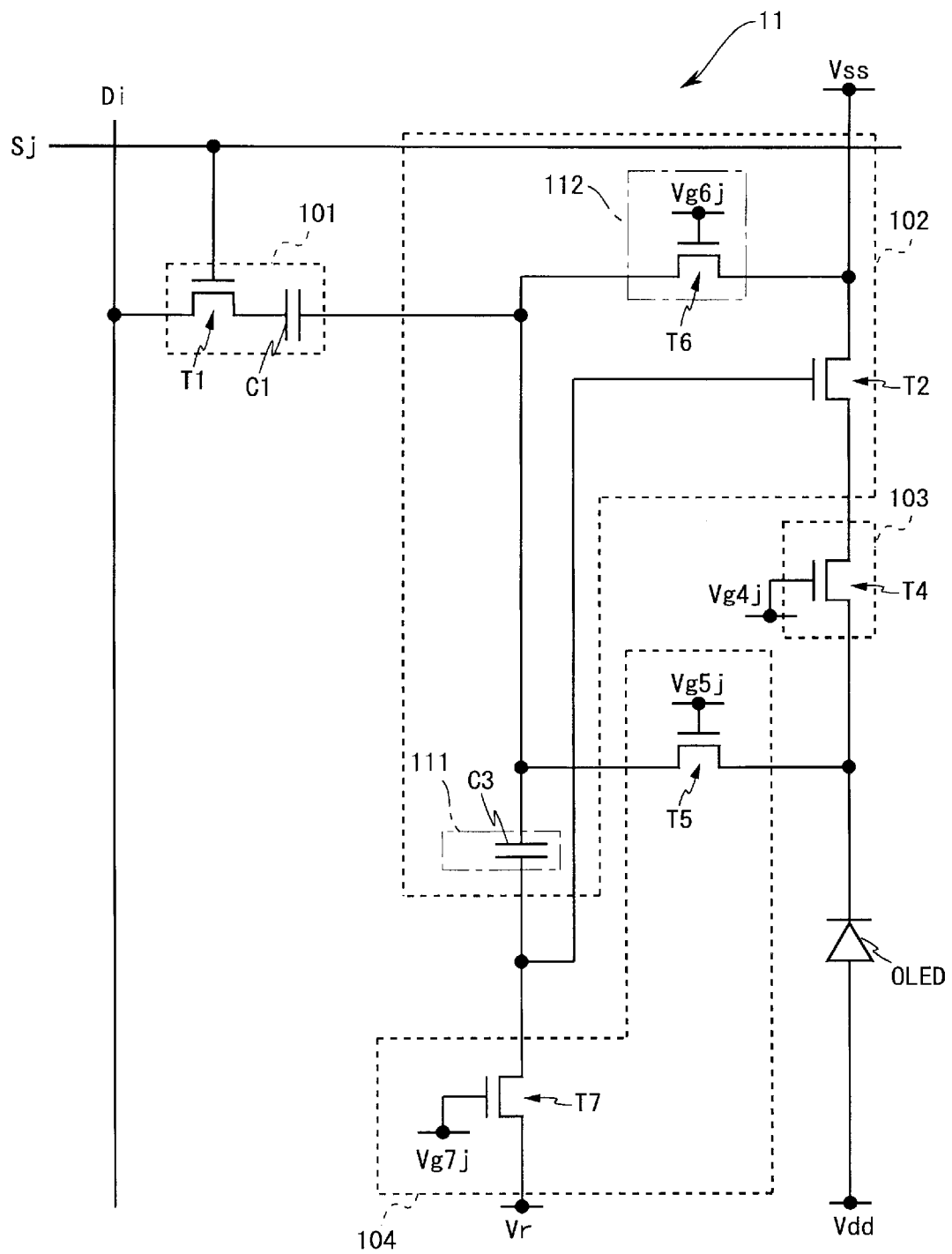
[図13]



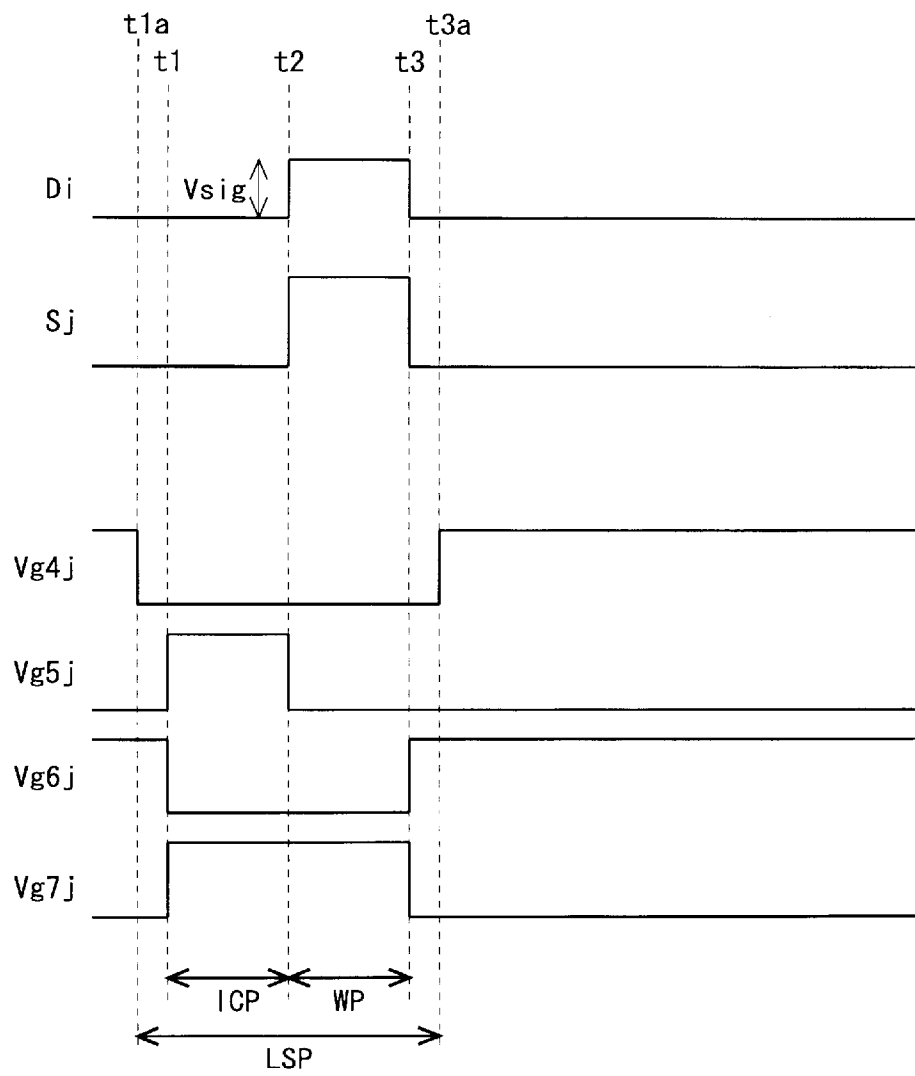
[図15]



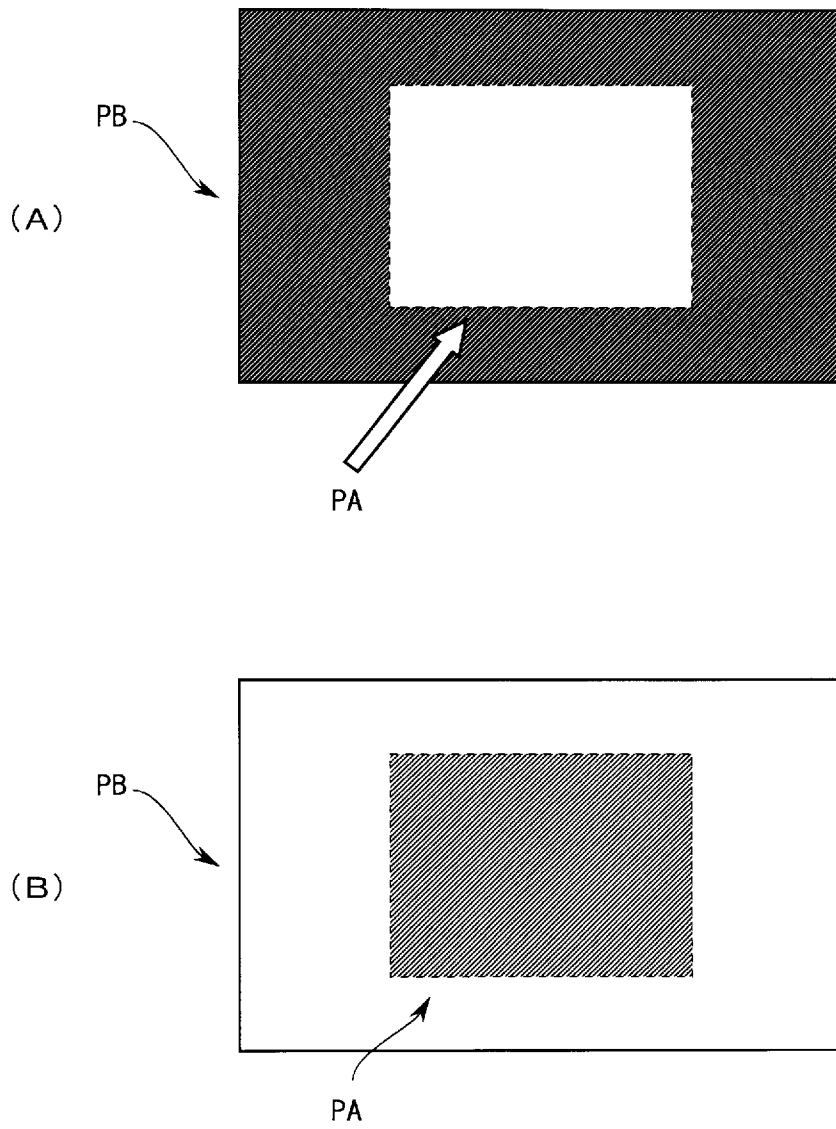
[図16]



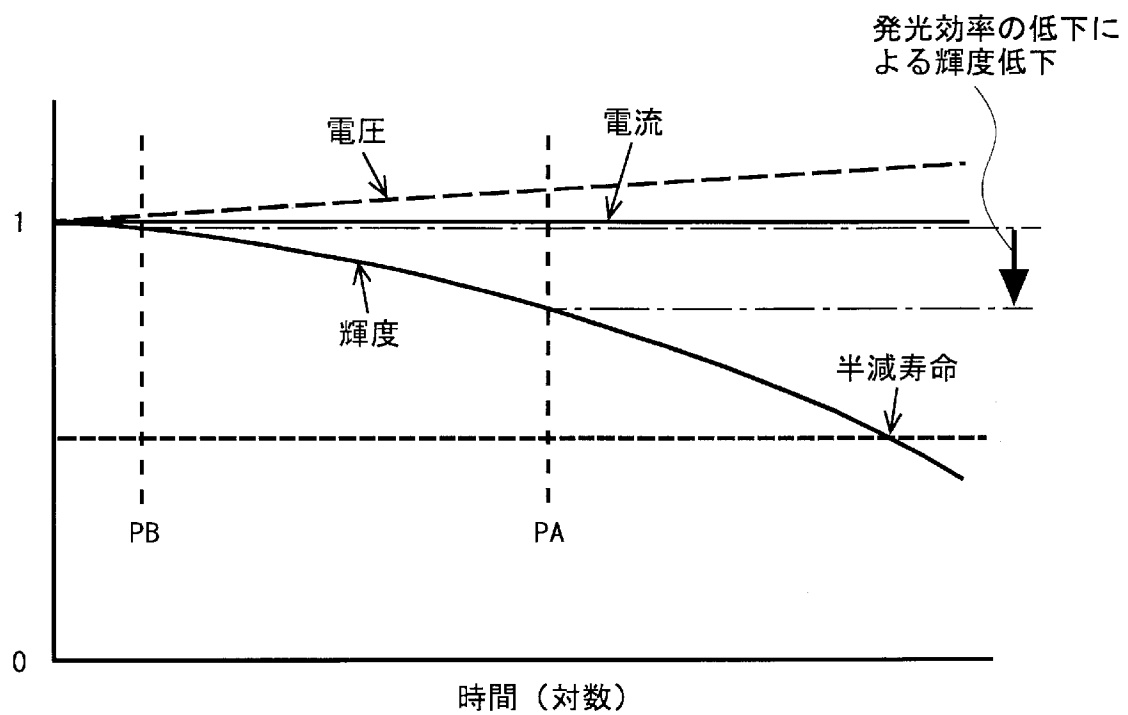
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/062587

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01) i, G09G3/20(2006.01) i, H01L51/50(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-122906 A (Samsung SDI Co., Ltd.), 29 May 2008 (29.05.2008), paragraphs [0075] to [0191]; fig. 2 to 18 & US 2008/0111804 A1 & EP 1923857 A2 & KR 10-0815756 B1 & KR 10-2008-0056923 A & CN 101221727 A & TW 200822043 A	1-16
A	JP 2008-309910 A (Sony Corp.), 25 December 2008 (25.12.2008), paragraphs [0030] to [0048]; fig. 2 & US 2008/0309595 A1 & US 2012/0218251 A1 & CN 101325022 A & KR 10-2008-0109613 A & TW 200907904 A	1-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
23 May, 2013 (23.05.13)

Date of mailing of the international search report
04 June, 2013 (04.06.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/062587

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-13261 A (Kyocera Corp.), 20 January 2011 (20.01.2011), paragraphs [0012] to [0065]; fig. 1 to 8 (Family: none)	1-16
A	JP 2005-99773 A (Seiko Epson Corp.), 14 April 2005 (14.04.2005), paragraphs [0100] to [0116]; fig. 6 to 8 & US 2005/0083270 A1 & US 2011/0018855 A1 & EP 1517290 A2 & KR 10-2005-0021960 A & KR 10-2006-0092163 A & CN 1591104 A & CN 101409041 A & CN 101409042 A & TW 200844956 A & TWB 00I307492	1-16

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-122906 A（三星エスディアイ株式会社）2008.05.29, 段落【0075】-【0191】、【図2】-【図18】 & US 2008/0111804 A1 & EP 1923857 A2 & KR 10-0815756 B1 & KR 10-2008-0056923 A & CN 101221727 A & TW 200822043 A	1 - 1 6
A	JP 2008-309910 A（ソニー株式会社）2008.12.25, 段落【0030】-【0048】、【図2】 & US 2008/0309595 A1 & US 2012/0218251 A1 & CN 101325022 A & KR 10-2008-0109613 A & TW 200907904 A	1 - 1 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 5 . 2 0 1 3

国際調査報告の発送日

0 4 . 0 6 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2 G

9 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-13261 A (京セラ株式会社) 2011.01.20, 段落【0012】 －【0065】、【図1】－【図8】 (ファミリーなし)	1－16
A	JP 2005-99773 A (セイコーエプソン株式会社) 2005.04.14, 段落【0100】－【0116】、【図6】－【図8】 & US 2005/0083270 A1 & US 2011/0018855 A1 & EP 1517290 A2 & KR 10-2005-0021960 A & KR 10-2006-0092163 A & CN 1591104 A & CN 101409041 A & CN 101409042 A & TW 200844956 A & TWB 00I307492	1－16